

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 4 日(04.10.2012)



(10) 国際公開番号

WO 2012/133157 A1

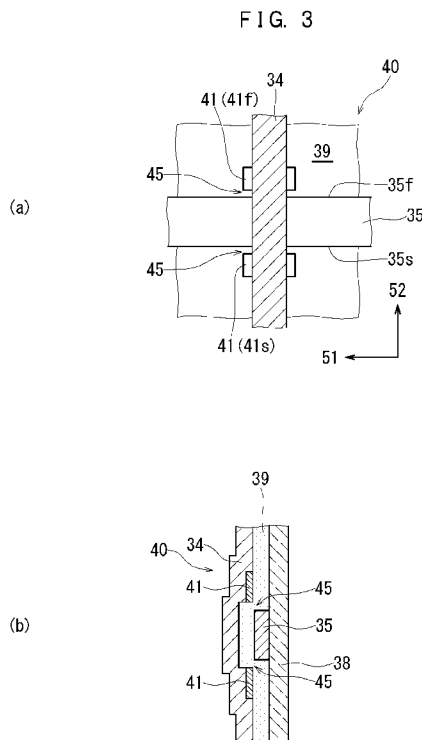
- (51) 国際特許分類:
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2012/057469
- (22) 国際出願日: 2012 年 3 月 23 日(23.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-075310 2011 年 3 月 30 日(30.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 黒田 達朗
(KURODA, Tatsuro).
- (74) 代理人: 手島 勝(TESHIMA Masaru); 〒5300041 大
阪府大阪市北区天神橋 2 丁目 3 番 8 号 M F 南森
町ビル 5 階 手島特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: ARRAY SUBSTRATE FOR LIQUID CRYSTAL PANEL AND LIQUID CRYSTAL PANEL

(54) 発明の名称: 液晶パネル用アレイ基板および液晶パネル

[図3]



(57) Abstract: Provided is an array substrate that is for a liquid crystal panel and that is able to suppress disconnection of source wiring. The array substrate (11) that is for a liquid crystal panel and that has pixels disposed in a matrix form having rows and columns is provided with: auxiliary capacitor wiring (35) extending in the row direction (51); and source wiring (34) disposed in a higher layer than the auxiliary capacitor wiring (35) and extending in the column direction (52). The auxiliary capacitor wiring (Cs wiring) (35) is formed on a substrate (38), and an insulating layer (39) is formed on the substrate (38) in a manner so as to cover the auxiliary capacitor wiring (35). In the region (40) of intersection of the auxiliary capacitor wiring (35) and the source wiring (34), a semiconductor layer (41) is formed on the insulating layer (39), and the source wiring (34) is formed on the insulating layer (39) in a manner so as to cover the semiconductor layer (41).

(57) 要約: ソース配線の断線を抑制できる液晶パネル用アレイ基板を提供する。行及び列を有するマトリックス状に画素が配置された液晶パネル用アレイ基板 11 であり、行方向 51 に延びる補助容量配線 35 と、補助容量配線 35 よりも上層に位置し、列方向 52 に延びるソース配線 34 とを備えている。補助容量配線 (Cs 配線) 35 は、基板 38 の上に形成され、基板 38 の上には、補助容量配線 35 を覆うように絶縁層 39 が形成されている。補助容量配線 35 とソース配線 34 との交差領域 40 において、絶縁層 39 の上に、半導体層 41 が形成され、ソース配線 34 は、半導体層 41 を覆うように絶縁層 39 の上に形成されている。



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称：液晶パネル用アレイ基板および液晶パネル

技術分野

[0001] 本発明は、液晶パネル用アレイ基板および液晶パネルに関する。本発明はまた、液晶パネルを備えた液晶表示装置に関する。

なお、本出願は2011年3月30日に出願された日本国特許出願2011-75310号に基づく優先権を主張しており、その出願の全内容は本明細書中に参照として組み入れられている。

背景技術

[0002] 液晶表示装置は、一対の透光性基板の間に液晶が封止されてなる液晶パネルと、当該液晶パネルの背面側に配置されたバックライトとから構成されている。液晶表示装置では、バックライトから出射された光が液晶パネルの背面側から照射されることによって、液晶パネルに表示された画像が視認可能となる（特許文献1）。

[0003] 図21は、特許文献1に示した液晶パネル1000の構成を示す斜視図である。図21に示した液晶パネル1000は、薄膜トランジスタ（TFT）140を含むアレイ基板（下部基板）110と、カラーフィルタ層122を含むカラーフィルタ基板（上部基板）120とから構成されている。アレイ基板110とカラーフィルタ基板120との間には、液晶層130が配置されている。

[0004] アレイ基板110には、画素電極111が形成されている。この画素電極111によって画素領域115が規定されている。また、アレイ基板110には、ゲート配線112とデータ配線114とが形成されている。TFT140は、ゲート配線112およびデータ配線114に連結されている。また、TFT140は、ゲート配線112およびデータ配線114の交差点に隣接して配置され、ゲート電極141、半導体層142、ソース電極144、ドレイン電極146を含む。TFT140のドレイン電極146は、画素

電極 1 1 1 に連結されている。

[0005] カラーフィルタ基板（C F 基板） 1 2 0 は、赤色（R）、緑色（G）、青色（B）のサブカラーフィルタ層 1 2 2 a、1 2 2 b、1 2 2 c を含むカラーフィルタ層 1 2 2 を含んでいる。サブカラーフィルタ層 1 2 2 a、1 2 2 b、1 2 2 c は、ブラックマトリクス 1 2 3 によって区分けされている。また、C F 基板 1 2 0 の液晶層 1 3 0 側には、共通電極 1 2 4 が形成されている。

[0006] 画素電極 1 1 1 と共通電極 1 2 4 との間に電圧を印加すると、縦方向に電場が発生して、この電場によって、液晶層 1 3 0 の液晶が駆動する。これによって、異なる光の透過率によって画像を表現することができる。

[0007] 図 2 2 は、一つの画素領域を基準にしたアレイ基板 1 1 0 の概略的な平面図である。図 2 2 に示したアレイ基板 1 1 0 では、透光性基板 1 5 0 の上に、スイッチング素子である T F T 1 4 0、ゲート配線 1 1 2、データ配線 1 1 4、画素電極 1 1 1 が形成される。より具体的には、アレイ基板 1 1 0 においては、画素領域に対応した画素電極 1 1 1 がマトリックス状に配列され、その画素領域ごとに T F T 1 4 0 が形成される。また、T F T 1 4 0 ごとに信号を印加するために、多数のゲート配線 1 1 2 および多数のデータ配線 1 1 4 が形成されている。

[0008] ここで、製造工程上、相互に異なる信号を T F T 1 4 0 に伝達するゲート配線 1 1 2 とデータ配線 1 1 4 とは、同一層には形成することができない。したがって、ゲート配線 1 1 2 とデータ配線 1 1 4 とは、それぞれ別の層に絶縁膜を介して形成される。図 2 2 に示した例では、下層のゲート配線 1 1 2 を乗り越えるように上層のデータ配線 1 1 4 が延びる交差部 1 5 5 が存在する。そして、このような交差部 1 5 5 においては、下層のゲート配線 1 1 2 の段差によって、上層のデータ配線 1 1 4 が断線される不良が発生することがある。なお、段差部によるドレイン電極およびカバレッジ不足を緩和して、断線や点欠陥などの不良を低減させる構造として、特許文献 2 に開示されるものが提案されている。

先行技術文献

特許文献

[0009] 特許文献1：特開2007-310351号公報

特許文献2：特開2002-329726号公報

発明の概要

発明が解決しようとする課題

[0010] この断線の問題に対して、特許文献1では、下層のゲート配線112の近傍にバッファ配線を形成することによって、データ配線114の断線を防ぐようにしている。すなわち、ゲート配線の近傍にバッファ配線を形成することによって、ソース配線がゲート配線のパターンを乗り越える部分のスロープを滑らかにすることにより、乗り越え段差におけるソース配線の断線を防止するようにしている。

[0011] しかしながら、下層のゲート配線112の近傍にバッファ配線が形成できない場合があり得る。また、エッチング液の侵食によって断線が生じるのを防ぐ場合において、当該乗り越え部分のスロープをできるだけ滑らかにすることが望まれる場合もある。

[0012] 本発明はかかる点に鑑みてなされたものであり、その主な目的は、ソース配線の断線を抑制できる液晶パネル用アレイ基板および液晶パネルを提供することにある。

課題を解決するための手段

[0013] 本発明に係る液晶パネル用アレイ基板は、行及び列を有するマトリックス状に画素が配置された液晶パネル用アレイ基板であり、行方向に延びる補助容量配線と、前記補助容量配線よりも上層に位置し、列方向に延びるソース配線とを備えている。前記補助容量配線は、基板の上に形成されており、前記基板の上には、前記補助容量配線を覆うように絶縁層が形成されている。前記補助容量配線と前記ソース配線との交差領域において、前記絶縁層の上に、半導体層が形成されており、前記ソース配線は、前記半導体層を覆うよ

うに前記絶縁層の上に形成されている。

- [0014] ある好適な実施形態において、前記絶縁層の上に形成される前記半導体層は、前記交差領域における前記ソース配線の段差の勾配を緩和する段差緩和パターンである。
- [0015] ある好適な実施形態において、前記半導体層の厚さは、前記補助容量配線の厚さよりも小さい。
- [0016] ある好適な実施形態において、前記半導体層は、少なくとも2段の段差構造を有している。
- [0017] ある好適な実施形態において、前記半導体層は、前記補助容量配線と平行な方向である行方向に沿って延びている。
- [0018] ある好適な実施形態において、前記半導体層は、前記補助容量配線の第1辺に沿って延びる第1半導体層と、前記補助容量配線の第2辺に沿って延びる第2半導体層とを含んでいる。
- [0019] ある好適な実施形態において、前記ソース配線のうち前記半導体層の上に位置する部位は、湾曲部となっている。
- [0020] ある好適な実施形態において、前記ソース配線のうち前記半導体層の上に位置する部位は、湾曲部となっている。
- [0021] ある好適な実施形態において、前記補助容量配線と前記ソース配線との全ての前記交差領域において、前記半導体層が形成されている。
- [0022] ある好適な実施形態において、前記マトリックス状に配置された画素のそれぞれには、薄膜トランジスタが形成されている。前記薄膜トランジスタには、前記ソース配線から延びるソース電極と、前記ソース電極に対向して配置されたドレイン電極とを備え、前記ドレイン電極からは、画素電極に接続されるドレイン配線が延びている。前記ドレイン配線の端部は、前記補助容量配線に接続されている。
- [0023] 本発明に係る液晶パネルは、上記アレイ基板と、前記アレイ基板に対向して配置されるカラーフィルタ基板と、前記アレイ基板と前記カラーフィルタ基板との間に配置される液晶層とを備えた、液晶パネルである。

[0024] 本発明に係る液晶表示装置は、上記液晶パネルと、前記液晶パネルに光を照射するバックライトユニットとを備えた、液晶表示装置である。

発明の効果

[0025] 本発明によれば、行方向に延びる補助容量配線と、列方向に延びるソース配線との交差領域において、絶縁層の上に半導体層が形成されており、そして、ソース配線は、半導体層を覆うように絶縁層の上に形成されており、したがって、交差領域においてソース配線が乗り越える段差は、当該半導体層によって段差の勾配が緩和されている。その結果、ソース配線の断線を抑制できる液晶パネル用アレイ基板を実現することができる。

図面の簡単な説明

[0026] [図1]本発明の実施形態に係る液晶表示装置 100 を説明するための分解斜視図である。

[図2]本発明の実施形態に係る液晶パネル用アレイ基板 11 の上面拡大図である。

[図3] (a) は、アレイ基板 11 における交差領域 40 の上面図であり、(b) は、交差領域 40 の断面図である。

[図4]比較例のアレイ基板 210 の上面構成を模式的に示す一部拡大図である。

[図5] (a) は、比較例における交差領域 240 の拡大図であり、(b) は、交差領域 240 の断面図である。

[図6] (a) および (b) は、それぞれ、ソース配線 234 が乗り越える部位 242 にて断線 246 が生じることを説明するための平面図および断面図である。

[図7]交差領域 40 におけるソース配線 34 の電流の様子を模式的に示す断面図である。

[図8]比較例となる交差領域 240 におけるソース配線 134 の電流の様子を模式的に示す断面図である。

[図9] (a) は、アレイ基板 11 における交差領域 40 の上面図であり、(b)

) は、交差領域 40 の断面図である。

[図10] 交差領域 40 におけるソース配線 34 の電流の様子を模式的に示す断面図である。

[図11] (a) は、アレイ基板 11 における交差領域 40 の上面図であり、(b) は、交差領域 40 の断面図である。

[図12] 絶縁層 39 上の半導体層 41 を覆うソース配線 34 の湾曲部 34c を示す断面図である。

[図13] アレイ基板 11 における交差領域 40 の断面図である。

[図14] 交差領域 40 における半導体層 41 を示す上面図である。

[図15] 交差領域 40 における半導体層 41 を示す上面図である。

[図16] 交差領域 40 における半導体層 41 を示す上面図である。

[図17] 交差領域 40 における半導体層 41 を示す上面図である。

[図18] (a) から (d) は、アレイ基板 11 の製造方法を説明するための工程断面図である。

[図19] (a) から (d) は、アレイ基板 11 の製造方法を説明するための工程断面図である。

[図20] (a) から (d) は、アレイ基板 11 の製造方法を説明するための工程断面図である。

[図21] 従来の液晶パネル 1000 の構成を示す斜視図である。

[図22] 一つの画素領域を基準にしたアレイ基板 110 の概略的な平面図である。

発明を実施するための形態

[0027] 以下、図面を参照しながら、本発明の実施形態を説明する。以下の図面においては、説明の簡潔化のために、実質的に同一の機能を有する構成要素を同一の参照符号で示す。なお、本発明は以下の実施形態に限定されない。

[0028] 図 1 は、本発明の実施形態に係る液晶表示装置 100 の構成を模式的に示す分解斜視図である。図 1 に示すように、本実施形態の液晶表示装置 100 は、画像を表示可能な液晶表示装置である。液晶表示装置 100 は、液晶パ

ネル１０と、液晶パネル１０に光を照射するバックライトユニット２０とから構成されている。本実施形態の液晶パネル１０は、例えば、２０インチから１１０インチ（典型的には、３２インチから６０インチ）のサイズを有している。

[0029] 本実施形態の液晶パネル１０は、概して、全体として矩形の形状を有しており、一对の透光性基板（ガラス基板）１１および１２から構成されている。両基板１１および１２は、互いに対向して配置され、その間には液晶層（不図示）が設けられている。液晶層は、基板１１および１２の間の電界印加に伴って光学特定が変化する液晶材料からなる。

[0030] なお、基板１１および１２の外縁部には、シール剤（不図示）が設けられて、液晶層を封止している。また、両基板１１および１２の外面には、それぞれ、偏光板１３、１３が貼り付けられている。本実施形態では、基板１１および１２のうち、裏側がアレイ基板（ＴＦＴ基板）１１であり、一方、表側がカラーフィルタ基板（ＣＦ基板）１２である。

[0031] 本実施形態のアレイ基板１１は、行及び列を有するマトリックス状に画素が配置された液晶パネル用アレイ基板である。詳細は後述するが、本実施形態の構成では、行方向にゲート配線が延び、列方向にソース配線が延びている。また、各画素には、薄膜トランジスタ（ＴＦＴ）が配置されている。なお、行方向・列方向は、便宜上のものであるもので、行方向が横方向、列方向が縦方向を意味する場合の他、その関係を逆にしても構わない。

[0032] 本実施形態のバックライトユニット２０は、液晶パネル１０に光を照射する光源ユニットである。図１に示した例のバックライトユニット２０は、エッジライト型のバックライトユニットである。本実施形態のバックライトユニット２０は、複数の発光素子２３と、発光素子２３が発した光を液晶パネル１０に照射させる導光板２２とから構成されている。

[0033] 本実施形態の発光素子２３は、ＬＥＤ素子（点状光源）であり、図１に示した構成例では、複数のＬＥＤ素子２３が配線基板２５の上に載置されている。ＬＥＤ素子２３は、導光板２２の側面の一つ（入射面）２２ｂに対向し

て配置されており、ＬＥＤ素子２３から出射された光は、導光板２２の入射面２２ｂから導光板２２内に入射する。

[0034] 導光板２２は、入射面２２ｂに入射した光を、発光面（主面）２２ａから面状に照射する光学部材である。導光板２２は、例えば、アクリル板から構成されている。本実施形態の導光板２２の底面２２ｃには、反射層となるドットパターン（不図示）が形成されている。このドットパターンは、反射パターン又は拡散パターンを形成するインクなどを用いて印刷によって形成されている。

[0035] また、導光板２２と液晶パネル１０との間には、光学シート２１（２１ａから２１ｃ）が配置されている。この例では、光学シート２１ａから２１ｃは、それぞれ、例えば、レンズシート、プリズムシート、拡散板である。なお、光学シート２１の構成は、これらのものに限らず、他の構成を採用してもよい。

[0036] さらに、本実施形態のバックライトユニット２０は、導光板２２を収納するバックライトシャーシ２８を備えている。また、本実施形態のバックライトシャーシ２８は、金属材料（例えば、アルミニウム、鉄など）から構成されており、液晶表示装置１００の裏面全体を覆う板金部材である。また、バックライトシャーシ２８と導光板２２の間には、反射シート２７が配置されている。

[0037] 本実施形態の液晶表示装置１００にはベゼル２９が設けられている。ベゼル２９は、金属材料（例えば、アルミニウム、鉄）からなり、液晶パネルの外縁部を押さえて固定するフレーム部材である。本実施形態の構成においては、液晶パネル１０、光学シート２１、導光板２２、ＬＥＤ素子２３が実装された配線基板（ＬＥＤ基板）２５、反射シート２７をバックライトシャーシ２８に収納した状態で、そのバックライトシャーシ２８にベゼル２９を取り付ける。

[0038] なお、図１に示した構成では、ＬＥＤ素子２３を用いたエッジライト型のバックライトユニット２０を示したがそれに限らない。例えば、本発明では

、他の発光素子（例えば、冷陰極管（CCFL））を用いたエッジライト型のバックライトユニット20を使用することもできる。あるいは、直下型のバックライトユニット20を使用することも可能である。直下型のバックライトユニット20の場合、発光素子は、LED素子、冷陰極管などを用いることができる。

[0039] 次に、図2を参照しながら、本実施形態の構成について説明する。図2は、本実施形態のアレイ基板11の上面構成を模式的に示す一部拡大図である。

[0040] 本実施形態のアレイ基板11は、行及び列を有するマトリクス状に画素が配置されている。この例では、行方向（矢印51）にゲート配線33が伸び、列方向（矢印52方向）にソース配線34が伸びている。ゲート配線33とソース配線34との交差部には、スイッチング素子としてのTFT素子30が形成されている。

[0041] TFT素子30は、チャンネル層となる半導体層31と、ソース配線34から伸びたソース電極32sと、ソース電極32sに対向して配置されたドレイン電極32dとから構成されている。半導体層31は、例えばシリコン（アモルファスシリコン、多結晶シリコンなど）から構成されている。そして、ゲート配線33のうちの半導体層31の下方に位置する部位は、ゲート電極となる。ゲート電極と半導体層31との間には、ゲート絶縁膜が形成されている。半導体層31の表面には、ソース電極32sとドレイン電極32dとが配置されており、ソース電極32sとドレイン電極32dとの間がチャンネル領域となる。

[0042] ドレイン電極32dからは、ドレイン配線36が伸びている。図2に示した例では、ドレイン配線36の一部36dは、接続部位36eにて画素電極37に接続されている。画素電極37は、各画素を規定する電極であり、透明電極（例えば、ITO）から構成されている。本実施形態の画素は、カラーフィルタ基板12が三原色（R・G・B）の構成の場合、そのR（赤）・G（緑）・B（青）に対応する領域である。なお、R・G・Bの3つの領域

をまとめて画素と称する場合、画素電極 37 が位置する領域は、サブ画素領域、または、絵素領域と称しても構わない。また、カラーフィルタ基板 12 が四原色 (R・G・B・Y) の構成の場合、本実施形態の画素は、その R (赤)・G (緑)・B (青)・Y (黄) に対応する領域になる。加えて、画素電極 37 のパターンは、本実施形態の構成では例示として示しており、具体的なパターンについては適宜好適なものを採用すればよい。

[0043] また、本実施形態の構成では、アレイ基板 11 に補助容量 (Cs) が形成されるように構成されている。アレイ基板 11 に補助容量配線 (Cs 配線) 35 が形成されている。ここで、補助容量 (Cs) は、Cs 配線 35 の一部に位置する Cs 電極、絶縁膜 (不図示)、画素電極 37 によって形成されている。補助容量 (Cs) を構成する絶縁膜 (誘電体層) は、Cs 電極と画素電極 37 との間に位置しており、そして、補助容量 (Cs) は、Cs 配線 35 と画素電極 37 との交差部において形成されている。また、補助容量 (Cs) は、ゲート信号が OFF の期間において液晶層に電荷を供給し、画素の輝度を保持するという役割を有するものである。本実施形態の構成では、ドレイン配線 36 の端部 36g は、補助容量配線 (Cs 配線) 35 に接続されている。具体的には、ドレイン配線 36 は、引き出し部 36d、36f を介して、Cs 配線 35 に接続されている。

[0044] さらに、本実施形態の構成では、Cs 配線 35 は、ゲート配線 33 と同様に、行方向 (矢印 51) に延びている。ソース配線 34 は、Cs 配線 35 よりも上層に位置しており、そして、アレイ基板 11 には、ソース配線 34 と Cs 配線 35 とが互いに交差する交差領域 40 が存在している。

[0045] 図 3 (a) および (b) は、それぞれ、交差領域 40 におけるソース配線 34 および Cs 配線 35 の構成を模式的に示す上面図および断面図である。本実施形態の構成において、Cs 配線 35 は、基板 38 (アレイ基板 11 を構成するガラス基板) の上に形成されている。基板 38 がガラス基板から構成されている場合、ガラス基板の表面に他の層 (絶縁層など) が形成されていても構わない。

- [0046] 基板 38 の上には、Cs 配線 35 を覆うように絶縁層 39 が形成されている。絶縁層 39 は、Cs 配線 35 とソース配線 34 との間の層間絶縁膜の機能を有している。Cs 配線 35 を乗り越えるように絶縁層 39 が形成されていることから、Cs 配線 35 の両サイドには、段差 45 が形成されている。
- [0047] 本実施形態の構成では、Cs 配線 35 とソース配線 34 との交差領域 40 において、絶縁層 39 の上に、半導体層 41 が形成されている。そして、ソース配線 34 は、半導体層 41 を覆うように絶縁層 39 の上に形成されている。ここで、本実施形態の半導体層 41 は、交差領域 40 におけるソース配線 34 の段差 45 の勾配を緩和する段差緩和パターンとしての機能を有している。また、本実施形態の半導体層 41 は、Cs 配線 35 の厚さよりも薄い構造を有している。
- [0048] また、本実施形態の半導体層 41 は、Cs 配線 35 と平行な方向である行方向 51 に沿って延びている。本実施形態の構成では、半導体層 41 は、Cs 配線 35 の第 1 辺 (35 f) に沿って延びる第 1 半導体層 41 f と、Cs 配線 35 の第 2 辺 (35 s) に沿って延びる第 2 半導体層 41 s とを含んでいる。Cs 配線 35 の両サイドに半導体層 41 (41 f、41 s) を形成することによって、両サイドの段差 45 の勾配を緩和することができる。
- [0049] さらに、本実施形態の構成において、図 2 に示したゲート配線 33 は、Cs 配線 35 と同一レベルの層に形成されている。したがって、ソース配線 34 は、ゲート配線 33 よりも上層に位置している。また、本実施形態のアレイ基板 11 には、ソース配線 34 とゲート配線 33 とが互いに交差する交差領域 47 が存在している。図示した例では、ソース配線 34 は、列方向 52 に延びる本体部 34 a を有しており、ソース配線 34 の本体部 34 a は、交差領域 40 および 47 においても本体部 34 a と同様に列方向に延びている。
- [0050] なお、本実施形態の構成では、ソース配線 34 は、銅から構成されている。また、Cs 配線 35 およびゲート配線 33 も、銅から構成されている。また、ソース配線 34、Cs 配線 35、ゲート配線 33 は、銅配線に限らず、

他の金属材料（アルミニウム）から構成されていてもよいし、多層膜（例えば、 $\text{Cu} \cdot \text{Mo}$ 、 $\text{Cu} \cdot \text{Ti}$ ）の構成であってもよい。さらに、ソース配線 34（例えば、銅配線）と、 Cs 配線 35・ゲート配線 33とを異なる材料から構成しても構わない。

[0051] 本実施形態の構成によれば、行方向 51 に延びる Cs 配線 35 と、列方向 52 に延びるソース配線 34 との交差領域 40 において、絶縁層 39 の上に半導体層 41 が形成されている。そして、ソース配線 34 は、半導体層 41 を覆うように絶縁層 39 の上に形成されている。したがって、交差領域 40 においてソース配線 34 が乗り越える段差 45 は、半導体層 41 によって勾配を緩和することができる。その結果、ソース配線 34 の断線を抑制できる液晶パネル用アレイ基板 11 を実現することができる。

[0052] さらに、図 4 から図 6 を参照しながら、ソース配線の断線の原因について説明する。図 4 は、比較例のアレイ基板 210 の上面構成を模式的に示す一部拡大図である。

[0053] 図 4 に示した比較例のアレイ基板 210 では、行方向 51 に延びるゲート配線 233 および Cs 配線 235 と、列方向 52 に延びるソース配線 234 とが形成されている。また、TFT 素子 230 は、半導体層 231 と、ソース電極 232s、ドレイン電極 232d から構成されている。ドレイン電極 232d から延びたドレイン配線 236d は、接続部位 236e にて画素電極 237 に接続されている。なお、図示していないが、ドレイン配線 236d の端部は、 Cs 配線 235 に接続されている。

[0054] この比較例では、ソース配線 234 と Cs 配線 235 との交差領域 240 において、本実施形態における段差緩和用の半導体層 41 は形成されていない。図 5 (a) は、交差領域 240 の拡大図であり、そして、図 5 (b) は、交差領域 240 の断面図である。

[0055] 図 5 (b) に示すように、ガラス基板 238 の上に Cs 配線 235 が延びている。そして、 Cs 配線 235 を覆うように絶縁層 239 がガラス基板 238 の上に形成されている。そして、絶縁層 239 の上に、ソース配線 23

4 が形成されている。図示するように、ソース配線 2 3 4 は、交差領域 2 4 0 において、C s 配線 2 3 5 によって形成された段差 2 4 5 を乗り越えるようにして延びる。

[0056] ソース配線 2 3 4 は、金属膜をエッチングでパターニングすることによって形成される。それゆえに、図 6 (a) および (b) に示すように、エッチングの残渣などによる侵食の影響で、C s 配線 2 3 5 による段差部 2 4 5 をソース配線 2 3 4 が乗り越える部位にて断線 (2 4 6) が生じる可能性が高まる。さらには、ソース配線 2 3 4 が銅配線の場合、銅配線の酸化腐食によって、段差部 2 4 5 にて断線 (2 4 6) が発生することもある。

[0057] 一方、本実施形態の構成によれば、図 7 に示すように、交差領域 4 0 における段差 4 5 の勾配を緩和する半導体層 4 1 が形成されているので、ソース配線 3 4 の断線を抑制することができる。また、段差 4 5 の勾配を緩和する半導体層 4 1 の存在によって、交差領域 4 0 におけるソース配線 3 4 の電流 5 0 の流れをスムーズにすることができる。特に、本実施形態の構成では、半導体層 4 1 の厚さは、C s 配線 3 5 の厚さよりも小さくしているので、段差 4 5 の変化を滑らかにすることが容易となる。

[0058] 図 8 は、図 4 及び図 5 に示した交差領域 2 4 0 において、ガラス基板 3 8 の上にバッファ配線 1 4 1 を形成した構造を示している。図 8 に示した構造においては、バッファ配線 1 4 1 の存在によって、ソース配線 1 3 4 が乗り越える段差 (2 4 5 a、2 4 5 b) の勾配 (スロープ) を比較的滑らかにすることができる。しかしながら、ソース配線 1 3 4 の電流 1 5 0 の流れは、段差 2 4 5 a に対応する箇所 (1 5 0 a) において段差 2 4 5 a の影響でスムーズに流れない場合が発生し得る。

[0059] さらに説明すると、図 8 に示した構造では、C s 配線 2 3 5 とバッファ配線 1 4 1 とは同じ厚さで形成されることから、図 7 に示した本実施形態の構造と比較して、段差 2 4 5 a を滑らかにすることが困難である。換言すると、本実施形態の構造では、半導体層 4 1 の厚さを C s 配線 3 5 の厚さよりも薄くしているので、図 8 に示した構造と比較して段差 (4 5) の勾配を滑ら

かに変化させることが容易となる。

[0060] さらに、段差245aにおける構造によっては、Cs配線235の両サイドにバッファ配線141を形成することが困難である場合もあり得る。本実施形態の構成では、絶縁層39の上に半導体層41を形成できることから、図8に示した構造のような問題、すなわちバッファ配線141の形成が困難である場合が発生する問題を回避することが容易である。

[0061] なお、図2に示したアレイ基板11では、ソース配線34とCs配線35との交差領域40のそれぞれに、半導体層41を形成しているが、全ての交差領域40でなくても指定の交差領域40を選択して半導体層41を形成することも可能である。加えて、TFT素子30の構造との関係にもよるが、ゲート配線33との交差領域47においても、Cs配線35の交差領域40と同様に、段差の勾配緩和のための半導体層41を形成しても構わない。具体的には、交差領域47において、絶縁層39の上においてゲート配線33の両サイドに半導体層41を形成する。このようにすれば、ゲート配線33を乗り越えるソース配線34の断線も抑制することが容易となる。

[0062] なお、本実施形態の構成において、配線の幅などの条件を例示的に示すと次の通りである。ソース配線34の幅は、例えば5～8 μm である。ゲート配線33の幅は、例えば10～20 μm である。Cs配線35の幅は、例えば10～20 μm である。ソース配線34の厚さは、例えば3000～4500 $\text{\AA}$ であり、ゲート配線33およびCs配線35の厚さは、例えば3000～6000 $\text{\AA}$ （典型的には6000 $\text{\AA}$ ）である。また、半導体層41の幅は、例えば10～50 μm であり、半導体層41の厚さは例えば1800～2500 $\text{\AA}$ （典型的には2300 $\text{\AA}$ ）である。加えて、絶縁層39の厚さは、例えば2500～4100 $\text{\AA}$ である。

[0063] 本実施形態の構成においては、半導体層41の厚さ（典型的には2300 $\text{\AA}$ ）は、Cs配線35の厚さ（典型的には6000 $\text{\AA}$ ）よりも小さくしている。また、図3に示した構成においては、半導体層41の厚さは、絶縁層39の厚さよりも小さくしている。

[0064] 次に、図9および図10を参照しながら、本実施形態のアレイ基板11の改変例について説明する。図9(a)および(b)は、それぞれ、本実施形態の改変例のアレイ基板11における交差領域40の上面図および断面図である。

[0065] 図9に示した構成においては、半導体層41は、少なくとも2段の段差構造(41a、41b)を有している。図示した例では、半導体層41は、Cs配線35の側に近い第1段差部41aと、第1段差部41aに連続した第2段差部41bとから構成されている。第2段差部41bの厚さは、第1段差部41aの厚さよりも小さい。この例における第1段差部41aの厚さは例えば2300Åであり、そして、第2段差部41bの厚さは例えば1000Åである。

[0066] このように半導体層41を段差構造(41a、41b)にすると、図10に示すように、段差45の勾配をより滑らかに緩和することができる。その結果、ソース配線34の断線をより抑制することができる。そして、段差構造(41a、41b)を有する半導体層41によって、交差領域40におけるソース配線34の電流50の流れをよりスムーズにすることができる。なお、2段の段差構造(41a、41b)に限らず、3段以上の段差構造にしても構わない。

[0067] さらに、本実施形態のアレイ基板11は、次のように改変することも可能である。図11(a)および(b)は、それぞれ、本実施形態の改変例のアレイ基板11における交差領域40の上面図および断面図である。

[0068] 図11(a)及び(b)に示した構造では、半導体層41をCs配線35から少し離間して形成している。半導体層41は、Cs配線35を乗り越えて隆起した絶縁層39に接するように形成する他、図11に示した構造のように、隆起した絶縁層39から離れた位置に形成することができる。このように離間して半導体層41を形成しても、段差45の勾配を緩和することができる。

[0069] 次に、図12および図13を参照しながら、本実施形態の改変例について

説明する。図 1 2 は、本実施形態の半導体層 4 1 を覆うようにソース配線 3 4 を形成した構造を示している。

[0070] このソース配線 3 4 では、半導体層 4 1 を乗り越える部位において湾曲部 3 4 c が形成されている。この湾曲部 3 4 c を利用して、段差 4 5 の勾配を緩和することができる。具体的には、C s 配線 3 5 の厚さよりも薄い半導体層 4 1 が形成されており、そして、C s 配線 3 5 の幅よりも幅が細い半導体層 4 1 の上に、ソース配線 3 4 が堆積されると、ソース配線 3 4 の上に位置するソース配線 3 4 の部位 3 4 c は、滑らかな曲面となる。そして、その滑らかな曲面を有する湾曲部 3 4 c により、ソース配線 3 4 の断線を抑制することができる。

[0071] 図 1 3 は、ソース配線 3 4 の湾曲部 3 4 c を利用して、段差 4 5 の勾配を緩和した構造を示している。ソース配線 3 4 は、半導体層 4 1 を乗り越えるように形成されており、その乗り越え部位が湾曲部 3 4 c となって、段差 4 5 の勾配を緩和した構造となっている。

[0072] なお、半導体層 4 1 の上面形状は、矩形に限らず、種々の形状を採用することができる。図 1 4 から図 1 6 は、それぞれ、半導体層 4 1 の形状を模式的に示す上面図である。

[0073] 図 1 4 に示した構造では、半導体層 4 1 の一部に凹部 4 2 a が形成されている。具体的には、ソース配線 3 4 の下方に位置する部位に凹部（又は切り欠き部）4 2 a が形成されている。また、図 1 4 に示した構造では、ソース配線 3 4 で覆われていない部分は、ソース配線 3 4 の辺 3 4 e に対して斜めに延びる辺 4 2 b を有している。半導体層 4 1 に凹部 4 2 a を形成することによって、半導体層 4 1 とソース配線 3 4 との間に薬液が侵入したとしても、侵食されることを効果的に抑制することができる。

[0074] 図 1 5 に示した構造では、半導体層 4 1 の一部に波形の形状部位 4 3 a が形成されている。具体的には、ソース配線 3 4 の下方に位置する部位に波形の辺を有する部位 4 3 a が形成されている。また、図 1 5 に示した構造では、ソース配線 3 4 で覆われていない部分は、ソース配線 3 4 の辺 3 4 e に対

して斜めに延びる辺43bを有している。半導体層41に波形部位43aを形成することによって、半導体層41とソース配線34との間に薬液が侵入したとしても、侵食されることを効果的に抑制することができる。加えて、この構造によれば、半導体層41とソース配線34との位置ズレが生じた場合でも、波形部位43aには複数の凸凹が存在することから、半導体層41とソース配線34との間に薬液が侵入したとしても、侵食されることを効果的に抑制することができる。

[0075] なお、半導体層41のうちのソース配線34の下方に位置する部位の形状は、図14に示した凹部42a、図15に示した波形形状43aに限らず、他の形状（例えば、凸型、三角形状、円弧状、凹凸型など）にすることも可能である。

[0076] また、図16に示した構造では、半導体層41は台形形状（44a、44b）を有している。具体的には、半導体層41は、Cs配線35と平行に延びる辺44aと、ソース配線34の辺34eに対して斜めに延びる辺44bとから構成されている。図示した例では、半導体層41の辺44aの一部は、ソース配線34の下方に位置しており、それ以外の部分は、ソース配線34の外に延びている。半導体層41を台形形状（44a、44b）にすることによって、ソース配線34が半導体層の中央を外れて形成されたとしても、エッチング液が侵入し易くなる領域を発生し難くすることができるという効果を得ることができる。

[0077] また、図17に示すような台形形状（44a、44b）に半導体層41を構成することも可能である。具体的には、台形形状（44a、44b）を有する半導体層41は、ソース配線34の下方に覆われるように形成されている。ソース配線34の下方に覆われるような台形形状（44a、44b）にすることによって、ソース配線34が半導体層の中央を外れて形成されたとしても、エッチング液が侵入し易くなる領域を発生し難くすることができる。

[0078] 次に、図18（a）から（d）を参照しながら、本実施形態における交差

領域 4 0 における半導体層 4 1 およびソース配線 3 4 の製造方法について説明する。図 1 8 (a) から (d) は、本実施形態の製造方法を説明するための工程断面図である。

[0079] まず、図 1 8 (a) に示すように、ガラス基板 3 8 の上に C s 配線 3 5 を形成した後、C s 配線 3 5 を覆うように絶縁層 3 9 を形成し、次いで、その絶縁層 3 9 の上に、半導体層 4 1 の材料となる半導体材料 4 1 c を堆積する。

[0080] C s 配線 3 5 は、ガラス基板 3 8 の上に金属膜（例えば、C u 膜）を堆積した後、レジストパターン（不図示）をマスクとしてウエットエッチングすることによって形成される。なお、このウエットエッチングで、ゲート配線 3 3 も形成される。ここで、エッチング液（エッチャント）は、例えば、フッ化合物を含む溶液である。本実施形態の絶縁層 3 9 は、例えば、チッ化シリコンから構成されており、その厚さは、例えば 3 0 0 0 ~ 4 5 0 0 Å である。

[0081] この構成では、半導体材料 4 1 c は、例えば、シリコンからなる。具体的には、半導体材料 4 1 c は、T F T 素子 3 0 を構成する半導体層 3 1（図 2 参照）と同じ材料を用いることができる。さらに説明すると、T F T 素子 3 0 を構成する半導体層 3 1 を形成する工程において、交差領域 4 0 にて半導体材料 4 1 c を堆積することが好ましい。

[0082] 次に、図 1 8 (b) に示すように、半導体材料 4 1 c の上に、半導体層 4 1 のパターンを規定するレジストパターン 4 1 m を形成する。レジストパターン 4 1 m は、フォトリソグラフィによって形成された樹脂製のパターンである。

[0083] 次に、図 1 8 (c) に示すように、レジストパターン 4 1 m をマスクとして、半導体材料 4 1 c をエッチングすることによって、半導体材料 4 1 c から半導体層 4 1 を得る。なお、この例では、ドライエッチングによって半導体材料 4 1 c をパターンニングして、半導体層 4 1 を形成する。図示した例では、レジストパターン 4 1 m と絶縁層 3 9 とに挟まれている部分の半導体材

料4 1 cは、他の部分よりもエッチングがされにくいので、半導体層4 1には少しの段差4 1 dが生じることが多い。なお、ドライエッチングの後は、レジストパターン4 1 mは取り除かれる。

[0084] その後、図1 8 (d) に示すように、半導体層4 1を覆うように絶縁層3 9の上にソース配線3 4を形成する。具体的には、絶縁層3 9の上にソース配線3 4の材料（ソースメタル）となる金属膜（例えば、Cu膜）を積層した後、レジストパターン（不図示）をマスクとしてウエットエッチングすることによって形成される。ここで、エッチング液（エッチャント）は、例えば、フッ化化合物を含む溶液である。

[0085] 本実施形態の手法によれば、Cs配線3 5とソース配線3 4との交差領域4 0において、ソース配線3 4の段差4 5の勾配を緩和する半導体層4 1が形成されているので、ソース配線3 4の断線も抑制することが容易となる。

[0086] 次に、図1 9 (a) から (d) を参照しながら、本実施形態における交差領域4 0における半導体層4 1およびソース配線3 4の他の製造方法について説明する。図1 9 (a) から (d) は、本実施形態の他の製造方法を説明するための工程断面図である。

[0087] まず、図1 9 (a) に示すように、ガラス基板3 8の上にCs配線3 5および絶縁層3 9を形成した後、絶縁層3 9の上に、半導体層4 1の材料となる半導体材料4 1 cを堆積する。これは、上述した図1 8 (a) と同様である。

[0088] 次に、図1 9 (b) に示すように、少なくとも二段構造の半導体層4 1のパターンを規定するレジストパターン4 1 nを形成する。図1 9 (b) に示したレジストパターン4 1 nは、ハーフトーンフォトリソによって段差4 1 gを有するように形成されている。なお、ドライエッチングの後は、レジストパターン4 1 nは取り除かれる。

[0089] 次に、図1 9 (c) に示すように、段差4 1 gを有するレジストパターン4 1 nをマスクとして、半導体材料4 1 cをドライエッチングすることによって、半導体材料4 1 cから、第1段差部4 1 aおよび第2段差部4 1 bを

有する半導体層 4 1 を得る。なお、この例では、図 1 8 (c) と同様に、半導体層 4 1 に少しの段差 4 1 d が形成されている。

[0090] その後、図 1 9 (d) に示すように、段差部 (4 1 a、4 1 b) を有する半導体層 4 1 を覆うように絶縁層 3 9 の上にソース配線 3 4 を形成する。具体的には、絶縁層 3 9 の上にソース配線 3 4 の材料 (ソースメタル) となる金属膜 (例えば、C u 膜) を積層した後、レジストパターン (不図示) をマスクとしてウエットエッチングすることによって形成される。

[0091] 図 1 9 に示した実施形態の手法によれば、C s 配線 3 5 とソース配線 3 4 との交差領域 4 0 において、少なくとも 2 つの段差部 (4 1 a、4 1 b) を有する半導体層 4 1 を形成することができる。したがって、段差 4 5 をより滑らかに変化させることができるので、ソース配線 3 4 の断線をより効果的に抑制することができる。

[0092] 次に、図 2 0 (a) から (d) を参照しながら、本実施形態における交差領域 4 0 における半導体層 4 1 およびソース配線 3 4 の他の製造方法について説明する。図 2 0 (a) から (d) は、本実施形態の他の製造方法を説明するための工程断面図である。

[0093] まず、図 2 0 (a) に示すように、ガラス基板 3 8 の上に C s 配線 3 5 および絶縁層 3 9 を形成した後、絶縁層 3 9 の上に、半導体層 4 1 の材料となる半導体材料 4 1 c を堆積する。これは、上述した図 1 8 (a) と同様である。

[0094] 次に、図 2 0 (b) に示すように、C s 配線 3 5 を乗り越えた部位の半導体材料 4 1 c から少し離間した位置で、半導体材料 4 1 c の上に、半導体層 4 1 のパターンを規定するレジストパターン 4 1 m を形成する。

[0095] 次に、図 2 0 (c) に示すように、レジストパターン 4 1 m をマスクとして、半導体材料 4 1 c をドライエッチングすることによって、半導体材料 4 1 c から半導体層 4 1 を得る。なお、レジストパターン 4 1 m を少し離間して形成しているので、図 1 8 (c) に示した少しの段差 4 1 d は半導体層 4 1 には形成されていない。また、ドライエッチングの後、レジストパター

ン 4 1 m は取り除かれる。

[0096] その後、図 20 (d) に示すように、半導体層 4 1 を覆うように絶縁層 3 9 の上にソース配線 3 4 を形成する。具体的には、絶縁層 3 9 の上にソース配線 3 4 の材料（ソースメタル）となる金属膜（例えば、Cu 膜）を積層した後、レジストパターン（不図示）をマスクとしてウエットエッチングすることによって形成される。

[0097] 図 20 に示した実施形態の手法によっても、Cs 配線 3 5 とソース配線 3 4 との交差領域 4 0 において、Cs 配線 3 5 の厚さよりも薄い半導体層 4 1 を形成することができ、その結果、ソース配線 3 4 の断線を抑制することができる。

[0098] なお、図 1 に示した本実施形態の液晶表示装置 1 0 0 においては、液晶パネル 1 0 及び／又は発光素子（例えば、LED 素子）2 3 の駆動を制御する制御装置（不図示）を含めることができる。そのような制御装置は、半導体集積回路からなる。本実施形態の制御装置は、液晶パネル駆動部および LED 駆動部を含んでいる。液晶パネル駆動部は、液晶パネル 1 0 を駆動することによって液晶パネル 1 0 に画像を表示させる部位であり、ゲートドライバ、ソースドライバなどのドライバ回路に該当する。LED 駆動部は、各 LED 素子 2 3 を個別に点灯／消灯させたり、発光強度を変更させるための部位であり、例えばスイッチ等を含むドライバ回路によって構成されている。なお、発光素子が冷陰極管（CCFL）の場合には、LED 駆動部は、CCFL 駆動部（または、バックライト駆動部）となる。

[0099] また、本実施形態の LED 素子 2 3 は、導光板 2 2 に光を出射するように複数個配列されており、例えば白色 LED からなる。図 1 に示した例では、導光板 2 2 の一辺に LED 素子 2 3 を配列させたが、それに限らず、導光板 2 2 の二辺又はそれ以上（例えば、三辺）に LED 素子 2 3 を配列させることも可能である。なお、上述したように、LED 素子 2 3 は、直下型の LED バックライトの構成で使用することも可能である。

[0100] 以上、本発明を好適な実施形態により説明してきたが、こうした記述は限

定事項ではなく、勿論、種々の改変が可能である。例えば、上述した実施形態では、１枚の液晶パネル１０を用いて画像表示部を構成しているが、複数枚の液晶パネル１０を組み合わせて１つの画像表示部（マルチディスプレイ）を構成することも可能である。そのような複数枚の液晶パネル１０を組み合わせた液晶表示装置１００を、大画面のデジタルサイネージ（例えば、１００インチ以上の表示装置）の用途に使用することも可能である。

産業上の利用可能性

[0101] 本発明によれば、ソース配線の断線を抑制できる液晶パネル用アレイ基板および液晶パネルを提供することができる。

符号の説明

- [0102]
- １０ 液晶パネル
 - １１ アレイ基板（ＴＦＴ基板）
 - １２ カラーフィルタ基板
 - １３ 偏光板
 - ２０ バックライトユニット
 - ２１ 光学シート
 - ２２ 導光板
 - ２３ 発光素子
 - ２５ 配線基板
 - ２７ 反射シート
 - ２８ バックライトシャーシ
 - ２９ ベゼル
 - ３０ ＴＦＴ素子
 - ３１ 半導体層
 - ３２ｄ ドレイン電極
 - ３２ｓ ソース電極
 - ３３ ゲート配線
 - ３４ ソース配線

- 3 4 a 本体部
- 3 4 c 湾曲部
- 3 5 補助容量配線 (C s 配線)
- 3 6 ドレイン配線
- 3 7 画素電極
- 3 8 基板 (ガラス基板)
- 3 9 絶縁層
- 4 0 交差領域
- 4 1 半導体層
- 4 1 a 第 1 段差部
- 4 1 b 第 2 段差部
- 4 1 c 半導体材料
- 4 1 f 第 1 半導体層
- 4 1 s 第 2 半導体層
- 4 1 m、4 1 n レジストパターン
- 4 2 a 凹部
- 4 3 a 波形部位
- 4 5 段差
- 4 7 交差領域
- 5 0 電流
- 1 0 0 液晶表示装置
- 1 0 0 0 液晶パネル

請求の範囲

- [請求項1] 行及び列を有するマトリックス状に画素が配置された液晶パネル用アレイ基板であって、
- 行方向に延びる補助容量配線と、
- 前記補助容量配線よりも上層に位置し、列方向に延びるソース配線と
- を備え、
- 前記補助容量配線は、基板の上に形成されており、
- 前記基板の上には、前記補助容量配線を覆うように絶縁層が形成されており、
- 前記補助容量配線と前記ソース配線との交差領域において、前記絶縁層の上に、半導体層が形成されており、
- 前記ソース配線は、前記半導体層を覆うように前記絶縁層の上に形成されている、アレイ基板。
- [請求項2] 前記絶縁層の上に形成される前記半導体層は、前記交差領域における前記ソース配線の段差の勾配を緩和する段差緩和パターンである、請求項1に記載のアレイ基板。
- [請求項3] 前記半導体層の厚さは、前記補助容量配線の厚さよりも小さい、請求項1または2に記載のアレイ基板。
- [請求項4] 前記半導体層は、少なくとも2段の段差構造を有している、請求項1から3の何れか1つに記載のアレイ基板。
- [請求項5] 前記半導体層は、前記補助容量配線と平行な方向である行方向に沿って延びている、請求項1から4の何れか1つに記載のアレイ基板。
- [請求項6] 前記半導体層は、
- 前記補助容量配線の第1辺に沿って延びる第1半導体層と、
- 前記補助容量配線の第2辺に沿って延びる第2半導体層と
- を含んでいる、請求項5に記載のアレイ基板。
- [請求項7] 前記ソース配線のうち前記半導体層の上に位置する部位は、湾曲部

となっている、請求項 1 から 6 の何れか 1 つに記載のアレイ基板。

[請求項 8] 前記ソース配線の下方に位置する半導体層の一部には、少なくとも 1 つの凹部が形成されている、請求項 1 から 7 の何れか 1 つに記載のアレイ基板。

[請求項 9] 前記補助容量配線と前記ソース配線との全ての前記交差領域において、前記半導体層が形成されている、請求項 1 から 8 の何れか 1 つに記載のアレイ基板。

[請求項 10] 前記マトリックス状に配置された画素のそれぞれには、薄膜トランジスタが形成されており、

前記薄膜トランジスタには、

前記ソース配線から延びるソース電極と、

前記ソース電極に対向して配置されたドレイン電極と

を備え、

前記ドレイン電極からは、画素電極に接続されるドレイン配線が延びており、

前記ドレイン配線の端部は、前記補助容量配線に接続されている、請求項 1 から 9 の何れか 1 つに記載のアレイ基板。

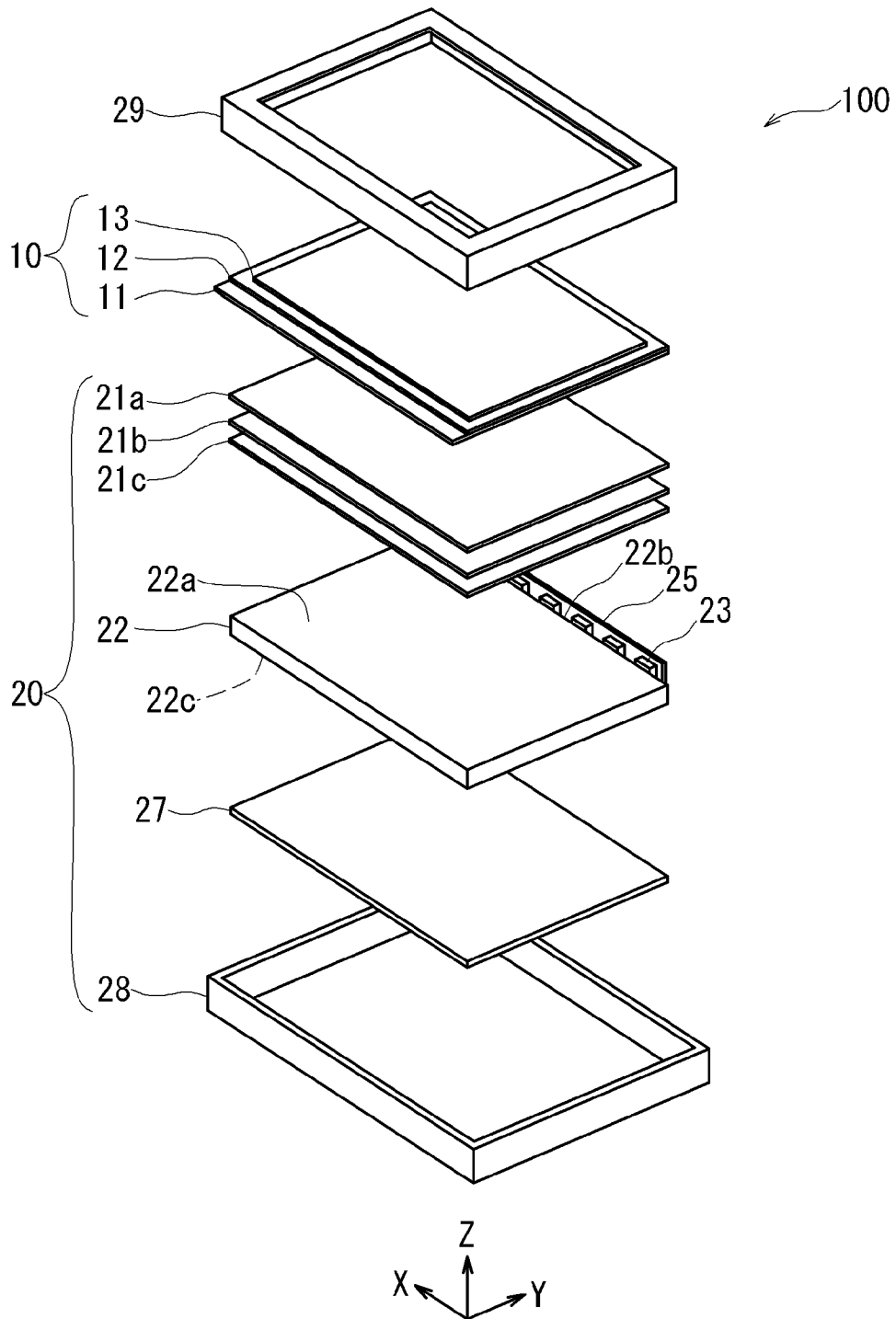
[請求項 11] 請求項 1 から 10 の何れか 1 つに記載のアレイ基板と、
前記アレイ基板に対向して配置されるカラーフィルタ基板と、
前記アレイ基板と前記カラーフィルタ基板との間に配置される液晶層と

を備えた、液晶パネル。

[請求項 12] 請求項 11 に記載の液晶パネルと、
前記液晶パネルに光を照射するバックライトユニットと
を備えた、液晶表示装置。

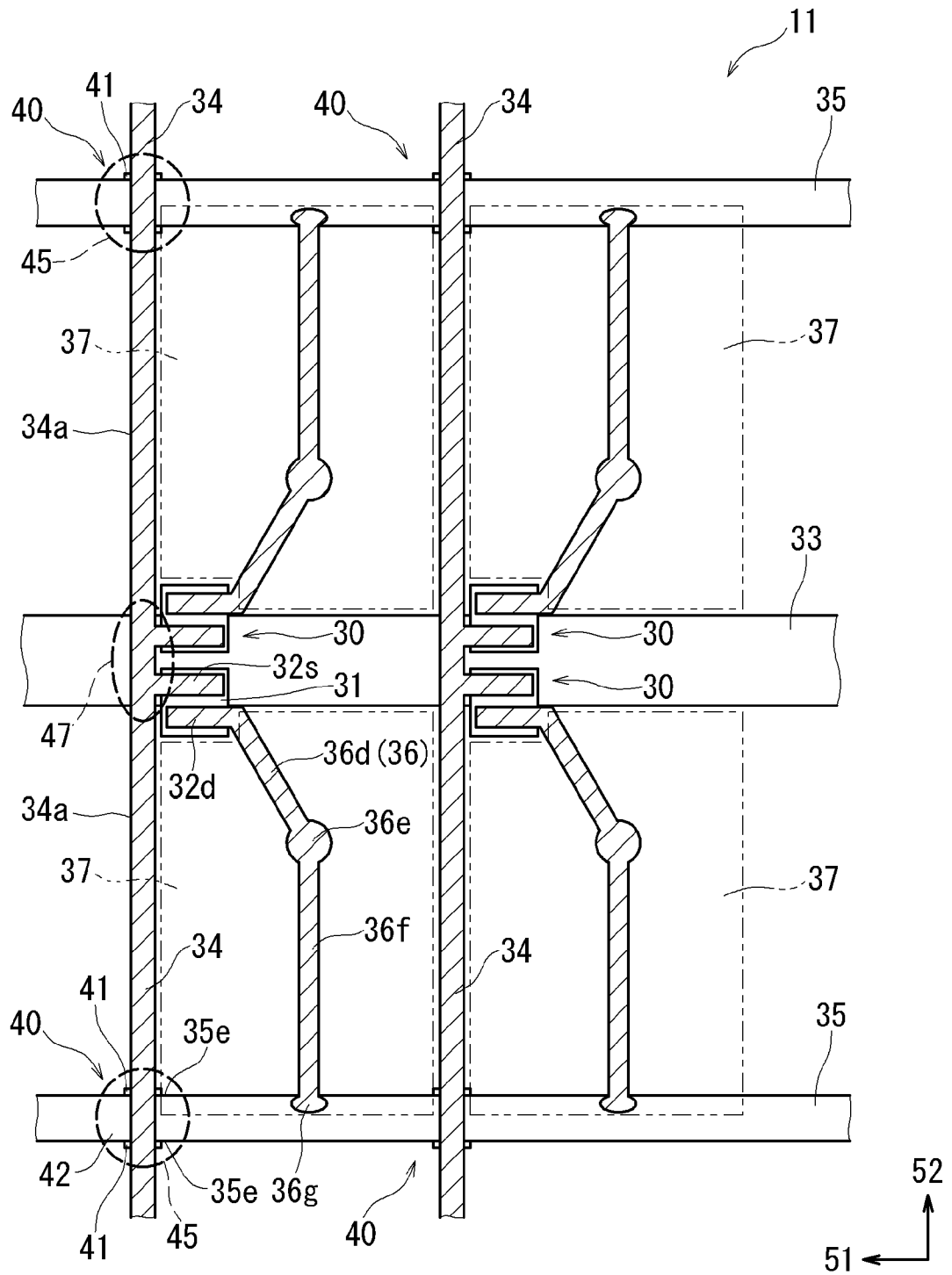
[図1]

FIG. 1



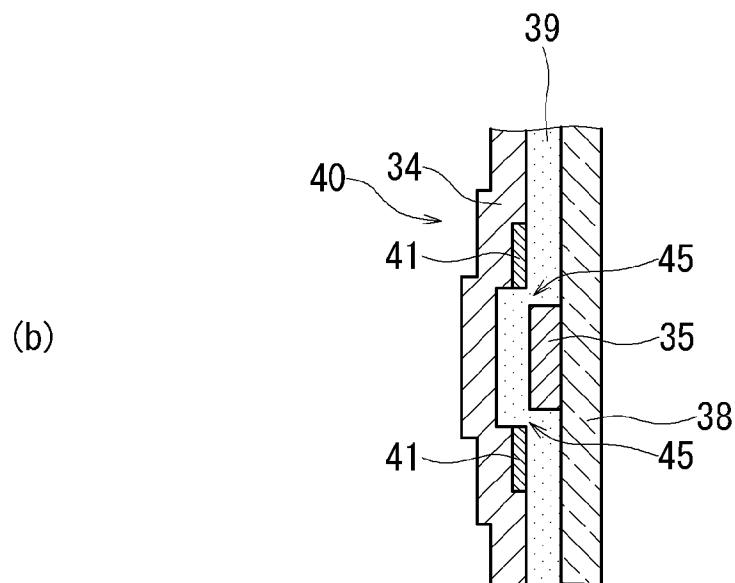
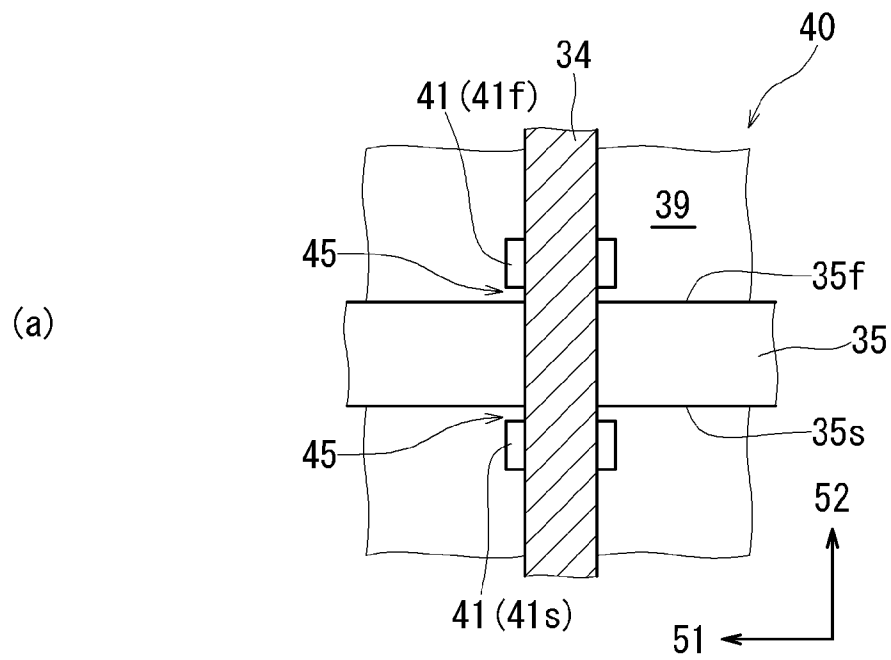
[図2]

FIG. 2

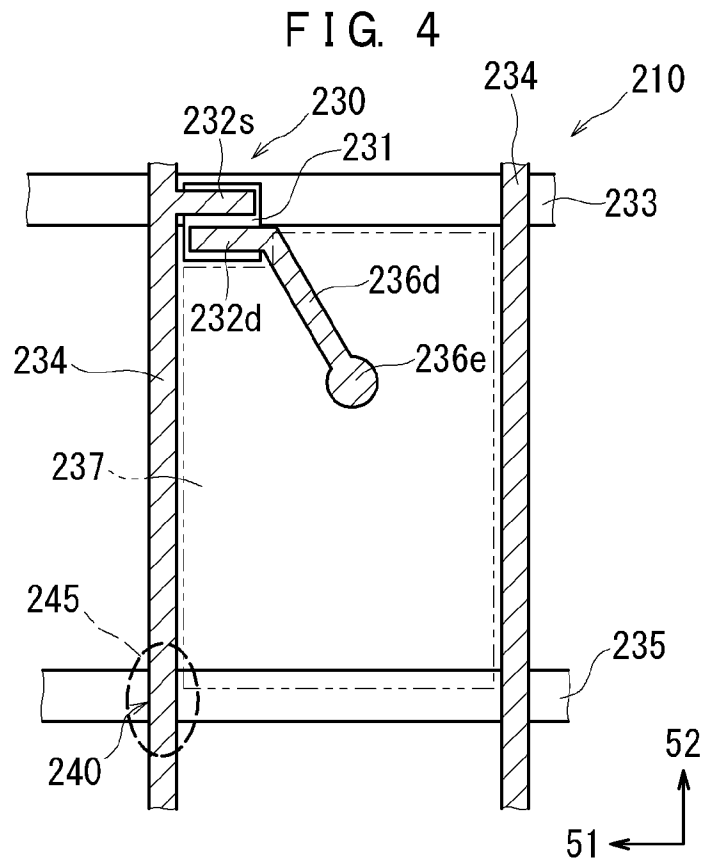


[図3]

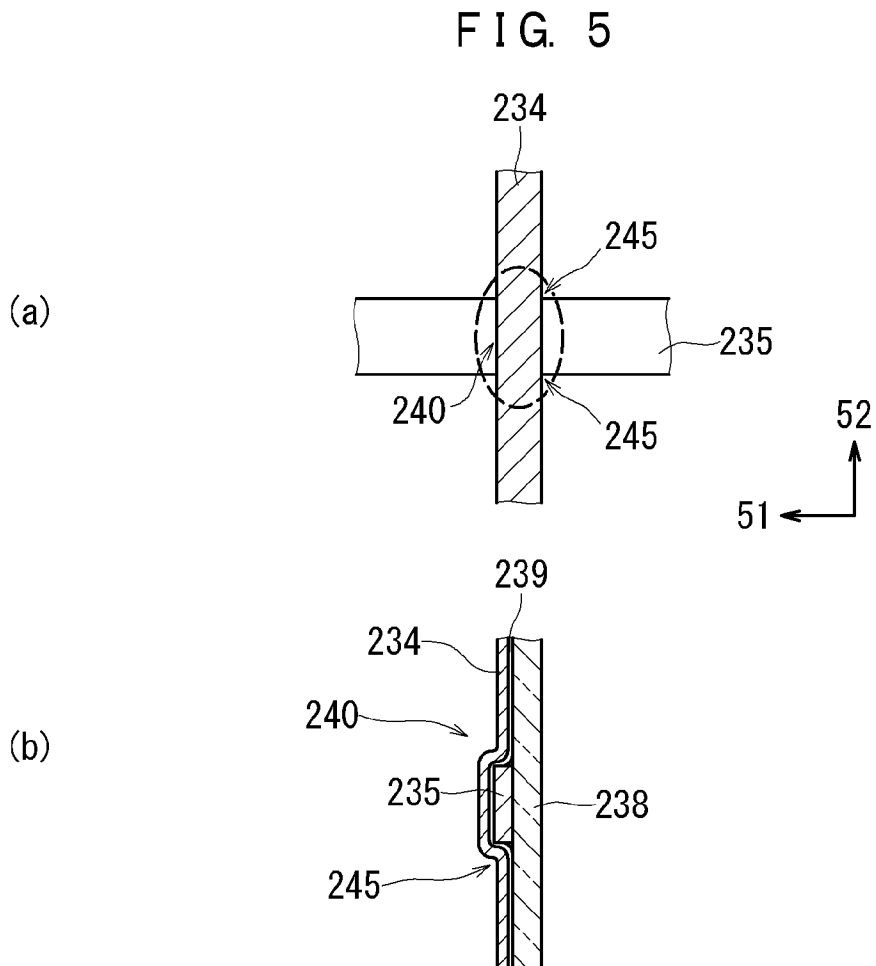
FIG. 3



[図4]

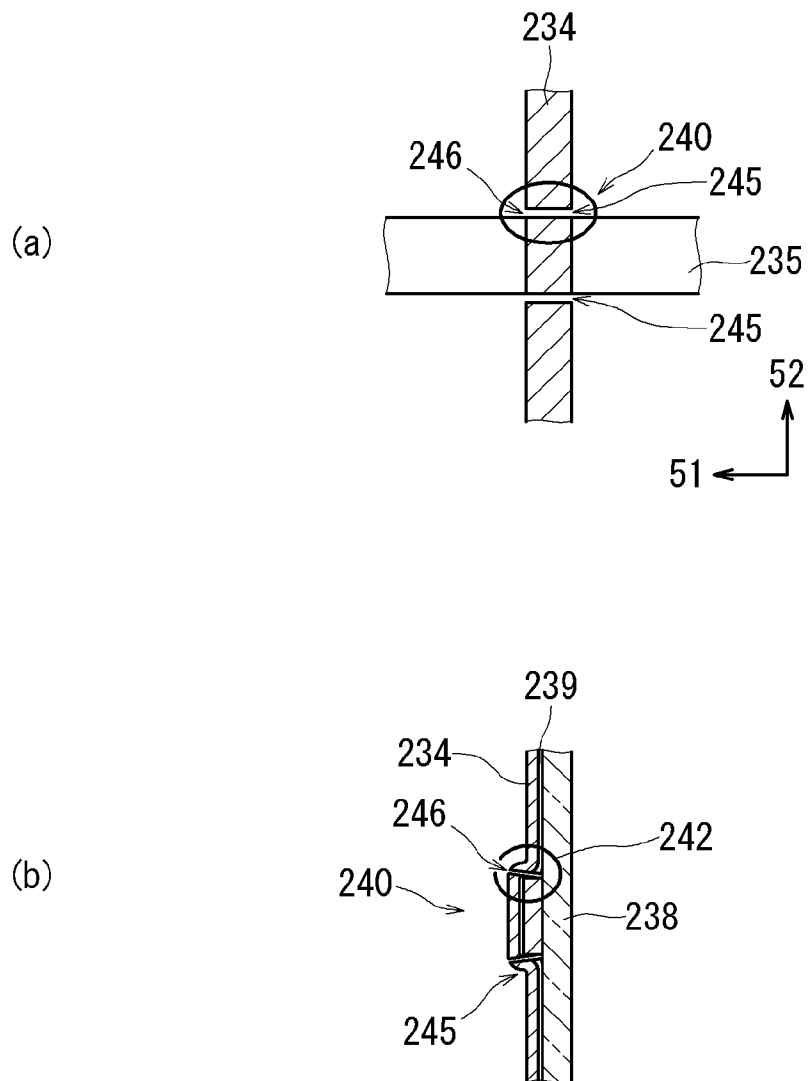


[図5]



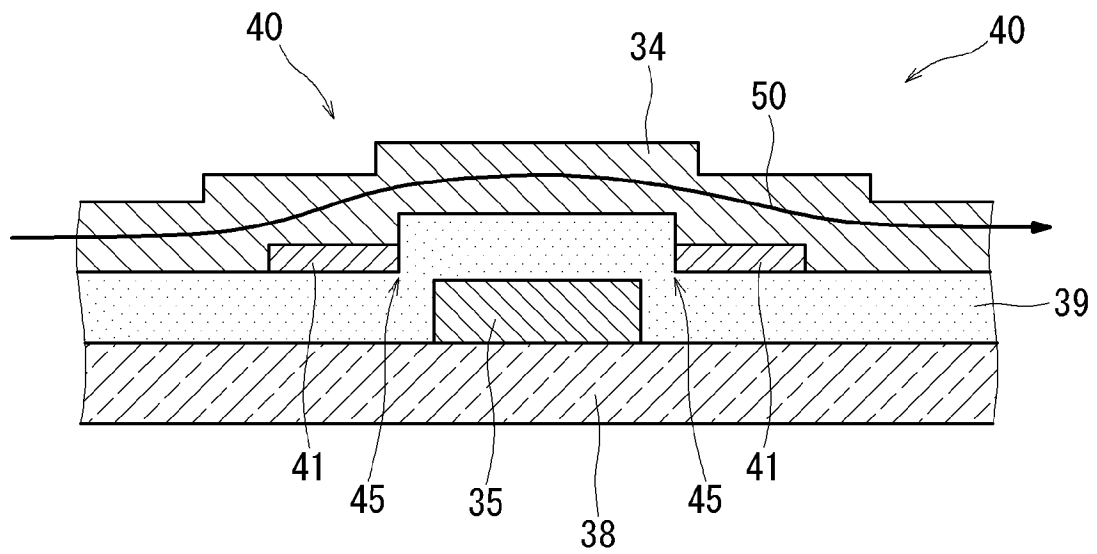
[図6]

FIG. 6



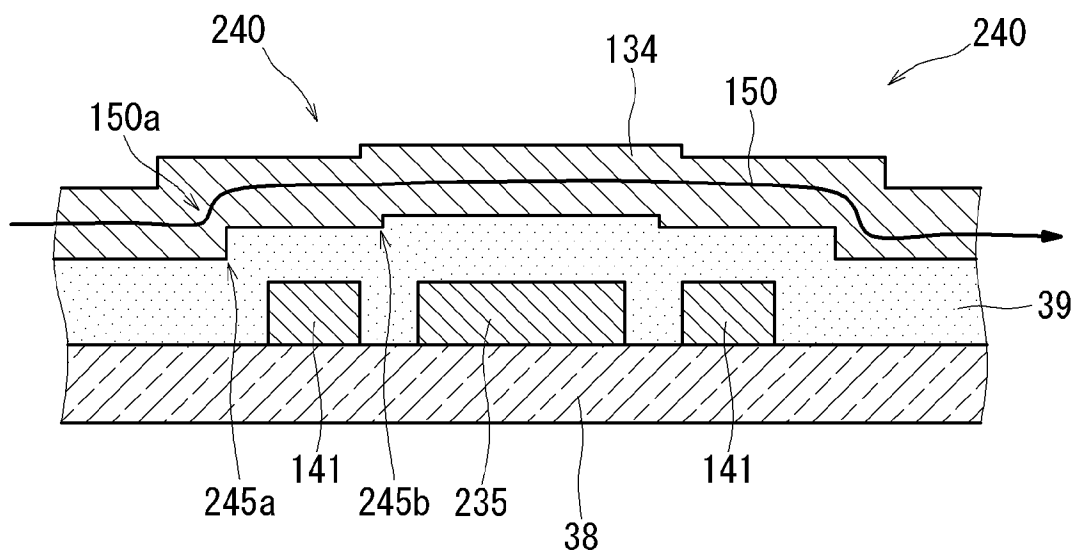
[図7]

FIG. 7



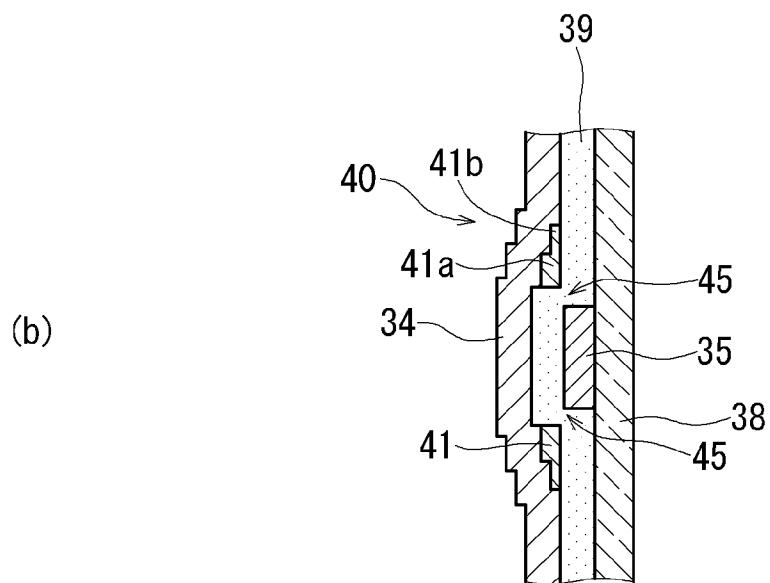
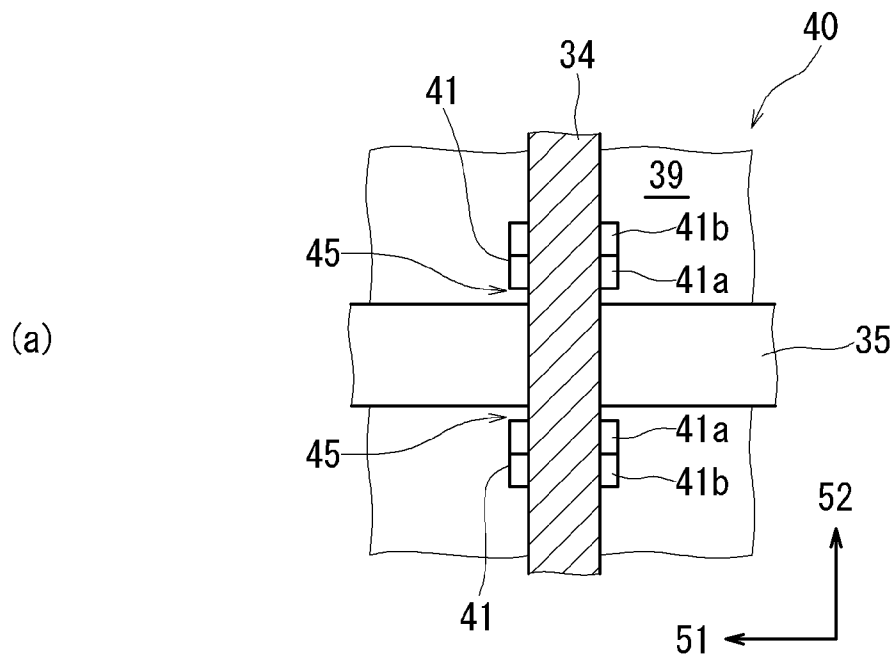
[図8]

FIG. 8



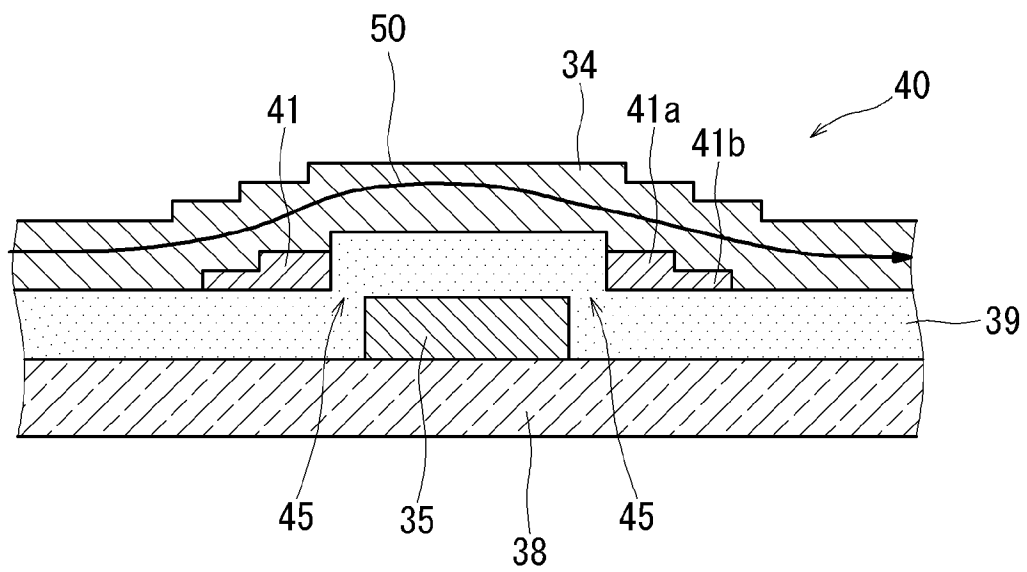
[図9]

FIG. 9



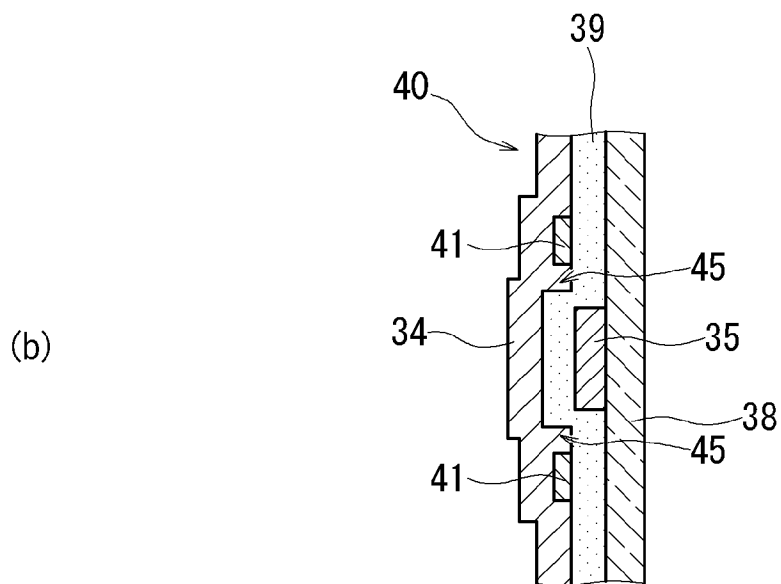
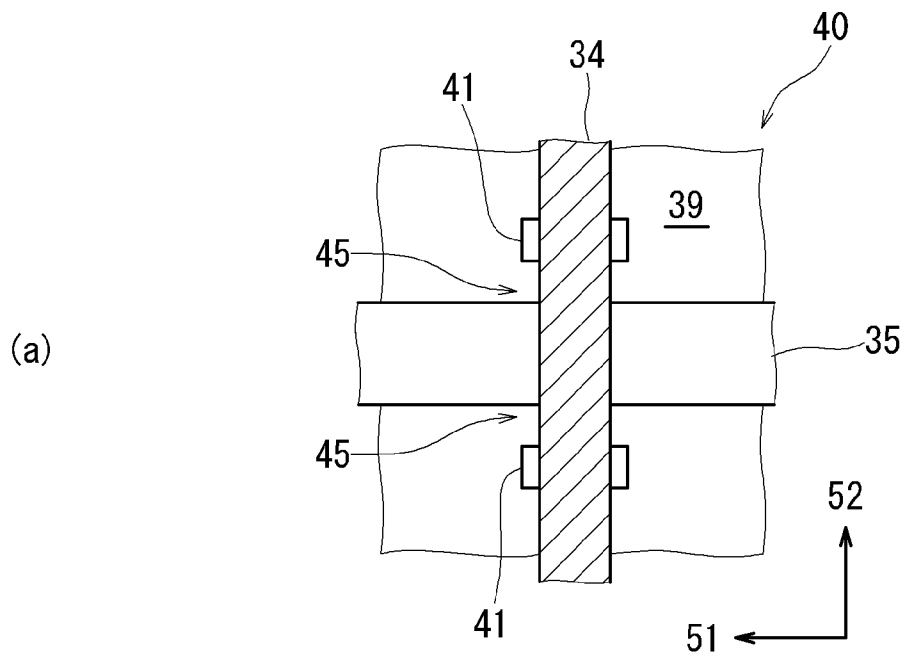
[図10]

FIG. 10



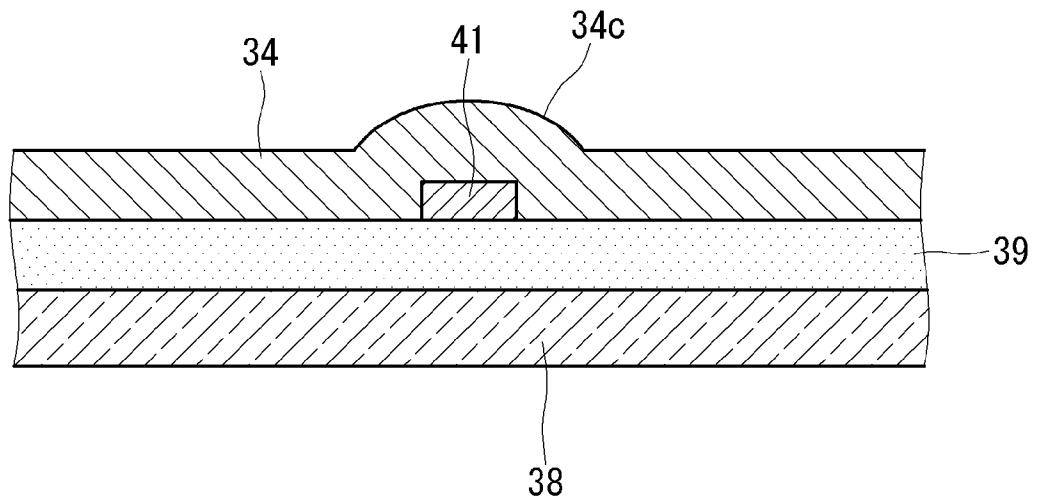
[図11]

FIG. 11



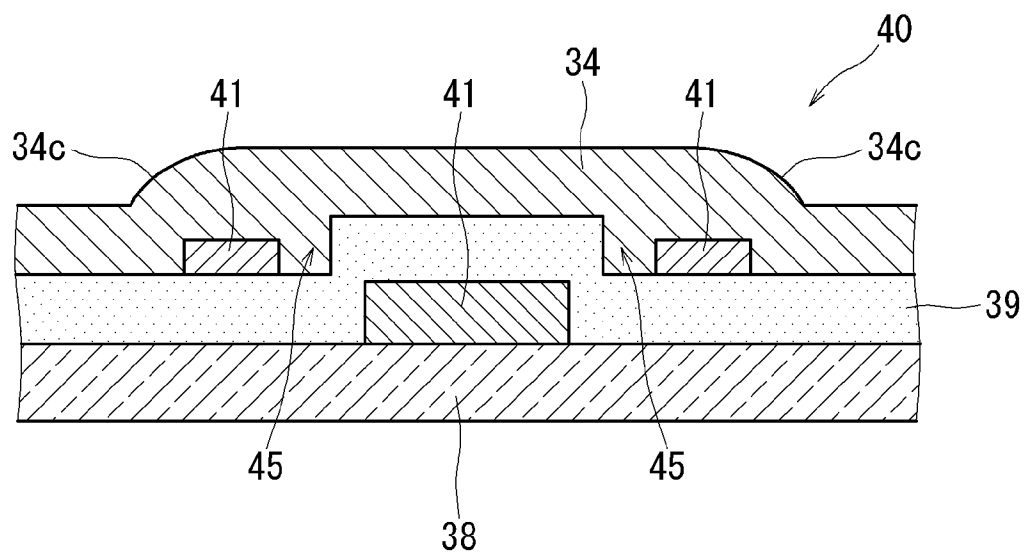
[図12]

FIG. 12



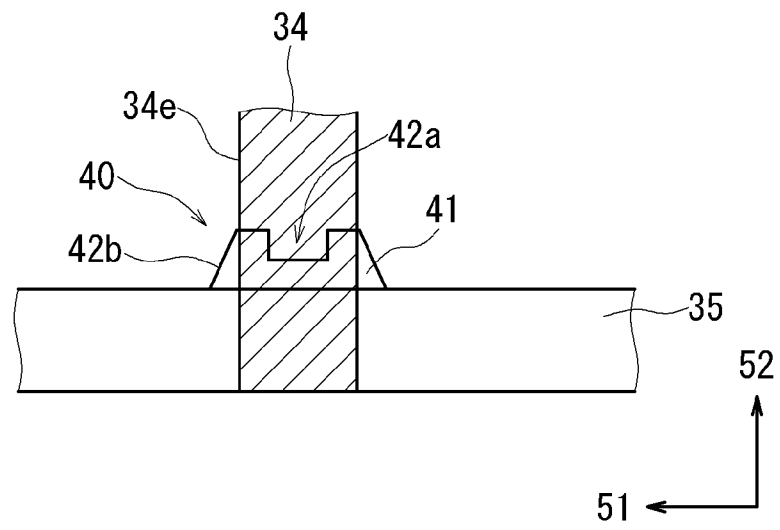
[図13]

FIG. 13



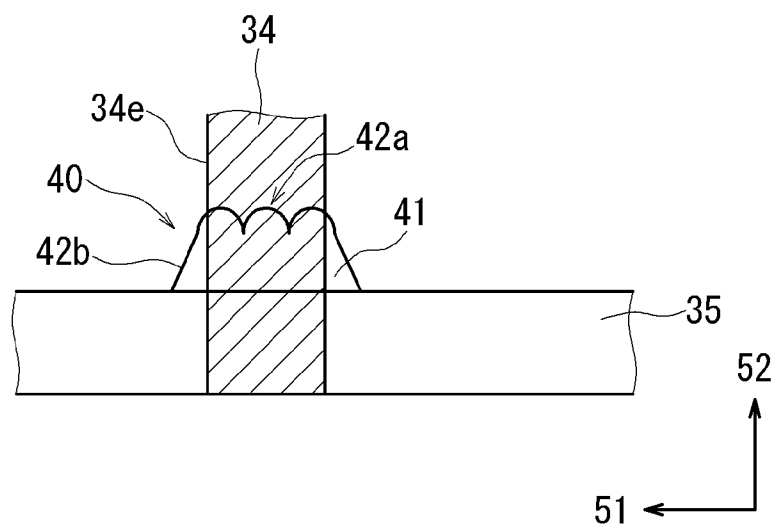
[図14]

FIG. 14



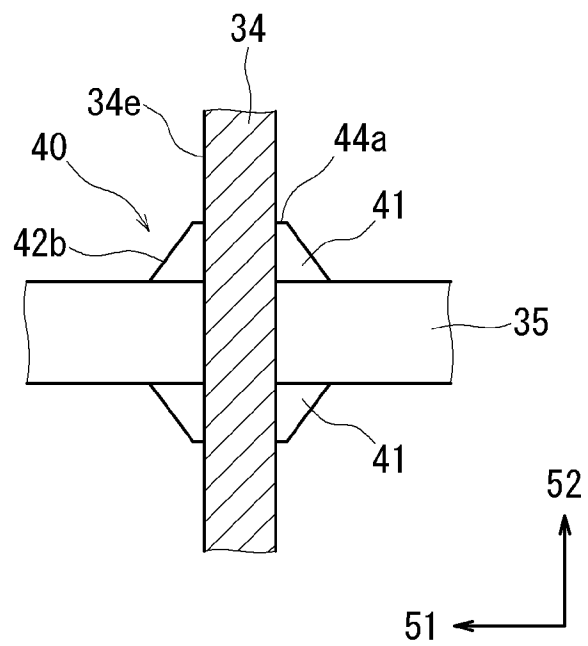
[図15]

FIG. 15



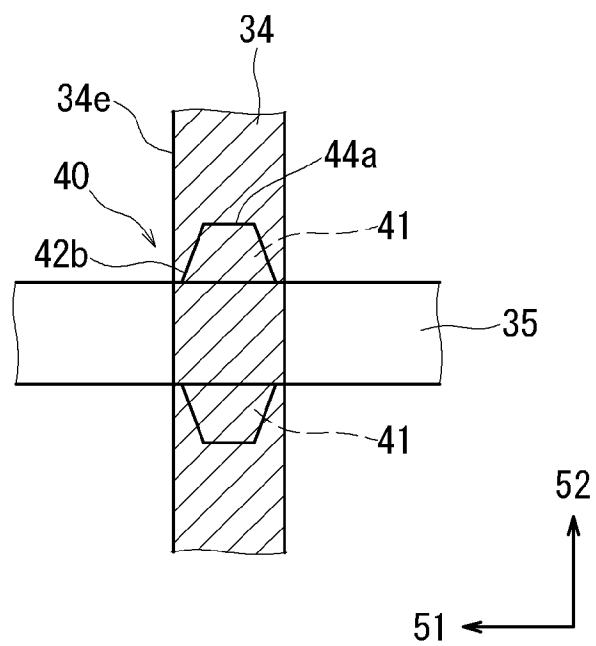
[図16]

FIG. 16



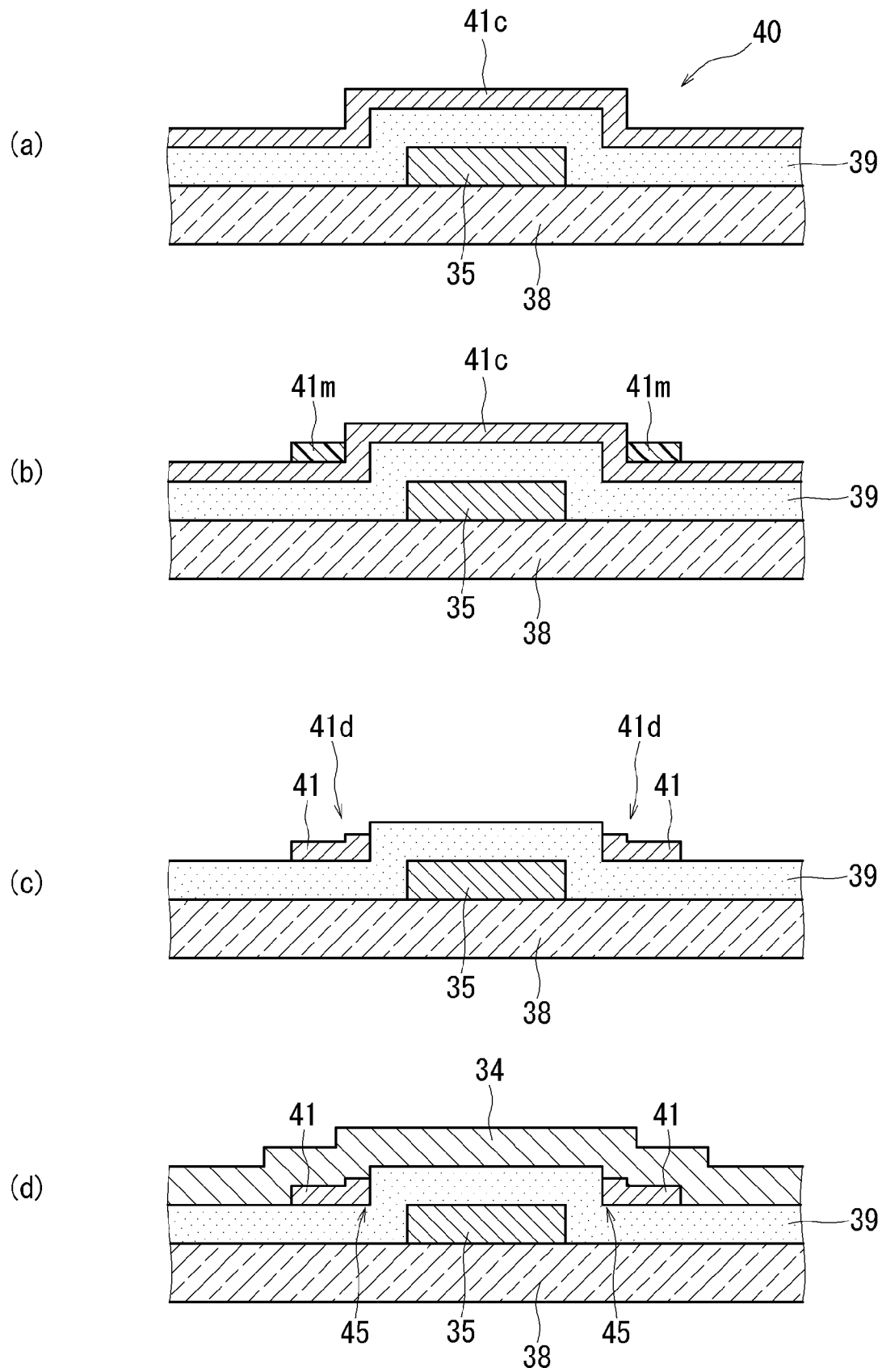
[図17]

FIG. 17



[図18]

FIG. 18



[図19]

FIG. 19

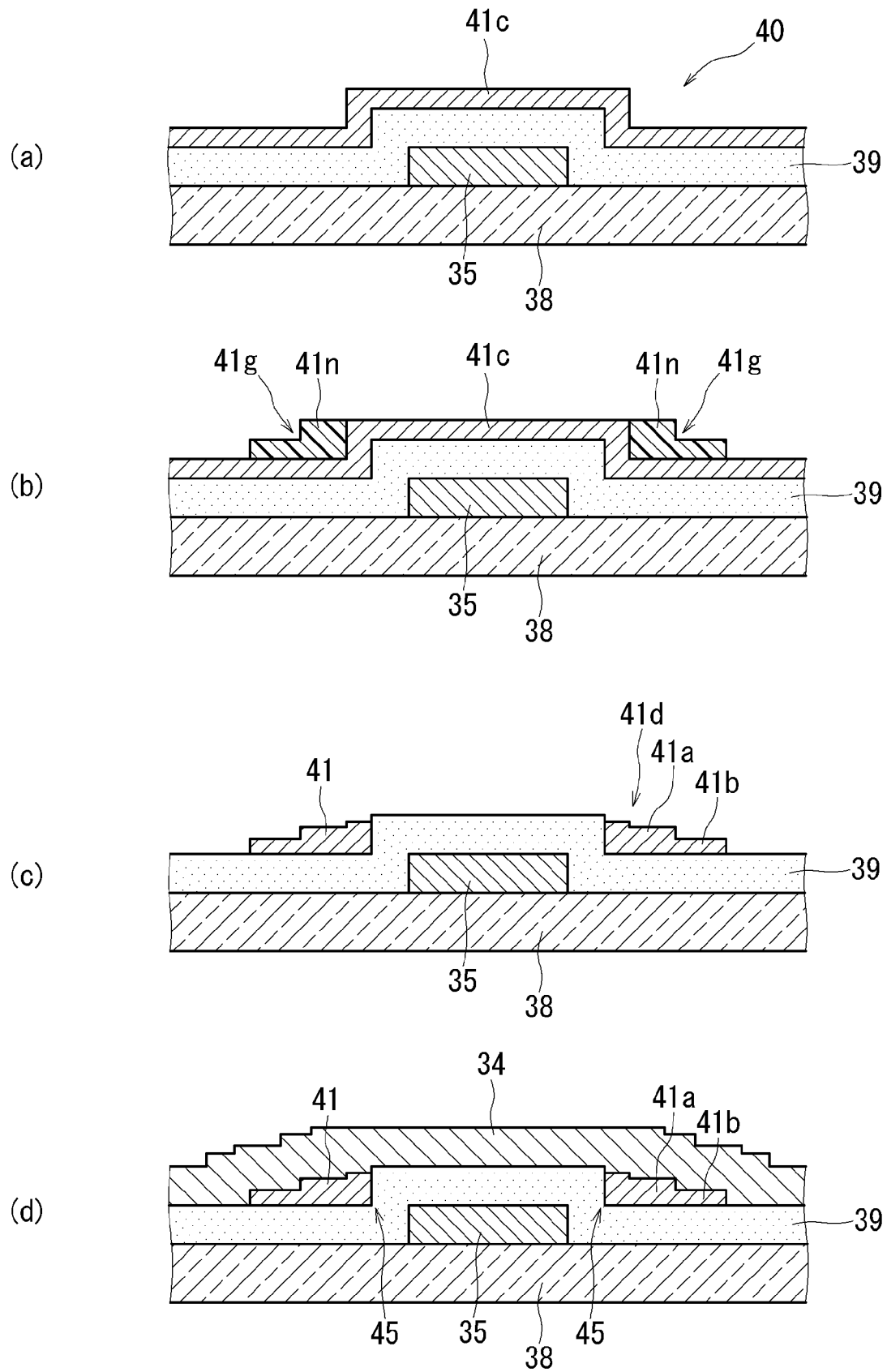
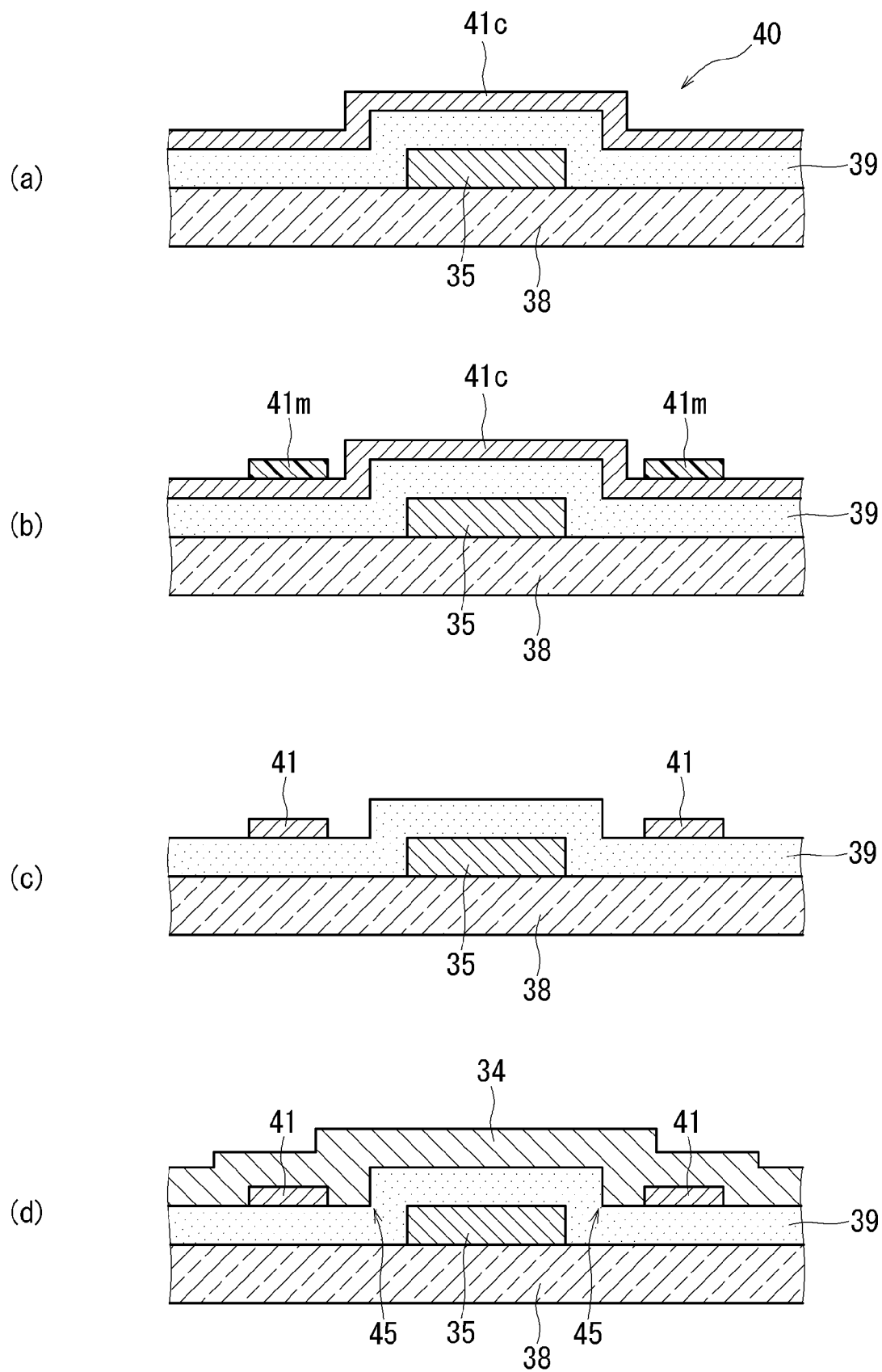


FIG. 20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057469

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 62-280890 A (Matsushita Electric Industrial Co., Ltd.), 05 December 1987 (05.12.1987), entire text; all drawings (Family: none)	1, 9 2-5, 7-12 6
Y	JP 9-45774 A (Sony Corp.), 14 February 1997 (14.02.1997), entire text; all drawings (Family: none)	2-5, 7-12
Y	JP 2-20830 A (Sharp Corp.), 24 January 1990 (24.01.1990), entire text; all drawings (Family: none)	8-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 April, 2012 (13.04.12)

Date of mailing of the international search report
12 June, 2012 (12.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057469

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-122089 A (Sharp Corp.), 28 April 2000 (28.04.2000), entire text; all drawings (Family: none)	1-12
A	JP 1-183628 A (Matsushita Electric Industrial Co., Ltd.), 21 July 1989 (21.07.1989), entire text; all drawings (Family: none)	8
A	JP 2007-310351 A (L.G. Philips LCD Co., Ltd.), 29 November 2007 (29.11.2007), entire text; all drawings & US 2007-268422 A1 & KR 10-2007-111580 A	1

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G02F1/1368 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	J P 6 2 - 2 8 0 8 9 0 A（松下電器産業株式会社） 1 9 8 7 . 1 2 . 0 5、全文、全図（ファミリーなし）	1, 9 2-5, 7-12 6
Y	J P 9 - 4 5 7 7 4 A（ソニー株式会社） 1 9 9 7 . 0 2 . 1 4、全文、全図（ファミリーなし）	2-5, 7-12

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 4 . 2 0 1 2

国際調査報告の発送日

1 2 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

山口 裕之

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 9 3

2 L

2 9 1 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 2-20830 A (シャープ株式会社) 1990.01.24、全文、全図 (ファミリーなし)	8-12
A	J P 2000-122089 A (シャープ株式会社) 2000.04.28、全文、全図 (ファミリーなし)	1-12
A	J P 1-183628 A (松下電器産業株式会社) 1989.07.21、全文、全図 (ファミリーなし)	8
A	J P 2007-310351 A (エルジー フィリップス エルシーデー カンパニー リミテッド) 2007.11.29、全文、全図 & US 2007-268422 A1 & KR 10-2007-111580 A	1