

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5728919号
(P5728919)

(45) 発行日 平成27年6月3日(2015.6.3)

(24) 登録日 平成27年4月17日(2015.4.17)

(51) Int.Cl.

F I

HO 1 L 27/105 (2006.01)

HO 1 L 45/00 (2006.01)

HO 1 L 49/00 (2006.01)

HO 1 L 27/10

HO 1 L 45/00

HO 1 L 49/00

4 4 8

Z

Z

請求項の数 7 (全 15 頁)

(21) 出願番号	特願2010-274816 (P2010-274816)	(73) 特許権者	000002185
(22) 出願日	平成22年12月9日 (2010.12.9)		ソニー株式会社
(65) 公開番号	特開2012-124374 (P2012-124374A)		東京都港区港南1丁目7番1号
(43) 公開日	平成24年6月28日 (2012.6.28)	(74) 代理人	100098785
審査請求日	平成25年11月20日 (2013.11.20)		弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	曾根 威之
			東京都港区港南1丁目7番1号 ソニー株式会社社内

最終頁に続く

(54) 【発明の名称】 記憶素子および記憶装置

(57) 【特許請求の範囲】

【請求項1】

第1電極、記憶層および第2電極をこの順に有し、
前記記憶層は、
前記第2電極側に設けられたイオン源層と、
前記イオン源層と前記第1電極との間に設けられた抵抗変化層と、
前記抵抗変化層と前記第1電極との間に設けられ、前記抵抗変化層の導電率に対して10倍以上200倍以下の高い導電率を有するバリア層と
を備えた記憶素子。

【請求項2】

前記バリア層の導電率は、20倍以上100倍以下の範囲で前記抵抗変化層の導電率よりも高い、請求項1に記載の記憶素子。

【請求項3】

前記バリア層は、チタン(Ti)、ハフニウム(Hf)、V(バナジウム)、Nb(ニオブ)、Ta(タンタル)、Cr(クロム)、Mo(モリブデン)、またはジルコニウム(Zr)の酸化物あるいは窒化物を含む、請求項1または2に記載の記憶素子。

【請求項4】

前記イオン源層は、シリコン(Si)、ジルコニウム(Zr)およびアルミニウム(Al)のうちの少なくとも1種類と共に、銅(Cu)、銀(Ag)、ゲルマニウム(Ge)、亜鉛(Zn)、ジルコニウム(Zr)、チタン(Ti)、ハフニウム(Hf)、V(バ

ナジウム), Nb (ニオブ), Ta (タンタル), Cr (クロム), Mo (モリブデン) およびタングステン (W) のうちの少なくとも 1 種類の金属元素を含む、請求項 1 乃至 3 のうちのいずれか 1 項に記載の記憶素子。

【請求項 5】

前記イオン源層は、シリコン (Si), ジルコニウム (Zr) およびアルミニウム (Al) のうちの少なくとも 1 種類を含む、請求項 1 乃至 4 のうちのいずれか 1 項に記載の記憶素子。

【請求項 6】

前記第 1 電極および前記第 2 電極への電圧印加によって前記抵抗変化層内に前記金属元素を含む低抵抗部が形成されることにより抵抗値が変化する、請求項 4 に記載の記憶素子。

10

【請求項 7】

第 1 電極、記憶層および第 2 電極をこの順に有する複数の記憶素子と、前記複数の記憶素子に対して選択的に電圧または電流のパルス印加するパルス印加手段とを備え、

前記記憶層は、

前記第 2 電極側に設けられたイオン源層と、

前記イオン源層と前記第 1 電極との間に設けられた抵抗変化層と、

前記抵抗変化層と前記第 1 電極との間に設けられ、前記抵抗変化層の導電率に対して 10 倍以上 200 倍以下の高い導電率を有するバリア層と

を備えた記憶装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イオン源層および抵抗変化層を含む記憶層の電気的特性の変化により情報を記憶する記憶素子および記憶装置に関する。

【背景技術】

【0002】

コンピュータ等の情報機器においては、RAM (Random Access Memory) として動作が高速且つ高密度な DRAM (Dynamic Random Access Memory) が広く使用されている。しかしながら、DRAM は電子機器に用いられる一般的な論理回路 LSI (Large Scale Integration) や信号処理回路と比較して製造工程が複雑であるためコストが高い。また、頻繁にリフレッシュ動作、即ち書き込んだ情報を読み出し、増幅し直して再度書き込み直す動作を行う必要がある。更に、DRAM は電源供給がなくなると記憶情報が失われる揮発性メモリであるため、長期記録の用途には向かないという欠点がある。

30

【0003】

これに対して、電源を供給しなくても記憶を保持することが可能な、例えば FeRAM (Ferroelectric Random Access Memory) や MRAM (Magnetic Random Access Memory) などの不揮発性メモリが用いられている。但し、これらの不揮発性メモリは書き込みおよび消去に大電圧が必要なこと、フローティングゲートに注入する電子の数が限られることから微細化の限界が指摘されている。

40

【0004】

そこで、2つの電極間に金属元素 (例えば、銅 (Cu), 銀 (Ag), 亜鉛 (Zn)) とカルコゲン元素 (例えば、硫黄 (S), セレン (Se), テルル (Te)) を含むイオン導電体層を挿入した記憶素子が、微細化の限界を超える次世代不揮発性メモリとして提案されている (例えば、特許文献 1, 非特許文献 1 参照)。この記憶素子は、2つのうちの一方の電極が、イオン導電体層中に含まれる金属を含有している。2つの電極間に電圧を印加すると、電極中に含まれる金属がイオン導電体層中にイオンとして拡散し、これによりイオン導電体層の抵抗値あるいはキャパシタンス等の電気特性が変化する。

【0005】

具体的には、2つの電極に閾値電圧以上のバイアス電圧を印加することにより、イオン

50

導電体層に含まれる金属がイオン化して負電極方向に移動し、負電極上に電着が生じる。この電着が、例えば樹枝状（デンドライト）に成長し、正電極に達することにより電流パスが形成されてイオン導電体層の抵抗値が低抵抗化する。これにより、記憶素子への情報の記録が行われる。また、2つの電極に上述のバイアス電圧と逆極性の電圧を印加することにより、樹枝状の電流パスを形成していた金属イオンがイオン導電体層中に溶解する。これにより、電流パスが消滅しイオン導電体層の抵抗値が回復、即ち高抵抗化する。即ち、記録した情報の消去動作が行われる。

【先行技術文献】

【特許文献】

【0006】

10

【特許文献1】特表2002-536840号公報

【特許文献2】特開2005-197634号公報

【非特許文献】

【0007】

【非特許文献1】日経エレクトロニクス 2003年1月20日号（第104頁）

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、上述のような構成の記憶素子では、温度上昇等によりカルコゲナイド元素が結晶化し、材料の特性に変化が生じる。具体的には、本来高い抵抗状態で記録を保持している部分が、高温環境下あるいは長期保存によって低抵抗状態に変化する。即ち、データの保持特性が低下するという問題があった。

20

【0009】

そこで、データの保持特性を改善した記憶素子として、以下に示す記憶素子が提案されている。例えば特許文献2に記載の記憶素子では、一方の電極とイオン導電体層との間に、イオンの移動を制限するバリア層として希土類酸化膜が挿入されている。これにより、閾値電圧以上の記録電圧の印加により、Cu, AgあるいはZn等の金属元素を含む電極から上記金属元素のイオンが希土類酸化膜に拡散し、他方の電極側で電子と結合して析出、あるいは希土類酸化膜内部に拡散した状態で留まる。即ち、希土類酸化膜内にCu, Ag, Znを多量に含む電流パス（フィラメント）が形成される（フィラメント型）。あるいは、希土類酸化膜内にCu, Ag, Znによる欠陥が多数形成される（非フィラメント型）。これにより希土類膜の抵抗値が低くなる。また、逆極性の電圧を印加することにより、希土類酸化膜内に形成された電流パスあるいは不純物準位を構成するCu, Ag, Znが再びイオン化して希土類酸化膜内を移動して負電極側に戻り、希土類酸化膜の抵抗値が高くなる。この希土類酸化膜の抵抗変化による記憶素子では、微細化した場合においても高温環境下および長期保存においても優れたデータ保持特性を示す。

30

【0010】

しかしながら、上記のようにバリア層として希土類酸化物あるいは固体電解質等を用いた場合には、データ保持特性が改善される一方、抵抗変化の繰り返し特性（スイッチング特性）が低下するという問題があった。

40

【0011】

本発明はかかる問題点に鑑みてなされたもので、その目的は、良好なデータ保持特性を維持しつつ、安定したスイッチング特性を有する記憶素子および記憶装置を提供することにある。

【課題を解決するための手段】

【0012】

本発明の記憶素子は、第1電極、記憶層および第2電極をこの順に有し、記憶層は、第2電極側に設けられたイオン源層と、イオン源層と前記第1電極との間に設けられた抵抗変化層と、抵抗変化層と第1電極との間に設けられ、抵抗変化層の導電率に対して10倍以上200倍以下の高い導電率を有するバリア層とを備えたものである。

50

【0013】

本発明の記憶装置は、第1電極、記憶層および第2電極をこの順に有する複数の記憶素子と、複数の記憶素子に対して選択的に電圧または電流のパルスを印加するパルス印加手段とを備え、記憶素子として本発明の記憶素子を用いたものである。

【0014】

本発明の記憶素子または記憶装置では、抵抗変化層と第1電極との間に設けられると共に、抵抗変化層の導電率に対して10倍以上200倍以下の高い導電率を有するバリア層を設けることにより、金属イオンの移動効率が改善される。これにより、データ消去時における電流パスあるいは不純物準位を形成する金属イオンの残存量が低減される。

【発明の効果】

10

【0015】

本発明の記憶素子または記憶装置によれば、抵抗変化層と第1電極との間に、抵抗変化層の導電率に対して10倍以上200倍以下の高い導電率を有する導電率を有するバリア層を設けるようにしたので、データ消去時における電流パスあるいは不純物準位を形成する金属イオンのイオン源層側への移動効率が改善される。これにより、第1電極近傍における金属イオンの残存量が低減され、良好なデータ保持特性を維持しつつ、繰り返し抵抗変化スイッチング特性を改善することが可能となる。

【図面の簡単な説明】

【0016】

【図1】本発明の一実施の形態に係る記憶素子の構成を表す断面図である。

20

【図2】図1の記憶素子を用いたメモリセルアレイの構成を表す断面図である。

【図3】同じくメモリセルアレイの平面図である。

【図4】実施例に係る記憶素子の駆動回路の構成図である。

【図5】印加する電圧の波形図である。

【図6】実施例に係る繰り返し回数と導電率の関係を表す特性図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施の形態について、以下の順に図面を参照しつつ説明する。

[実施の形態]

(1) 記憶素子

30

(2) 記憶装置

[実施例]

【0018】

[実施の形態]

(記憶素子)

図1は、本発明の一実施の形態に係る記憶素子1の断面構成図である。この記憶素子1は、下部電極10（第1電極）、記憶層20および上部電極30（第2電極）をこの順に有するものである。

【0019】

下部電極10は、例えば、後述（図2）のようにCMOS（Complementary Metal Oxide Semiconductor）回路が形成されたシリコン基板41上に設けられ、CMOS回路部分との接続部となっている。この下部電極10は、半導体プロセスに用いられる配線材料、例えば、タングステン（W）、窒化タングステン（WN）、銅（Cu）、アルミニウム（Al）、モリブデン（Mo）、タンタル（Ta）およびシリサイド等により構成されている。下部電極10がCu等の電界でイオン伝導が生じる可能性のある材料により構成されている場合にはCu等よりなる下部電極10の表面を、W、WN、窒化チタン（TiN）、窒化タンタル（Ta₂N₅）等のイオン伝導や熱拡散しにくい材料で被覆するようにしてもよい。また、後述のイオン源層21にAlが含まれている場合には、Alよりもイオン化しにくい材料、例えばクロム（Cr）、W、コバルト（Co）、Si、金（Au）、パラジウム（Pd）、Mo、イリジウム（Ir）、チタン（Ti）等の少なくとも1種を含ん

40

50

だ金属膜や、これらの酸化膜または窒化膜を用いることが好ましい。

【0020】

記憶層20はイオン源層21、抵抗変化層22およびバリア層23により構成されている。イオン源層21は、抵抗変化層22に拡散する可動イオン（陽イオンおよび陰イオン）となる元素を含む。陽イオン化可能な元素としては、例えばCu, Ag, ゲルマニウム（Ge）およびZnなどの金属元素を1種あるいは2種以上を含む。また、陰イオン化するイオン導電材料としては、酸素（O）またはTe, SおよびSe等のカルコゲン元素を少なくとも1種以上含む。イオン源層21は上部電極30側にあり、ここでは上部電極30に接して設けられている。金属元素とカルコゲン元素とは結合し、金属カルコゲナイド層を形成している。この金属カルコゲナイド層は、主に非晶質構造を有し、イオン供給源としての役割を果たすものである。本実施の記憶素子1では、イオン源層21の抵抗値は初期状態または消去状態の抵抗変化層22よりも高くなっている。

10

【0021】

陽イオン化可能な金属元素は、書き込み動作時にカソード電極上で還元されて金属状態の電流パス（フィラメント）を形成するため、上記カルコゲン元素が含まれるイオン源層21中において金属状態で存在することが可能な化学的に安定な元素が好ましい。このような金属元素としては、上記金属元素のほかに、例えば周期律表上の4A, 5A, 6A族の遷移金属、すなわちTi, ジルコニウム（Zr）, ハフニウム（Hf）, バナジウム（V）, ニオブ（Nb）, Ta, Cr, MoおよびWが挙げられる。これら元素のうちの1種あるいは2種以上を用いることができる。この他に、AgおよびSiなどをイオン源層21の添加元素として用いるようにしてもよい。

20

【0022】

また、イオン源層21に後述する抵抗変化層22に含まれるTeと反応しやすい金属元素（M）を用いてTe／イオン源層（金属元素Mを含む）という積層構造にしておくこと、成膜後の加熱処理により、MTe／イオン源層21という構造に安定化する。Teと反応しやすい元素としては、例えばAlやマグネシウム（Mg）が挙げられる。

【0023】

このようなイオン源層21の具体的な材料としては、例えば、ZrTeAl, TiTeAl, CrTeAl, WTeAlおよびTaTeAlが挙げられる。また、例えば、ZrTeAlに対して、Cuを添加したCuZrTeAl, さらにGeを添加したCuZrTeAlGe, 更に、添加元素を加えたCuZrTeAlSiGeとしてもよい。あるいは、Alの他にMgを用いたZrTeMgとしてもよい。イオン化する金属元素としては、Zrの代わりに、TiやTaなどの他の遷移金属元素を選択した場合でも同様な添加元素を用いることは可能であり、例えばTaTeAlGeなどとすることも可能である。更に、イオン導電材料としては、Te以外に硫黄（S）やセレン（Se）、あるいはヨウ素（I）を用いてもよく、具体的にはZrSAl, ZrSeAl, ZrIAl, CuGeTeAl等を用いてもよい。また、必ずしもAlを含んでいる必要はなく、CuGeTeZr等を用いてもよい。

30

【0024】

なお、イオン源層21には、記憶層20における高温熱処理時の膜剥がれを抑止するなどの目的で、その他の元素が添加されていてもよい。例えば、Siは、保持特性の向上も同時に期待できる添加元素であり、イオン源層21にZrと共に添加することが好ましい。但し、Si添加量が少な過ぎると膜剥がれ防止効果を期待できなくなるのに対し、多過ぎると良好なメモリ動作特性が得られない。このため、イオン源層21中のSiの含有量は10～45原子%程度の範囲内であることが好ましい。

40

【0025】

抵抗変化層22は下部電極10側にあり、ここでは下部電極10に接して設けられている。この抵抗変化層22は電気伝導性のバリアとしての機能を有している。また、イオン源層21と比較して抵抗値は低く、下部電極10と上部電極30との間に所定の電圧を印加した場合にその抵抗値は変化する。本実施の形態では、この抵抗変化層22は、陰イオ

50

ン成分として挙動するTeを主成分とする化合物から構成されている。このような化合物としては、例えばAlTe, MgTeまたはZnTeなどが挙げられる。このTeを含有する化合物の組成は、例えばAlTeでは後述する理由によりAlの含有量は20原子%以上60原子%以下であることが好ましい。また、抵抗変化層22の初期抵抗値は1MΩ以上であることが好ましい。このことから低抵抗状態における抵抗値は数100kΩ以下であることが好ましい。微細化した抵抗変化型メモリの抵抗状態を高速に読み出すためには、できる限り低抵抗状態の抵抗値を低くすることが好ましい。しかし、20~50μA, 2Vの条件で書き込んだ場合の抵抗値は40~100kΩであるので、メモリの初期抵抗値はこの値より高いことが前提となる。更に1桁の抵抗分離幅を考慮すると、上記抵抗値が適当と考えられる。なお、抵抗変化層22の材料は上記Teを含む材料に限らず、従来用いられているGaOx, AlOxなどの酸化物を用いてもよい。また、ここでは抵抗変化層22を1層としたがこれに限らず、2層あるいはそれ以上積層してもよい。

10

【0026】

バリア層23は抵抗変化層22と下部電極10との間に設けられている。このバリア層23は、抵抗変化層22にかかる電界の分布を均一にする機能を有している。このバリア層23は、抵抗変化層22よりも高い導電率を有し、具体的には抵抗変化層22に対して10倍以上200倍以下であることが好ましい。より好ましくは20倍以上100倍以下である。このバリア層23に用いられる材料としては、例えばTi, Hf, V, Nb, Ta, Cr, MoあるいはZrの酸化物または窒化物が挙げられる。また、膜厚は、例えば0.1nm以上2.0nm以下である。バリア層23の導電率は酸化条件または窒化条件を変えることにより調整することができる。具体的には、例えばTiNよりなる下部電極10の上面に、例えばTi, TiN, ZrあるいはZrN膜を形成した後に、酸素プラズマによって酸化することにより、TiOx, TiON, ZrOxあるいはZrONよりなるバリア層23が形成される。

20

【0027】

上部電極30は、下部電極10と同様に公知の半導体配線材料を用いることができるが、ポストアニールを経てもイオン源層21と反応しない安定な材料が好ましい。

【0028】

本実施の形態の記憶素子1では、図示しない電源回路（パルス印加手段）から下部電極10および上部電極30を介して電圧パルスあるいは電流パルスを印加すると、記憶層20の電気的特性（抵抗値）が変化するものであり、これにより情報の書き込み、消去、更に読み出しが行われる。以下、その動作を具体的に説明する。

30

【0029】

まず、上部電極30が例えば正電位、下部電極10側が負電位となるようにして記憶素子1に対して正電圧を印加する。これによりイオン源層21に含まれる金属元素がイオン化して抵抗変化層22に拡散し、下部電極10側で電子と結合して析出する。その結果、下部電極10と記憶層20の界面に金属状態に還元された低抵抗の金属元素からなる低抵抗部、ここでは電流パス（フィラメント）が形成される。あるいは、イオン化した金属元素は、抵抗変化層22中に留まり不純物準位を形成する。これにより抵抗変化層22中に電流パスが形成されて記憶層20の抵抗値が低くなり、初期状態の抵抗値（高抵抗状態）よりも低い抵抗値（低抵抗状態）へ変化する。

40

【0030】

その後、正電圧を除去して記憶素子1にかかる電圧をなくしても、低抵抗状態が保持される。これにより情報が書き込まれたことになる。一度だけ書き込みが可能な記憶装置、いわゆる、PROM（Programmable Read Only Memory）に用いる場合には、前記の記録過程のみで記録は完結する。一方、消去が可能な記憶装置、すなわち、RAMあるいはEEPROM（Electrically Erasable and Programmable Read Only Memory）等への応用には消去過程が必要であるが、消去過程においては、上部電極30が例えば負電位、下部電極10側が正電位になるように記憶素子1に対して負電圧を印加する。これにより、記憶層20内に形成されていた電流パスの金属元素がイオン化し、イオン源層21に溶解

50

、若しくはTe等と結合してCu₂Te、CuTe等の化合物を形成する。これにより、金属元素による電流パスが消滅、または減少して抵抗値が高くなる。

【0031】

その後、負電圧を除去して記憶素子1にかかる電圧をなくしても、抵抗値が高くなった状態で保持される。これにより書き込まれた情報を消去することが可能になる。このような過程を繰り返すことにより、記憶素子1に情報の書き込みと書き込まれた情報の消去を繰り返し行うことができる。

【0032】

例えば、抵抗値の高い状態を「0」の情報に、抵抗値の低い状態を「1」の情報に、それぞれ対応させると、正電圧の印加による情報の記録過程で「0」から「1」に変え、負電圧の印加による情報の消去過程で「1」から「0」に変えることができる。なお、ここでは記憶素子を低抵抗化する動作および高抵抗化する動作をそれぞれ書き込み動作および消去動作に対応させたが、その対応関係は逆に定義してもよい。

【0033】

記録データを復調するためには、初期の抵抗値と記録後の抵抗値との比は大きいほど好ましい。但し、抵抗変化層22の抵抗値が大き過ぎる場合には、書き込み、つまり低抵抗化することが困難となり、書き込み閾値電圧が大きくなり過ぎることから、初期抵抗値は1GΩ以下に調整される。抵抗変化層22の抵抗値は、例えば、抵抗変化層22の厚みや含まれる陰イオンの量などにより制御することが可能である。

【0034】

本実施の形態では、抵抗変化層22がTeを主成分とする化合物により形成されているため、その低抵抗化時にイオン源層21から拡散した金属元素が抵抗変化層22中で安定化して低抵抗状態を保持しやすくなる。また、Teは、電気陰性度の高い酸化物や共有結合であるシリコン化合物に比べて金属元素との結合力が弱く、抵抗変化層22中に拡散した金属元素が消去電圧の印加によってイオン源層21へ移動しやすいために消去特性が向上する。なお、電気陰性度はカルコゲナイド化合物では、テルル<セレン<硫黄<酸素の順で絶対値が高くなるため、抵抗変化層22中に酸素が少ないほど、かつ、電気陰性度の低いカルコゲナイドを用いるほど改善効果が高いと言える。

【0035】

更に、本実施の形態では、上述したように、イオン源層21がZr、Al、Geなどを含有することが好ましい。以下、その理由について説明する。

【0036】

イオン源層21中にZrが含まれている場合には、上述した銅(Cu)などの金属元素と共に、Zrがイオン化元素として働き、ZrとCuなどの上述した金属元素との混在した電流パスが形成される。Zrは、書き込み動作時にカソード電極上で還元されると共に、書き込み後の低抵抗状態では金属状態のフィラメントを形成すると考えられる。Zrが還元された金属フィラメントは、S、SeおよびTeのカルコゲン元素を含むイオン源層21中において比較的溶解しづらいため、一度書き込み状態、すなわち低抵抗状態になった場合には、Cuなどの上述した金属元素単独の電流パスの場合よりも低抵抗状態を保持しやすい。例えばCuは書き込み動作によって金属フィラメントとして形成される。但し、金属状態のCuはカルコゲン元素を含むイオン源層21中において溶解しやすく、書き込み電圧パルスが印加されていない状態(データ保持状態)では、再びイオン化し高抵抗状態へと遷移してしまう。そのため十分なデータ保持性能が得られない。一方、Zrと適量のCuを組み合わせることは、非晶質化を促進すると共に、イオン源層21の微細構造を均一に保つため、抵抗値の保持性能の向上に寄与する。

【0037】

また、消去時の高抵抗状態の保持に関しても、Zrを含んでいる場合、例えばZrの電流パスが形成され、再びイオン源層21中にイオンとして溶解している場合には、Zrは少なくともCuよりもイオン移動度が低いので温度が上昇しても、あるいは長期間の放置でも動きづらい。そのためカソード極上で金属状態での析出が起こりにくく、室温よりも

10

20

30

40

50

高温状態で保持した場合や長時間にわたり保持した場合でも高抵抗状態を維持する。

【0038】

更に、イオン源層21にAlが含まれている場合には、消去動作により上部電極が負の電位にバイアスされた場合、固体電解質的に振舞うイオン源層21とアノード極の界面において安定な酸化膜を形成することにより高抵抗状態（消去状態）を安定化する。加えて、抵抗変化層の自己再生の観点から繰り返し回数の増加にも寄与する。なお、Alの他に同様の働きを示すGeなどを含んでもよい。

【0039】

このように、イオン源層21にZr, Al, Geなどが含まれている場合には、従来の記憶素子に比して広範囲の抵抗値保持性能、書き込み・消去の高速動作性能が向上すると共に繰り返し回数が増加する。更に、例えば低抵抗から高抵抗へと変化させる際の消去電圧を調整して高抵抗状態と低抵抗状態との間の中間的な状態を作り出せば、その状態を安定して保持することができる。よって、2値だけでなく多値のメモリを実現することが可能となる。なお、高抵抗から低抵抗へと変化させる際の書き込み電流を変更して析出する原子の量を調整することによっても中間的な状態を作り出すことが可能である。

【0040】

ところで、このような電圧を印加する書き込み・消去動作特性と、抵抗値の保持特性と、繰り返し動作回数といったメモリ動作上の重要な諸特性は、Zr, CuおよびAl、更にはGeの添加量によって異なる。

【0041】

例えば、Zrはその含有量が多過ぎると、イオン源層21の抵抗値が下がり過ぎてイオン源層21に有効な電圧が印加できない、若しくはカルコゲナイド層中にZrを溶解することが困難となる。そのため、特に消去がしづらくなり、Zr添加量に応じて消去の閾値電圧が上昇していき、更に多過ぎる場合には書き込み、つまり低抵抗化も困難となる。一方、Zr添加量が少な過ぎると、前述のような広範囲の抵抗値の保持特性を向上させる効果が少なくなる。従って、イオン源層21中のZrの含有量は7.5以上であることが好ましく、更に好ましくは26原子%以下である。

【0042】

また、Cuは適量をイオン源層21に添加した場合、非晶質化を促進するものの、多過ぎると金属状態のCuはカルコゲン元素を含むイオン源層21中での安定性が十分でないことから書き込み保持特性が悪化したり、書き込み動作の高速性に悪影響が見られる。その一方で、ZrとCuの組み合わせは、非晶質を形成しやすく、イオン源層21の微細構造を均一に保つという効果を有する。これにより、繰り返し動作によるイオン源層21中の材料成分の不均一化を防ぐため、繰り返し回数が増加すると共に保持特性も向上する。上述した範囲内で十分にZr量を含有している場合は、Cuの電流パスがイオン源層21中に再溶解したとしても、金属ジルコニウム（Zr）による電流パスが残存していると考えられるため書き込み保持特性への影響はみられない。また、おそらくは乖離してイオン化した状態の陽イオンと陰イオンの電荷量の当量関係が守られていればよいと、Cuの好ましい添加量は、イオンの電荷の当量比が、

$$\{ (Zr \text{ 最大イオン価数} \times \text{モル数または原子\%}) + (Cu \text{ イオン価数} \times \text{モル数または原子\%}) \} / (\text{カルコゲン元素のイオン価数} \times \text{モル数または原子\%}) = 0.5 \sim 1.5$$

の範囲内であればよいと考えられる。

【0043】

但し、記憶素子1の特性は実質的にはZrとTeの組成比に依存している。そのため、ZrとTeの組成比は、

$$Zr \text{ 組成比 (原子\%)} / Te \text{ 組成比 (原子\%)} = 0.2 \sim 0.74$$

の範囲にあることが望ましい。これについては必ずしも明らかではないが、Zrに比べてCuの乖離度が低いこと、イオン源層21の抵抗値がZrとTeの組成比によって決まることから、上記の範囲にある場合に限り好適な抵抗値が得られるため、記憶素子1に印加したバイアス電圧が抵抗変化層22の部分に有効に印加されることによると考えられる。

【0044】

上記の範囲からずれる場合、例えば、当量比が大き過ぎる場合は、陽イオンと陰イオンの釣り合いが取れずに、存在する金属元素のうち、イオン化しない元素の量が増大する。そのために消去動作の際に書き込み動作で生じた電流パスが効率的に除去されにくいと考えられる。同様に、当量比が小さ過ぎて陰イオン元素が過剰に存在する場合には、書き込み動作で生じた金属状態の電流パスが金属状態で存在しづらくなるために、書き込み状態の保持性能が低下すると考えられる。

【0045】

また、A1の含有量が多過ぎると、A1イオンの移動が生じやすくなり、A1イオンの還元によって書き込み状態が作られてしまう。A1はカルコゲナイドの固体電解質中で金属状態の安定性が低いので、低抵抗な書き込み状態の保持性能が低下する。一方、A1量が少な過ぎると、消去動作そのものや高抵抗領域の保持特性を向上させる効果が低くなり、繰り返し回数が減少する。従って、イオン源層21中のA1の含有量は30原子%以上であることが好ましく、更に好ましくは50原子%以下である。

10

【0046】

Geは必ずしも含まれていなくともよいが、Ge含有量が多過ぎる場合には書き込み保持特性が劣化することから、Geを添加する場合の含有量は15原子%以下であることが好ましい。

【0047】

以下、本実施の形態の記憶素子1の製造方法について説明する。

20

【0048】

まず、選択トランジスタ等のCMOS回路が形成された基板上に、例えばTiNよりなる下部電極10を形成する。その後、必要であれば逆スパッタ等で、下部電極10の表面の酸化物等を除去する。続いて、バリア層23、抵抗変化層22、イオン源層21および上電極30までを各層の材料に適応した組成からなるターゲットを用いてスパッタリング装置内で、各ターゲットを交換することにより、各層を連続して成膜する。電極径は20nm-300nmφである。合金膜は構成元素のターゲットを用いて同時成膜する。

【0049】

上部電極30まで成膜したのち、上部電極30に接続する配線層（図示せず）を形成し、全ての記憶素子1と共通電位を得るためのコンタクト部を接続する。そののち、積層膜にポストアニール処理を施す。以上により図1に示した記憶素子1が完成する。

30

【0050】

この記憶素子1では、上述のように上部電極30および下部電極10にそれぞれ正電位または負電位になるように電圧を印加することによって下部電極10と抵抗変化層22の界面に電流パスが形成される。これにより抵抗変化層22の抵抗値が低くなり、書き込みが行われる。次に、上部電極30および下部電極10の各々に書き込み時とは逆極性の電圧を印加する。これにより抵抗変化層22内に形成された電流パスの金属元素が再びイオン化してイオン源層21に溶解することによって抵抗変化層22の抵抗値が上昇し、消去が行われる。

【0051】

40

従来の記憶素子では、上部電極および下部電極との間に消去電圧が印加されると抵抗変化層と下部電極との界面に電界が集中するため、電流パスを形成する金属元素の一部がイオン源層に移動せず、下部電極の近傍に残存する場合がある。この下部電極近傍に残存する金属元素が記憶素子の繰り返しスイッチング特性の劣化の原因となる。これに対して本実施の形態では、下部電極10と抵抗変化層22との間に抵抗変化層22の導電率よりも高いバリア層23を設けることにより、上部電極30および下部電極10との間に消去電圧を印加した場合の抵抗変化層22にかかる電界は均一となる。これにより、消去時における電流パスを形成する金属元素のイオン源層21への移動効率が改善される。即ち、下部電極10近傍における金属イオンの残存量が低減され、抵抗変化層22の抵抗値の低下が抑制される。

50

【0052】

以上のように本実施の形態の記憶素子1では、下部電極10と抵抗変化層22との間に抵抗変化層22より高い導電率を有するバリア層23を設けるようにしたので、データ消去時における電流パスを形成する金属イオンのイオン源層側への移動効率が改善される。これにより、下部電極10近傍における金属イオンの残存量が低減され、金属イオンの蓄積による抵抗変化層22の低抵抗化を抑制することが可能となる。即ち、良好なデータ保持特性を維持しつつ、繰り返し抵抗変化スイッチング特性を向上することが可能となる。

【0053】

また、イオン源層21にZr, Al, Geなどが含まれているので、データ保持特性に優れている。また、微細化していった場合に、トランジスタの電流駆動力が小さくなった場合においても、情報の保持が可能である。従って、この記憶素子1を用いて記憶装置を構成することにより高密度化および小型化を図ることができる。

【0054】

[記憶装置]

上記記憶素子1を多数、例えば列状やマトリクス状に配列することにより、記憶装置（メモリ）を構成することができる。このとき、各記憶素子1に、必要に応じて、素子選択用のMOSトランジスタ、或いはダイオードを接続してメモリセルを構成し、更に、配線を介して、センスアンプ、アドレスデコーダあるいは書き込み・消去・読み出し回路等に接続すればよい。

【0055】

図2および図3は多数の記憶素子1をマトリクス状に配置した記憶装置（メモリセルアレイ）2の一例を表したものであり、図2は断面構成、図3は平面構成をそれぞれ表している。このメモリセルアレイ2では、各記憶素子1に対して、その下部電極10側に接続される配線と、その上部電極30側に接続される配線とを交差するよう設け、例えばこれら配線の交差点付近に各記憶素子1が配置されている。

【0056】

各記憶素子1は、バリア層23、抵抗変化層22、イオン源層21および上部電極30の各層を共有している。すなわち、バリア層23、抵抗変化層22、イオン源層21および上部電極30それぞれは各記憶素子1に共通の層（同一層）により構成されている。上部電極30は、隣接セルに対して共通のプレート電極PLとなっている。

【0057】

一方、下部電極10は、メモリセル毎に個別に設けられることにより、隣接セル間で電氣的に分離されており、各下部電極10に対応した位置に各メモリセルの記憶素子1が規定される。下部電極10は各々対応するセル選択用のMOSトランジスタTrに接続されており、各記憶素子1はこのMOSトランジスタTrの上方に設けられている。

【0058】

MOSトランジスタTrは、基板41内の素子分離層42により分離された領域に形成されたソース／ドレイン領域43とゲート電極44とにより構成されている。ゲート電極44の壁面にはサイドウォール絶縁層（図示せず）が形成されている。ゲート電極44は、記憶素子1の一方のアドレス配線であるワード線WLを兼ねている。MOSトランジスタTrのソース／ドレイン領域43の一方と、記憶素子1の下部電極10とが、プラグ層45、金属配線層46およびプラグ層47を介して電氣的に接続されている。MOSトランジスタTrのソース／ドレイン領域43の他方は、プラグ層45を介して金属配線層46に接続されている。金属配線層46は、記憶素子1の他方のアドレス配線であるビット線BL（図3参照）に接続されている。なお、図3においては、MOSトランジスタTrのアクティブ領域48を鎖線で示しており、コンタクト部51は記憶素子1の下部電極10、コンタクト部52はビット線BLにそれぞれ接続されている。

【0059】

このメモリセルアレイ2では、ワード線WLによりMOSトランジスタTrのゲートをオン状態として、ビット線BLに電圧を印加すると、MOSトランジスタTrのソース／

10

20

30

40

50

ドレインを介して、選択されたメモリセルの下部電極10に電圧が印加される。ここで、下部電極10に印加された電圧の極性が、上部電極30（プレート電極PL）の電位に比して負電位である場合には、上述のように記憶素子1の抵抗値が低抵抗状態へと遷移する。これにより選択されたメモリセルに情報が書き込まれる。次に、下部電極10に、上部電極30（プレート電極PL）の電位に比して正電位の電圧を印加すると、記憶素子1の抵抗値が再び高抵抗状態へと遷移する。これにより選択されたメモリセルに書き込まれた情報が消去される。書き込まれた情報の読み出しを行うには、例えば、MOSトランジスタTrによりメモリセルを選択し、そのセルに対して所定の電圧または電流を印加する。このときの記憶素子1の抵抗状態により異なる電流または電圧を、ビット線BLあるいはプレート電極PLの先に接続されたセンスアンプ等を介して検出する。なお、選択したメモリセルに対して印加する電圧または電流は、記憶素子1の抵抗値の状態が遷移する電圧等の閾値よりも小さくする。

10

【0060】

図4は記憶素子1を含む駆動回路の構成を表すものである。すなわち、記憶素子1に対して選択トランジスタ（NMOSトランジスタ）Trおよびスイッチ3が直列配置されている。記憶素子1の上部電極30はソース線SLを介して端子5に接続され、下部電極10は選択トランジスタTrの一端に接続されている。選択トランジスタTrの他端はスイッチ3およびビット線BLを介して端子6に接続されている。選択トランジスタTrのゲート部はワード線WLを介して端子7に接続されている。上記端子5～7はそれぞれ外部のパルス電圧源と接続されており、外部からパルス電圧を印加できるようになっている。また、スイッチ3に対しては電流計4が並列配置されており、スイッチ3が開状態のときに回路に流れる電流を測定できるようになっている。

20

【0061】

記憶素子1には、例えば図5（A）～（C）に示したような波形のパルス電圧が印加されることにより、情報の書き込み、消去および読み出しが行われる。まず、書き込み動作の場合には、上部電極30側が例えば正電位、下部電極10側が負電位になるように、記憶素子1に対して正電圧を印加する。これにより記憶層20のイオン源層21から導電性イオン、例えばCuイオンが伝導し、下部電極10側で電子と結合して析出し、抵抗変化層22中に金属状態に還元された低抵抗のCu電流パスが形成されることによって抵抗値が低くなる。その後、正電圧を除去して、記憶素子1にかかる電圧をなくすと、抵抗値が低くなった状態で保持される。これにより情報の書き込みがなされる（図5（A））。

30

【0062】

消去過程においては、上部電極30側が負電位、下部電極10側が正電位になるように、記憶素子1に対して負電圧を印加する。これにより高抵抗層中に形成されていた電流パスのCuが酸化してイオン化し、記憶層20に溶解もしくはTeと結合してCu₂Te、CuTe等の化合物を形成する。すると、Cuによる電流パスが消滅、または減少して抵抗値が高くなる。その後、負電圧を除去して、記憶素子1にかかる電圧をなくすと、抵抗値が高くなった状態で保持される。これにより情報の消去がなされる（図5（B））。このような過程を繰り返すことにより記憶素子1に情報の書き込みと消去とを繰り返し行うことができる。ここで上記のように、抵抗値の高い状態を「0」の情報に、抵抗値の低い状態を「1」の情報に、それぞれ対応させると、正電圧の印加による情報の記録過程で「0」から「1」に変え、負電圧の印加による情報の消去過程で「1」から「0」に変えることが可能になる。

40

【0063】

書き込まれた情報の読み出しは、スイッチ3を開状態とし、記憶素子1の抵抗値の状態が遷移する電圧の閾値よりも小さい電圧パルスを印加することにより電流計7を流れる電流値を検出することにより行う（図5（C））。

【0064】

本実施の形態の記憶装置では、上述のように各種のメモリ装置に適用することができる。例えば、一度だけ書き込みが可能なPROM、電氣的に消去が可能なEEPROM、或

50

いは、高速に書き込み・消去・再生が可能な、いわゆるRAM等、いずれのメモリ形態でも適用することが可能である。

【0065】

[実施例]

以下、本発明の具体的な実施例について説明する。

【0066】

上記実施の形態と同様にして図1に示した記憶素子1を作製した。まず、絶縁膜として例えばTEOS-SiO₂で囲まれ、直径25nmの円柱状となっている下部電極10上に、スパッタリング装置を用いて記憶層20および上部電極30を形成した。記憶層20は、イオン源層21として膜厚60nmのCuGeTeAlZr層を、抵抗変化層22として膜厚3nmのTe層を積層し、更にバリア層23としてTiまたはZrの酸化物を0.2nm, 0.3nmまたは0.5nmの厚みで積層した。ここで、抵抗変化層22の導電率は167S/mとし、バリア層の導電率は、酸化（あるいは窒化）条件を変えることにより抵抗変化層22の導電率に対してそれぞれ1倍～200倍となるように7種の記憶素子（実施例1～7）を作製した。具体的には、実施例1～7は、プラズマ酸化を用いて上記Ti膜またはZr膜を10torrの酸素雰囲気圧下、酸化時間を60秒または600秒として酸化することにより、抵抗変化層22に対するバリア層23の導電率を1倍, 2.5倍, 8倍, 18倍, 30倍, 100倍, 200倍に調整した。これらの実施例1～7についてバリア層23の導電率に対する繰り返し動作可能回数を測定した。なお、測定には図4に示した回路を用い、書き込み時のゲート電圧は1.6V、パルス印加電圧3V、パルス幅10ns、消去時のゲート電圧3.0V、パルス印加電圧2.0V、パルス幅10nsとした。

【0067】

記録データの復調には、書き込み後の抵抗値と消去後の抵抗値との比がおおよそ2倍以上であれば可能である。そこで、実施例1～7に対してそれぞれ書き込み後の抵抗値と消去後の抵抗値との比が2倍より小さくなるまでの回数を測定した。

【0068】

図6は、上記実施例1～7において行ったバリア層23の各導電率と対する繰り返し動作可能回数との関係を表したものである。図6から抵抗変化層22の導電率に対してバリア層23の各導電率を10倍以上200倍以下とすることにより、繰り返し動作回数が10万回以上可能となることがわかる。更に、バリア層23の各導電率を20倍以上100倍以下とすることで繰り返し動作回数を100万回以上とすることができ、これにより、より安定した抵抗変化スイッチ特性を得ることが可能となる。

【0069】

なお、最適な構造としては特にイオン源層21にZr等の遷移金属を用いることによってイオン源層のカルコゲナイド膜が安定化するので望ましい。また、Alは可動イオンとしても機能するが、Al₄Te₆を形成すると融点がTeの融点よりも上昇するため、構造体として用いることもできる。更に、実施の形態等において陰イオンを形成するカルコゲナイド材料としてTeを用いたが、その他SあるいはSeを用いても構わない。但し、イオン源層21に含まれる陽イオンよりも動きにくいものが好ましい。

【0070】

また、上記のように抵抗変化層22の印加電圧による抵抗変化の制御性は、反応律速と拡散律速の制御が重要となる。基本的には大きな電圧を印加すると反応速度が指数関数的に増大するのに対し、拡散速度は指数関数的には増大せず線形に近い。そのため、制御性を高めるためにはできる限り低い電圧でゆっくりと動作させることが望ましい。

【0071】

以上、実施の形態および実施例を挙げて本発明を説明したが、本発明は、上記実施の形態および実施例に限定されるものではなく、種々変形することが可能である。

【0072】

例えば、上記実施の形態および実施例では、記憶素子1およびメモリセルアレイ2の構

10

20

30

40

50

成を具体的に挙げて説明したが、全ての層を備える必要はなく、また、他の層を更に備えていてもよい。

【0073】

更に、例えば、上記実施の形態および実施例において説明した各層の材料、または成膜方法および成膜条件などは限定されるものではなく、他の材料としてもよく、または他の成膜方法としてもよい。例えば、イオン源層21には、上記金属元素の他に、例えばTi, Hf, V, Nb, Ta, Cr, Mo, Wを添加してもよい。また、Cu, Agまたは亜鉛Zn以外にも、ニッケル(Ni)などを添加してもよい。

【0074】

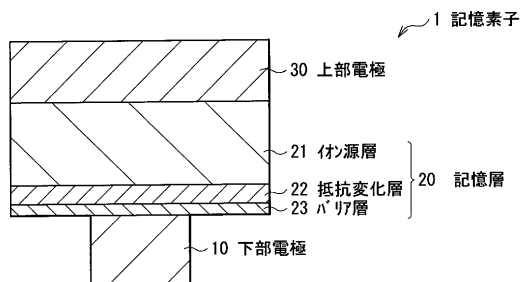
また、上記実施の形態および実施例では可動イオンとして陽イオンを用いる記憶素子1を例に説明したが、これに限らず陰イオンを用いるReRAMにも適用することができる。

【符号の説明】

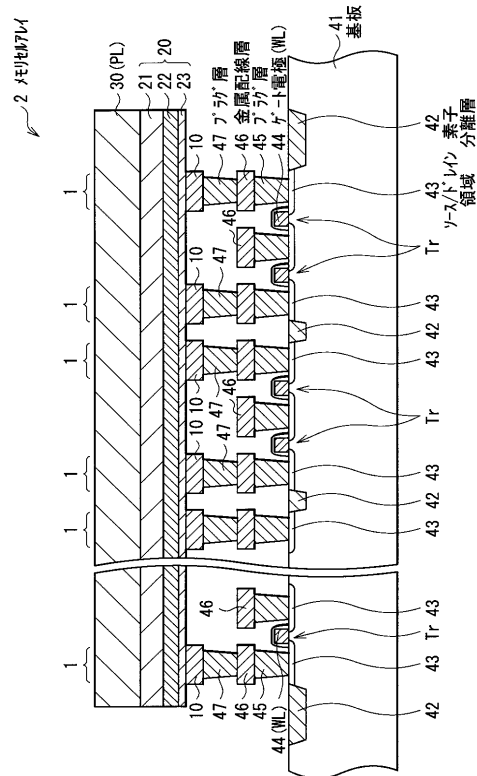
【0075】

1…記憶素子、10…下部電極、20…記憶層、21…イオン源層、22…抵抗変化層、23…バリア層、30…上部電極、41…半導体基板、43…ソース／ドレイン領域、44…ゲート電極、45, 47…プラグ層、46…金属配線層、48…アクティブ領域、51, 52…コンタクト部

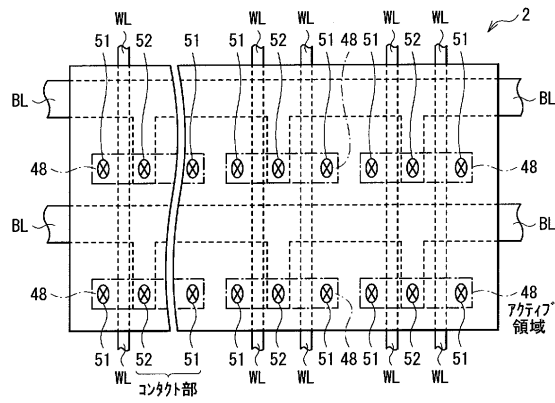
【図1】



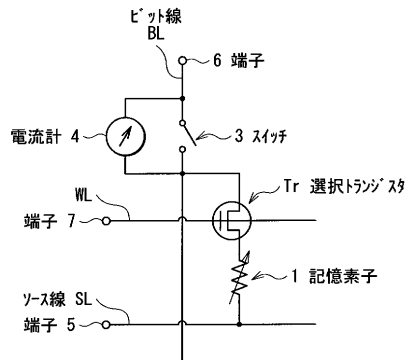
【図2】



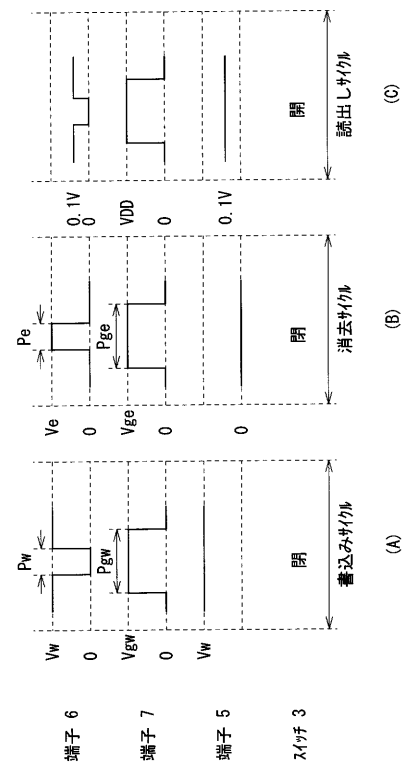
【図 3】



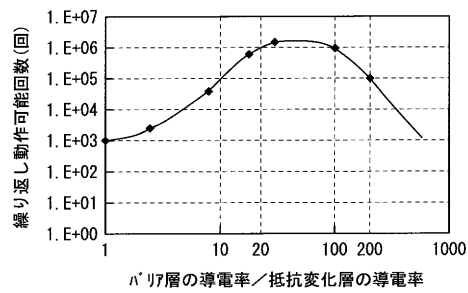
【図 4】



【図 5】



【図 6】



フロントページの続き

審査官 外山 毅

- (56)参考文献 特開2010-177393 (JP, A)
特開2009-043873 (JP, A)
米国特許出願公開第2011/0180775 (US, A1)
米国特許出願公開第2011/0001108 (US, A1)
- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 27/105 |
| H01L | 45/00 |
| H01L | 49/00 |