

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-121027

(P2013-121027A)

(43) 公開日 平成25年6月17日(2013.6.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 4 N 5/361 (2011.01)	HO 4 N 5/335 6 1 O	4 M 1 1 8
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 O	5 C O 2 4
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	

審査請求 未請求 請求項の数 12 O L (全 19 頁)

(21) 出願番号	特願2011-267522 (P2011-267522)	(71) 出願人	000002185
(22) 出願日	平成23年12月7日 (2011.12.7)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100094053
			弁理士 佐藤 隆久
		(72) 発明者	辻 清茂
			東京都港区港南1丁目7番1号 ソニー株式会社社内
		(72) 発明者	江口 美幸
			神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社社内
		Fターム(参考)	4M118 AB01 BA14 CA02 CA22 DD04
			DD12 FA06 FA33 GB09 GD03
			5C024 CX32 CX35 CY16 GX03 GX16
			GY31 GZ37 GZ40 JX41

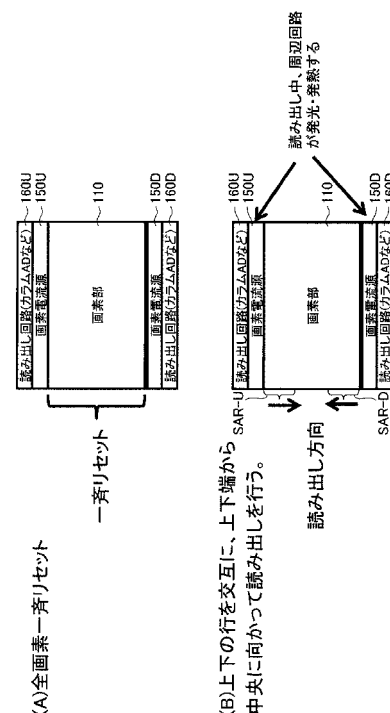
(54) 【発明の名称】 固体撮像素子およびその駆動方法、カメラシステム

(57) 【要約】

【課題】周辺回路の影響による画面端の白浮きを抑制することが可能な固体撮像素子およびその駆動方法、カメラシステムを提供する。

【解決手段】光信号を電気信号に変換し、露光時間に応じた信号電荷を蓄積する光電変換素子を含む複数の画素が行列状に配列された画素部と、画素部の互いに対向する縁部に隣接した配置され、少なくとも画素信号の読み出し動作に関連して駆動される周辺回路と、画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、画素信号読み出し部は、全画素読み出しを行う際に、全画素リセット後、画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも1行ずつ交互に画素読み出しを行う。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

光信号を電気信号に変換し、露光時間に応じた信号電荷を蓄積する光電変換素子を含む複数の画素が行列状に配列された画素部と、

上記画素部の互いに対向する縁部に隣接した配置され、少なくとも画素信号の読み出し動作に関連して駆動される周辺回路と、

上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、

上記画素信号読み出し部は、

全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも 1 行ずつ交互に画素読み出しを行う

固体撮像素子。

【請求項 2】

上記画素信号読み出し部は、

全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い領域の行から少なくとも 1 行ずつ交互に読み出し、かつ、上記特定領域を除く画素部の上記縁部間の中央領域の読み出しを行う

請求項 1 記載の固体撮像素子。

【請求項 3】

上記画素信号読み出し部は、

全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い領域の行から少なくとも 1 行ずつ交互に読み出し、画素部の上記縁部間の中央部に向かって読み出しを行う

請求項 1 記載の固体撮像素子。

【請求項 4】

上記画素部は、

複数の画素で出力ノードを共有する共有画素が形成され、当該共有出力ノードから対応する上記画素信号読み出し線に上記共有画素における各画素の画素信号を選択的に出力可能で、

上記画素信号読み出し部は、

共有画素の数の行を連続して読み出し、当該連続読み出しを交互に行う

請求項 1 記載の固体撮像素子。

【請求項 5】

上記画素部は、

有効画素領域、および当該有効画素領域外で周辺回路側に遮光状態にあるオプティカルブラック領域が形成され、

上記画素信号読み出し部は、

全画素読み出しを行う際に、全画素リセット後、オプティカルブラック領域を順番に読み出し、上記有効画素領域は上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも 1 行ずつ交互に画素読み出しを行う

請求項 1 記載の固体撮像素子。

【請求項 6】

画素信号読み出し線を有し、

上記画素信号読み出し部は、

上記画素部から上記画素信号読み出し線を通して画素信号の読み出しを行い、

上記画素部の互いに対向する縁部側に配置された各周辺回路は、

上記画素信号読み出し線に接続されて電流源として機能し、バイアス電圧に応じた電流が流れる負荷素子を含む

請求項 1 記載の固体撮像素子。

10

20

30

40

50

【請求項 7】

互いに対向する縁部に隣接して、少なくとも画素信号の読み出し動作に関連して駆動される周辺回路が配置され、光信号を電気信号に変換し、露光時間に応じた信号電荷を蓄積する光電変換素子を含む複数の画素が行列状に配列された画素部に対して全画素読み出しを行うに際し、

全画素リセットするリセットステップと、

上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも 1 行ずつ交互に画素読み出しを行う読み出しステップと

を有する固体撮像素子の駆動方法。

【請求項 8】

10

上記読み出しステップでは、

全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い領域の行から少なくとも 1 行ずつ交互に読み出し、かつ、上記特定領域を除く画素部の上記縁部間の中央領域の読み出しを行う

請求項 7 記載の固体撮像素子の駆動方法。

【請求項 9】

上記読み出しステップでは、

全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い領域の行から少なくとも 1 行ずつ交互に読み出し、画素部の上記縁部間の中央部に向かって読み出しを行う

20

請求項 7 記載の固体撮像素子の駆動方法。

【請求項 10】

上記画素部は、

複数の画素で出力ノードを共有する共有画素が形成され、当該共有出力ノードから対応する上記画素信号読み出し線に上記共有画素における各画素の画素信号を選択的に出力可能で、

上記読み出しステップでは、

共有画素の数の行を連続して読み出し、当該連続読み出しを交互に行う

請求項 7 記載の固体撮像素子の駆動方法。

【請求項 11】

30

上記画素部は、

有効画素領域、および当該有効画素領域外で周辺回路側に遮光状態にあるオプティカルブラック領域が形成され、

上記読み出しステップでは、

全画素読み出しを行う際に、全画素リセット後、オプティカルブラック領域を順番に読み出し、

上記有効画素領域は上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも 1 行ずつ交互に画素読み出しを行う

請求項 7 記載の固体撮像素子の駆動方法。

【請求項 12】

40

固体撮像素子と、

上記固体撮像素子に被写体像を結像する光学系と、を有し、

上記固体撮像素子は、

光信号を電気信号に変換し、露光時間に応じた信号電荷を蓄積する光電変換素子を含む複数の画素が行列状に配列された画素部と、

上記画素部の互いに対向する縁部に隣接した配置され、少なくとも画素信号の読み出し動作に関連して駆動される周辺回路と、

上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、

上記画素信号読み出し部は、

50

全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも1行ずつ交互に画素読み出しを行う

カメラシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、全画素読み出しを行う固体撮像素子およびその駆動方法、カメラシステムに関するものである。

【背景技術】

【0002】

近年、高い解像度を持つイメージセンサであっても、低い解像度の良質な画像を撮像することが求められている。

たとえば、デジタルスチルカメラで動画を撮影したり、逆にカムコーダーで静止画を撮像したりするなどの機能が一般的になってきている。

【0003】

また、これらの電子機器では、多くの場合、映像を確認するためのビューファインダーを備えているが、通常、ビューファインダーの解像度は撮像する画像よりも低い。

さらに一部のデジタルスチルカメラや携帯電話などでは、低解像度の撮像時にフレームレートを向上させ、従来は見ることはできなかった高速の動きを撮像する機能を搭載している。

【0004】

以上のように、一つのイメージセンサで、高解像度で低フレームレートの静止画と、比較的低解像度で高フレームレートの動画の両方に対応することが求められている。

【0005】

特許文献1には、CCD(Charge Coupled Device)イメージセンサにおいて、信号出力負荷期間のない出力信号を得ることができ、高フレームレートの要求にも対応できるようにした技術が開示されている。

【0006】

これに対して、全ての画素から信号を読み出す全画素モードと、行や列を飛ばしながら間欠的に読み出す間引きモードに対応するCMOS(Complementary Metal Oxide Semiconductor)イメージセンサが提案されている。

【0007】

このCMOSイメージセンサにおいては、高解像度の静止画を撮影する際には全画素モードを用い、低解像度の動画や高いフレームレートで撮像する際には間引きモードを用いる。

【0008】

ところで、CCDの出力回路は、浮遊拡散層(FD:Floating Diffusion)を有するFDアンプを用いた1チャネル(ch)出力が主流である。

これに対して、CMOSイメージセンサは各画素毎にFDアンプを持ち合わせており、その出力は、画素アレイの中のある一行を選択し、それらを同時に列方向へと読み出すような列並列出力型が主流である。

これは、画素内に配置されたFDアンプでは十分な駆動能力を得ることは難しく、したがってデータレートを下げることが必要で、並列処理が有利とされているからである。

【0009】

列並列出力型CMOSイメージセンサの画素信号読み出し(出力)回路については実に様々なものが提案されている。

その最も進んだ形態のひとつが列毎にアナログーデジタル変換装置(以下、ADC(Analog Digital Converter)と略す)を備え、デジタル信号として画素信号を取り出すタイプである。

10

20

30

40

50

【0010】

ここで、一般的なCMOSイメージセンサの全素読み出し動作について説明する。

【0011】

図1および図2の(A)および(B)は、一般的なCMOSイメージセンサの全画素読み出し動作の概要を説明するための図である。

【0012】

図1のCMOSイメージセンサ1は、光電変換機能を含む画素がアレイ状に配列された画素部2と、画素読み出しのための画素電流源3D、3Uと、カラムADC等の読み出し回路4D、4Uを含んで構成される。

画素電流源3D、3Uは、画素読み出しのために画素のFDアンプとソースフォロアを形成するために信号線に接続されるが、インピーダンスを確保するために信号線の両端に(画素部2の上下)に設けられる構成が適用される。

図1の例は、画素部2の上下端部側に読み出し回路4D、4Uが配置されている例であり、図2の例は、画素部の上下の一端(下端)側のみに読み出し回路4Dが配置されている例である。

【0013】

全画素読み出しを行う場合、図1および図2の(A)に示すように、全画素一斉にリセットする。

次に、たとえば画素部2の下端から上端に向かって順番に一行ずつ読み出しを行う。

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開平06-217206号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

ところが、読み出し動作中は、周辺回路(画素電流源・読み出し回路など)から発光・発熱が生じる。

特に、画素電流源3からの発光、発熱の影響が大きい。

画素部2を下端から上端に向かって読み出すと、上端に近い場所ほど電荷の蓄積時間が長い。

上端の周辺回路に近い部分(点線枠部分)は、周辺回路からの発光・発熱の影響を長時間受けるため、この部分にシェーディング状の白浮きが生じる。

また、図3に示すように、フレームレートが下がると、周辺回路からの上記影響を受ける時間がさらに伸びるため、白浮き現象が顕著になる。画素数大きいタイプはフレームレートが遅いため、特に問題になる。

【0016】

読み出し回路(カラムADCなど)が片側の場合でも、画素電流源が上下にある場合、画素電流源からの発光・発熱により、後から読み出される画素が白浮きしてしまう。

【0017】

本発明は、周辺回路の影響による画面端の白浮きを抑制することが可能な固体撮像素子およびその駆動方法、カメラシステムを提供することにある。

【0018】

本発明の第1の観点の固体撮像素子は、光信号を電気信号に変換し、露光時間に応じた信号電荷を蓄積する光電変換素子を含む複数の画素が行列状に配列された画素部と、上記画素部の互いに対向する縁部に隣接した配置され、少なくとも画素信号の読み出し動作に関連して駆動される周辺回路と、上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、上記画素信号読み出し部は、全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも1行ずつ交互に画素読み出しを行う。

10

20

30

40

50

【0019】

本発明の第2の観点の固体撮像素子の駆動方法は、互いに対向する縁部に隣接して、少なくとも画素信号の読み出し動作に関連して駆動される周辺回路が配置され、光信号を電気信号に変換し、露光時間に応じた信号電荷を蓄積する光電変換素子を含む複数の画素が行列状に配列された画素部に対して全画素読み出しを行うに際し、全画素リセットするリセットステップと、上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも1行ずつ交互に画素読み出しを行う読み出しステップとを有する。

【0020】

本発明の第3の観点のカメラシステムは、固体撮像素子と、上記固体撮像素子に被写体像を結像する光学系と、を有し、上記固体撮像素子は、光信号を電気信号に変換し、露光時間に応じた信号電荷を蓄積する光電変換素子を含む複数の画素が行列状に配列された画素部と、上記画素部の互いに対向する縁部に隣接した配置され、少なくとも画素信号の読み出し動作に関連して駆動される周辺回路と、上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、上記画素信号読み出し部は、全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも1行ずつ交互に画素読み出しを行う。

【発明の効果】

【0021】

本発明によれば、周辺回路の影響による画面端の白浮きを抑制することができる。

【図面の簡単な説明】

【0022】

【図1】一般的なCMOSイメージセンサの全画素読み出し動作の概要を説明するための第1図である。

【図2】一般的なCMOSイメージセンサの全画素読み出し動作の概要を説明するための第2図である。

【図3】一般的なCMOSイメージセンサにおいて白浮きが発生することを説明するための図である。

【図4】本第1の実施形態に係る列並列ADC搭載固体撮像素子（CMOSイメージセンサ）の構成例を示すブロック図である。

【図5】本実施形態に係る4つのトランジスタで構成されるCMOSイメージセンサの画素の一例を示す図である。

【図6】本実施形態に係る画素部の上下両端に配置される画素電流源の具体的な構成例を示す図である。

【図7】本実施形態に係る固体撮像素子の全画素読み出しの動作例を説明するための図である。

【図8】2画素共有の画素構成例を示す図である。

【図9】4画素共有の画素構成例を示す図である。

【図10】本第2の実施形態に係る列並列ADC搭載固体撮像素子（CMOSイメージセンサ）の構成例を示すブロック図である。

【図11】第3の実施形態に係る列並列ADC搭載固体撮像素子（CMOSイメージセンサ）における画素部の構成を示す図である。

【図12】本実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

【発明を実施するための形態】

【0023】

以下、本発明の実施の形態を図面に関連付けて説明する。

なお、説明は以下の順序で行う。

1. 第1の実施形態（固体撮像素子の第1の構成例）

10

20

30

40

50

2. 第2の実施形態（固体撮像素子の第2の構成例）
3. 第3の実施形態（固体撮像素子の第3の構成例）
4. 第4の実施形態（カメラシステムの構成例）

【0024】

< 1. 第1の実施形態 >

図4は、本第1の実施形態に係る列並列ADC搭載固体撮像素子（CMOSイメージセンサ）の構成例を示すブロック図である。

【0025】

[固体撮像素子の全体構成例]

この固体撮像素子100は、図4に示すように、撮像部としての画素部110、垂直走査回路（行走査回路）120、水平転送走査回路（列走査回路）130、およびタイミング制御回路140を有する。

さらに、固体撮像素子100は、列回路としての画素電流源150D、150U、ADC群である列並列処理部160D、160U、並びにDAC（デジタルアナログ変換装置）170、および内部電圧生成回路（バイアス回路）180を有する。

【0026】

本実施形態において、水平転送走査回路130、画素電流源150、列並列処理部160、DAC170等により画素信号読み出し部が形成され、タイミング制御回路140が制御部に相当する機能を有している。

また、本実施形態においては、画素電流源150、列並列処理部160、DAC170が、内部または外部で生成されたバイアス電圧が供給される機能部を含んで構成される。

【0027】

画素部110は、フォトダイオード（光電変換素子）と画素内アンプとを含む複数の単位画素110Aがm行n列の2次元状（マトリクス状）に配列されている。

【0028】

[単位画素の構成例]

図5は、本実施形態に係る4つのトランジスタで構成されるCMOSイメージセンサの画素の一例を示す図である。

【0029】

この単位画素110Aは、光電変換素子としてたとえばフォトダイオード111を有している。

単位画素110Aは、1個のフォトダイオード111に対して、転送素子としての転送トランジスタ112、リセット素子としてのリセットトランジスタ113、増幅トランジスタ114、および選択トランジスタ115の4トランジスタを能動素子として有する。

【0030】

フォトダイオード111は、入射光をその光量に応じた量の電荷（ここでは電子）に光電変換する。

転送トランジスタ112は、フォトダイオード111と出力ノードとしてのフローティングディフュージョンFDとの間に接続されている。

転送トランジスタ112は、転送制御線LTxを通じてそのゲート（転送ゲート）に駆動信号TGが与えられることで、光電変換素子であるフォトダイオード111で光電変換された電子をフローティングディフュージョンFDに転送する。

【0031】

リセットトランジスタ113は、電源ラインLVDDとフローティングディフュージョンFDとの間に接続されている。

リセットトランジスタ113は、リセット制御線LRSTを通してそのゲートにリセットRSTが与えられることで、フローティングディフュージョンFDの電位を電源ラインLVDDの電位にリセットする。

【0032】

フローティングディフュージョンFDには、増幅トランジスタ114のゲートが接続さ

10

20

30

40

50

れている。増幅トランジスタ114は、選択トランジスタ115を介して垂直信号線116に接続され、画素部外の画素電流源150D、150Uの定電流源ID、IUとソースフォロアを構成している。

そして、選択制御線LSELを通して制御信号（アドレス信号またはセレクト信号）SELが選択トランジスタ115のゲートに与えられ、選択トランジスタ115がオンする。

選択トランジスタ115がオンすると、増幅トランジスタ114はフローティングディフュージョンFDの電位を増幅してその電位に応じた電圧を垂直信号線116に出力する。垂直信号線116を通じて、各画素から出力された電圧は、画素信号読み出し回路としての列並列処理部160に出力される。

これらの動作は、たとえば転送トランジスタ112、リセットトランジスタ113、および選択トランジスタ115の各ゲートが行単位で接続されていることから、1行分の各画素について同時並列的に行われる。

【0033】

画素部110に配線されているリセット制御線LRST、転送制御線LTx、および選択制御線LSELが一組の制御線LCTLとして画素配列の各行単位で配線されている。

これらのリセット制御線LRST、転送制御線LTx、および選択制御線LSELは、画素駆動部としての垂直走査回路120により駆動される。

【0034】

固体撮像素子100は、画素部110の信号を順次読み出すための制御回路として内部クロックを生成するタイミング制御回路140、行アドレスや行走査を制御する垂直走査回路120、列アドレスや列走査を制御する水平転送走査回路130が配置される。

【0035】

垂直走査回路120は、タイミング制御回路140の制御の下、たとえば全画素読み出しを行う場合、まず、画素部110の全面リセットを行う。

この場合、転送トランジスタ112およびリセットトランジスタ113をオンにすることにより（あるいはリセットトランジスタ113）をオンすることで画像全面のリセットを一斉に行う。

具体的には、転送トランジスタ112をオン、オフ制御する制御信号Tx、およびリセットトランジスタ113をオン、オフ制御する制御信号RSTの両方（またはいずれか）をアクティブ（本例ではハイレベル）に設定する。

これにより、フォトダイオード（光電変換素子）111に蓄積された電荷をはきすてる。そして、セット後、両信号をローレベルに切り替えて転送トランジスタ112およびリセットトランジスタをオフにする。これにより、フォトダイオード111が光信号を電荷に変換し蓄積する。

次に、読み出し時には、垂直走査回路120は、リセットトランジスタ113をオンしてフローティングディフュージョンFDをリセットし、リセットトランジスタ113をオフする。これにより、そのときのフローティングディフュージョンFDの電圧を増幅トランジスタ114、選択トランジスタ115を通して出力する。このときの出力をP相出力とする。

次に、転送トランジスタ112をオンしてフォトダイオード111に蓄積された電荷をフローティングディフュージョンFDに転送し、そのときのフローティングディフュージョンFDの電圧を増幅トランジスタ114で出力する。このときの出力をD相出力とする。

D相出力とP相出力の差分を画像信号とすることで、画素ごとの出力のDC成分のばらつきだけでなく、フローティングディフュージョンのFDリセットノイズも画像信号から除去することができる。

【0036】

垂直走査回路120は、タイミング制御回路140の制御の下、画素読み出しを、画素部110の上下、すなわち、画素電流源150U、150Dに近い領域の行から交互に行

10

20

30

40

50

い、そして、中央に向かって読み出しを行うように各行の画素を駆動する。

【0037】

タイミング制御回路140は、画素部110、垂直走査回路120、水平転送走査回路130、列並列処理部160、DAC170、内部電圧生成回路180の信号処理に必要なタイミング信号を生成する。

【0038】

タイミング制御回路140は、たとえばDAC170および内部電圧生成回路180における参照信号RAMP (Vsl o p) の生成を制御するDAC制御機能部を含む。

DAC制御機能部は、列並列処理部160の各カラム処理回路(ADC)161のAD変換を行う行ごとに、参照信号RAMPのオフセットを調整するように制御する。

10

【0039】

画素部110においては、ラインシャッタを使用した光子蓄積、排出により、映像や画面イメージを画素行毎に光電変換し、アナログ信号VSLを列並列処理部160(D, U)の各カラム処理回路161に出力する。

列並列処理部160では、ADCブロック(各カラム部)でそれぞれ、画素部110のアナログ出力をDAC170からの参照信号(ランプ信号)RAMPを使用したAPGA対応積分型ADC、およびデジタルCDSを行い、数ビットのデジタル信号を出力する。

【0040】

画素電流源150D, 150Uは、画素読み出しのために画素の増幅トランジスタ(FDアンプ)とソースフォロワーを形成するために信号線に接続されるが、インピーダンスを確保するために信号線の両端に(画素部110の上下)に設けられる構成が適用される。

20

画素電流源150Dは、内部電圧生成回路180で生成されるバイアス電圧VBAS1が供給される。

画素電流源150Dは、内部電圧生成回路180で生成されるバイアス電圧VBAS2が供給される。

【0041】

図6は、本実施形態に係る画素部の上下両端に配置される画素電流源の具体的な構成例を示す図である。

【0042】

30

画素電流源150Dは、画素の列配列に対応して基準電位VSSと各垂直信号線116-1~116-nの一端(下端)側との間に直列に接続された負荷MOSトランジスタ151D-1~151D-nおよび152D-1~152D-nを有する。

そして、負荷MOSトランジスタ151D-1~151D-nのゲートが内部電圧生成回路180で生成されるバイアス電圧VBAS11の供給ラインに共通に接続されている。

負荷MOSトランジスタ152D-1~152D-nのゲートが内部電圧生成回路180で生成されるバイアス電圧VBAS12の供給ラインに共通に接続されている。

直列に接続された負荷MOSトランジスタ151D-1~151D-nおよび152D-1~152D-nは画素読み出し時のソースフォロワの電流源IDとして機能する。

40

【0043】

画素電流源150Uは、画素の列配列に対応して基準電位VSSと各垂直信号線116-1~116-nの他端(上端)側との間に直列に接続された負荷MOSトランジスタ151U-1~151U-nおよび152U-1~152U-nを有する。

そして、負荷MOSトランジスタ151U-1~151U-nのゲートが内部電圧生成回路180で生成されるバイアス電圧VBAS21の供給ラインに共通に接続されている。

負荷MOSトランジスタ152U-1~152U-nのゲートが内部電圧生成回路180で生成されるバイアス電圧VBAS22の供給ラインに共通に接続されている。

直列に接続された負荷MOSトランジスタ151U-1~151U-nおよび152U

50

− 1 ~ 1 5 2 U − n は画素読み出し時のソースフォロワの電流源 I U として機能する。

【 0 0 4 4 】

[カラム A D C の構成例]

本実施形態の列並列処理部 1 6 0 D, 1 6 0 U は、同様の構成を有し、A D C ブロックであるカラム処理回路 (A D C) 1 6 1 が複数列配列されている。

すなわち、列並列処理部 1 6 0 (D, U) は、k ビットデジタル信号変換機能を有し、各垂直信号線 (列線) 1 1 6 − 1 ~ 1 1 6 − n 毎に配置され、列並列 A D C ブロックが構成される。

各 A D C 1 6 1 は、D A C 1 7 0 により生成される参照信号を階段状に変化させたランブ波形である参照信号 R A M P (V s l o p) と、行線毎に画素から垂直信号線を経由し得られるアナログ信号 V S L とを比較する機能部としての比較器 1 6 2 を有する。

さらに、各 A D C は、比較時間をカウントするカウンタ 1 6 3 と、カウンタ 1 6 3 のカウント結果を保持するメモリ (ラッチ) 1 6 4 を有する。A D C 1 6 1 は、転送スイッチ 1 6 5 を有する。

各メモリ 1 6 4 の出力は、たとえば k ビット幅の水平転送線 L T R F に接続されている。

そして、水平転送線 L T R F に対応した k 個のアンプ回路および信号処理回路が配置される。

【 0 0 4 5 】

このような比較器を有する列並列処理部 1 6 0 においては、垂直信号線 1 1 6 に読み出されたアナログ信号電位 V S L は列毎 (カラム毎) に配置された比較器 1 6 2 で参照信号 R A M P と比較される。

このとき、比較器 1 6 2 と同様に列毎に配置されたカウンタ 1 6 3 が動作している。

各 A D C 1 6 1 は、ランブ波形のある参照信号 R A M P (電位 V s l o p) とカウンタ値が一对一の対応を取りながら変化することで垂直信号線 1 1 6 の電位 (アナログ信号) V S L をデジタル信号に変換する。

A D C 1 6 1 は、参照信号 R A M P (電位 V s l o p) の電圧の変化を時間の変化に変換するものであり、その時間のある周期 (クロック) で数えることでデジタル値に変換する。

アナログ信号 V S L と参照信号 R A M P (V s l o p) が交わったとき、比較器 1 6 2 の出力が反転し、カウンタ 1 6 3 の入力クロックを停止し、または、入力を停止していたクロックをカウンタ 6 3 に入力し、A D 変換を完了させる。A D 変換されたデータはメモリ 1 6 4 に保持される。

【 0 0 4 6 】

以上の A D 変換期間終了後、水平転送走査回路 1 3 0 により、メモリ 1 6 4 に保持されたデータが、水平転送線 L T R F に転送され、アンプ回路を経て信号処理回路に入力され、所定の信号処理により 2 次元画像が生成される。

【 0 0 4 7 】

水平転送走査回路 1 3 0 では、転送速度の確保のために数チャンネル同時並列転送を行う。

タイミング制御回路 1 4 0 においては、画素部 1 1 0、列並列処理部 1 6 0 等の各ブロックでの信号処理に必要なタイミングを作成している。

後段の信号処理回路では、ラインメモリ内に格納された信号より縦線欠陥や点欠陥の補正、信号のクランプ処理を行ったり、パラレル-シリアル変換、圧縮、符号化、加算、平均、間欠動作などデジタル信号処理を行う。

本実施形態の固体撮像素子 1 0 0 においては、信号処理回路のデジタル出力が I S P やベースバンド (baseband) L S I の入力として送信される。

【 0 0 4 8 】

D A C 1 7 0 は、タイミング制御回路 1 4 0 の制御の下、ある傾きを持った線形に変化するスロープ波形である参照信号 (ランブ信号) を生成し、参照信号 R A M P を列並列処

10

20

30

40

50

理部 160 に供給する。

DAC170 は、たとえばタイミング制御回路 140 の制御の下、列並列処理部 160 の各カラム処理回路 (ADC) 161 の AD 変換を行う行ごとに、オフセット調整した参照信号 RAMP を生成する。

【0049】

内部電圧生成回路 180 は、バイアス電圧 VBIAS1 (11, 12)、VBIAS2 (21, 22) を生成し、画素電流源 150D, 150U に供給する。

また、内部電圧生成回路 180 は、バイアス電圧 VBIAS3 を生成し、DAC170 の電流制御用電流源 (たとえばトランジスタのゲート) に供給する。

【0050】

[固体撮像素子の全画素読み出し動作例]

図 7 (A) および (B) は、本実施形態に係る固体撮像素子の全画素読み出しの動作例を説明するための図である。

次に、上記構成による動作を、図 7 に関連付けて説明する。

【0051】

タイミング制御回路 140 の制御の下、たとえば全画素読み出しを行う場合、まず、図 7 (A) に示すように、画素部 110 の全面リセットを行う。

この場合、転送トランジスタ 112 およびリセットトランジスタ 113 をオンにすることによりをオンすることで画像全面のリセットを一斉に行う。

具体的には、垂直走査回路 120 が転送トランジスタ 112 をオン、オフ制御する制御信号 TX、およびリセットトランジスタ 113 をオン、オフ制御する制御信号 RST の両方をアクティブのハイレベルに設定する。

これにより、フォトダイオード 111 に蓄積された電荷をはきすてる。

そして、セット後、両信号をローレベルに切り替えて転送トランジスタ 112 およびリセットトランジスタをオフにする。これにより、フォトダイオード 111 が光信号を電荷に変換し蓄積する。

【0052】

次に、画素読み出しを行う。

この読み出し動作中は、周辺回路、特に画素電流源 150D, 150U から発光・発熱が生じる。

したがって、画素部 110 を下端から上端に向かって順番に読み出すと、上端に近い場所ほど電荷の蓄積時間が長い。

上端の周辺回路に近い部分は、周辺回路からの発光・発熱の影響を長時間受けるため、この部分にシェーディング状の白浮きが生じる。

図 3 の例から考察すると、画面端から全画面の 1/5 程度の領域において白浮きが生じやすいことが推察される。

【0053】

そこで、本実施形態では、図 7 (B) に示すように、画素読み出しを、画素部 110 の上下、すなわち、画素電流源 150U, 150D に近い領域の行から交互に行い、そして、中央に向かって読み出しを行うように各行の画素を駆動する。

【0054】

画素部 110 に、たとえば垂直 (V) 方向に 5000 行ある場合、以下のような順番で読み出しを行う。

なお、この例では 1 行目は下端側の画素電流源 150D に近い行であり、5000 行目は上端側の画素電流源 150U に近い行であるとする。ただし、この逆であってもよい。

【0055】

[画素読み出しの順番の第 1 例]

第 1 例では、次の順番で読み出しを行う。

例 1) 1 行目、5000 行目、2 行目、4999 行目、3 行目、4998 行目、・・・2500 行目、2501 行目 (R 行→B 行→B 行→R 行) の順である。

10

20

30

40

50

この第1例では、画素電流源150U、150Dに近い領域の行から1行ずつ交互に読み出しを行い、そして、中央に向かって読み出しを行うように各行の画素を駆動する。

第1例では、画面上下端を先に読み出すので、この部分の蓄積時間が大幅に短くなる。これにより、周辺回路、特に画素電流源の影響による画面端の白浮きを抑制できる。

【0056】

〔画素読み出しの順番の第2例〕

第2例では、次の順番で読み出しを行う。

例2) 1行目、2行目、4999行目、5000行目、3行目、4行目、・・・2501行目、2502行目(R行→B行→R行→B行)の順である。

この第2例では、画素電流源150U、150Dに近い領域の行から2行ずつ交互に読み出しを行い、そして、中央に向かって読み出しを行うように各行の画素を駆動する。

第2例においても、画面上下端を先に読み出すので、この部分の蓄積時間が大幅に短くなる。これにより、周辺回路、特に画素電流源の影響による画面端の白浮きを抑制できる。

【0057】

第2例のように、2行ずつ上下交互に読み出しを行う方法は、図8に示すように、2画素共有の構成を採用している固体撮像素子に適用可能である。

すなわち、共有画素の数の行を連続して読み出し、これを上下交互に行うようにすることにより、画素共有に適した全画素読み出しを行うことが可能である。

ちなみに、図9に示すような4画素共有の場合、次の順番で読み出しを行う。

例3) 1行目、2行目、3行目、4行目、4997行目、4998行目、4999行目、5000行目、5行目、6行目、7行目、8行目、・・・2501行目、2502行目、2503行目、2503行目(R行→B行→R行→B行)の順である。

【0058】

また、上記した例のように、規則正しく交互に読み出しを行うことは、必ずしも必要なことではない。

たとえば、周辺回路の影響を受けて白浮きが発現すると予測される画面上下端から行数、あるいはこの行数にマージンを持たせて行数を含む特定領域SAR-D、SAR-Uを交互に先に読み出す。

その後は、一方の特定領域に隣接する行から他方の特定領域に隣接する行まで順番読み出す、あるいは一方の特定領域から隣接する行から中央に位置する行まで順番に読み出し、他方の特定領域に隣接する行から中央の読み出し行に隣接する行まで読み出す。

すなわち、周辺回路の影響を受けて白浮きが発現すると予測される画面上下端から行数、あるいはこの行数にマージンを持たせて行数を含む特定領域を交互に先に読み出した後は、任意の順番で読み出すことが可能である。

【0059】

以下に読み出し時の具体的な動作を説明する。

読み出し時には、垂直走査回路120が、リセットトランジスタ113をオンしてフローティングディフュージョンFDをリセットし、リセットトランジスタ113をオフする。これにより、そのときのフローティングディフュージョンFDの電圧を増幅トランジスタ114、選択トランジスタ115を通して出力する。このときの出力をP相出力とする。

次に、転送トランジスタ112をオンしてフォトダイオード111に蓄積された電荷をフローティングディフュージョンFDに転送し、そのときのフローティングディフュージョンFDの電圧を増幅トランジスタ114で出力する。このときの出力をD相出力とする。

画素から読み出された信号は、各カラム処理回路(ADC)161に入力される。

各カラム処理回路(ADC)161において、垂直信号線116に読み出されたアナログ信号電位VSLが列毎に配置された比較器162で参照信号RAMPと比較される。

アナログ電位VSLと参照信号RAMPのレベルが交差し比較器162の出力が反転す

10

20

30

40

50

るまで、カウンタ 1 6 3 でカウントが行われる。

カウンタ 1 6 3 では、たとえばクロック C L K に同期してカウント動作が行われ、比較器 1 6 2 の出力レベルが反転するとカウント動作が停止され、そのときの値がメモリ 1 6 4 に保持される。

このリセットレベル P 相には画素毎のばらつきが含まれる。

2 回目は各单位画素 1 1 0 A で光電変換された信号が垂直信号線 1 1 6 (- 1 ~ - n) に読み出され (D 相) 、 A D 変換が実行される。

【 0 0 6 0 】

各カラム処理回路 (A D C) 1 6 1 において、垂直信号線 1 1 6 に読み出されたアナログ信号電位 V S L が列毎に配置された比較器 1 6 2 で参照信号 R A M P と比較される。

アナログ電位 V S L と参照信号 R A M P のレベルが交差し比較器 1 6 2 の出力が反転するまで、カウンタ 1 6 3 でカウントが行われる。

カウンタ 1 6 3 では、たとえばクロック C L K に同期してカウント動作が行われ、比較器 1 6 2 の出力レベルが反転するとカウント動作が停止され、そのときの値がメモリ 1 6 4 に保持される。

そして、この P 相および D 相変換の結果と合わせて、 (D 相レベル - P 相レベル) を実行することで、相関二重サンプリング (C D S) が実現できる。

デジタル信号に変換された信号は、水平 (列) 転送走査回路 1 3 0 により、順番に水平転送線 L T R F を介してアンプ回路に読み出され、最終的に出力される。

このようにして、列並列出力処理が行われる。

【 0 0 6 1 】

以上説明したように、本実施形態の固体撮像素子によれば、画面上下端を先に読み出すので、この部分の蓄積時間が大幅に短くなる。これにより、周辺回路の影響による画面端の白浮きを抑制できる。

【 0 0 6 2 】

< 2 . 第 2 の実施形態 >

図 1 0 は、本第 2 の実施形態に係る列並列 A D C 搭載固体撮像素子 (C M O S イメージセンサ) の構成例を示すブロック図である。

【 0 0 6 3 】

本第 2 の実施形態に係る固体撮像素子 1 0 0 A が第 1 の実施形態に係る固体撮像素子 1 0 0 と異なる点は、読み出し回路 (カラム A D C など) としての列並列処理部 1 6 0 が片側のみに配置されていることにある。

この場合でも、画素電流源が上下にあることから、上記第 1 の実施形態で示した全画素読み出し方法が適用される。

【 0 0 6 4 】

本第 2 の実施形態によれば、上述した第 1 の実施形態の効果と同様の効果を得ることができる。

【 0 0 6 5 】

< 3 . 第 3 の実施形態 >

図 1 1 は、第 3 の実施形態に係る列並列 A D C 搭載固体撮像素子 (C M O S イメージセンサ) における画素部の構成を示す図である。

【 0 0 6 6 】

本第 2 の実施形態に係る固体撮像素子 1 0 0 B は、画素部 2 0 0 が有効画素領域 2 1 0 の下端側および右端側に遮光状態にある垂直 (V) 、水平 (H) オプティカルブラック (O B P) 領域 2 2 0 , 2 3 0 が形成されている。

この例では、V O P B 領域 2 2 0 の行数は第 0 行から第 1 5 行の 1 6 行で、有効画素領域 2 1 0 の行数は第 1 6 号から第 5 0 1 5 行の 5 0 0 0 行である。

【 0 0 6 7 】

固体撮像素子 1 0 0 B において、全画素読み出しは、V O P B 領域 2 2 0 の 1 6 行を順番に読み出した後、有効画素領域 2 1 0 の読み出しが行われるが、この読み出しには第 1

10

20

30

40

50

の実施形態で説明した第 1 例、第 2 例や第 3 例の方法が適用される。

第 2 例を適用すると、次の順番で読み出しを行う。

例 2) 1 6 行目、1 7 行目、5 0 1 4 行目、5 0 1 5 行目、1 8 行目、1 9 行目、・・・
2 5 0 1 6 行目、2 5 0 1 7 行目 (R 行→B 行→R 行→B 行) の順である。

このように、第 2 例の読み出し方法を適用すると、画素電流源 1 5 0 U, 1 5 0 D に近い領域の行から 2 行ずつ交互に読み出しを行い、そして、中央に向かって読み出しを行うように各行の画素を駆動する。

本第 3 の実施形態において、画面上下端を先に読み出すので、この部分の蓄積時間が大幅に短くなる。これにより、周辺回路、特に画素電流源の影響による画面端の白浮きを抑制できる。

【0068】

このような効果を有する固体撮像素子は、デジタルカメラやビデオカメラの撮像デバイスとして適用することができる。

【0069】

< 4. 第 4 の実施形態 >

図 1 2 は、本発明の実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

【0070】

本カメラシステム 3 0 0 は、図 1 2 に示すように、本実施形態に係る固体撮像素子 1 0 0, 1 0 0 A, 1 0 0 B が適用可能な撮像デバイス 3 1 0 を有する。

カメラシステム 3 0 0 は、撮像デバイス 3 1 0 の画素領域に入射光を導く (被写体像を結像する) 光学系として、たとえば入射光 (像光) を撮像面上に結像させるレンズ 3 2 0 を有する。

さらに、カメラシステム 3 0 0 は、撮像デバイス 3 1 0 を駆動する駆動回路 (D R V) 3 3 0 と、撮像デバイス 3 1 0 の出力信号を処理する信号処理回路 (P R C) 3 4 0 と、を有する。

【0071】

駆動回路 3 3 0 は、撮像デバイス 3 1 0 内の回路を駆動するスタートパルスやクロックパルスを含む各種のタイミング信号を生成するタイミングジェネレータ (図示せず) を有し、所定のタイミング信号で撮像デバイス 3 1 0 を駆動する。

【0072】

また、信号処理回路 3 4 0 は、撮像デバイス 3 1 0 の出力信号に対して所定の信号処理を施す。

信号処理回路 3 4 0 で処理された画像信号は、たとえばメモリなどの記録媒体に記録される。記録媒体に記録された画像情報は、プリンタなどによってハードコピーされる。また、信号処理回路 3 4 0 で処理された画像信号が液晶ディスプレイ等からなるモニターに動画として映し出される。

【0073】

上述したように、デジタルスチルカメラ等の撮像装置において、撮像デバイス 3 1 0 として、先述した固体撮像素子 1 0 0, 1 0 0 A, 1 0 0 B を搭載することで、高精度なカメラが実現できる。

【0074】

なお、本技術は、以下のような構成もとることができる。

(1) 光信号を電気信号に変換し、露光時間に応じた信号電荷を蓄積する光電変換素子を含む複数の画素が行列状に配列された画素部と、

上記画素部の互いに対向する縁部に隣接した配置され、少なくとも画素信号の読み出し動作に関連して駆動される周辺回路と、

上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、

上記画素信号読み出し部は、

10

20

30

40

50

全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも１行ずつ交互に画素読み出しを行う

固体撮像素子。

(２) 上記画素信号読み出し部は、

全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い領域の行から少なくとも１行ずつ交互に読み出し、かつ、上記特定領域を除く画素部の上記縁部間の中央領域の読み出しを行う

上記(１)記載の固体撮像素子。

(３) 上記画素信号読み出し部は、

全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い領域の行から少なくとも１行ずつ交互に読み出し、画素部の上記縁部間の中央部に向かって読み出しを行う

上記(１)または(２)記載の固体撮像素子。

(４) 上記画素部は、

複数の画素で出力ノードを共有する共有画素が形成され、当該共有出力ノードから対応する上記画素信号読み出し線に上記共有画素における各画素の画素信号を選択的に出力可能で、

上記画素信号読み出し部は、

共有画素の数の行を連続して読み出し、当該連続読み出しを交互に行う

上記(１)から(３)のいずれかに記載の固体撮像素子。

(５) 上記画素部は、

有効画素領域、および当該有効画素領域外で周辺回路側に遮光状態にあるオプティカルブラック領域が形成され、

上記画素信号読み出し部は、

全画素読み出しを行う際に、全画素リセット後、オプティカルブラック領域を順番に読み出し、上記有効画素領域は上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも１行ずつ交互に画素読み出しを行う

上記(１)から(４)のいずれかに記載の固体撮像素子。

(６) 画素信号読み出し線を有し、

上記画素信号読み出し部は、

上記画素部から上記画素信号読み出し線を通して画素信号の読み出しを行い、

上記画素部の互いに対向する縁部側に配置された各周辺回路は、

上記画素信号読み出し線に接続されて電流源として機能し、バイアス電圧に応じた電流が流れる負荷素子を含む

上記(１)から(４)のいずれかに記載の固体撮像素子。

(７) 互いに対向する縁部に隣接して、少なくとも画素信号の読み出し動作に関連して駆動される周辺回路が配置され、光信号を電気信号に変換し、露光時間に応じた信号電荷を蓄積する光電変換素子を含む複数の画素が行列状に配列された画素部に対して全画素読み出しを行うに際し、

全画素リセットするリセットステップと、

上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも１行ずつ交互に画素読み出しを行う読み出しステップと

を有する固体撮像素子の駆動方法。

(８) 上記読み出しステップでは、

全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い領域の行から少なくとも１行ずつ交互に読み出し、かつ、上記特定領域を除く画素部の上記縁部間の中央領域の読み出しを行う

上記(７)記載の固体撮像素子の駆動方法。

(９) 上記読み出しステップでは、

10

20

30

40

50

全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い領域の行から少なくとも１行ずつ交互に読み出し、画素部の上記縁部間の中央部に向かって読み出しを行う

上記（７）または（８）記載の固体撮像素子の駆動方法。

（１０）上記画素部は、

複数の画素で出力ノードを共有する共有画素が形成され、当該共有出力ノードから対応する上記画素信号読み出し線に上記共有画素における各画素の画素信号を選択的に出力可能で、

上記読み出しステップでは、

共有画素の数の行を連続して読み出し、当該連続読み出しを交互に行う

10

上記（７）から（９）のいずれかに記載の固体撮像素子の駆動方法。

（１１）上記画素部は、

有効画素領域、および当該有効画素領域外で周辺回路側に遮光状態にあるオプティカルブラック領域が形成され、

上記読み出しステップでは、

全画素読み出しを行う際に、全画素リセット後、オプティカルブラック領域を順番に読み出し、

上記有効画素領域は上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも１行ずつ交互に画素読み出しを行う

上記（７）から（１０）のいずれかに記載の固体撮像素子の駆動方法。

20

（１２）固体撮像素子と、

上記固体撮像素子に被写体像を結像する光学系と、を有し、

上記固体撮像素子は、

光信号を電気信号に変換し、露光時間に応じた信号電荷を蓄積する光電変換素子を含む複数の画素が行列状に配列された画素部と、

上記画素部の互いに対向する縁部に隣接した配置され、少なくとも画素信号の読み出し動作に関連して駆動される周辺回路と、

上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、

上記画素信号読み出し部は、

30

全画素読み出しを行う際に、全画素リセット後、上記画素部の互いに対向する縁部側に配置された周辺回路に近い少なくとも特定領域の行から、少なくとも１行ずつ交互に画素読み出しを行う

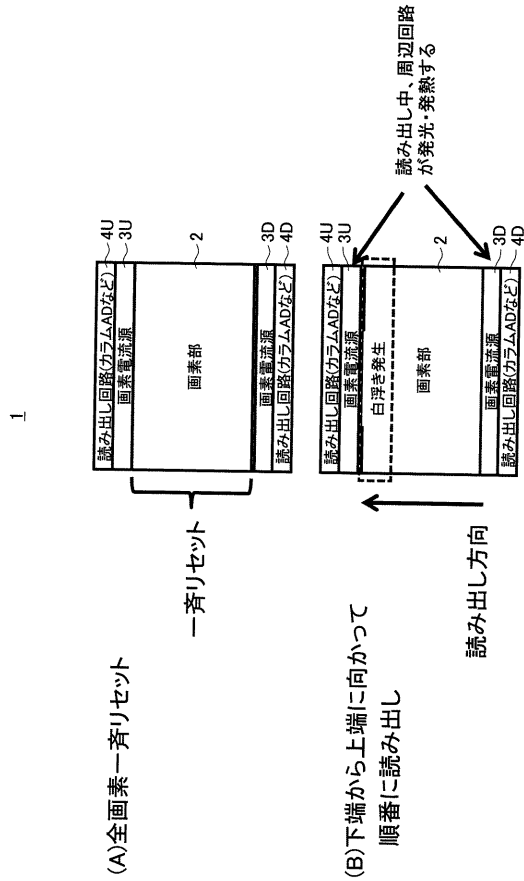
カメラシステム。

【符号の説明】

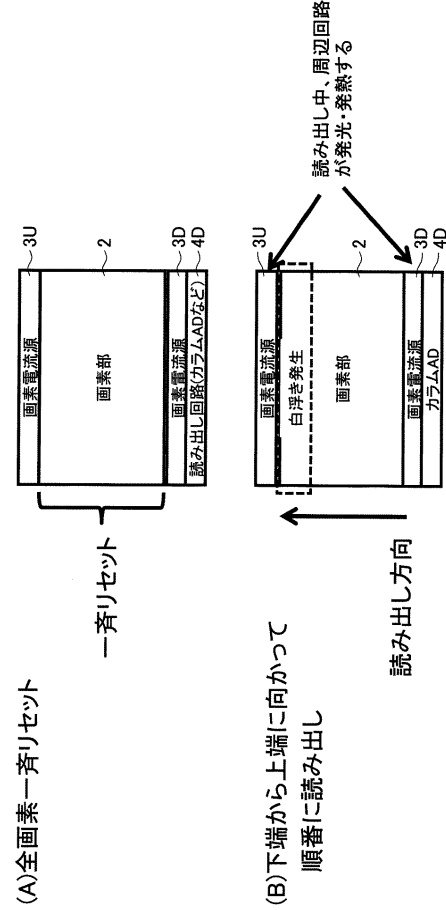
【００７５】

１００，１００Ａ，１００Ｂ・・・固体撮像素子、１１０・・・画素部、１２０・・・垂直走査回路、１３０・・・水平転送走査回路、１４０・・・タイミング制御回路、１５０・・・負荷回路、１６０・・・列並列処理部、１６１・・・カラム処理回路（ＡＤＣ）、１６２・・・比較器、１６３・・・カウンタ、１６４・・・メモリ、１７０・・・ＤＡ 40
Ｃ、１８０・・・内部電圧生成回路、ＬＴＲＦ・・・水平転送線、２００・・・画素部、２１０・・・有効画素領域、２２０・・・垂直オプティカルブラック領域（ＶＯＰＢ）、２３０・・・水平オプティカルブラック領域（ＨＯＰＢ）、ＳＡＲ－Ｄ，ＳＡＲ－Ｕ・・・特定領域、３００・・・カメラシステム、３１０・・・撮像デバイス、３２０・・・レンズ、３３０・・・駆動回路、３４０・・・信号処理回路。

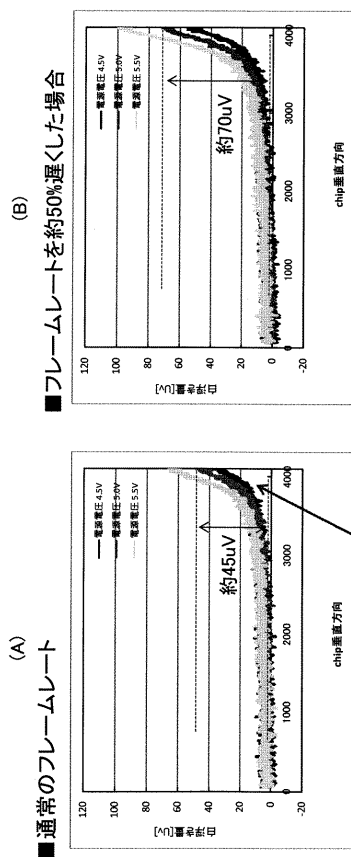
【図 1】



【図 2】



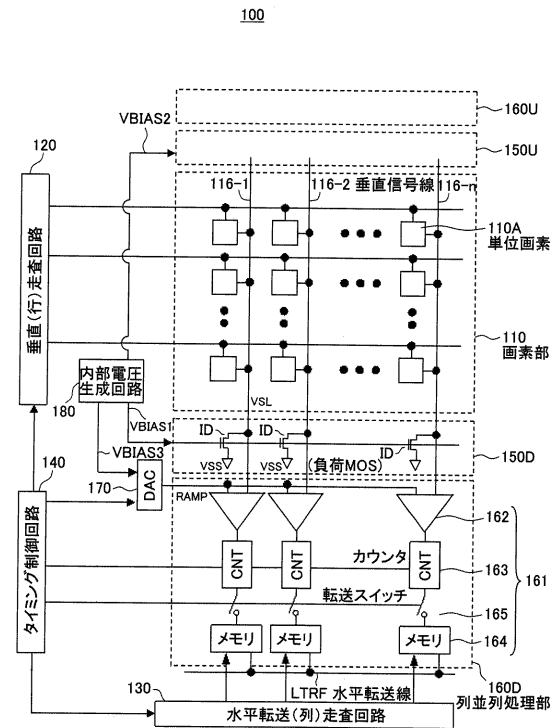
【図 3】



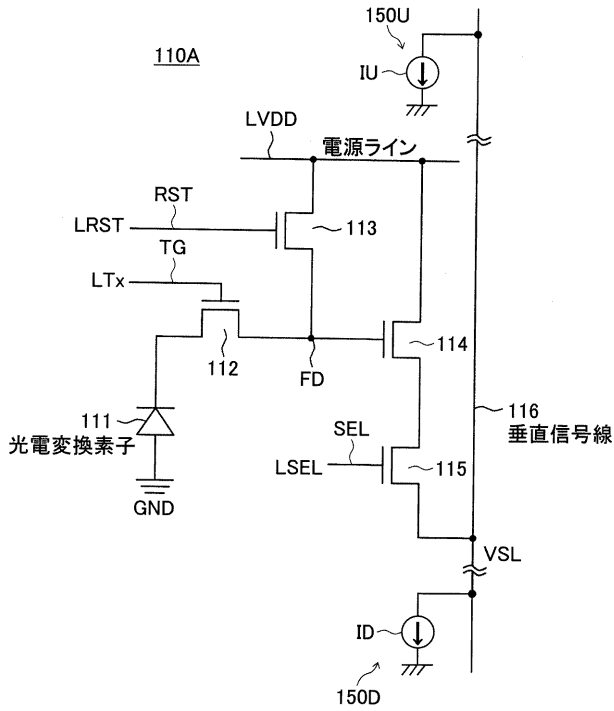
フレームレートを落とすと、周辺回路からの影響を受ける時間が延びるため、白浮きが悪化する。

画素部上端側
(後から読む側)
で白浮き

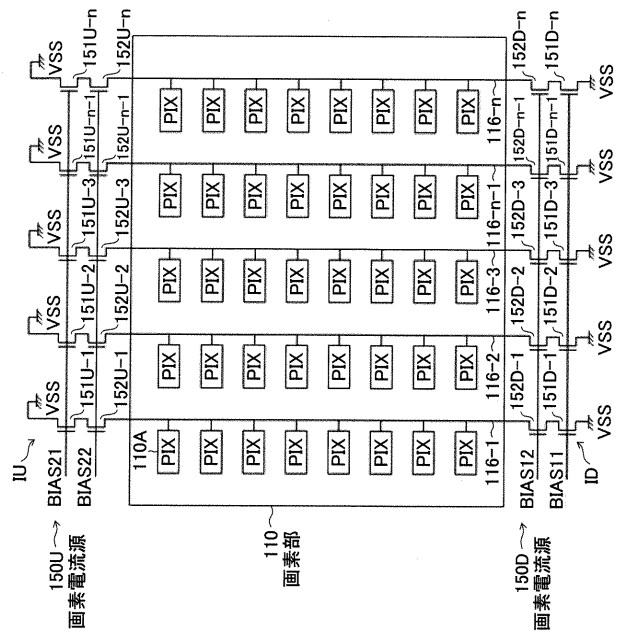
【図 4】



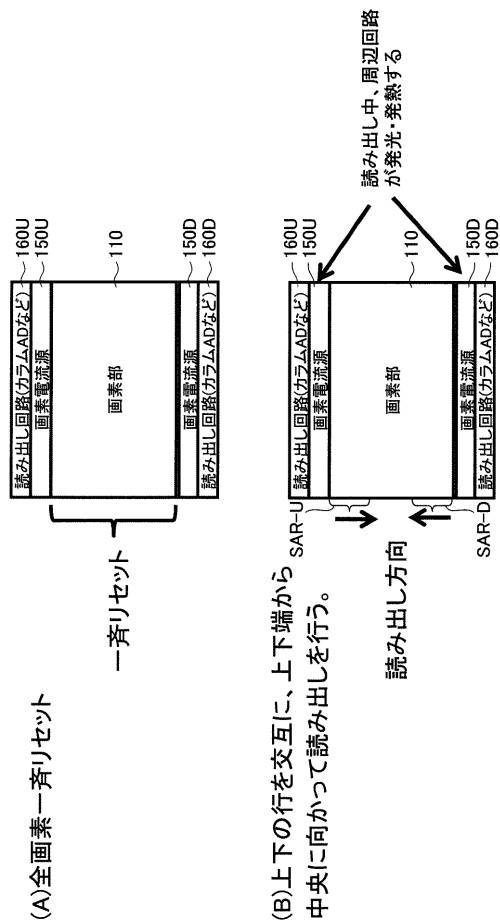
【図 5】



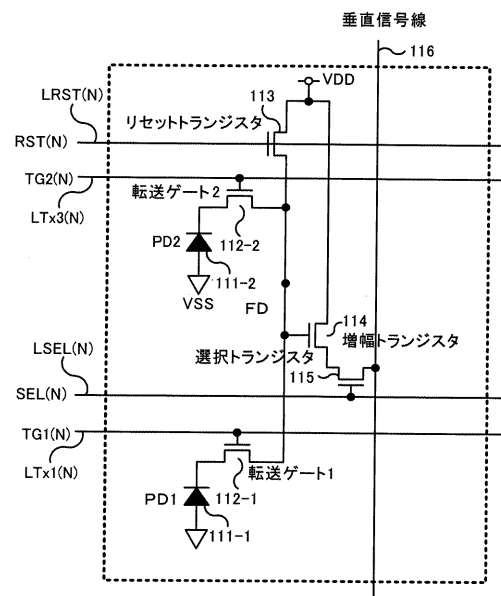
【図 6】



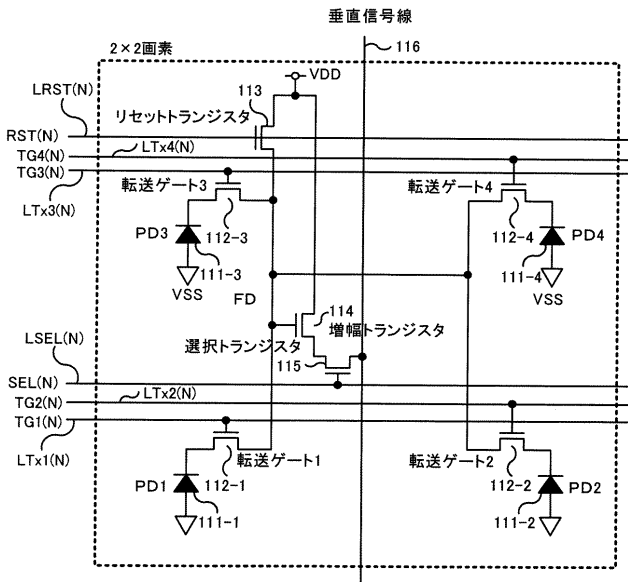
【図 7】



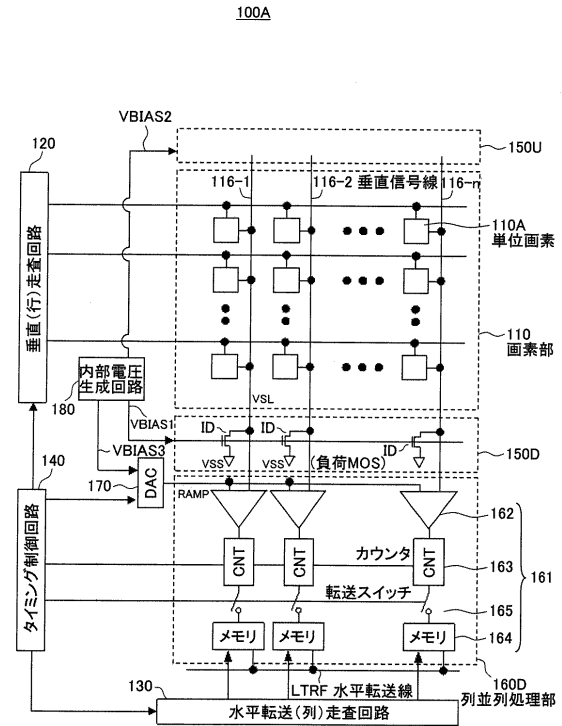
【図 8】



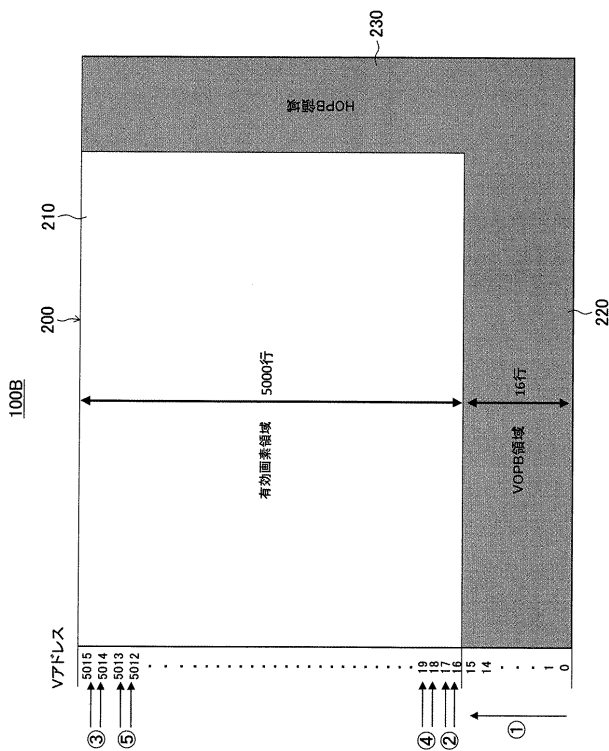
【図 9】



【図 10】



【図 11】



【図 12】

