



(12) 发明专利申请

(10) 申请公布号 CN 120264626 A

(43) 申请公布日 2025. 07. 04

(21) 申请号 202411381770.5

(22) 申请日 2024.09.30

(30) 优先权数据

10-2024-0000322 2024.01.02 KR

(71) 申请人 LG伊诺特有限公司

地址 韩国首尔

(72) 发明人 李洙旼 具大煥 金志勳 文大成

禹炳旭 刘昌佑 李尙炫 李周炫

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

专利代理师 徐金国

(51) Int. Cl.

H05K 3/34 (2006.01)

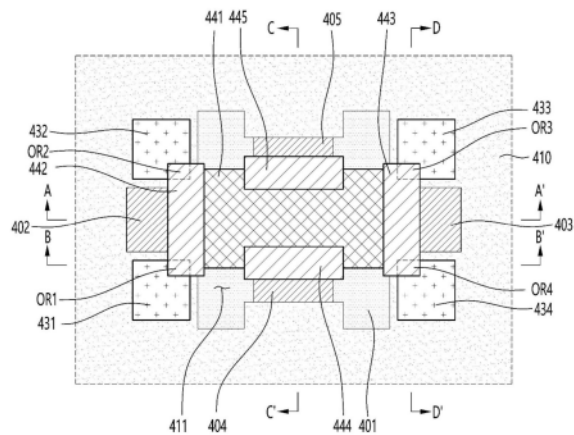
权利要求书2页 说明书20页 附图10页

(54) 发明名称

电路板和具有该电路板的半导体封装

(57) 摘要

根据实施例的电路板包括积层结构,所述积层结构包括沿垂直方向堆叠的多个绝缘层;保护层,所述保护层设置在所述积层结构上;以及多个绝缘构件,所述多个绝缘构件设置在所述保护层上并且彼此间隔开。



1. 一种电路板,包括:
积层结构,所述积层结构包括沿垂直方向堆叠的多个绝缘层;
保护层,所述保护层设置在所述积层结构上;以及
多个绝缘构件,所述多个绝缘构件设置在所述保护层上并且彼此间隔开。
2. 根据权利要求1所述的电路板,其中,所述多个绝缘构件的材料与所述保护层的材料相同。
3. 根据权利要求2所述的电路板,其中,所述多个绝缘构件中的每个绝缘构件在垂直方向上的厚度大于所述保护层在垂直方向上的厚度。
4. 根据权利要求3所述的电路板,其中,所述多个绝缘构件中的每个绝缘构件在垂直方向上的厚度在所述保护层在垂直方向上的厚度的1.2倍至5倍之间。
5. 根据权利要求1所述的电路板,其中,所述积层结构包括设置在其上表面上的焊盘部分,并且
其中,所述多个绝缘构件在所述保护层上的所述焊盘部分的周边区域中彼此间隔开。
6. 根据权利要求5所述的电路板,其中,所述保护层具有从所述保护层暴露所述焊盘部分的通孔,以及
其中,所述多个绝缘构件在所述通孔周围的区域中彼此间隔开。
7. 根据权利要求6所述的电路板,其中,所述多个绝缘构件中的每个绝缘构件沿垂直方向与所述保护层的所述通孔不对准。
8. 根据权利要求7所述的电路板,其中,所述多个绝缘构件中的每个绝缘构件沿水平方向与所述保护层的所述通孔间隔开预定距离。
9. 根据权利要求8所述的电路板,其中,所述距离大于所述保护层在垂直方向上的厚度。
10. 根据权利要求8所述的电路板,其中,所述距离小于所述多个绝缘构件中的每个绝缘构件在垂直方向上的厚度。
11. 根据权利要求5所述的电路板,其中,所述焊盘部分包括多个焊盘,并且
其中,所述多个焊盘中的至少一个焊盘的上表面的面积大于所述多个绝缘构件中的每个绝缘构件的上表面的面积。
12. 一种半导体封装,包括:
积层绝缘层,所述积层绝缘层包括沿垂直方向堆叠的多个绝缘层;
保护层,所述保护层设置在所述积层绝缘层上;以及
多个绝缘构件,所述多个绝缘构件设置在所述保护层上并且彼此间隔开。
13. 根据权利要求12所述的半导体封装,其中,所述多个绝缘构件的厚度大于所述保护层的厚度。
14. 根据权利要求13所述的半导体封装,其中,所述多个绝缘构件与所述保护层一体地形成。
15. 根据权利要求13所述的半导体封装,其中,所述多个绝缘构件的材料与所述保护层的材料相同。
16. 根据权利要求13所述的半导体封装,进一步包括焊盘部分,所述焊盘部分设置在所述积层绝缘层的上表面上,以及

其中,所述多个绝缘构件在所述保护层上的所述焊盘部分的周边区域中彼此间隔开。

17.根据权利要求16所述的半导体封装,其中,所述多个绝缘构件中的每个绝缘构件包括上表面,

其中,所述焊盘部分包括多个焊盘,

其中,所述多个焊盘中的每个焊盘包括上表面,以及

其中,所述多个绝缘构件中的至少一个绝缘构件的上表面的面积小于所述多个焊盘中的至少一个焊盘的上表面的面积。

18.根据权利要求16所述的电路板,其中,所述保护层具有沿垂直方向与所述焊盘部分重叠的通孔,以及

所述多个绝缘构件在所述通孔周围沿水平方向彼此间隔开。

19.根据权利要求12所述的半导体封装,还包括:

半导体器件,所述半导体器件设置在所述多个绝缘构件上。

20.根据权利要求19所述的半导体封装,其中,所述半导体器件包括多个电极,以及其中,所述多个电极包括在垂直方向上与所述绝缘构件重叠的重叠电极,和在垂直方向上不与所述绝缘构件重叠的非重叠电极。

21.根据权利要求20所述的半导体封装,还包括:

导电粘合剂,所述导电粘合剂设置在所述半导体器件与所述焊盘部分之间,

其中,所述导电粘合剂在水平方向上与所述绝缘构件重叠。

22.根据权利要求21所述的半导体封装,其中,所述导电粘合剂具有在所述半导体器件的所述重叠电极和所述绝缘构件之间延伸的至少一部分。

电路板和具有该电路板的半导体封装

[0001] 相关申请的交叉引用

[0002] 本申请根据35U.S.C.119和35U.S.C.365要求享有韩国专利申请No.10-2024-0000322(于2024年1月2日提交)的优先权,其全部内容在此引入作为参考。

技术领域

[0003] 实施例涉及电路板,具体地涉及一种具有改进的电可靠性的电路板以及包括该电路板的半导体封装。

背景技术

[0004] 随着电气/电子产品性能的进步,正在提出和研究用于在有限尺寸的半导体封装基板上布置更多数量的半导体器件的技术。然而,由于一般的半导体封装是基于安装单个半导体器件,因此在获得期望的性能方面存在限制。

[0005] 因此,最近,已经提供了一种半导体封装,其中使用多个基板来布置多个半导体器件。这种半导体封装具有多个半导体器件在基板上沿水平和/或垂直方向彼此连接的结构。因此,半导体封装具有有效地使用半导体器件的安装区域并且能够通过半导体器件之间的短信号传输路径进行高速信号传输的优点。

[0006] 此外,根据高集成度的趋势,应用于提供物联网(IoT)、自动驾驶汽车和高性能服务器的产品的半导体封装在半导体器件的数量和/或每个半导体器件的尺寸方面正在增加。此外,随着半导体器件的功能部分被划分,半导体封装的概念正在扩展到半导体小芯片。

[0007] 同时,安装在电路板上的半导体器件和/或半导体小芯片的数量和/或类型正在多样化,因此,半导体器件和/或半导体小芯片以各种方式安装在电路板上。例如,可以使用诸如微球的连接构件将具有相对精细电极的半导体器件安装在电路板上,并且可以使用诸如焊膏的连接构件将具有相对大电极的半导体器件安装在电路板上。

[0008] 此时,当使用诸如焊膏的连接构件安装半导体器件时,可以在将焊膏涂敷到设置在电路板上的焊盘上之后执行回流工艺。此时,焊膏被提供有焊剂,并且上述焊剂可以在回流工艺期间在焊盘周围流动。上述焊剂流可能污染电路板的表面或引起彼此电连接相邻设置的焊盘的电短路问题。因此,在回流工艺之后执行去除上述焊剂的去焊剂工艺。

[0009] 此时,最近的半导体封装的厚度正在减小,结果,设置在电路板上的焊盘与半导体器件的端子之间的垂直方向上的距离也可能减小。如果上述垂直方向上的距离减小,则去焊剂工艺的溶液可能不会充分渗透到电路板和半导体器件之间的空间中,这可能导致电和/或机械可靠性问题,因为焊剂未被完全去除。

[0010] 此时,可以通过增加焊盘和半导体器件的端子之间的垂直距离来解决上述问题,以允许去焊剂工艺的溶液充分渗透。然而,使用微球的半导体器件可以与使用上述焊膏的半导体器件一起安装在一个电路板上。另外,当增加焊盘和半导体器件的端子之间的垂直方向上的距离以改善上述去焊剂溶液的渗透性时,微球的尺寸(例如,水平方向上的宽度和

垂直方向上的厚度)可能增加,因此,设置在电路板上的焊盘的间距也可能增加。在这种情况下,由于电路板的面积增加,可能难以使半导体封装小型化,或者可能难以将连接到半导体器件的电极的所有焊盘放置在有限的空间内。

[0011] 因此,需要一种方法,当设置诸如焊膏的耦合构件时,该方法可以实现设置在电路板上的焊盘的精细间距,并且将焊盘和半导体器件之间的垂直方向上的距离增加到一定水平或更大。

发明内容

[0012] 技术问题

[0013] 实施例提供了一种具有新结构的电路板和包括该电路板的半导体封装。

[0014] 另外,实施例提供了一种电路板和包括该电路板的半导体封装,该电路板能够确保用于去焊剂溶液的渗透的空间。

[0015] 另外,实施例提供了一种电路板和包括该电路板的半导体封装,该电路板可以防止从粘合构件逸出的焊剂残留。

[0016] 另外,实施例提供了一种电路板和包括该电路板的半导体封装,该电路板可以在实现焊盘的精细间距的同时增加在垂直方向上距半导体器件的距离。

[0017] 此外,实施例提供了一种电路板和包括该电路板的半导体封装,该电路板具有可以改善模塑构件的注射特性的结构。

[0018] 所提出的实施例要解决的技术问题不限于上述技术问题,从以下描述提出的实施例所属领域的技术人员可以清楚地理解未提及的其他技术问题。

[0019] 技术方案

[0020] 根据实施例的电路板包括积层(build-up)结构,所述积层结构包括沿垂直方向堆叠的多个绝缘层;保护层,所述保护层设置在所述积层结构上;以及多个绝缘构件,所述多个绝缘构件设置在所述保护层上并且彼此间隔开。

[0021] 另外,所述多个绝缘构件的材料与所述保护层的材料相同。

[0022] 另外,所述多个绝缘构件中的每个绝缘构件在垂直方向上的厚度大于所述保护层在垂直方向上的厚度。

[0023] 另外,所述多个绝缘构件中的每个绝缘构件在垂直方向上的厚度在所述保护层在垂直方向上的厚度的1.2倍至5倍之间。

[0024] 另外,所述积层结构包括设置在其上表面上的焊盘部分,并且其中,所述多个绝缘构件在所述保护层上的所述焊盘部分的周边区域中彼此间隔开。

[0025] 此外,所述保护层具有从所述保护层暴露所述焊盘部分的通孔,并且其中,所述多个绝缘构件在围绕所述通孔的区域中彼此间隔开。

[0026] 另外,所述多个绝缘构件中的每个绝缘构件沿垂直方向与所述保护层的所述通孔不对准。

[0027] 另外,所述多个绝缘构件中的每个绝缘构件沿水平方向与所述保护层的所述通孔间隔开预定距离。

[0028] 此外,所述距离大于所述保护层在垂直方向上的厚度。

[0029] 另外,所述距离小于所述多个绝缘构件中的每个绝缘构件在垂直方向上的厚度。

[0030] 另外,所述焊盘部分包括多个焊盘,并且其中,所述多个焊盘中的至少一个焊盘的上表面的面积大于所述多个绝缘构件中的每个绝缘构件的上表面的面积。

[0031] 同时,根据实施例的半导体封装包括:积层绝缘层,所述积层绝缘层包括沿垂直方向堆叠的多个绝缘层;焊盘部分,所述焊盘部分设置在所述积层绝缘层的上表面上;保护层,所述保护层设置在所述积层绝缘层上并且具有沿垂直方向与所述焊盘部分重叠的通孔,以及多个绝缘构件,所述多个绝缘构件设置在所述保护层上并且围绕所述通孔沿水平方向彼此间隔开。

[0032] 另外,所述多个绝缘构件的厚度大于所述保护层的厚度。

[0033] 此外,所述多个绝缘构件与所述保护层一体地形成。

[0034] 另外,所述多个绝缘构件的材料与所述保护层的材料相同。

[0035] 另外,所述多个绝缘构件中的每个绝缘构件包括上表面,其中,所述焊盘部分包括多个焊盘,其中,所述多个焊盘中的每个焊盘包括上表面,并且其中,所述多个绝缘构件中的至少一个绝缘构件的上表面的面积小于所述多个焊盘中的至少一个焊盘的上表面的面积。

[0036] 此外,半导体封装还包括设置在所述多个绝缘构件上的半导体器件。

[0037] 另外,所述半导体器件包括多个电极,并且其中,所述多个电极包括在垂直方向上与所述绝缘构件重叠的重叠电极和在垂直方向上不与所述绝缘构件重叠的非重叠电极。

[0038] 此外,半导体封装还包括设置在所述半导体器件和所述焊盘部分之间的导电粘合剂,其中,所述导电粘合剂在水平方向上与所述绝缘构件重叠。

[0039] 此外,所述导电粘合剂具有在所述半导体器件的所述重叠电极和所述绝缘构件之间延伸的至少一部分。

[0040] 有益效果

[0041] 根据实施例的电路板可以包括积层结构,该积层结构包括沿垂直方向堆叠的多个绝缘层、放置在积层结构上的保护层、以及设置在保护层上并彼此间隔开的多个绝缘构件。即,实施例可以将绝缘构件放置在保护层上的局部区域中,并且使用上述绝缘构件来增加积层结构的上表面和半导体器件的下表面之间的垂直方向上的距离。因此,实施例允许用于去焊剂溶液渗透的足够空间。

[0042] 即,绝缘构件可以用于将积层结构的上表面和半导体器件的下表面之间的垂直间隔距离保持在预定距离。绝缘构件允许去焊剂溶液容易地渗透到积层结构的上表面和半导体器件的下表面之间的空间中,从而防止焊剂残留在积层结构上。另外,绝缘构件允许模塑构件(将在后面描述)容易地流入积层结构的上表面和半导体器件的下表面之间的空间中,半导体器件可以借此用模塑构件稳定地模塑。因此,实施例可以稳定地保护半导体器件免受湿气的外部物质的影响,并且可以使半导体器件更稳定地工作。

[0043] 另外,保护层的垂直厚度可以小于绝缘构件的垂直厚度,这可以解决当作用在绝缘构件上的应力增加时发生的电路板弯曲的问题。此外,实施例可以防止粘合构件的宽度和厚度在使用微球的接合方法的区域中增加。另外,实施例可以通过使用微球细化接合区域中的焊盘的间距来改善电路集成。实施例借此确保了用于去焊剂溶液渗透的足够空间,从而解决了由于残余焊剂而可能发生的电短路和/或表面污染的问题。

[0044] 绝缘构件可以放置在保护层上的焊盘部分周围。例如,绝缘构件可以包括彼此间

隔开的第一绝缘构件至第四绝缘构件,因此,这确保了溶液渗透穿过不同区域以进行去焊剂的空间。此外,这可以解决由于残余焊剂而可能发生的电短路问题和/或表面污染问题。

[0045] 此外,实施例可以允许多个绝缘构件设置在多个焊盘中的每个焊盘之间的区域中,并且可以允许半导体器件更稳定地安置在电路板上。例如,如果绝缘构件仅放置在特定区域中,则可能发生半导体器件以一定角度安装在电路板上的问题,这可能降低电路板和半导体封装的电气和/或机械可靠性。因此,实施例允许第一至第四绝缘构件设置在每个焊盘之间,使得设置在电路板上的半导体器件可以被稳定地支撑。因此,可以提高半导体器件的平坦度,并且可以更稳定地安装半导体器件。因此,实施例可以使半导体器件更加稳定地工作。

附图说明

- [0046] 图1A是示意性地示出根据实施例的电路板的透视图。
- [0047] 图1B是根据第一实施例的沿图1A的电路板的A-A'方向截取的截面图。
- [0048] 图1C是根据第一实施例的沿图1A的电路板的B-B'方向截取的截面图。
- [0049] 图1D是根据第二实施例的沿图1A的电路板的A-A'方向截取的截面图。
- [0050] 图2A的(a)是示出两相MLCC的透视图。
- [0051] 图2A的(b)是示出安装在电路板上之后的两相MLCC的平面图。
- [0052] 图2B的(a)是示出三相MLCC的透视图。
- [0053] 图2B的(b)是示出安装在电路板上之后的三相MLCC的平面图。
- [0054] 图3A是在设置保护层和绝缘构件之前的图1B中的区域(R1)的俯视图。
- [0055] 图3B是设置有图3A中的通孔的保护层的平面图。
- [0056] 图3C是设置在图3B中的保护层上的绝缘构件的俯视图。
- [0057] 图4A是示意性地示出根据第一实施例的半导体封装的透视图。
- [0058] 图4B是安装在图3C中的电路板上的半导体器件的俯视图。
- [0059] 图4C是沿图4B中的A-A'方向截取的截面图。
- [0060] 图4D是沿图4B中的B-B'方向截取的截面图。
- [0061] 图4E是沿图4B中的C-C'方向截取的截面图。
- [0062] 图4F是沿图4B中的D-D'方向截取的截面图。
- [0063] 图5是示出根据第二实施例的半导体封装的截面图。
- [0064] 图6是示出根据第三实施例的半导体封装的截面图。
- [0065] 图7是示出根据第四实施例的半导体封装的截面图。

具体实施方式

- [0066] 在下文中,将参考附图详细描述本发明的实施例。
- [0067] 然而,本发明的精神和范围不限于所描述的实施例的一部分,可以以各种其他形式实现,并且在本发明的精神和范围内,可以选择性地组合和替换实施例的一个或多个元件。
- [0068] 另外,除非另有明确定义和描述,否则本发明的实施例中使用的术语(包括技术和科学术语)可以被解释为与本发明所属领域的普通技术人员通常理解的含义相同,并且诸

如在常用词典中定义的那些术语可以被解释为具有与其在相关领域的上下文中的含义一致的含义。此外,在本发明的实施例中使用的术语用于描述实施例,并不旨在限制本发明。

[0069] 在本说明书中,单数形式还可以包括复数形式,除非在短语中特别说明,并且可以包括当在“A(和)、B和C中的至少一个(或多个)”中描述时可以在A、B和C中组合的所有组合中的至少一个。此外,在描述本发明的实施例的元件时,可以使用诸如第一、第二、A、B、(a)和(b)的术语。

[0070] 这些术语仅用于将元件与其他元件区分开,并且这些术语不限于元件的本质、顺序或次序。另外,当一个元件被描述为“连接”、“耦合”或“接触”到另一个元件时,它不仅包括当该元件直接“连接”、“耦合”或“接触”到其他元件时,而且还可以包括当该元件被该元件和其他元件之间的另一个元件“连接”、“耦合”或“接触”时。

[0071] 另外,当被描述为形成或设置在每个元件的“在……上(上方)”或“在……下(下方)”时,“在……上(上方)”或“在……下(下方)”不仅可以包括当两个元件彼此直接连接时,还可以包括当一个或多个其他元件形成或设置在两个元件之间时。此外,当表示为“在……上(上方)”或“在……下(下方)”时,它不仅包括基于一个元件的上部方向,还可以包括下部方向。

[0072] 应当理解,术语“包括”、“包含”或“具有”指定存在本说明书中公开的所述特征、整数、步骤、操作、元件、部件和/或其组,但不排除存在或添加一个或多个其他特征、整数、步骤、操作、元件、部件和/或其组的可能性。

[0073] 除非另有定义,否则本文使用的所有术语,包括技术或科学术语,具有与本发明所属技术领域的普通技术人员通常理解的含义相同的含义。常用词典中定义的术语应被解释为具有与其在相关技术的上下文中具有的含义一致的含义。除非在本申请中明确定义,否则不应以理想化或过于正式的意义来解释。

[0074] 在下文中,将参考附图详细描述实施例,但是相同或相应的部件将被分配相同的附图标记,而不管附图标记如何,并且将省略其重复描述。

[0075] 在描述实施例之前,将简要描述应用实施例的半导体封装的电子设备(未示出)。电子设备可以是智能电话、个人数字助理、数字摄像机、数字静态相机、车辆、高性能服务器、网络系统、计算机、监视器、平板电脑、膝上型电脑、上网本、电视、视频游戏、智能手表、汽车等。然而,实施例不限于此,并且可以是除了这些之外的处理数据的任何其他电子设备。

[0076] 电子设备包括主板(未示出)。主板可以物理和/或电连接到各种部件。例如,主板可以连接到实施例的半导体封装。此外,半导体封装包括电路板、半导体芯片、电连接半导体器件和电路板的接合部分、填充半导体器件和电路板之间的空间的树脂部分、以及完全包围半导体器件的模制部分。

[0077] 半导体器件可以包括有源器件和/或无源器件,并且可以具有各种功能。有源器件可以是集成电路(IC)形式的半导体芯片,其中数百到数百万个器件集成在一个芯片中。半导体器件可以是逻辑芯片、存储器芯片等。逻辑芯片可以是中央处理器(CPU)、图形处理器(GPU)等。例如,逻辑芯片可以是包括中央处理器(CPU)、图形处理器(GPU)、数字信号处理器、加密处理器、微处理器和微控制器、或模数转换器、专用IC(ASIC)等中的至少一个的应用处理器(AP)芯片,或包括迄今为止列出的那些的特定组合的芯片组。存储器芯片可以是

诸如HBM的堆栈存储器。存储器芯片还可以包括诸如易失性存储器(例如,DRAM)、非易失性存储器(例如,ROM)、闪存等的存储器芯片。另外,无源器件可以是电阻器、电容器、电感器等,并且不限于半导体材料,并且可以是例如多层陶瓷电容器(MLCC)

[0078] 应用实施例的半导体封装的产品组可以是CSP(芯片级封装)、FC-CSP(倒装芯片-芯片级封装)、FC-BGA(倒装芯片球栅阵列)、POP(叠层封装)和SIP(系统级封装)中的任何一种,但不限于此。

[0079] 图1A是示意性地示出根据实施例的电路板的透视图。图1B是根据第一实施例的沿图1A的电路板的A-A'方向截取的截面图。图1C是根据第一实施例的沿图1A的电路板的B-B'方向截取的截面图。图1D是根据第二实施例的沿图1A的电路板的A-A'方向截取的截面图。图2A的(a)是示出两相MLCC的透视图。图2A的(b)是示出安装在电路板上之后的两相MLCC的平面图。图2B的(a)是示出三相MLCC的透视图。图2B的(b)是示出安装在电路板上之后的三相MLCC的平面图。图3A是在设置保护层和绝缘构件之前的图1B中的区域(R1)的俯视图。图3B是设置有图3A中的通孔的保护层的平面图。图3C是设置在图3B中的保护层上的绝缘构件的俯视图。图4A是示意性地示出根据第一实施例的半导体封装的透视图。图4B是安装在图3C中的电路板上的半导体器件的俯视图。图4C是沿图4B中的A-A'方向截取的截面图。图4D是沿图4B中的B-B'方向截取的截面图。图4E是沿图4B中的C-C'方向截取的截面图。图4F是沿图4B中的D-D'方向截取的截面图。图5是示出根据第二实施例的半导体封装的截面图。图6是示出根据第三实施例的半导体封装的截面图。图7是示出根据第四实施例的半导体封装的截面图。

[0080] 在下文中,将参考图1A至7详细描述根据实施例的电路板和包括该电路板的半导体封装。

[0081] 参考图1A、1B和1C,根据第一实施例的电路板10可以包括积层结构100、设置在积层结构100的一个表面和/或另一表面上的保护层140和150以及设置在保护层140的一个表面上的绝缘构件160。

[0082] 此处,设置在一个表面和另一个表面上的含义不仅被理解为直接接触一个表面和另一个表面的构造,还应当理解,在积层结构100的一个表面和第一保护层140之间以及在积层结构100的另一个表面和第二保护层150之间存在不同的构造。

[0083] 积层结构100包括积层绝缘层110、布线层120和贯通电极130。

[0084] 积层绝缘层110可以具有其中多个绝缘层沿垂直方向堆叠的结构。积层绝缘层110可以包括沿垂直方向最靠近第一保护层140的第一绝缘层111、沿垂直方向比第一绝缘层111更远离第一保护层140的第二绝缘层112、沿垂直方向比第二绝缘层112更远离第一保护层140的第三绝缘层113、以及沿垂直方向比第三绝缘层113更远离第一保护层140的第四绝缘层114。在这种情况下,第一绝缘层111可以指设置在具有堆叠多个层的结构的积层绝缘层110的最上侧上的最上绝缘层,并且第四绝缘层114可以指设置在具有堆叠多个层的结构的积层绝缘层110的最下侧上的最下绝缘层。然而,实施例不限于此,积层绝缘层110还可以包括设置在第四绝缘层114和第二保护层150之间的第五绝缘层(未示出),以及设置在第五绝缘层(未示出)和第二保护层150之间的第六绝缘层(未示出)。

[0085] 第一至第四绝缘层111、112、113和114被设置为在第一至第五布线层121、122、123、124和125之间在垂直方向上进行隔离,这将在后面描述。例如,第一至第四绝缘层111、

112、113和114可以由在树脂中含有无机填料的热固性绝缘材料或Ajinomoto的ABF (Ajinomoto积层膜)制成。然而,实施例不限于此,并且其可以使用可光固化绝缘材料(可光成像电介质,PID)来形成精细图案。

[0086] 第一至第四绝缘层111、112、113和114中的至少一个绝缘层可以具有与至少另一个绝缘层不同的绝缘材料。示例性地,第一至第四绝缘层111、112、113和114中的至少一个绝缘层可以包括加强构件114R。在一个实施例中,加强构件114R可以指玻璃纤维。在另一个实施例中,加强构件114R可以指GCP(玻璃芯底漆)。加强构件114R可以设置在第一至第四绝缘层111、112、113和114中的至少一个中,以提高电路板10的刚性。加强构件114R防止电路板10在特定方向上大幅弯曲,从而改善布线层120和贯通电极130的位置对准。此外,这可以提高电路板10和半导体封装的电气和/或机械可靠性。另外,加强构件114R可以提高电路板10的刚性,从而改善将半导体器件安装在电路板10上的过程中的工艺特性,并提高产品成品率。因此,加强构件114R可以使半导体器件能够稳定地安装在电路板10上并且允许半导体器件稳定地工作。由此,可以通过确保应用半导体封装的诸如服务器的电子产品稳定地进行操作以提高操作可靠性。如图1B或1C所示,加强构件114R可以设置在第四绝缘层114中。即,电路板10可以制造有设置的载体构件(未示出),并且第四绝缘层114可以是离载体构件最远的层。此时,当加强构件114R设置在第四绝缘层114中时,可以进一步防止电路板10在去除载体构件的过程期间在特定方向上弯曲。然而,实施例不限于此,加强构件114R可以设置在除第四绝缘层114之外的绝缘层中。示例性地,加强构件114R可以沿垂直方向交替地布置在第一至第四绝缘层111、112、113和114中,由此,可以进一步提高电路板10的刚性。

[0087] 布线层120可以包括沿垂直方向最靠近第一保护层140的第一布线层121、比第一布线层121更远离第一保护层140的第二布线层122、比第二布线层122更远离第一保护层140的第三布线层123、比第三布线层121更远离第一保护层140的第四布线层124、以及比第四布线层124更远离第一保护层140的第五布线层125。布线层120可以例如具有嵌入式迹线基板(ETS)结构以实施精细图案。具体地,设置在第一至第五布线层121、122、123、124和125中的最上侧或最下侧上的布线层可嵌入积层绝缘层110中。此处,嵌入意味着具有ETS结构的布线层的侧表面的至少一部分被积层绝缘层110覆盖。第一布线层121可嵌入第一绝缘层111中。第一布线层121是最靠近设置在电路板10上的半导体器件的布线层。此时,当通过ETS方法制造第一布线层121时,可以用绝缘层稳定地保护构成第一布线层121的焊盘和迹线,使得能够小型化并改善第一布线层121的电路集成。因此,设置在电路板10上的半导体器件可以更容易地电连接,并且半导体器件可以更稳定地工作。

[0088] 根据具有ETS结构的实施例,可朝向第一积层绝缘层110的下表面在第一绝缘层111的上表面处设置凹入的凹进部,并且可以在第一绝缘层111的凹进部中设置第一布线层121。另外,可以在设置在第二绝缘层112的上表面处的凹进部中设置第二布线层122,可以在设置在第三绝缘层113的上表面处的凹进部中设置第三布线层123,可以在设置在第四绝缘层114的上表面处的凹进部中设置第四布线层124,并且第五布线层125可以在第四绝缘层114的下表面下方突出。因此,如上所述,可以通过使第一至第五布线层121、122、123、124和125小型化来改善电路集成。因此,该实施例可以保护第一至第五布线层121、122、123、124和125免受诸如外部湿气的污染物的影响,并提高半导体封装的可靠性。

[0089] 第一至第五布线层121、122、123、124和125可包括分别传输信号和/或电力的迹

线,以及用于将第一至第五布线层121、122、123、124和125中的每一个的迹线与其他部件连接的焊盘。示例性地,参考图1B或1C,第一布线层121和第二布线层122连接到第一贯通电极131。此时,为了连接第一贯通电极131和第二布线层122的迹线,第二布线层122可以包括连接到第一贯通电极131的焊盘。图1B和1C仅示出了第一布线层121的焊盘,但第一布线层121还可以包括连接多个焊盘的迹线。

[0090] 第一至第五布线层121、122、123、124和125可用于电连接设置在电路板10上的半导体器件。可考虑阻抗而自由地设计第一至第五布线层121、122、123、124和125中的每一个。

[0091] 第一布线层121可包括多个焊盘121a、121b、121c和121d。第一布线层121的多个焊盘121a、121b、121c和121d可以指连接到安装在电路板10上的半导体器件的端子的电极。即,图1B和1C可示出电路板10的整个区域当中的部分区域R1,且第一布线层121还可以包括连接到除区域R1之外的区域中的其他半导体器件的额外焊盘。此时,多个焊盘121a、121b、121c和121d可以指第一布线层121的在垂直方向上与第一保护层140的通孔141(将在后面描述)重叠的部分。因此,多个焊盘121a、121b、121c和121d中的至少两个可以表示一个集成焊盘中的沿垂直方向与第一保护层140的通孔141(将在后面描述)重叠的区域。

[0092] 另外,贯通电极130可以设置在积层绝缘层110中以连接第一至第五布线层121、122、123、124和125中的每一个。贯通电极130可以包括第一至第四贯通电极131、132、133和134。示例性地,第一贯通电极131设置在第一布线层121与第二布线层122之间,第二贯通电极132设置在第二布线层122与第三布线层123之间,第三贯通电极133设置在第三布线层123与第四布线层124之间,并且第四贯通电极134设置在第四布线层124与第五布线层125之间。第一至第五布线层121、122、123、124和125通过第一至第四贯通电极131、132、133和134彼此电连接。

[0093] 可以在布置第二至第五布线层122、123、124和125的过程中同时形成第一至第四贯通电极131、132、133和134。作为示例,在第一布线层121下方形成第二布线层122的过程中,在第一绝缘层111中形成通孔以暴露第一布线层121的一部分。由此,第二布线层122可以与填充第一绝缘层111的通孔的第一贯通电极131一起形成。因此,第一贯通电极131可以被划分成第二布线层122的突起。同样,第二至第四贯通电极132、133和134中的每一个可以被划分成第三至第五布线层123、234和125中的每一个的突起,并且连接到设置在每个布线层上方的另一布线层。

[0094] 另外,第一至第五布线层121、122、123、124和125沿垂直方向依次堆叠在第一保护层140的下表面上。因此,第一至第四贯通电极131、132、133和134中的每一个的倾斜方向可以相同。示例性地,设置在积层结构100中的第一至第四贯通电极131、132、133和134中的每一个可以具有朝向第二保护层150在宽度上增加的倾斜度。

[0095] 保护层140和150可以包括设置在积层结构100的上表面上的第一保护层140和/或设置在积层结构100的下表面上的第二保护层150。第一保护层140可保护第一布线层121和/或第一绝缘层111的上表面免受外部湿气或污染物的影响。另外,当使用诸如焊料的材料将半导体器件设置在电路板10上时,第一保护层140用于防止由于与焊料的低润湿性而导致的焊料之间的短路。第一保护层140可以由可光固化绝缘材料制成,并且例如可以使用阻焊剂。然而,实施例不限于此,第一保护层140可以包括作为与积层绝缘层110相同的绝缘

材料的热固性绝缘材料。第一保护层140可以由与第一绝缘层111相同的绝缘材料制成,例如,第一保护层140可以作为Ajinomoto积层膜(ABF)来提供。

[0096] 第一保护层140可以具有通孔141。通孔141可从第一保护层140的上表面朝向第一保护层140的下表面穿过第一保护层140。例如,第一保护层140可以包括暴露积层结构100的上表面的至少一部分的通孔141。积层结构100可提供其中放置至少一个半导体器件的空间,并且第一保护层140可以包括沿垂直方向与积层结构100的上述空间重叠的通孔141。例如,保护层140可包括沿垂直方向与第一布线层121的多个焊盘121a、121b、121c和121d重叠的通孔141。

[0097] 绝缘构件160可局部地设置在第一保护层140上,第一保护层140设置在积层结构100的一个表面上。例如,绝缘构件160可以是设置在第一保护层140上的绝缘贴片,并且可以在第一保护层140上设置多个并且彼此间隔开。绝缘构件160可以设置在第一保护层140的通孔141周围。绝缘构件160可以在垂直方向上与第一保护层140的通孔141不重叠或不对准。绝缘构件160可以设置在沿朝向积层结构100的外表面的水平方向与形成第一保护层140的通孔141的内壁间隔开的位置处。例如,多个绝缘构件160在第一保护层140上的焊盘部分501的周边区域中彼此间隔开。

[0098] 上述电路板10的结构仅是用于解释本发明的示例,本发明的技术构思不限于实施例的堆叠结构。

[0099] 例如,根据图1B和1C的实施例的电路板可以是没有芯层的无芯板。例如,第一实施例的电路板可以通过ETS(嵌入式迹线基板)方法制造的电路板,因此,第一至第四绝缘层111、112、113和114可以具有其中它们沿垂直方向从顶部到底部依次堆叠的结构。

[0100] 可替换地,根据图1D的实施例,电路板可以是包括芯层的芯板。例如,第二实施例的电路板可以通过SAP方法或MSAP方法制造的电路板。在这种情况下,如图1C中所示出,电路板可包括芯层110a、设置在芯层110a的一个表面上的第一积层层UB和设置在芯层110a的另一表面上的第二积层层LB。

[0101] 芯层110a由诸如环氧树脂或BT(双马来酰亚胺三嗪)的树脂和诸如玻璃纤维的加强构件110aR组成,并且用于提高电路板的刚性。随着设置在最近的电路板上的半导体器件的端子数量增加,布线变得更复杂,因此,第一积层绝缘层110b和第二积层绝缘层110c的厚度趋于增加。因此,该实施例的芯层110a可以具有120 μm 至1200 μm 的厚度,以提高电路板的整体刚性并防止过度的信号损失。可以形成贯穿芯层110a的一侧和另一侧的过孔。芯层110a中的过孔可以使用机械钻孔工艺或CO₂激光形成。当使用机械钻孔在芯层110a中形成过孔时,过孔的内壁的斜面可以垂直于芯层110a的一个表面和/或另一个表面。另外,当使用CO₂激光在芯层110a中形成过孔时,过孔的内壁可以具有沿垂直方向交替堆叠的多个凹部和/或凸部。此处,凹部可以指在远离设置在芯层110a中的过孔的水平中心的方向上凹入的区域,并且凸部可以指朝向设置在芯层110a中的过孔的水平中心突出和/或凸出的区域。另外,凹部和凸部可以沿垂直方向交替地设置在形成芯层110a的过孔的内壁上。此处,交替地设置意味着凸部设置在多个凹部之间,并且凹部设置在多个凸部之间。在使用机械钻孔工艺形成过孔的情况下,用于传输电信号的路径缩短,这对于电特性可能是有利的,但是工艺成本可能增加。另外,当使用CO₂激光在过孔的内壁上形成凹部和凸部时,可以在后续工艺中增加设置在过孔的内壁上的芯过孔电极130-1的厚度,这具有降低阻抗和降低工艺成

本的优点。因此,根据半导体封装的应用领域,可以自由地和选择性地使用设置在芯层110a中的过孔的处理方法。

[0102] 芯过孔电极130-1可以设置在芯层110a的过孔内。芯过孔电极130-1用于电连接第一积层层UB和第二积层层LB。因此,优选的是,芯过孔电极130-1密实地填充过孔,以实现电阻或散热的功能。然而,如上所述,当芯层110a的厚度变厚时,芯过孔电极130-1可能难以密实地填充过孔。例如,如果要通过如上所述的镀覆工艺填充设置在厚芯层110a中的过孔,则在芯过孔电极130-1内部可能出现空隙。空隙由于在半导体封装的操作期间产生的热量而膨胀,这降低了电路板的机械可靠性。因此,具有预定厚度的芯过孔电极130-1设置在芯层110a的过孔的内壁上。芯过孔电极130-1的厚度并不意指垂直方向上的厚度,所述垂直方向是第一积层层UB、芯层110a和第二积层层LB堆叠的方向。即,芯过孔电极130-1的厚度意指垂直于垂直方向的水平方向上的厚度。芯过孔电极130-1的厚度可以布置成具有 $5\mu\text{m}$ 至 $20\mu\text{m}$ 的厚度,以防止随着芯层110a的厚度增加而发生的电压降,并防止产生空隙。难以通过诸如镀覆的工艺用金属密实地填充芯过孔电极130-1的内部,从而导致空的空间。空的空间可能是使得当堆叠第一积层层UB时难以均匀地放置第一积层层UB的问题。

[0103] 因此,填充构件110aF可以设置在芯过孔电极130-1内部,从而确保芯层110a的平坦度。作为示例,填充构件110aF可以设置在芯层110a的过孔中,芯过孔电极130-1围绕填充构件110aF的侧面,并且可以设置在过孔的内壁和填充构件110aF的外表面之间。

[0104] 填充构件110aF的上表面可以与芯层110a的上表面在相同的平面上,或者可以设置为沿垂直方向比芯层110a的上表面更靠近第一积层层UB。填充构件110aF的下表面可以与芯层110a的下表面在相同的平面上,或者可以设置为沿垂直方向比芯层110a的下表面更靠近第二积层层LB。这可以被自由地设计以解决在堆叠第一积层层UB和第二积层层LB时的平坦度。

[0105] 第一积层层UB设置在芯层110a的一个表面上。第一积层层UB包括多个绝缘层110b、多个电路层120-1、多个贯通电极130-2、第一保护层140a、绝缘构件160a。第二积层层LB设置在芯层110a的另一表面上。第二积层层LB包括多个绝缘层110c、多个电路层120-2、多个贯通电极130-3和第二保护层150a。第一积层层UB的绝缘层110b和第二积层层LB110c中的每一个的电路层120-1和120-2、贯通电极130-2和130-3、绝缘构件160a以及保护层140a和150a可对应于第一实施例中描述的积层绝缘层110、布线层120、贯通电极130以及保护层140和150,并且省略其详细描述。在下文中,将基于图1B和1C所示的无芯基板来描述本申请的详细结构。

[0106] 电路板10可以提供用于安装半导体器件的空间。此时,安装在电路板10上的半导体器件的类型可以变化,并且将半导体器件安装在电路板10上的方法也可以根据半导体器件的类型而变化。例如,在具有相对大的端子或低密度的端子的半导体器件的情况下,可以使用诸如一般焊膏的粘合构件的接合方法。

[0107] 使用焊膏的接合方法可以包括在焊盘121a、121b、121c和121d上施加粘合构件(诸如内部具有焊剂的焊膏)的过程,以及将半导体器件放置在粘合构件上的回流工艺。此时,当回流工艺进行时,设置在粘合构件中的焊剂可以流动,流动的焊剂可能接触其他相邻的焊盘并引起电短路问题。与积层绝缘层的上表面的接触可能导致电路板表面的污染。因此,在执行回流工艺之后,可以执行去焊剂工艺以去除上述焊剂。可以借助通过将用于去焊剂

的溶液渗透到电路板和半导体器件之间的空间中来去除上述焊剂来执行去焊剂工艺。此时,在去焊剂工艺中,焊剂可以被完全去除或者可以保留在积层结构100上,这取决于是否有足够的空间供上述溶液渗透。

[0108] 此时,用于去焊剂工艺的溶液可以渗透到其中的空间的尺寸可以由半导体器件中提供的端子之间的水平距离以及半导体器件和积层结构100之间的垂直距离来确定。此时,半导体器件和积层结构100之间的垂直距离可由设置在积层结构100上的第一保护层140的垂直厚度确定。

[0109] 然而,随着电路板和/或半导体封装变得更轻、更薄和更短,相应地,第一保护层140的垂直厚度趋于变薄。因此,增加半导体器件和积层结构100之间的垂直距离存在限制。此外,可以将使用除焊膏之外的接合方法的半导体器件安装在电路板上。例如,在半导体器件的端子密度相对较高的情况下,可以使用热压接合(TC接合)来减少焊料的使用量,或者可以使用内部配备有导电球的粘合构件的接合方法。此时,当使用TC接合方法或使用配备有导电球的粘合构件的接合方法时,粘合构件的水平宽度和垂直厚度随着第一保护层140的垂直厚度的增加而增加。因此,焊盘121a、121b、121c和121d之间的间距可以增加。此时,近来,半导体器件提供的功能增加,随着半导体器件的性能提高,设置在半导体器件中的I/O端子的数量也在增加。因此,设置在半导体器件中的I/O端子的宽度和/或间距变小。当粘合构件的尺寸随着第一保护层140的垂直厚度的增加而增加时,在连接半导体器件的I/O端子的过程中,当多个耦合构件彼此接触时可能发生电短路。为此,由于对第一保护层140的垂直厚度的限制,对增加半导体器件和积层结构100之间的垂直距离存在限制。

[0110] 此外,设置在半导体器件中的端子之间的水平距离可以由设置在半导体器件中的端子的数量和/或密度来确定。此时,设置在半导体器件中的端子的数量可以根据半导体器件的类型而变化。此时,相邻端子之间的水平距离可以随着半导体器件中设置的端子数量的增加而减小,这可能使得难以确保足够的空间供用于去焊剂工艺的溶液渗透。

[0111] 最近,存在将电容器放置成邻近半导体器件以改进在将电力传输到半导体器件时的功率下降特性的趋势。此时,当将电容器设置为诸如芯片的分立器件时,存在电感增加的问题。例如,如果电容器是MLCC,则为了降低等效电感,可以将两个端子的电容器增加到四个端子的电容器,这可以降低电感并改善输送到半导体芯片的电力传输特性。

[0112] 参考图2A,现有MLCC可以配备有两个端子。图2A的(a)是示出两相MLCC的透视图,图2A的(b)是将两相MLCC安装在电路板上之后的平面图。MLCC包括器件主体200、设置在器件主体200的第一表面上的第一端子210、以及设置在器件主体200的与第一表面相反的第二表面上的第二端子220。在这种情况下,由于MLCC可以仅具有两个端子210和220,所以两个端子210和220之间的水平方向上的距离可以大于当MLCC具有更大数量的端子时的距离。因此,当MLCC安装在电路板10上时,因为可以确保供溶液渗透的足够空间对应于两个端子210和220之间的水平方向上的距离,所以可以完全去除焊剂。

[0113] 参考图2B,MLCC可以配备有四个端子。图2B的(a)是示出三相MLCC的透视图,图2B的(b)是将三相MLCC安装在电路板上之后的平面图。MLCC包括器件主体230、设置在器件主体230的第一表面上的第一端子240、设置在器件主体230的与第一表面相反的第二表面上的第二端子250、设置在器件主体230的第一表面和第二表面之间的第三表面上的第三端子260,并且第四端子270可以设置在器件主体230的与第三表面相反的第四表面上。在这种情

况下,MLCC具有四个端子240、250、260和270,因此,四个端子240、250、260和270之间的水平距离可以小于仅两个端子210和220的情况下的水平距离。因此,当MLCC安装在电路板10上时,由于四个端子240、250、260和270之间的水平距离相对较小,因此可能难以确保供溶液渗透的足够空间。结果,没有完全去除焊剂,这可能导致电短路问题或电路板表面的污染,或者在后续工艺(例如底部填充或模制)期间导致空隙。这可能降低半导体封装的可靠性。

[0114] 为此目的,实施例允许将绝缘构件160放置在第一保护层140上的局部区域中,并且允许使用上述绝缘构件160增加积层结构100的上表面与半导体器件的下表面之间的垂直方向上的距离。由此,实施例确保了供用于去焊剂的溶液渗透的足够空间。

[0115] 即,绝缘构件160可以用于确保积层结构100的上表面和半导体器件的下表面之间的垂直间隔距离为预定距离或更多。绝缘构件160允许去焊剂溶液容易地渗透到积层结构100的上表面和半导体器件的下表面之间的空间中,从而起到防止焊剂残留在积层结构100上的作用。另外,绝缘构件160可用于允许稍后描述的模塑构件容易地流入积层结构100的上表面和半导体器件的下表面之间的空间中。为了便于解释,绝缘构件160被分成与图1A至图7中的第一保护层140不同的层,并且绝缘构件160不限于此,并且可以指第一保护层140的突起。例如,第一保护层140和绝缘构件160可以一体地形成,因此,绝缘构件160可以是设置为在第一保护层140的上表面上在水平方向上彼此间隔开的突起。作为另一示例,第一保护层140和绝缘构件160可以是单独的层。此时,第一保护层140和绝缘构件160可以由相同的绝缘材料制成,并且例如可以使用阻焊剂。

[0116] 此时,第一保护层140的垂直厚度 H_1 可以与绝缘构件160的垂直厚度 H_2 不同。优选地,第一保护层140的垂直厚度 H_1 可以小于绝缘构件160的垂直厚度 H_2 。

[0117] 如果第一保护层140的垂直厚度 H_1 大于绝缘构件160的垂直厚度 H_2 ,则由第一保护层140产生的热循环引起的应力可能增加,这可能导致电路板在特定方向上大大弯曲。另外,如果第一保护层140的垂直厚度 H_1 大于绝缘构件160的垂直厚度 H_2 ,则粘合构件的宽度和厚度可能在使用上述使用微球的接合方法的区域中增加,这可能使得难以细化焊盘的间距。另外,当绝缘构件160的厚度 H_2 小于第一保护层140的厚度 H_1 时,可能难以确保足够的空间供用于去焊剂的溶液渗透,这可能由于残留焊剂而引起电短路问题和/或表面污染问题。

[0118] 例如,绝缘构件160的垂直厚度 H_2 可以在第一保护层140的垂直厚度 H_1 的1.2至5倍的范围内。如果绝缘构件160的垂直厚度 H_2 小于第一保护层140的垂直厚度 H_1 的1.2倍,则通过布置绝缘构件160实现的效果可能是最小的,并且可能由于残留焊剂而发生电短路问题和/或表面污染问题。如果绝缘构件160的垂直厚度 H_2 大于第一保护层140的垂直厚度 H_1 的5倍,则积层结构和半导体器件之间的垂直距离可能过度增加,并且用于安装半导体器件的粘合构件的体积可能增加。结果,由于粘合构件的体积增加,即使在小的冲击下,粘合构件也可能发生裂纹,从而导致半导体器件和积层结构之间的电可靠性问题,或者可能发生电短路问题,其中多个相邻的粘合构件由于粘合构件在水平方向上的扩散而彼此接触。

[0119] 另外,绝缘构件160的上表面的面积可不同于焊盘121a、121b、121c和121d的上表面的面积。例如,设置多个绝缘构件160,并且多个绝缘构件160中的每一个的上表面的面积可以小于焊盘121a、121b、121c和121d的上表面的面积。由此,实施例可以使放置绝缘构件160的区域减到最小,使由于热循环而作用在绝缘构件160上的应力到焊盘121a、121b、121c和121d的传递减到最小,并且使设置在焊盘121a、121b、121c和121d上的耦合构件中的裂纹

的发生减到最小。

[0120] 即,当使用焊料将半导体器件安装在电路板上时,第一保护层140被布置成具有预定厚度以具有预定间距。此外,为了在安装MLCC时促进用于去焊剂的溶液的渗透,绝缘构件160可以放置得比第一保护层140更厚,以改善Z高度。

[0121] 此外,如上所述,为了便于解释,将绝缘构件160和第一保护层140描述为不同的层。然而,实施例不限于此,绝缘构件160可以是第一保护层140从其突出的突起。即,绝缘构件160可以由与第一保护层140相同的材料制成,以减小与第一保护层140的热膨胀系数的差异,并且由与第一保护层140不同的材料制成,以便于改善上述Z高度。具体地,本说明书中所示的第一保护层140可以由阻焊材料制成,并且绝缘构件160也可以由阻焊材料制成。此外,第一保护层140由阻焊材料制成,并且绝缘构件160可以是在树脂中含有无机填料的热固性绝缘材料,并且例如可以使用Ajinomoto的ABF (Ajinomoto堆叠膜)。然而,实施例不限于此,可以使用可光固化绝缘材料(可光成像电介质,PID)来形成精细图案。优选地,为了减小第一保护层140和绝缘构件160之间的热膨胀系数的差异,第一保护层140和绝缘构件160优选地由相同的材料制成,例如可以由阻焊剂制成。然而,绝缘构件160可以由与第一保护层140不同的材料制成,以便更稳定地确保Z高度。

[0122] 在下文中,将更详细地描述实施例的积层结构100的焊盘121a、121b、121c和121d、第一保护层140和绝缘构件160的布置结构。此时,实施例的电路板可以提供用于安装半导体器件的空间,例如可以提供用于安装具有四个端子的三相MLCC的空间。在下文中,将描述积层结构100的焊盘121a、121b、121c和121d、第一保护层140和绝缘构件160在安装三相MLCC的空间中的布置结构。然而,实施例不限于此,稍后将描述的积层结构100的焊盘121a、121b、121c、121d、第一保护层140和绝缘构件160的结构也可以在设置有除MLCC之外的无源器件和/或有源器件的空间中实现。

[0123] 参考图3A,布线层320可以设置在积层绝缘层310的上表面上。布线层320可表示设置在积层绝缘层310的上表面上的布线层当中的用作连接到半导体器件的端子的焊盘的布线层。

[0124] 布线层320可以包括第一布线图案321、第二布线图案322和第三布线图案323。第二布线图案322和第三布线图案323可布置成在积层绝缘层310的上表面上沿第一水平方向彼此间隔开。另外,第一布线图案321可以设置为在与第二布线图案322和第三布线图案323间隔开的位置处围绕第二布线图案322和第三布线图案323。

[0125] 参考图3B,保护层330可以设置在积层绝缘层310上。保护层330可以具有从保护层330的上表面穿过到保护层330的下表面的通孔331。通孔331的至少一部分可在垂直方向上与布线层320的上表面重叠,并且另一部分可在未设置布线层320的区域中沿垂直方向与积层绝缘层310的上表面重叠。另外,第一布线图案321、第二布线图案322和第三布线图案323中的每一个可以设置有沿垂直方向与保护层330的通孔331重叠的焊盘。

[0126] 例如,第一布线图案321可以在垂直方向上在不同位置处与通孔331重叠。例如,第一布线图案321可以包括在通孔331的第一侧沿垂直方向与通孔331重叠的第一焊盘321-1。另外,第一布线图案321可以包括在通孔331的第二侧沿垂直方向与通孔331重叠的第二焊盘321-2。第一焊盘321-1和第二焊盘321-2是第一布线图案321的部分,因此,第一焊盘321-1和第二焊盘321-2可以彼此连接。

[0127] 另外,第二布线图案322可以包括在通孔331的第三侧沿垂直于通孔331的方向重叠的第三焊盘322-1。另外,第三布线图案323可以包括在通孔331的第四侧沿垂直方向与通孔331重叠的第四焊盘323-1。

[0128] 即,保护层330的通孔331的一部分可以沿垂直方向与布线层320重叠,并且布线层320的沿垂直方向与通孔331重叠的区域可以用作连接到半导体器件的端子的焊盘321-1、321-2、322-1和323-1。

[0129] 另外,保护层330的通孔331的至少一部分可以在垂直方向上与布线层320不重叠或不对准。即,积层绝缘层310的上表面的至少一部分可在垂直方向上与保护层330的通孔331重叠,而在垂直方向上与布线层320不重叠(或偏移)。例如,设置在保护层330中的一个通孔331可从保护层330暴露设置在焊盘321-1、321-2、322-1和323-1之间的积层绝缘层310的上表面,同时分别暴露焊盘321-1、321-2、322-1和323-1。然而,实施例不限于此,作为另一示例,保护层330的通孔可以包括沿水平方向彼此间隔开的多个孔部分,并且多个孔部分中的每一个可以沿垂直方向与焊盘321-1、321-2、322-1和323-1中的每一个重叠。在下文中,将基于其中一个通孔331在垂直方向上与焊盘321-1、321-2、322-1和323-1重叠并且还在垂直方向上与焊盘321-1、321-2、322-1和323-1之间的积层绝缘层310的上表面重叠的实施例进行描述。

[0130] 示例性地,第一焊盘321-1和第二焊盘321-2之间的区域和/或第三焊盘322-1和第四焊盘323-1之间的区域可以沿垂直方向与保护层330的通孔331重叠。由此,上述焊盘321-1、321-2、322-1和323-1之间的区域中的电路板与半导体器件之间的垂直距离可以是积层绝缘层310的上表面与半导体器件的上表面之间的垂直距离。因此,该实施例可以增加焊盘321-1、321-2、322-1和323-1之间的区域中的电路板和半导体器件之间的垂直方向上的距离,允许用于去焊剂的溶液更容易地渗透到上述区域中,并且允许更完全地去除焊剂。因此,该实施例可以解决由于未完全去除焊剂而可能出现的电可靠性问题,此外,该实施例可以解决由于残留焊剂而可能出现的表面污染问题。因此,该实施例可以提高电路板的电气可靠性,并且使得放置在电路板上的半导体器件能够被更稳定地放置。此外,该实施例可以使半导体器件能够更稳定地工作,诸如应用半导体封装的服务器的产品可以更稳定地工作。

[0131] 参考图3C,绝缘构件341、342、343和344可以设置在保护层330上。绝缘构件341、342、343和344可以在保护层330上突出一定高度。绝缘构件341、342、343和344可以设置在与安装在电路板上的半导体器件在垂直方向上重叠的区域中。例如,绝缘构件341、342、343和344可以包括沿垂直方向与设置在电路板上的半导体器件重叠的区域。重叠区域增加了半导体器件和焊盘之间的垂直距离,从而确保了供用于去焊剂的溶液渗透的足够空间。

[0132] 绝缘构件341、342、343和344可以设置在焊盘321-1、321-2、322-1和323-1周围。示例性地,第一绝缘构件341可以设置在第一焊盘321-1和第三焊盘322-1之间,第二绝缘构件342可以设置在第一焊盘321-1和第四焊盘323-1之间,第三绝缘构件343可以设置在第二焊盘321-2和第四焊盘323-1之间,并且第四绝缘构件344可以设置在第二焊盘321-2和第三焊盘322-1之间。第一至第四绝缘构件341、342、343和344布置在不同的位置并且彼此间隔开,因此,用于去焊剂的溶液可以容易地渗透到每个绝缘构件之间的空间中。此外,第一至第四绝缘构件341、342、343和344设置在每个焊盘321-1、321-2、322-1和323-1之间,使得半导体

器件可以更稳定地安置在电路板10上。例如,如果绝缘构件341、342、343和344仅设置在特定区域中,则可能发生半导体器件以一定角度安装在电路板10上的问题,这可能劣化电路板和半导体封装的电气和/或机械可靠性。因此,该实施例允许第一至第四绝缘构件341、342、343和344设置在各个焊盘321-1、321-2、322-1和323-1之间,因此,设置在电路板10上的半导体器件可以被稳定地支撑,由此,可以改善半导体器件的平坦度,使得可以更稳定地安装半导体器件。因此,该实施例可以使半导体器件更加稳定地工作。

[0133] 另外,可以在设置在保护层330中的通孔331周围设置绝缘构件341、342、343和344。此时,绝缘构件341、342、343和344可以沿垂直方向与设置在保护层330中的通孔331不重叠或不对准。如果绝缘构件341、342、343和344在垂直方向上与通孔331重叠,则由于焊盘321-1、321-2、322-1和323-1的至少一部分沿垂直方向与绝缘构件341、342、343和344重叠,安装半导体器件的过程中的工艺特性劣化,或者施加粘合构件的过程中的工艺特性可能劣化。结果,焊盘321-1、321-2、322-1和323-1的面积可能减小,并且半导体器件与电路板之间的接触电阻可能增加。

[0134] 绝缘构件341、342、343和344可以设置在沿水平方向以规则间隔与保护层330的通孔331的内壁间隔开的位置处。例如,通孔331的内壁可以包括在积层绝缘层310上沿第一水平方向延伸的第一内壁331-1,并且绝缘构件341、342、343和344可沿水平方向与第一内壁331-1间隔开第一距离W1。示例性地,绝缘构件341、342、343和344可以沿水平方向与第一内壁331-1的上端的周边间隔开第一距离W1。

[0135] 另外,通孔331的内壁可以包括在积层绝缘层310上沿第二水平方向延伸的第二内壁331-2,并且绝缘构件341、342、343和344可沿第二水平方向与第二内壁331-2间隔开第二距离W2。绝缘构件341、342、343和344可沿第二水平方向与第二内壁331-2的上周边间隔开第二距离W2。第一距离W1和第二距离W2可以彼此相同或不同。

[0136] 第一距离W1和第二距离W2可以大于保护层330的垂直厚度。另外,如果第一距离W1和第二距离W2小于保护层330的垂直厚度,则由于形成绝缘构件341、342、343和344的过程中的工艺误差,绝缘构件341、342、343和344的至少一部分可能覆盖保护层330的通孔。因此,可能降低电气可靠性和/或机械可靠性。

[0137] 第一距离W1和第二距离W2可以小于绝缘构件341、342、343和344的垂直厚度。如果第一距离W1和第二距离W2大于绝缘构件341、342、343和344的垂直厚度,则绝缘构件341、342、343和344与半导体器件之间的垂直方向上的重叠区域的面积可能减小,此外,可能出现绝缘构件341、342、343和344中的至少一些在垂直方向上不与半导体器件重叠的问题。另外,如果第一距离W1和第二距离W2大于绝缘构件341、342、343和344的垂直厚度,则半导体器件可能不能稳定地放置在电路板上,因此结果可能发生机械可靠性和/或电气可靠性问题。

[0138] 参考图4A和4B,该实施例的半导体封装可以包括电路板和设置在电路板上的半导体器件440。

[0139] 电路板可以包括积层结构400、第一保护层410和第二保护层420,并且彼此间隔开的多个绝缘构件430可以设置在第一保护层410上。例如,多个绝缘构件430在第一保护层410上的焊盘部分的周边区域中彼此间隔开。

[0140] 另外,积层结构400可以包括积层绝缘层401和多个焊盘402、403、404和405。另外,

第一保护层410设置在积层绝缘层401上,并且可以包括沿垂直方向与多个焊盘402、403、404和405重叠的通孔411。

[0141] 半导体器件440可以放置在积层结构400上。半导体器件440可以包括器件主体441以及第一至第四端子441、443、444和445。第一至第四端子441、443、444和445中的每一个可以电连接到焊盘402、403、404和405以及粘合构件450。

[0142] 半导体器件440也可以包括沿垂直方向与绝缘构件431、432、433和434重叠的区域OR1、OR2、OR3和OR4。在此,半导体器件440包括诸如CPU、存储器、GPU、FPGA的有源器件。另外,半导体器件440应当被解释为不仅意指由诸如硅(Si)的半导体材料制成的那些,而且还意指电容器和诸如MLCC的电子器件。

[0143] 示例性地,半导体器件440可以包括沿垂直方向与第一绝缘构件431重叠的第一重叠区域OR1、沿垂直方向与第二绝缘构件432重叠的第二重叠区域OR2、沿垂直方向与第三绝缘构件433重叠的第三重叠区域OR3、以及沿垂直方向与第四绝缘构件434重叠的第四重叠区域OR4。另外,第一至第四重叠区域OR1、OR2、OR3和OR4也可以位于半导体器件440的角部区域中。第一至第四重叠区域OR1、OR2、OR3、OR4位于半导体器件440的角部区域,从而可以使由绝缘部件431、432、433和434的热循环引起的传递到半导体器件440的应力减到最小。由此,可以将半导体器件440更稳定地放置在电路板上。

[0144] 另外,第一至第四重叠区域OR1、OR2、OR3、OR4中的每一个的平面面积可以满足半导体器件440的平面面积的2%至7%的范围。如果第一至第四重叠区域OR1、OR2、OR3和OR4中的每一个的平面面积小于半导体器件440的平面面积的2%,则半导体器件440可能不被绝缘构件431、432、433和434稳定地支撑,结果,半导体器件440可能以倾斜状态安装在电路板上。如果第一至第四重叠区域OR1、OR2、OR3和OR4中的每一个的平面面积超过半导体器件440的平面面积的7%,则扩展用于去焊剂的溶液的空间的效果可能是不显著的,并且所得到的焊剂去除的改善可能是不显著的。

[0145] 即,半导体器件440包括多个端子,并且多个端子可以包括沿垂直方向与绝缘构件431、432、433、434重叠的重叠区域以及沿垂直方向与绝缘构件160不对准的非重叠区域。另外,重叠区域可以包括半导体器件440的第一端子442的下表面的一部分和第二端子443的下表面的一部分。另外,非重叠区域可以包括半导体器件的第一端子442的下表面的剩余部分、第二端子443的下表面的剩余部分、第三端子444的下表面的整个区域以及第四端子445的下表面的整个区域。

[0146] 另外,上述非重叠区域中的每一个可以在垂直方向上与焊盘重叠,并且可以接触粘合构件445。另外,上述重叠区域中的每一个可以被放置成与绝缘构件431、432、433和434直接接触,或者可以沿垂直方向与绝缘构件431、432、433和434间隔开,其中粘合构件445介于其间。

[0147] 参考图4C至4F,第一焊盘402、第二焊盘403、第三焊盘404和第四焊盘405可以设置在积层绝缘层401的上表面上。另外,具有沿垂直方向与第一焊盘402、第二焊盘403、第三焊盘404和第四焊盘405重叠的通孔的保护层410可以设置在积层绝缘层401的上表面上。

[0148] 粘合构件450可以设置在第一焊盘402、第二焊盘403、第三焊盘404和第四焊盘405上。另外,半导体器件440可以设置在粘合构件450上。半导体器件440可以包括器件主体441、连接到第一焊盘402的第一端子442、连接到第二焊盘403的第二端子443、连接到第三

焊盘404的第三端子444和连接到第四焊盘405的第四端子445。此时,半导体器件440的第一端子442、第二端子443、第三端子444和第四端子445中的每一个可以包括与第一焊盘402、第二焊盘403、第三焊盘404和第四焊盘405中的每一个垂直重叠的区域,并且该区域可以包括不与电路板接触的区域。示例性地,半导体器件440的第一端子442、第二端子443、第三端子444和第四端子445中的每一个的沿垂直方向与第一焊盘402、第二焊盘403、第三焊盘404和第四焊盘405重叠的区域可以与电路板的保护层410的上表面间隔开第一垂直距离H2,而不接触绝缘构件431、432、433、434。第一垂直距离H2可以对应于设置在保护层410上的绝缘构件431、432、433和434的厚度。由此,该实施例可以将半导体器件440和电路板之间的垂直距离增加对应于绝缘构件431、432、433和434的厚度的第一垂直距离H2。因此,可以确保足够的空间供用于去焊剂的溶液渗透,从而改善在后续工艺(例如底部填充和/或模制)期间出现的空隙问题。因此,可以进一步提高电路板和半导体封装的电气可靠性和/或机械可靠性。

[0149] 另外,半导体器件440可以包括在垂直方向上与绝缘构件431、432、433和434重叠的区域。并且,半导体器件440的沿垂直方向与绝缘构件431、432、433和434重叠的重叠区域OR1、OR2、OR3和OR4可以设置成与绝缘构件431、432、433和434直接接触。由此,半导体器件440可以由绝缘构件431、432、433和434支撑,并且更稳定地安置在电路板上。然而,实施例不限于此。

[0150] 示例性地,半导体器件440的重叠区域OR1、OR2、OR3和OR4可以通过调整粘合构件450的体积而沿垂直方向与绝缘构件431、432、433和434间隔开。在这种情况下,可以在绝缘构件431、432、433和434与半导体器件440的重叠区域OR1、OR2、OR3和OR4之间设置粘合构件450。在这种情况下,该实施例可以进一步增大粘合构件450与半导体器件440之间的接触面积,从而允许半导体器件440更稳定地安置在电路板上。

[0151] 参考图4B,当将具有四个端子的MLCC放置在电路板上时,MLCC的端子可以具有在垂直方向上与绝缘构件431、432、433和434重叠的区域,以及在垂直方向上不与绝缘构件431、432、433和434重叠的区域。具体地,第一端子442和第二端子443与绝缘构件431、432、433和434垂直重叠,并且第三端子444和第四端子445不与绝缘构件431、432、433和434垂直重叠。因此,可以促进用于去焊剂的溶液渗透到第三端子444与第一端子442和第二端子443之间的空间以及第四端子445与第一端子442和第二端子443之间的空间中,并且使得能够稳定地安装MLCC。

[0152] 参考图5,根据第二实施例的半导体封装可以包括积层结构500、第一半导体器件540和第二半导体器件560。

[0153] 可以使用不同的接合方法将第一半导体器件540和第二半导体器件560安装在积层结构500上。示例性地,第一半导体器件540可以使用焊膏通过第一粘合构件530安装在积层结构500上。在这种情况下,第一焊盘部分501可以设置在积层结构500的上表面上,并且第一粘合构件530可以设置在第一焊盘部分501上。另外,具有沿垂直方向与第一焊盘部分501重叠的通孔的保护层510设置在积层结构500上,并且绝缘构件520可以设置在保护层510的通孔周围和/或第一焊盘部分501周围。因此,第一半导体器件540可以安装在第一焊盘部分501上,同时通过第一粘合构件450由绝缘构件520支撑。

[0154] 另外,第二半导体器件560可以使用TC接合和/或微球通过第二粘合构件550安装

在积层结构500上。在这种情况下,第二焊盘部分502可以进一步设置在积层结构500上,并且第二粘合构件560可以设置在第二焊盘部分502上。

[0155] 此时,第二半导体器件560可以在垂直方向上与绝缘构件520不重叠或不对准。例如,绝缘构件520可以不设置在安装第二半导体器件560的区域周围和/或第二焊盘部分502周围。因此,该实施例可以减小第二粘合构件550的尺寸,由此,可以细化第二焊盘部分502的间距。

[0156] 另外,半导体封装还可以包括模塑构件570。模塑构件570可以设置为围绕第一半导体器件540和第二半导体器件550。

[0157] 参考图6,半导体封装可以包括积层结构600。另外,第一半导体器件640、第二半导体器件670和第三半导体器件675可以安装在积层结构600上。

[0158] 可以使用与第二半导体器件670和第三半导体器件680不同的接合方法将第一半导体器件640安装在积层结构600上。示例性地,第一半导体器件640可以使用焊膏通过第一粘合构件630安装在积层结构600上。在这种情况下,第一焊盘部分601可以设置在积层结构600的上表面上,并且第一粘合构件630可以设置在第一焊盘部分601上。另外,具有沿垂直方向与第一焊盘部分601重叠的通孔的保护层610设置在积层结构600上,并且绝缘构件620可以设置在保护层610的通孔周围和/或第一焊盘部分601周围。因此,第一半导体器件640可以安装在第一焊盘部分601上,同时通过第一粘合构件650由绝缘构件620支撑。

[0159] 另外,第二半导体器件670和第三半导体器件675可以使用TC接合和/或微球通过第二粘合构件650安装在积层结构600上。在这种情况下,第二焊盘部分602和第三焊盘部分603可以进一步设置在积层结构600上,并且第二粘合构件560可以设置在第二焊盘部分602和第三焊盘部分603上。

[0160] 此时,第二半导体器件670和第三半导体器件675可以在垂直方向上与绝缘构件620不重叠或不对准。示例性地,绝缘构件620可以不设置在安装第二半导体器件670和第三半导体器件675的区域周围和/或第二焊盘部分602和第三焊盘部分603周围。因此,该实施例可以减小第二粘合构件650的尺寸,由此,可以细化第二焊盘部分602和第三焊盘部分603的间距。

[0161] 另外,电路板还可以包括嵌入积层结构600中的连接构件680。最近,半导体器件必须处理的信号的数量增加,因此,半导体器件的大小趋向于变得更大。然而,增大半导体器件的面积导致半导体器件的成品率降低的问题。因此,可以通过划分半导体器件的图案的尺寸或功能部分来将小芯片放置在电路板上,并且可以将具有电连接它们的功能的连接构件680嵌入电路板中。然而,连接构件680不限于此,并且可以将半导体器件与存储器或其他半导体器件连接。

[0162] 连接构件680可以设置在与积层结构600中的保护层610相邻的绝缘层内。在这种情况下,可以减小第二半导体器件670和第三半导体器件675与连接构件680之间的信号传输距离,因此,有利于防止信号丢失。即,连接构件680电连接设置在电路板上的多个半导体器件,因此可以有利于通过在与多个半导体器件相邻时减小信号传输距离来减少信号传输损耗。

[0163] 另外,第三耦合构件690设置在第二焊盘部分602和第三焊盘部分603的下表面上。第三耦合构件690可以是焊料,但不限于此。连接构件680包括焊盘部分,并且连接构件680

的焊盘部分通过第三耦合构件690电连接到第二焊盘部分602和第三焊盘部分603。

[0164] 连接构件680可以用于电连接第二半导体器件670和第三半导体器件675。在这种情况下,连接构件680可以是桥接管芯。示例性地,连接构件680在垂直方向上分别与第二半导体器件670和第三半导体器件675部分地重叠。另外,连接构件680将第二半导体器件670和第三半导体器件675的一些端子彼此电连接。连接构件680可以由诸如硅或半导体器件的材料制成,或者可以由诸如光敏树脂或热固性树脂的有机材料制成。通过功能和/或间距分离的小芯片单元或具有不同功能的多个半导体器件(例如CPU和GPU、GPU和HBM等)可以安装在电路板上,连接构件680可以用于水平地电连接它们。

[0165] 连接构件680可以是有机桥,其可以从下到上平滑地供应电力并且使所供应的电力的损失减到最小。此时,在包括硅基板的无机桥的情况下,可以通过TSV(穿硅过孔)供应电力,但是存在TSV处理的工艺成本增加和产品成品率降低的问题。因此,优选的是,该实施例的连接构件680是有机桥。

[0166] 根据图7的实施例,上述电路板可以用作设置在半导体封装的半导体封装基板和半导体器件之间的中介层700。

[0167] 即,随着半导体器件的端子密度增加,布线变得更复杂,并且电路板的厚度相应地增加。然而,随着厚度增加,可能出现电路板的成品率降低的问题。因此,电路板可以被分成中介层700和半导体封装板720。上述电路板不仅可以用作半导体封装板720,而且可以用作中介层700。

[0168] 半导体封装基板720设置在中介层700的下表面上。半导体封装基板720可以电连接电子器件的主板和中介层700。

[0169] 此时,第四耦合构件710可以设置在中介层700和半导体封装基板720之间,通过此,中介层700和半导体封装基板720可以电耦合。

[0170] 另一方面,当具有本发明的上述特征的电路板用于IT设备或家用电器(诸如智能电话、服务器计算机、TV等)时,可以稳定地执行诸如信号传输或电源的功能。例如,当具有本发明特征的电路板执行半导体封装功能时,其可以用于安全地保护半导体芯片免受外部湿气或污染物的影响,或者可替换地,可以解决端子之间的漏电流、电短路和提供给半导体芯片的端子的电开路的问题。另外,当负责信号传输功能时,可以解决噪声问题。由此,具有本发明的上述特征的电路板可以保持IT设备或家用电器的稳定功能,使得应用本发明的整个产品和电路板可以实现彼此的功能统一或技术互锁。

[0171] 当具有上述本发明特征的电路板用于诸如车辆的运输设备中时,可以解决传输到运输设备的信号失真的问题,或者可替换地,通过从外部安全地保护控制运输设备的半导体芯片并解决提供给半导体芯片的端子之间的漏电流或电短路或端子的电开路的问题,可以进一步改善运输设备的安全性。因此,应用本发明的运输设备和电路板可以实现彼此的功能完整性或技术互锁。此外,当具有本发明的上述特征的电路板用于诸如车辆的运输设备时,可以以高速传输车辆所需的高电流信号,从而提高运输设备的安全性。此外,即使在运输设备的各种驾驶环境中发生的意外情况下,电路板和包括电路板的半导体封装也可以正常操作,从而安全地保护驾驶员。

[0172] 上述实施例中描述的特性、结构和效果包括在至少一个实施例中,但不限于一个实施例。此外,实施例所属领域的普通技术人员甚至可以相对于其他实施例组合或修改每

个实施例中示出的特性、结构和效果等。因此,应当理解,与这种组合和这种修改相关的内容包括在实施例的范围内。

[0173] 以上描述已经集中在实施例上,但是其仅仅是说明性的并且不限制实施例。实施例所属领域的技术人员可以理解,在不脱离实施例的基本特征的情况下,上面未示出的各种修改和应用是可能的。例如,可以修改和实现在实施例中特别表示的每个部件。另外,应当理解,与这些改变和应用相关的差异包括在所附权利要求中限定的实施例的范围内。

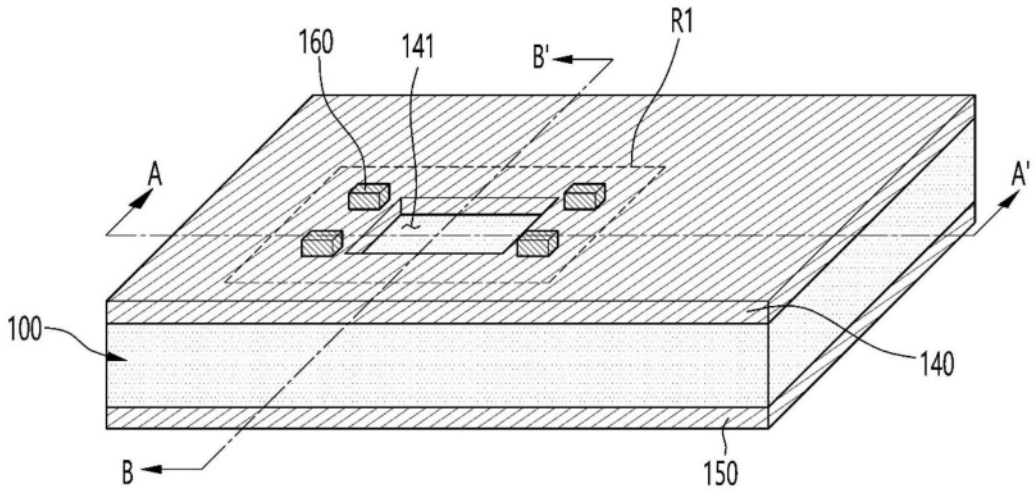


图1A

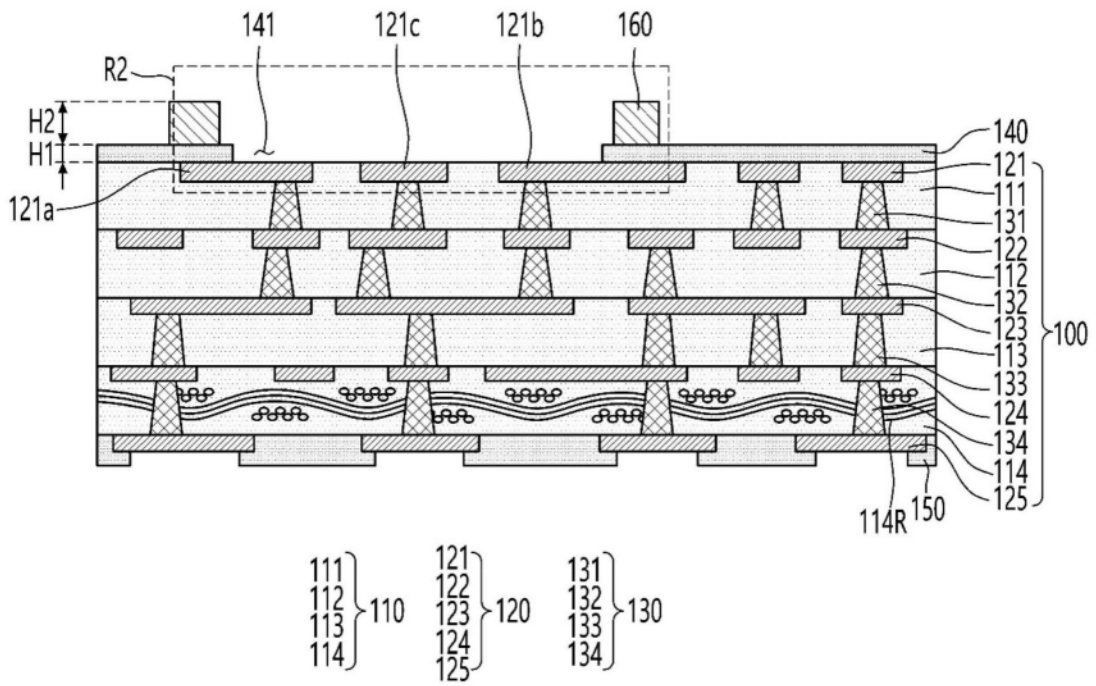


图1B

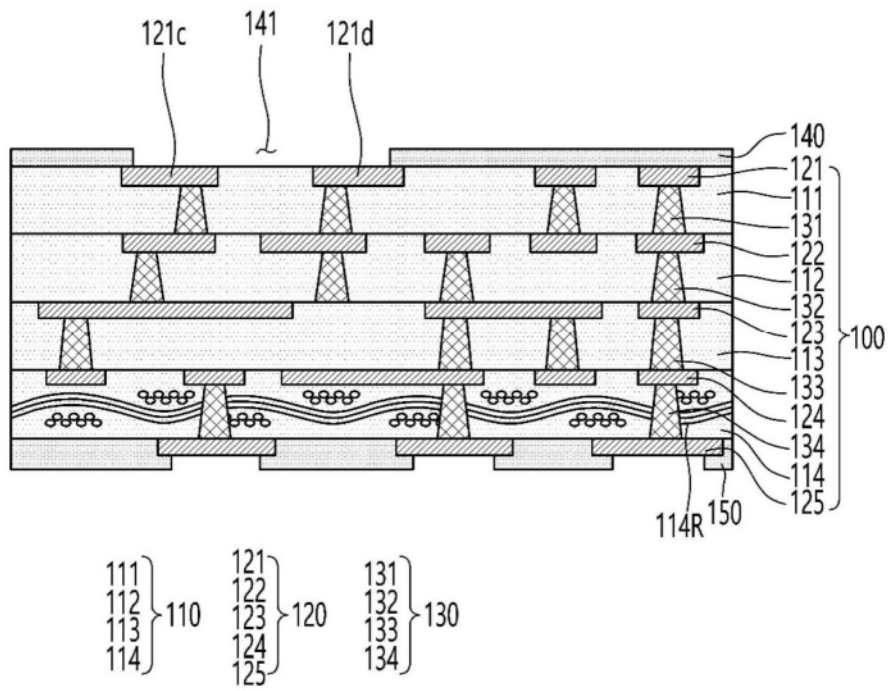


图1C

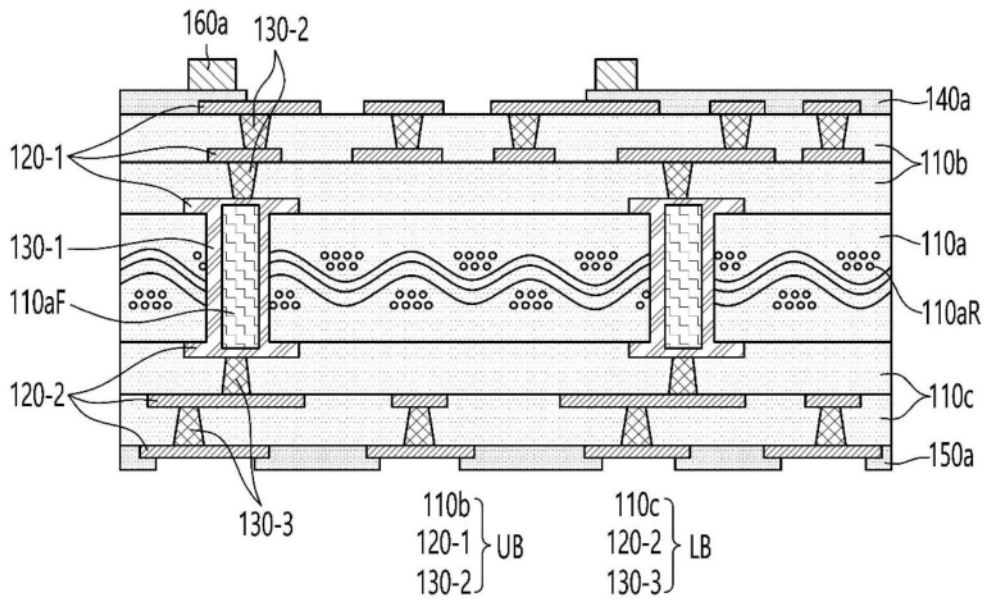


图1D

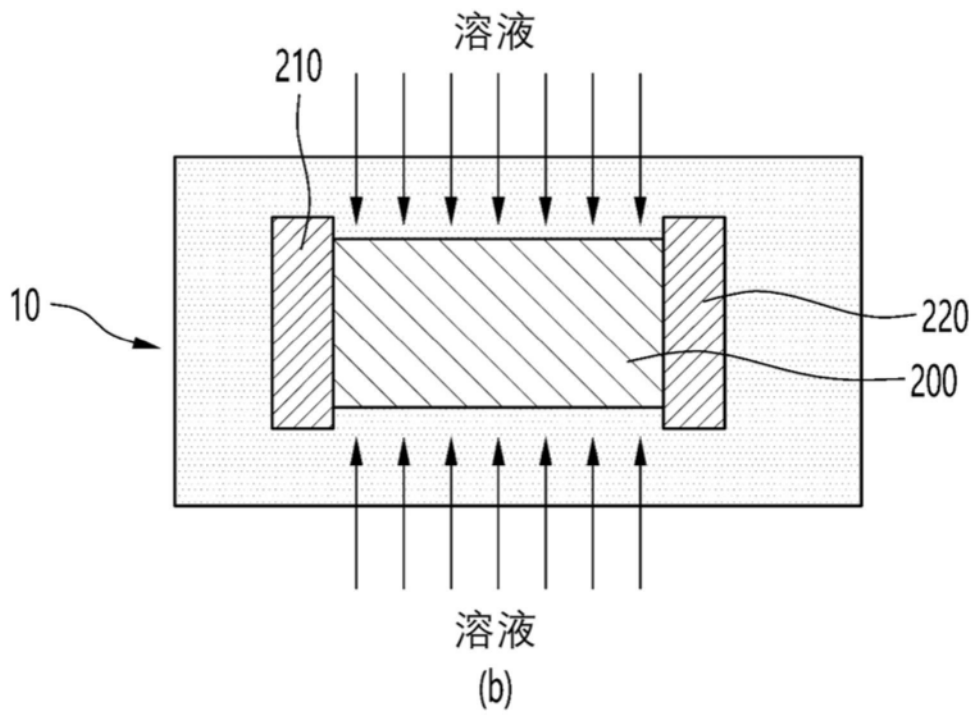
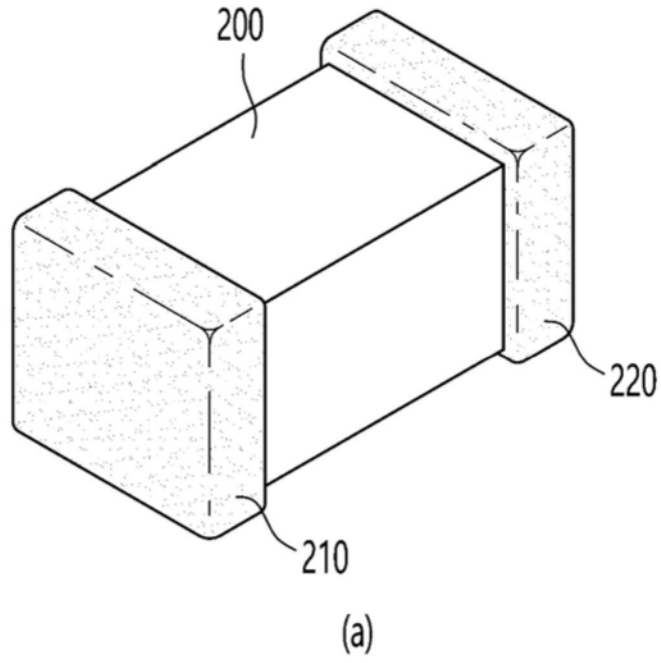


图2A

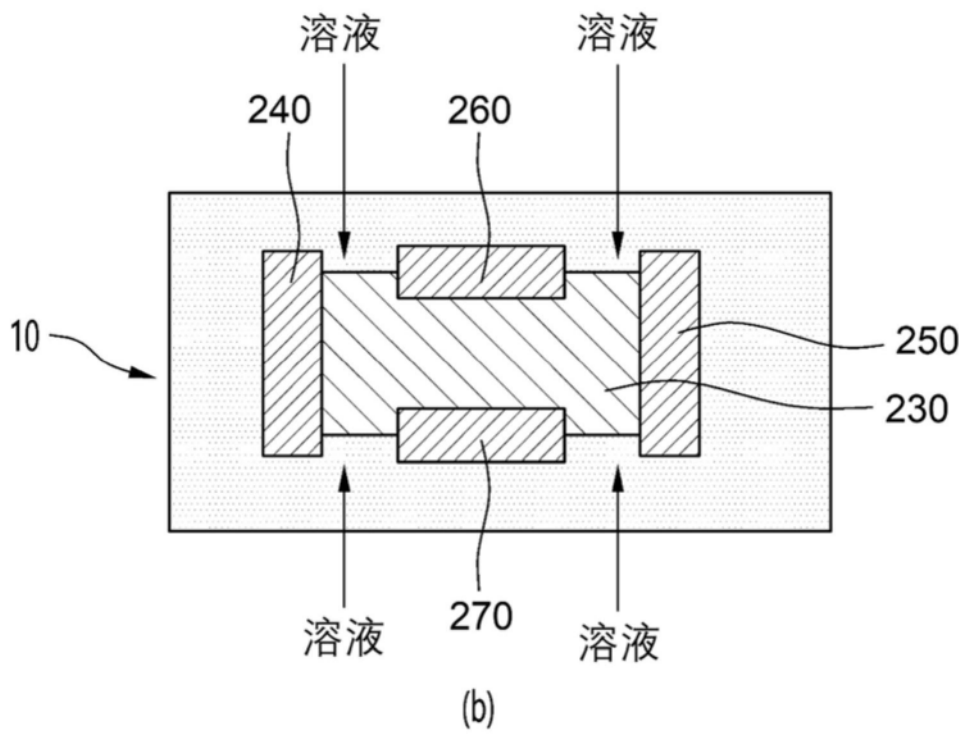
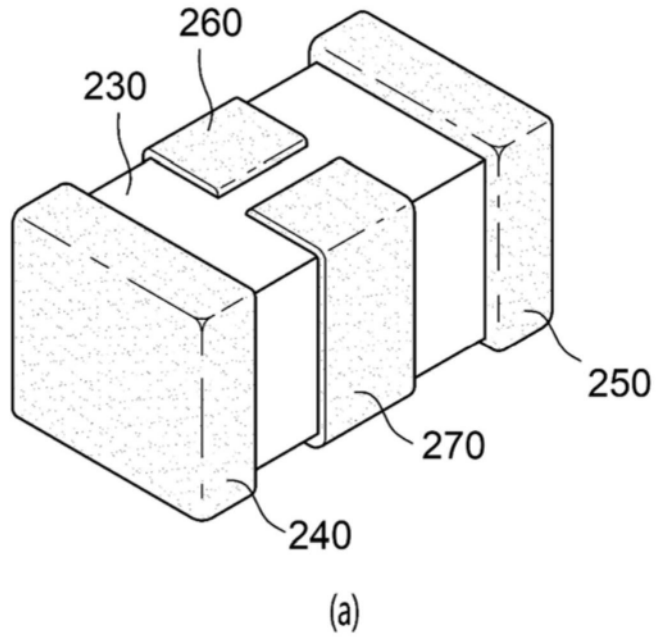


图2B

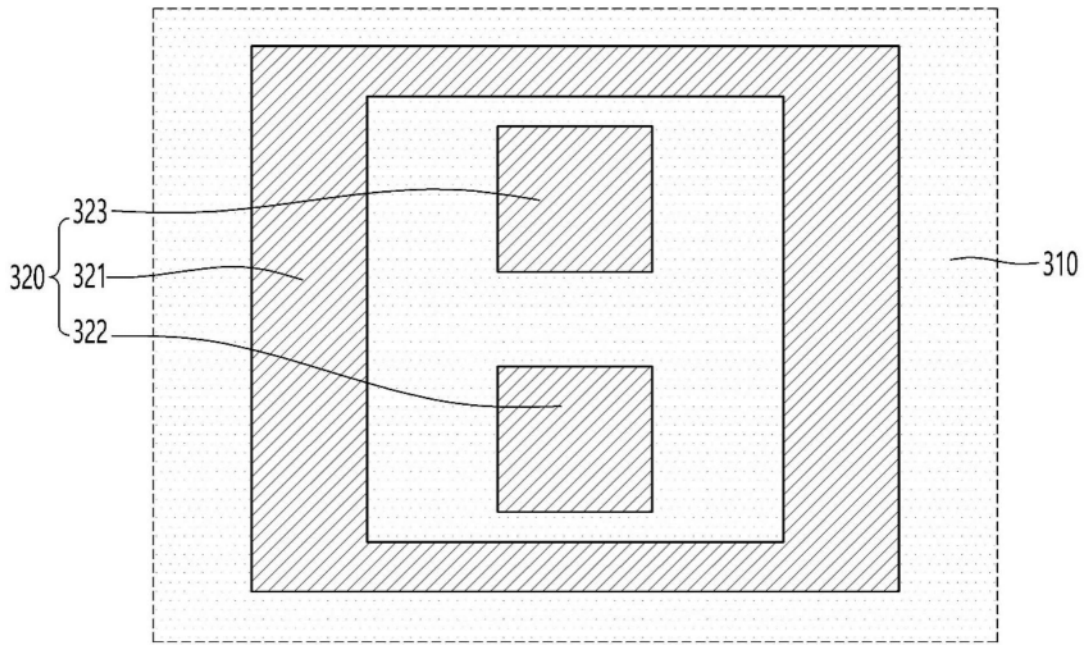


图3A

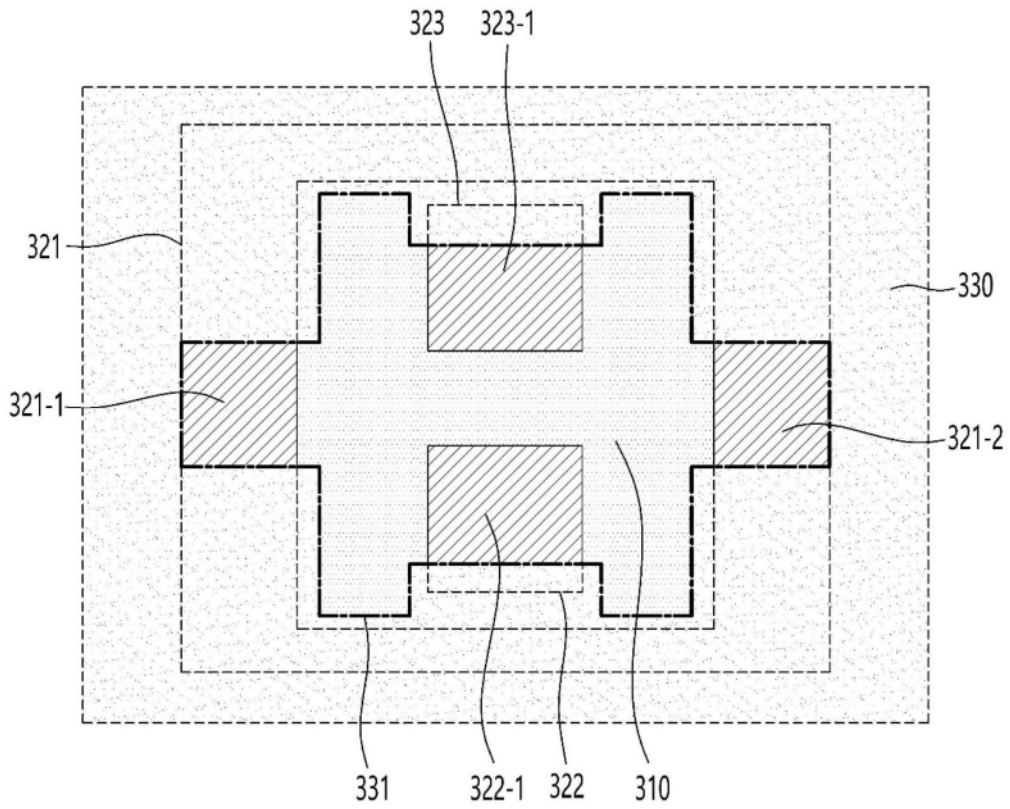


图3B

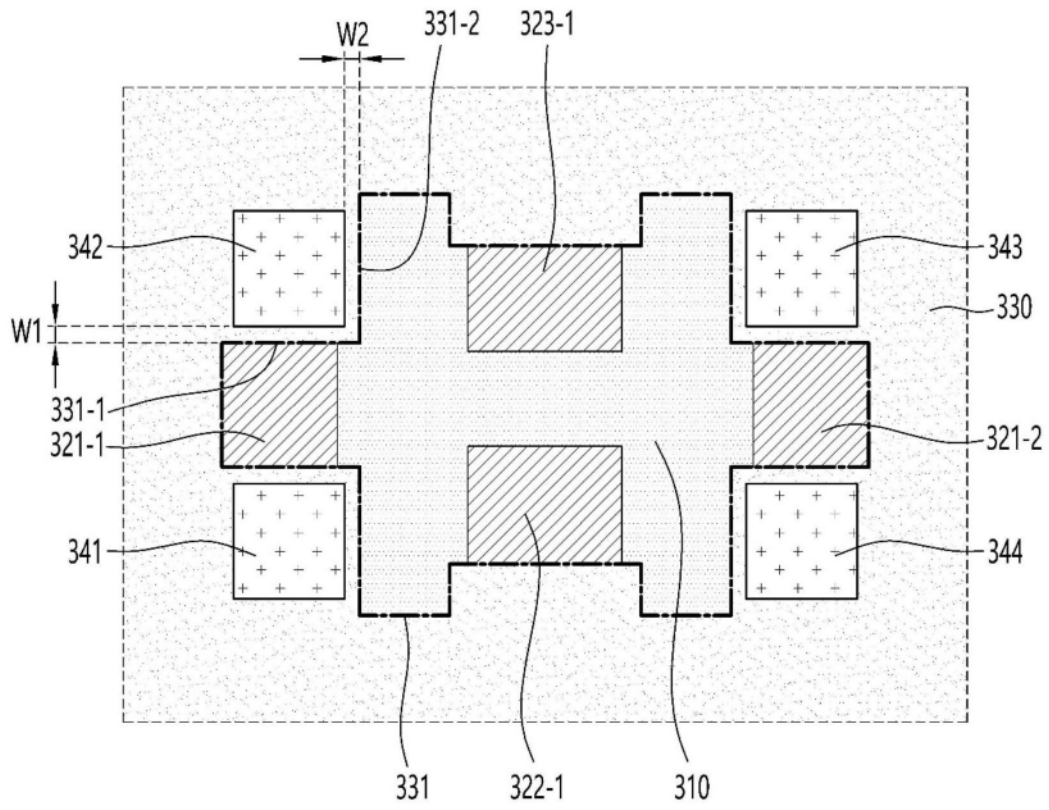


图3C

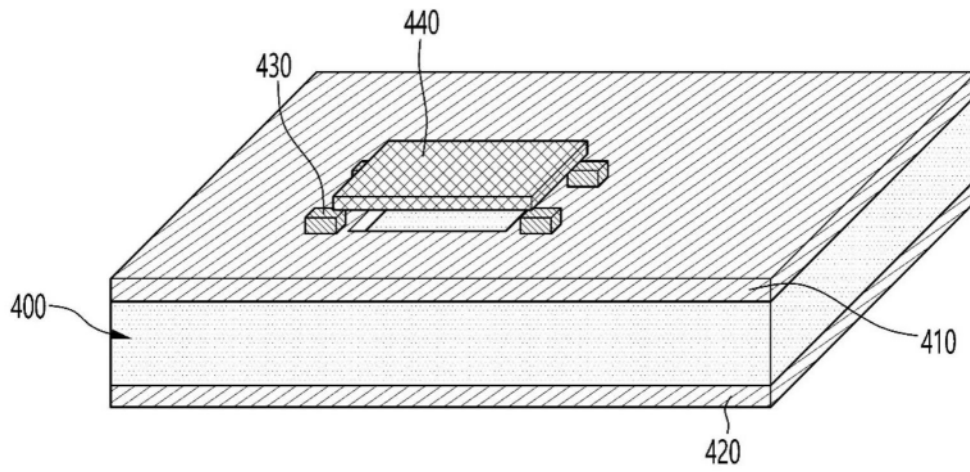


图4A

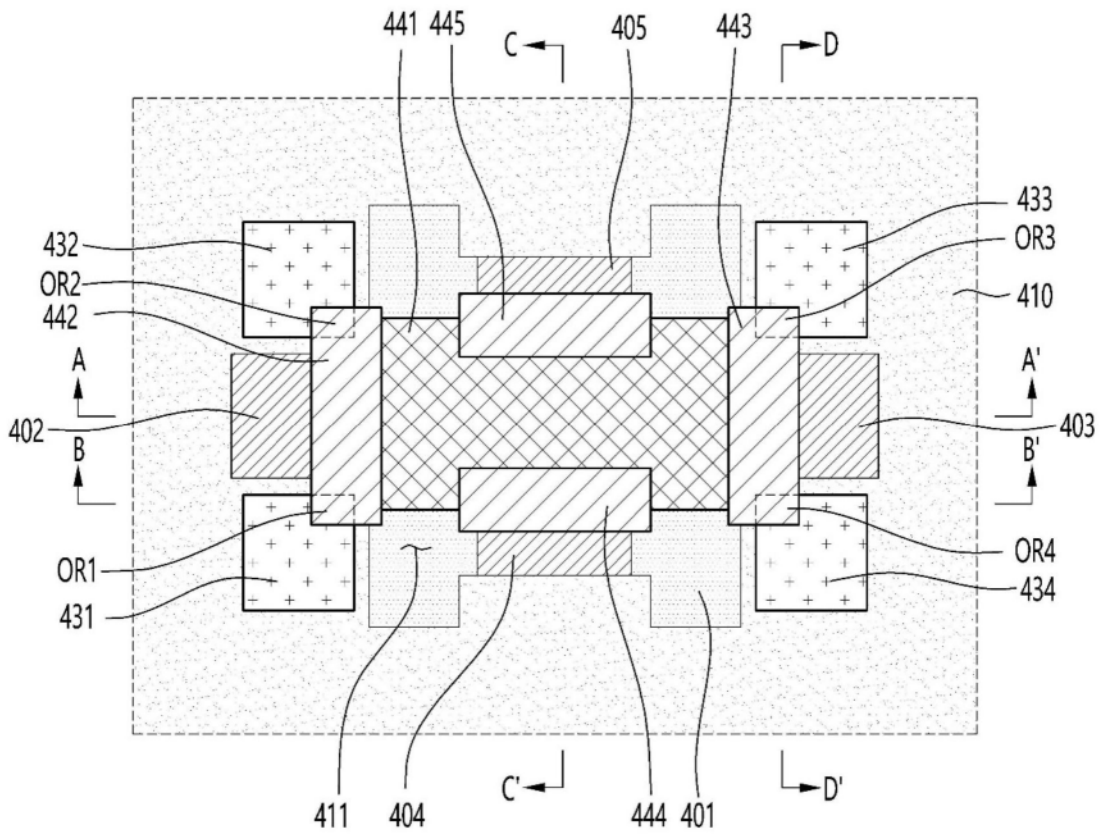


图4B

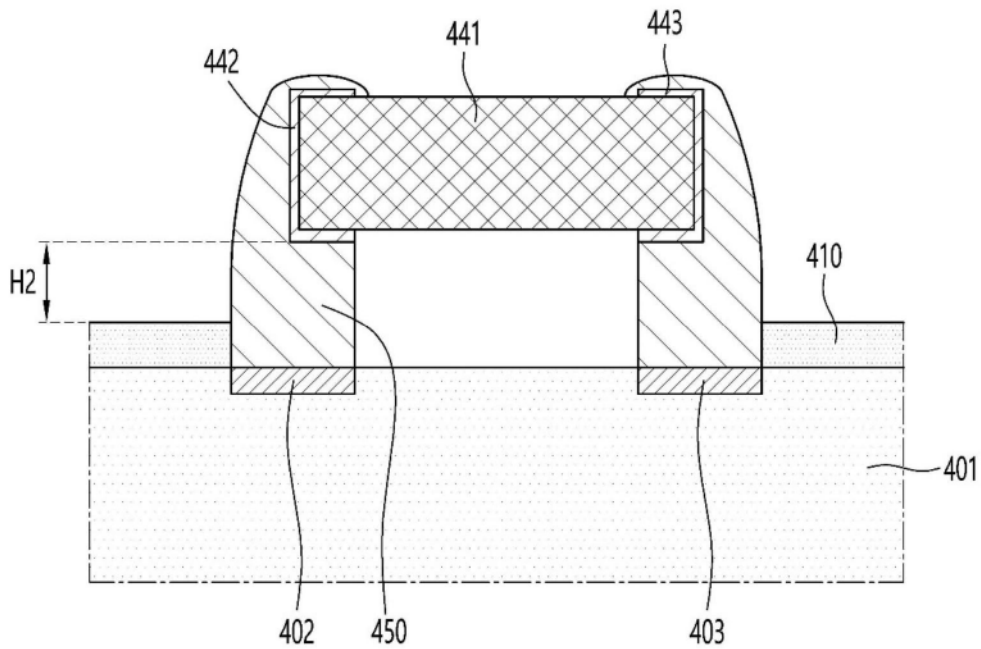


图4C

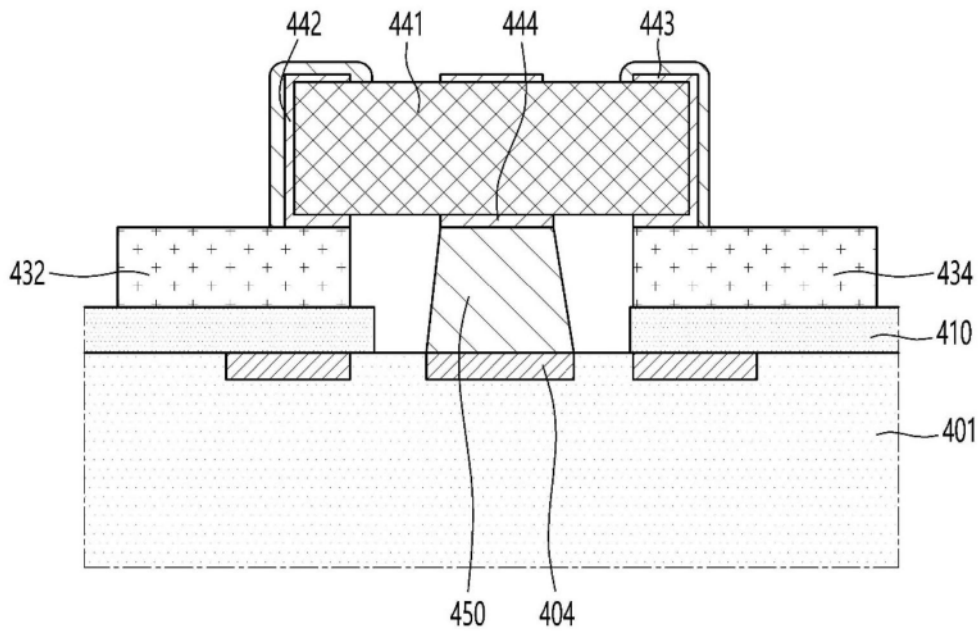


图4D

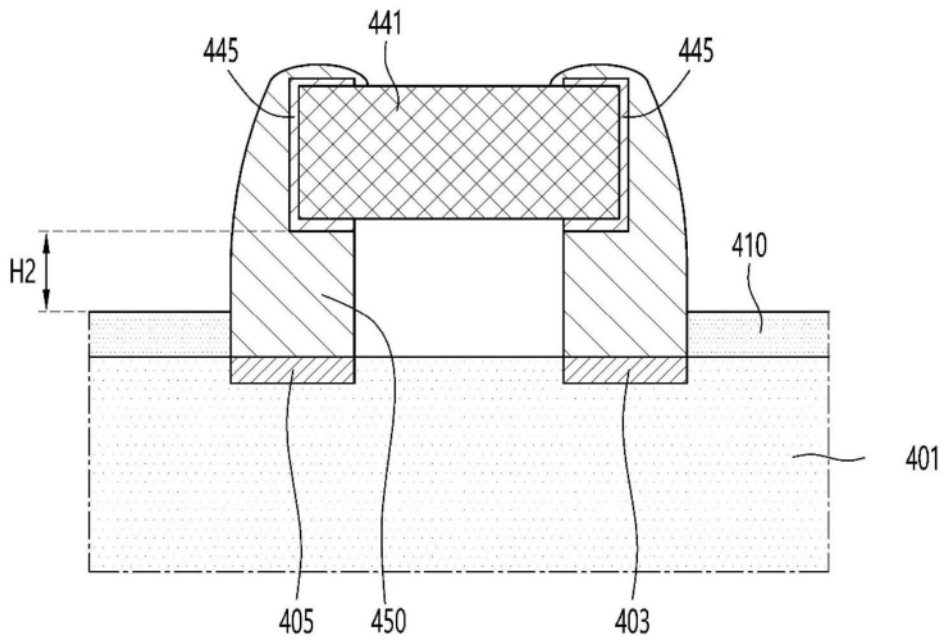


图4E

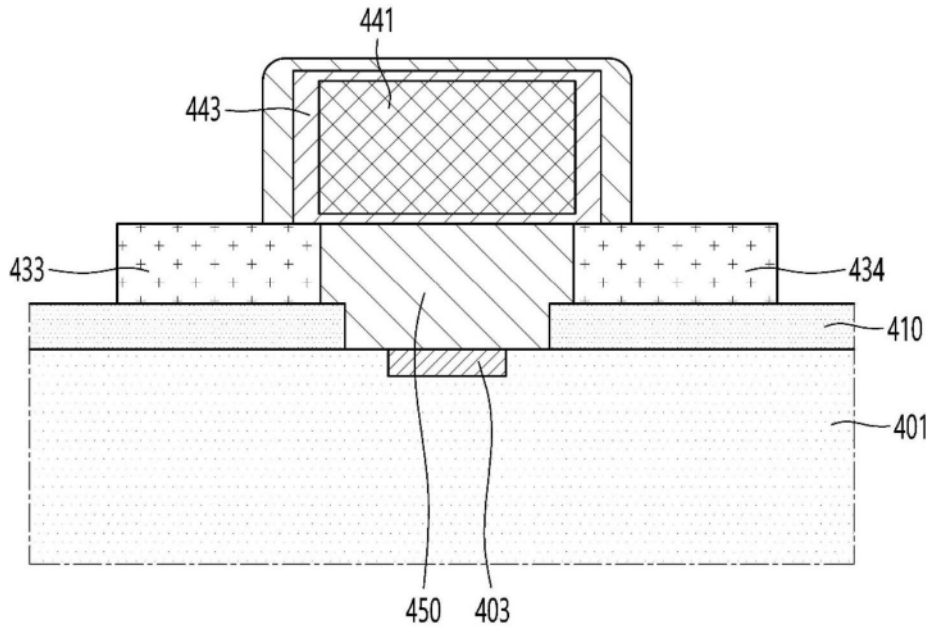


图4F

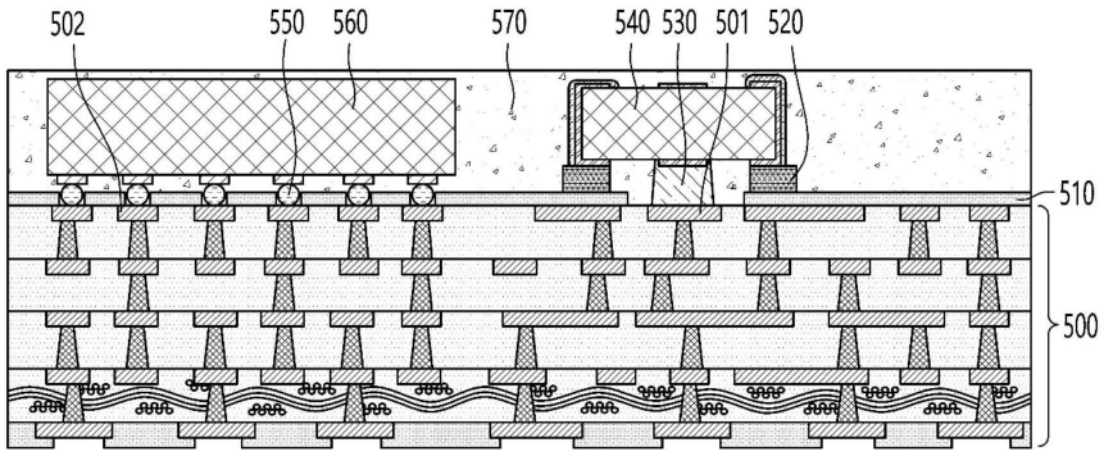


图5

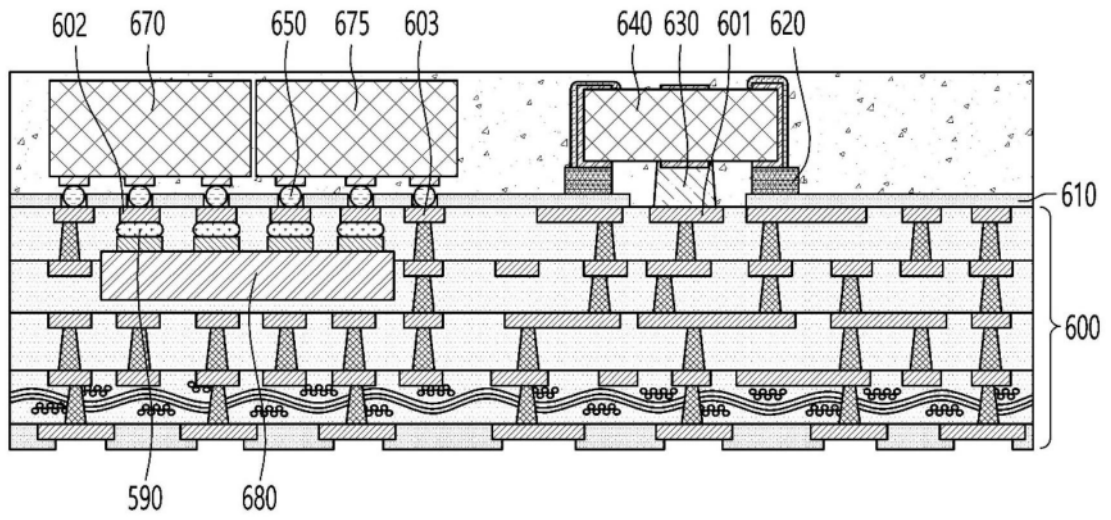


图6

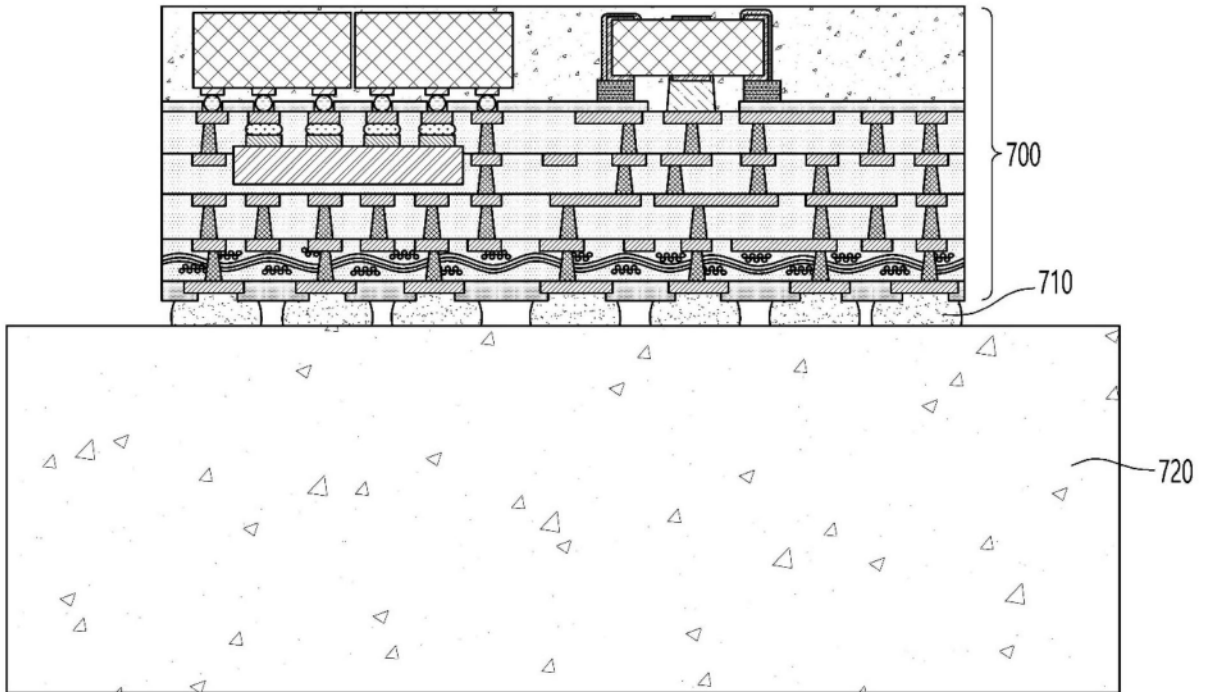


图7