



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 601 00 896 T2 2004.08.26**

(12)

Übersetzung der europäischen Patentschrift

(97) **EP 1 262 016 B1**

(51) Int Cl.⁷: **H03D 13/00**

(21) Deutsches Aktenzeichen: **601 00 896.0**

(86) PCT-Aktenzeichen: **PCT/EP01/02200**

(96) Europäisches Aktenzeichen: **01 921 286.9**

(87) PCT-Veröffentlichungs-Nr.: **WO 01/065681**

(86) PCT-Anmeldetag: **28.02.2001**

(87) Veröffentlichungstag
der PCT-Anmeldung: **07.09.2001**

(97) Erstveröffentlichung durch das EPA: **04.12.2002**

(97) Veröffentlichungstag
der Patenterteilung beim EPA: **01.10.2003**

(47) Veröffentlichungstag im Patentblatt: **26.08.2004**

(30) Unionspriorität:

185681 P	29.02.2000	US
580119	30.05.2000	US

(84) Benannte Vertragsstaaten:

**AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,
LI, LU, MC, NL, PT, SE, TR**

(73) Patentinhaber:

**Telefonaktiebolaget L M Ericsson (publ),
Stockholm, SE**

(72) Erfinder:

**NILSSON, Magnus, S-224 72 Lund, SE; HAGBERG,
Hans, S-211 33 Malmö, SE**

(74) Vertreter:

HOFFMANN · EITLE, 81925 München

(54) Bezeichnung: **PHASENREGELSCHLEIFE MIT GEBROCHENEM TEILVERHÄLTNIS**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung**HINTERGRUND**

[0001] Die Erfindung bezieht sich auf Fraktional-N-Phasenregelschleifen, und genauer auf eine Verbesserung des Tastverhältnisses in einer Frequenzteiler Ausgabe in einer Phasenregelschleife.

[0002] Fraktional-N-Phasenregelschleifen (phase locked loops, PLLs) sind gut bekannt. Z. B. können sigma-delta-gesteuerte Fraktional-N-PLL-Modulatoren in Funkkommunikationssystemen zum Generieren lokaler Oszillatorfrequenzen mit der Fähigkeit, schnell von einer Betriebsfrequenz zu einer anderen zu springen, verwendet werden. Die Fraktional-N-Eigenschaft erlaubt die Verwendung einer hohen Vergleichsfrequenz, während dennoch lokale Oszillatorfrequenzen zwischen konstanten Vielfachen der Referenzfrequenz generiert werden. Durch Steuern des Teilverhältnisses mit dem Sigma-Delta-Modulator kann eine Modulation mit einer konstanten Hülle generiert werden. Durch Verwenden dieser Eigenschaften der Fraktional-N-Phasenregelschleife können Funkarchitekturen für Systeme mit konstanten Hüllen entwickelt werden, die kompakt genug sind um zu ermöglichen, dass ein vollständiger Funk in einer einzelnen anwendungsspezifischen integrierten Schaltung (applications specific integrated circuit, ASIC) integriert wird.

[0003] Ein Blockdiagramm eines sigma-delta-gesteuerten Fraktional-N-PLL-Modulators wird in **Fig. 1** dargestellt. Ein Referenzsignal **101** wird zu einem Phasendetektor **102** zusammen mit der Phase der Ausgabe eines Frequenzteilers **106** eingespeist. Das Referenzsignal **101** ist vorzugsweise ein sinusförmiges Signal mit einer Frequenz, die durch f_{ref} bezeichnet wird. Die Ausgabe des Phasendetektors **102** ist ein Impuls, der auf die Phasendifferenz zwischen dem Referenzsignal **101** und der Ausgabe des Frequenzteilers **106** bezogen ist. Die Ausgabe des Phasendetektors **102** wird zu einer Ladepumpe **107** eingespeist und dann durch einen Schleifenfilter **108** gefiltert. Die Ausgabe des Schleifenfilters **108** wird dann an einen spannungsgesteuerten Oszillator (voltage controlled oscillator, VCO) **109** angelegt. Das Ausgangssignal des VCO **109** wird dem Eingang des Frequenzteilers **106** zugeführt. Als ein Ergebnis dieser Rückkopplungsanordnung wird die Ausgabefrequenz des VCO **109** angesteuert, gleich der Frequenz des Referenzsignals **101** mal dem Teilungsfaktor des Frequenzteilers **106** zu sein. Daher kann die Frequenz des VCO **109** durch Steuern des Teilungsfaktors des Frequenzteilers **106** gesteuert werden. In einem sigma-delta-gesteuerten Fraktional-N-PLL-Modulator werden die Teilungsfaktoren durch einen Sigma-Delta-Modulator **110** generiert, dessen Eingang ein Modulationssignal **111** empfängt.

[0004] Der Frequenzteiler **106** in der PLL muss drei wichtige Anforderungen erfüllen, um die gewünschte Modulation zu erreichen. Erstens muss er in der Lage

sein, den Teilungsfaktor einmal jeden Referenzfrequenzzyklus zu ändern. Zweitens muss er eine exakt gleiche Verzögerung für alle Teilungsfaktoren einführen, um zusätzliche Nichtlinearitäten in der Schleife zu vermeiden. Drittens muss er einen breiten Bereich von zusammenhängenden Teilungsfaktoren bewältigen können, um den sigma-delta-gesteuerten Fraktional-N-PLL-Modulator zu veranlassen, in einem breiten Bereich von Funkfrequenzen zu arbeiten und dadurch die Mehrbandfunktionalität zu bewerkstelligen. [0005] Um diese Anforderungen zu erfüllen, kann der Frequenzteiler **106** in der Form einer Vielzahl von seriell verbundenen Teilerblöcken implementiert werden, wie in **Fig. 2** veranschaulicht und in US-Patent Nr. 5,948,046 beschrieben wird. Es werden zwei Typen von Teilerblöcken genutzt. Der erste Typ ist ein beliebiger von nicht-voreinstellbaren 2/3-Teilerblöcken **200a**, **200b**, **200c**, **200d** (fortan allgemein durch das Bezugszeichen **200** bezeichnet). Ein 2/3-Teilerblock **200** teilt die Takteingabefrequenz **210a**, **210b**, **210c**, **210d**, **210e**, **210f**, **210g** (fortan allgemein durch das Bezugszeichen **210** bezeichnet) durch 2 oder 3, abhängig von den logischen Werten eines ersten Eingangsteuersignals **211a**, **211b**, **211c**, **211d**, **211e** (fortan allgemein durch das Bezugszeichen **211** bezeichnet) und von einem entsprechenden aus einer Gruppe von zweiten Eingangsteuersignalen **207**. In einigen Ausführungsformen können die Takteingaben **210** in der Form von differenziellen Signalen sein, aber dies muss nicht in allen Ausführungsformen der Fall sein. Wenn mit anderen 2/3-Teilerblöcken **300** in Reihe konfiguriert, wird ein erstes Eingangsteuersignal **211** allgemein durch einen signifikanten benachbarten 2/3-Teilerblock **200** zugeführt. Eines dieser ersten Steuersignale **211** (z. B. das erste Steuersignal **211c**) dient auch als die Ausgabe $f_{FREQ.DIV.}$ von dem Frequenzteiler **106**.

[0006] Wenn in einem kontinuierlichen Phasenmodulator verwendet, wie etwa dem einen, der in **Fig. 1** dargestellt wird, werden die zweiten Eingangsteuersignale **207** allgemein von der Ausgabe des $\Sigma\Delta$ -Modulators **110** abgeleitet. Die zweiten Eingangsteuersignale **207** werden verwendet um anzuzeigen, ob eine Division durch zwei (zweites Steuersignal = 0) oder durch drei (zweites Steuersignal = 1) gefordert wird. Damit jedoch die Division durch drei durchgeführt wird, muss das zweite Steuersignal **211** auch auf eins gesetzt werden. In diesem Sinn kann das zweite Steuersignal **211** als ein Signal "verschlucken erlauben" betrachtet werden (eine Division durch drei in dem 2/3-Teilerblock **200** wird durch "Verschlucken" eines zusätzlichen Taktzyklus zusätzlich zu jenen normal verschluckten für eine Division durch zwei durchgeführt).

[0007] Der Multi-Teilungs-Frequenzteiler **106** inkludiert ferner einen zweiten Typ eines Teilerblocks, hierin als ein voreinstellbarer Teilerblock **201a**, **201b** bezeichnet (fortan allgemein durch das Bezugszeichen **201** bezeichnet). In dem beispielhaften Multi-Teilungs-Frequenzteiler von **Fig. 2** werden zwei

voreinstellbare Teilerblöcke **201a** und **201b** in den signifikantesten Positionen der Teilerblockkette genutzt (wobei die Kette sowohl voreinstellbare als auch konventionelle Teilerblöcke **201** und **200** umfasst). Der voreinstellbare Teilerblock **201** inkludiert die gleiche Funktionalität wie der konventionelle 2/3-Teilerblock **200** und inkludiert außerdem die Fähigkeit, seinen internen Zustand voreinzustellen. Eine Steuerung der Voreinstellungsoption geschieht mittels der Ein-/Aus-Signale **208**, koordiniert mit den zweiten Steuersignalen **207**.

[0008] Diese Voreinstellungsfähigkeit ist für die vollständige Implementierung des Multi-Teilungs-Frequenzteilers **106** sehr wichtig, da sie eine Gelegenheit vorsieht, den 2/3-Teilerblock **201**, der wie eine Zustandsmaschine arbeitet, in den richtigen Anfangszustand ein und aus zu schalten. Dadurch ist man in der Lage, den möglichen Teilungsfaktorbereich des vollständigen Frequenzteilers **106** jederzeit während einer Operation zu erhöhen und zu verringern. D. h. der Frequenzteiler **106** wird unverzüglich (innerhalb des richtigen Referenzzyklus) beginnen, durch den neuen Teilungsfaktor zu dividieren, ungeachtet dessen, ob der gewollte Teilungsfaktor in der verringerten oder ausgedehnten Region vorhanden ist.

[0009] Wie hier verwendet, bezieht sich der Begriff "verringerte Region" auf jene Teilungsfaktoren, die erreichbar sind, wenn keiner der voreinstellbaren Teilerblöcke **201** aktiviert ist. In der beispielhaften Ausführungsform würde die verringerte Region Teilungsfaktoren in dem Bereich von 16 bis 31 sein. Wie hier verwendet, bezieht sich der Begriff "ausgedehnte Region" auf jene Teilungsfaktoren, die erreichbar sind, wenn einer oder mehr der voreinstellbaren Teilerblöcke **201** in einer Teilerblockkette aktiviert ist. In der beispielhaften Ausführungsform würde die ausgedehnte Region Teilungsfaktoren in dem Bereich von 32 bis 63 (wenn nur ein erster von den voreinstellbaren Teilerblöcken **201** aktiv ist) und von 64 bis 95 (wenn beide der voreinstellbaren Teilerblöcke **201** aktiv sind) sein. Es wird ferner festgehalten, dass in der beispielhaften Ausführungsform der Teilerblock **201b**, der die signifikanteste Position in der Kette von Teilerblöcken **200**, **201** belegt, dargestellt wird, als nur durch "2" zu dividieren. Dies wird durch feste Verdrahtung seines zweiten Steuersignaleingangs bewerkstelligt, um zu veranlassen, dass stets eine Division durch "2" geschieht. Aus diesem Grund wird er nicht als ein zweites Steuersignal **207** empfangend dargestellt.

[0010] Wenn ein Frequenzteiler **106**, der aus 2/3-Teilerblöcken **200**, **201** aufgebaut ist, verwendet wird, wie in **Fig. 2** gezeigt, variiert das Tastverhältnis der FrequenzteilerAusgabesignale bei unterschiedlichen Eingangsfrequenzen und Teilverhältnissen. Für die Anordnung, die in **Fig. 2** dargestellt wird, kann das FrequenzteilerAusgabestastverhältnis als

$$\frac{(N/8 - \text{Int}(N/8)) * 8}{f_{REF}(N+16)}$$

ausgedrückt werden, wobei N den angewendeten ganzzahligen Divisionsfaktor bezeichnet, der durch den Modulationsblock **213** erzeugt wird. Der Wert "8", der in der Formel verwendet wird, leitet sich aus der Tatsache ab, dass in dem Beispiel von **Fig. 2** das Ausgabesignal **211c** durch den vierten 2/3-Teilerblock **200d** zugeführt wird. Würde das Ausgabesignal stattdessen durch den dritten 2/3-Teilerblock **200c** generiert werden, würde die Zahl "8" durch die Zahl "4" in der Formel ersetzt worden sein; und falls stattdessen das Ausgabesignal durch den zweiten 2/3-Teilerblock **200b** generiert würde, würde die Zahl "8" durch die Zahl "2" in der Formel ersetzt worden sein.

[0011] Des Weiteren stellt die Zahl "16" in der Formel den minimalen möglichen Teilungsfaktor dar, um in einer 2/3-Teilerkette verwendet zu werden, in der 4 Blöcke aktiv sind (d. h. mit allen Blöcken eingestellt, um durch 2 zu dividieren). Falls nur 3 Teilerblöcke in einer 2/3-Teilerkette implementiert wären, würde die Zahl "16" durch die Zahl "8" ersetzt werden usw.

[0012] Idealer Weise sollte das schwankende Tastverhältnis den Phasendetektor **102** nicht beeinflussen, aber es gibt stets eine gewisse Abhängigkeit. Es wird z. B. die totzonenfreie Phasendetektor-/Ladepumpen-Kombination **300** betrachtet, die in **Fig. 3** gezeigt wird. Die Verwendung von ersten und zweiten digitalen Verriegelungen **301**, **303** ermöglicht mehrfache Zustände (in **Fig. 3** nicht gezeigt) und daher einen erweiterten Bereich der Phasendetektor-/Ladepumpen-Kombination **300**. In einer Operation steuert die erste Verriegelung **301**, ob eine erste Ladepumpe **305** ein oder aus ist. Ähnlich steuert die zweite Verriegelung **303**, ob die zweite Ladepumpe **307** ein oder aus ist. Die ersten und zweiten Ladepumpen **305**, **307** sind in Reihe verbunden, wobei der Phasendetektor-/Ladepumpen-Ausgabestrom i_{out} in dem Verbindungspunkt zwischen den beiden Ladepumpen zugeführt wird. Der Betrag des Ausgabestroms des Phasendetektors/Ladepumpe bezieht sich darauf, ob keine, eine oder beide der ersten und zweiten Ladepumpen **305**, **307** eingeschaltet sind. Der Umfang einer Zeit, für die i_{out} nicht null ist, ist eine Funktion der Phasendifferenz zwischen den beiden Eingabesignalen, f_{ref} und $f_{FREQ.DIV}$. Jedes dieser Signale wird einem Takteingang von einer jeweiligen der ersten und zweiten Verriegelungen **301**, **303** zugeführt. Das erste dieser Signale bewirkt, um eine taktgebende Flanke vorzulegen, dass die Ausgabe der entsprechenden Verriegelung zu bestätigen ist, was wiederum veranlasst, dass eine entsprechende der ersten und zweiten Ladepumpen **305**, **307** eingeschaltet wird. Wenn die taktgebende Flanke des verbleibenden Eingabesignals anschließend bestätigt wird, bewirkt sie auch, dass die Ausgabe ihrer entsprechenden Verriegelung zu bestätigen ist. Die Ausgaben von sowohl der ersten als auch der zweiten

Verriegelung **301**, **302** werden ferner jeweiligen Eingängen eines logischen UND-Gatters **309** zugeführt, dessen Ausgabe dem Eingang einer Verzögerungsschaltung **311** zugeführt wird, die das Signal um einen Betrag ΔT verzögert, bevor es den RESET-Eingängen von sowohl der ersten als auch zweiten Verriegelung **301**, **303** zugeführt wird. Wenn die Ausgaben von beiden Verriegelungen **301**, **303** bestätigt sind, wird folglich die Ausgabe des UND-Gatters **309** ebenso bestätigt, wobei dadurch die beiden Verriegelungen **301**, **303** nach einer Verzögerungsperiode ΔT zurückgesetzt werden. Sie sind nun initialisiert, den Prozess für einen nächsten Zyklus erneut zu wiederholen. Als ein Ergebnis ist der Ausgabestrom i_{out} entweder ein positiver Wert (der durch die erste Ladepumpe **305** zugeführt wird), falls das erste Eingangssignal f_{ref} dem zweiten Eingangssignal $f_{FREQ.DIV.}$ voreilt, oder anderenfalls ein negativer Wert (der durch die zweite Ladepumpe **307** gezogen wird), falls das zweite Eingangssignal $f_{FREQ.DIV.}$ dem ersten Eingangssignal f_{ref} voreilt.

[0013] Der Grund für das Vorhandensein der Verzögerungsschaltung **311** ist, eine Totzone zu beseitigen, die anderenfalls die Übertragungsfunktion des Phasendetektors charakterisieren würde. Die Totzone würde entstehen, da wenn die PLL ihre Referenz f_{ref} richtig verfolgt, beide Phasendetektorverriegelungen **301**, **303** wegen der Tatsache, dass die Phasendifferenz zwischen den beiden Eingangssignalen sehr klein wird, fast gleichzeitig triggern. Wenn es keine Verzögerungsschaltung **311** gäbe, würde das Rücksetzsignal unverzüglich die erste und zweite Verriegelung **301**, **303** zurücksetzen und als eine Folge würden nur kurze Spitzen in den Verriegelungsausgaben erscheinen, zu schnell, die jeweilige erste und zweite Ladepumpe **305**, **307** einzuschalten. Selbst wenn es einen kleinen Phasenfehler gäbe (d. h. einen Verfolgungsfehler), würden in der Tat die ersten und zweiten Verriegelungen **301**, **303** zu schnell für die Ladepumpen **305**, **307** zurücksetzen um zu reagieren, wenn keine Verzögerungsschaltung **311** vorhanden wäre. Folglich würde die Phasendetektor-Übertragungsfunktion durch eine kleine Totzone (Region mit niedriger Verstärkung) um den Ursprung herum charakterisiert werden. Mit der zusätzlichen Verzögerung, die durch die Verzögerungsschaltung **311** bereitgestellt wird, sind die Auf- und Abimpulse jeder lang genug, um die Ladepumpen **305**, **307** zu aktivieren, wobei dadurch die Totzone beseitigt wird.

[0014] Zu der Erörterung zurückkehrend, wie das schwankende Tastverhältnis des Frequenzteiler-Ausgabesignals das Leistungsverhalten des Phasendetektors beeinflussen kann, wenn der Rücksetzimpuls des Phasen-/Frequenzdetektors ansteigt, gibt es eine Verzögerung, bis die Ladepumpen **305**, **307** abgeschaltet sind. Diese Verzögerung ΔT_{reset} wird in den in **Fig. 4** dargestellten Zeiteinstellungsdiagrammen veranschaulicht. Abhängig davon, ob das Frequenzteiler-Ausgabesignal (bezeichnet als $f_{FREQ.DIV.}$) hoch ist oder nicht, wenn der Rücksetzimpuls kommt,

variiert diese Verzögerung. Der Grund dafür ist, da Unvollkommenheiten, die sich unvermeidlich ergeben, wenn die Schaltung in Silizium implementiert wird, die Verzögerung durch die ersten und zweiten Verriegelungen **301**, **303** bewirken, um als eine Funktion davon zu variieren, ob die Takteingabe hoch oder tief ist. Nun variiert das Tastverhältnis des Frequenzteiler-Ausgabesignals zufällig (d. h. es ist manchmal hoch und manchmal tief, wenn der Rücksetzimpuls in dem Phasendetektor generiert wird), was zufällige Stromimpulse in dem Schleifenfilter **108** verursacht. Die Stromimpulse erhöhen den Rauschpegel der gesamten Phasenregelschleife. Weitere Beispiele vom Stand der Technik sind in WO 99/48195 und EP 766403 zu finden.

[0015] Es ist deshalb wünschenswert, Techniken und Geräte vorzusehen, die zur Reduzierung des Einflusses nützlich sind, den das variierende Tastverhältnis des Frequenzteiler-Ausgabesignals auf das Leistungsverhalten des Phasendetektors hat.

ZUSAMMENFASSUNG

[0016] Es sollte betont werden, dass die Begriffe "umfasst" und "umfassend", wenn in dieser Beschreibung verwendet, genommen werden, um das Vorhandensein von angegebenen Merkmalen, ganzen Zahlen, Schritten oder Komponenten zu spezifizieren; die Verwendung dieser Begriffe schließt aber nicht das Vorhandensein oder Hinzufügen von einem oder mehr anderen Merkmalen, ganzen Zahlen, Schritten, Komponenten oder Gruppen davon aus.

[0017] In Übereinstimmung mit einem Aspekt der vorliegenden Erfindung werden die vorangehenden und andere Ziele erreicht.

[0018] Um die zusätzliche Division durch zwei zu kompensieren, die auch aus der Erfindung resultiert, vergleicht der Phasendetektor eine Phase des Referenztaktsignals mit einer Phase eines Signals mit einer Frequenz, die das Doppelte der des Vergleichssignals ist.

[0019] Dies wird dadurch erreicht, dass die Vergleichsschaltung (z. B. mittels einer Verriegelungsvorrichtung) ein erstes Signal mit einem vorbestimmten Logikpegel als Reaktion auf nur eine von einer voreilenden Flanke und einer nacheilenden Flanke des Referenztaktsignals bestätigt. Die Vergleichsschaltung bestätigt ein zweites Signal (z. B. mittels einer dualflanken-getriggerten Verriegelung) mit dem vorbestimmten Logikpegel als Reaktion auf sowohl eine voreilende Flanke als auch eine nacheilende Flanke des Vergleichssignals. Durch Reagieren auf sowohl die voreilende als auch nacheilende Flanke des Vergleichssignals wird die ursprüngliche Frequenz des Signals, das durch den Frequenzteiler zugeführt wird, effektiv wiederhergestellt. Als eine Folge ist das generierte Phasendifferenzsignal geeignet, die Phasenregelschleife zu veranlassen, ein Ausgabesignal einer gewünschten Frequenz zu generieren.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0020] Die Ziele und Vorteile der Erfindung werden durch Lesen der folgenden detaillierten Beschreibung in Verbindung mit den Zeichnungen verstanden, in denen:

[0021] **Fig. 1** ein Blockdiagramm eines sigma-delta-gesteuerten Fraktional-N-DLL-Modulators eines Stands der Technik ist;

[0022] **Fig. 2** ein Blockdiagramm einer beispielhaften Ausführungsform eines Frequenzteilers ist, der in der Form einer Vielzahl von seriell verbundenen Teilerblöcken implementiert ist;

[0023] **Fig. 3** ein Blockdiagramm einer konventionellen totzonenfreien Phasendetektor/Ladepumpenkombination ist;

[0024] **Fig. 4** ein Zeiteinstellungsdiagramm von Signalen ist, die durch die konventionelle totzonenfreie Phasendetektor/Ladepumpenkombination generiert werden;

[0025] **Fig. 5** ein Blockdiagramm einer Phasenregelschleife ist, die in Übereinstimmung mit einem Aspekt der Erfindung angeordnet ist;

[0026] **Fig. 6** ein Blockdiagramm einer beispielhaften Ausführungsform eines Phasen-/Frequenzdetektors in Übereinstimmung mit einem Aspekt der Erfindung ist;

[0027] **Fig. 7** ein Blockdiagramm einer beispielhaften Ausführungsform einer dualflanken-getriggerten Verriegelung ist; und

[0028] **Fig. 8** ein Zeiteinstellungsdiagramm der Signale, die innerhalb des Phasendetektors generiert werden, in Übereinstimmung mit einem Aspekt der Erfindung ist.

DETAILLIERTE BESCHREIBUNG

[0029] Die verschiedenen Merkmale der Erfindung werden nun in Bezug auf die Figuren beschrieben, in denen gleiche Teile durch die gleichen Bezugszeichen identifiziert werden.

[0030] **Fig. 5** ist ein Blockdiagramm einer Phasenregelschleife **500**, die in Übereinstimmung mit der Erfindung angeordnet ist. Der Schleifenfilter **503**, VCO **505** und Frequenzteiler **507** arbeiten gleich wie jene, die oben mit Bezug auf **Fig. 1** beschrieben werden, und müssen hier nicht erneut detailliert beschrieben werden. Die Anordnung des Schleifenfilters und VCO und andere alternative Selektionen von ähnlichen Anordnungen, die eine Ladepumpe inkludieren können oder nicht, können allgemein betrachtet werden, eine Schaltung zu sein, die ein Phasenregelschleifenausgabesignal mit einer Frequenz generiert, die eine Funktion des Phasendifferenzsignals ist. Die bestimmte Anordnung von und die Auswahl von Komponenten in dieser Schaltung sind für die Erfindung nicht wesentlich.

[0031] Ein Flip-Flop **509**, der konfiguriert ist, eine Umschaltfunktion durchzuführen, ist zwischen den Frequenzteiler **507** und einen Phasen-/Frequenzde-

tektor **501** zwischengeschaltet. Der Flip-Flop **509** reagiert auf die voreilende Flanke des Frequenzteiler-ausgabesignals $f_{\text{FREQ.DIV.}}$. Als ein Ergebnis ist die Ausgabe des Flip-Flop **509** ein Signal mit einem Tastverhältnis von nahezu 50 Prozent. D. h. das variierende Tastverhältnis, das das Signal $f_{\text{FREQ.DIV.}}$ charakterisiert, wurde im wesentlichen beseitigt. Bei Formung des Signals auf diesem Weg wurde seine Frequenz jedoch durch zwei geteilt.

[0032] Falls das Ausgabesignal von dem Flip-Flop **509** einem konventionellen Phasendetektor zugeführt würde, würde das resultierende PLL-Ausgabesignal das Doppelte der gewünschten Frequenz sein. Um die zusätzliche Division durch zwei zu kompensieren, die in dem Rückkopplungspfad der Phasenregelschleife **500** durchgeführt wird, wird der Phasen-/Frequenzdetektor **501** modifiziert, sodass er eine Phase des Referenztaktsignals f_{ref} mit einer Phase eines Signals mit einer Frequenz vergleicht, die das Doppelte der des Vergleichsignals ist, was in diesem Fall das Rückkopplungssignal f_{feedback} ist, das durch den Flip-Flop **509** zugeführt wird. In der beispielhaften Ausführungsform wird dies bewerkstelligt, indem der Phasen-/Frequenzdetektor **501** auf sowohl die voreilende als auch nacheilende Flanke des Flip-Flop-Ausgabesignals f_{feedback} reagiert.

[0033] Ein Blockdiagramm einer beispielhaften Ausführungsform des Phasen-/Frequenzdetektors **501** wird in **Fig. 6** veranschaulicht. Diese Ausführungsform setzt einen ersten Flip-Flop **601**; eine dualflanken-getriggerte Verriegelung **603**; erste und zweite Ladepumpen **605**, **607**; ein logisches UND-Gatter **609**; und eine Verzögerungsschaltung **611** ein. Es wird vermerkt, dass um ein Verständnis der Erfindung zu erleichtern, die Ladepumpen **605**, **607** als Elemente des Phasen-/Frequenzdetektors **501** gezeigt werden. Die Einbeziehung dieser Elemente ist jedoch für die Erfindung nicht wesentlich. D. h. der Phasen-/Frequenzdetektor kann alternativ betrachtet werden, nur jene Komponenten zu umfassen, die die "Source-" und "Senken-" Signale generieren, die für eine Verwendung durch (möglicherweise) externe Ladepumpe(n) bestimmt sind.

[0034] In einer Operation steuert der erste Flip-Flop **601**, ob die erste Ladepumpe **605** ein oder aus ist. Ähnlich steuert die dualflanken-getriggerte Verriegelung **603**, ob die zweite Ladepumpe **607** ein oder aus ist. Die ersten und zweiten Ladepumpen **605**, **607** sind in Reihe verbunden, wobei der Phasendetektor-/Ladepumpen-Ausgabestrom i_{out} in dem Verbindungspunkt zwischen den beiden Ladepumpen zugeführt wird. Der Betrag vom Phasendetektor-/Ladepumpen-Ausgabestrom i_{out} bezieht sich darauf, ob keine, eine oder beide der ersten und zweiten Ladepumpen **605**, **607** eingeschaltet sind. Der Umfang an Zeit, die i_{out} nicht null ist, ist eine Funktion der Phasendifferenz zwischen den beiden Eingabesignalen f_{ref} und f_{feedback} . Jedes dieser Signale wird einem Takteingang eines jeweiligen von dem ersten Flip-Flop **601** und der dualflanken-getriggerten Verriegelung

603 zugeführt. Das erste dieser Signale, um eine taktgebende Flanke vorzulegen, bewirkt, dass die Ausgabe der entsprechenden Verriegelung zu bestätigen ist, was wiederum bewirkt, dass eine entsprechende von den ersten und zweiten Ladepumpen **605**, **607** einzuschalten ist. Wenn die taktgebende Flanke von dem verbleibenden Eingabesignal anschließend bestätigt wird, bewirkt auch sie, dass die Ausgabe ihres entsprechenden Flip-Flops zu bestätigen ist. Die Ausgaben von sowohl dem ersten Flip-Flop **601** als auch der dualflanken-getriggerten Verriegelung **603** werden ferner jeweiligen Eingängen eines logischen UND-Gatters **609** zugeführt, dessen Ausgabe dem Eingang einer Verzögerungsschaltung **611** zugeführt wird, die das Signal um einen Betrag ΔT verzögert, bevor sie es den RESET-Eingängen von sowohl dem ersten Flip-Flop **601** als auch dem dualflanken-getriggerten Flip-Flop **603** zuführt. Wenn die Ausgaben von sowohl dem ersten Flip-Flop **601** als auch der dualflanken-getriggerten Verriegelung **603** bestätigt sind, wird folglich die Ausgabe von dem UND-Gatter **609** ebenso bestätigt, wobei dadurch sowohl der erste Flip-Flop **601** als auch die dualflanken-getriggerte Verriegelung **603** nach einer Periode einer Verzögerung ΔT zurückgesetzt werden. Sie sind nun initialisiert, den Prozess für einen nächsten Zyklus erneut zu wiederholen. Als ein Ergebnis ist der Ausgabestrom i_{out} entweder ein positiver Wert (der durch die erste Ladepumpe **605** zugeführt wird), falls das erste Eingabesignal f_{ref} dem zweiten Eingabesignal $f_{feedback}$ voreilt, oder ist anderenfalls ein negativer Wert (der durch die zweite Ladepumpe **607** gezogen wird), falls das zweite Eingabesignal $f_{feedback}$ dem ersten Eingabesignal f_{ref} voreilt.

[0035] Dahingegen triggert der erste Flip-Flop **601** auf nur einer Flanke (z. B. der voreilenden Flanke) des zugeführten Eingabesignals f_{ref} die dualflanken-getriggerte Verriegelung **603** triggert auf jeder Flanke (d. h. sowohl der voreilenden als auch nacheilenden Flanke) ihres zugeführten Eingabesignals $f_{feedback}$. Die dualflanken-getriggerte Verriegelung **603** wird somit in jedem Taktzyklus des zugeführten Eingabesignals $f_{feedback}$ zweimal getriggert. In der Tat wird deshalb die Frequenz des zugeführten Eingabesignals $f_{feedback}$ verdoppelt, was die zusätzliche Division durch "2" kompensiert, die durch den Flip-Flop **509** durchgeführt wird, der das zugeführte Eingabesignal $f_{feedback}$ generiert. Als ein Ergebnis ist die Ausgabe des Phasen-/Frequenzdetektors **501** zum Generieren einer VCO-Ausgabe mit der gewünschten Frequenz geeignet. Da das zugeführte Eingabesignal $f_{feedback}$ nicht an dem variierenden Tastverhältnis leidet, dass das Frequenzteileroutputsignal charakterisiert ($f_{FREQ.DIV.}$), weist die Phasenregelschleife **500** ein verbessertes Leistungsverhalten auf.

[0036] **Fig. 7** ist ein Blockdiagramm einer beispielhaften Ausführungsform der dualflanken-getriggerten Verriegelung **603**. Die dualflanken-getriggerte Verriegelung **603** inkludiert zwei Flip-Flops eines D-Typs

701, **703**, von denen jeder einen Daten- (D), einen Takt- (Clk) und einen Rücksetz- (Reset) Eingangsanschluss und einen Ausgang (Q) hat. Die Dateneingänge (D) von jedem der beiden Flip-Flops **701**, **703** empfangen eine "hohe" oder "1" Eingabe.

[0037] Das zugeführte Eingabesignal, in diesem Fall das zugeführte Eingabesignal $f_{feedback}$, wird dem Takteingang des ersten Flip-Flops **701** zugeführt und in jeder steigenden Flanke des zugeführten Eingabesignals $f_{feedback}$ wird der Flip-Flop **701** getriggert, um ein Signal in dem Ausgang (Q) der Vorrichtung zu erzeugen. Das zugeführte Eingabesignal $f_{feedback}$ wird auch einem Inverter **705** zugeführt, und das resultierende invertierte Signal $-f_{feedback}$ wird dem Takteingang des zweiten Flip-Flops **703** zugeführt. Somit triggert dieser Flip-Flop in jeder steigenden Flanke des invertierten Signals $-f_{feedback}$ in einem Zeitpunkt, der jeder fallenden Flanke des nichtinvertierten zugeführten Eingabesignals $f_{feedback}$ selbst entspricht, und erzeugt ein Signal in dem Ausgang dieses zweiten Flip-Flops **703**. Ausgaben von diesen beiden Flip-Flops **701**, **703** werden einer kombinierenden Schaltung zugeführt, die in diesem Fall ein logisches ODER-Gatter **707** ist, dessen Ausgabe als die Ausgabe von der dualflanken-getriggerten Verriegelung **603** zugeführt wird.

[0038] Ein Rücksetzsignal, das der dualflanken-getriggerten Verriegelung **603** zugeführt wird, wird den Rücksetzeingängen von jedem der ersten und zweiten Flip-Flops **701**, **703** zugeführt. Es wird vermerkt, dass falls das Rücksetzsignal zwischen der voreilenden und nacheilenden Flanke des zugeführten Eingabesignals $f_{feedback}$ bestätigt wird, die Ausgaben von jedem der ersten und zweiten Flip-Flops **701**, **703** dann auf einen Zustand von "tief" oder "0" zurückgesetzt werden, was wiederum verursacht, dass das Signal, das an dem Ausgang des logischen ODER-Gatters **707** zugeführt wird, auch auf "tief" oder "0" geht. Als ein Ergebnis wird die nächste Flanke des zugeführten Eingabesignals $f_{feedback}$ bewirken, dass das Signal, das an dem Ausgang des logischen ODER-Gatters **707** zugeführt wird, erneut auf "hoch" oder "1" geht, ungeachtet dessen, ob diese Flanke eine voreilende oder nacheilende Flanke ist. Da dies das Verhalten des Rücksetzsignals ist, wenn der dualflankengetriggerte Flip-Flop **603** in dem Phasendetektor **501**, der in einem stetigen Zustand arbeitet, eingesetzt wird, ist das Ergebnis, dass die dualflanken-getriggerte Verriegelung **603** zwei Taktzyklen für jeden einen von dem zugeführten Eingabesignal $f_{feedback}$ generiert, wobei es dadurch effektiv gedoppelt wird.

[0039] **Fig. 8** ist ein Zeiteinstellungsdiagramm der Signale, die innerhalb des Phasendetektors **501** generiert werden. Insbesondere werden die generierten Signale gezeigt, die mit nur einer Hälfte der Periode des Signals $f_{feedback}$ in Verbindung stehen. Für die zweite Hälfte der Periode würden die generierten Signale im wesentlichen die gleichen sein, wobei aber das Signal $f_{feedback}$ tief an Stelle von hoch ist. Es kann

gesehen werden, dass das Signal feedback nicht an einem variierenden Tastverhältnis leidet. Als ein Ergebnis wird der variierende Störimpuls (siehe Fig. 4), der den Phasendetektor des Stands der Technik **300** charakterisiert, durch einen deterministischen ersetzt. D. h. die Eingabe feedback der Verriegelung **603** wird abwechselnd hoch und tief mit jeder neuen Bestätigung des Rücksetzsignals sein, sodass die Schwankung des Eingabepegels nicht zufällig sein wird. In dem Phasendetektor des Stands der Technik erscheinen Störimpulse als eine Funktion des Tastverhältnisses der Vergleichsfrequenz (d. h. $f_{\text{FREQ.DIV.}}$) zufällig. Dieser zufällig eingeführte Störimpuls in dem Phasendetektor des Stands der Technik verursacht eine Erhöhung im gesamten Rauschleistungsverhalten. Im Gegensatz dazu verursacht der erfinderische Phasendetektor nur einen deterministischen Störimpuls und wird deshalb kein erhöhtes Rauschleistungsverhältnis einführen. Ein deterministischer Störimpuls verursacht nur Seitenbänder (störende Töne) in dem Referenzfrequenz- (z. B. 13 MHz) Versatz von dem Träger. Durch diesen Prozess wird nicht nur das Leistungsverhalten des Phasendetektors **501** verbessert, sondern auch das der PLL **500**.

[0040] Die Erfindung wurde mit Bezug auf eine bestimmte Ausführungsform beschrieben. Einem Durchschnittsfachmann wird jedoch leicht offensichtlich sein, dass es möglich ist, die Erfindung in speziellen Formen anders als jene der oben beschriebenen bevorzugten Ausführungsform zu verkörpern.

[0041] Z. B. haben die verschiedenen Ausführungsformen verschiedene Komponenten veranschaulicht, die auf eine von beiden einer voreilenden Flanke oder einer nacheilenden Flanke von verschiedenen Signalen reagieren. Es wird erkannt, dass alternative Ausführungsformen der Erfindung aufgebaut werden können, in denen für eine oder mehr der Komponenten die Rollen der voreilenden und nacheilenden Flanken umgekehrt sind. Auch nutzen die veranschaulichten Ausführungsformen Signalpegel von "hoch" oder "1", um eine Bestätigung anzuzeigen (z. B. Generieren eines Signalpegels "1", wenn eine vorbestimmte Flanke des Referenztaktsignals erfasst wurde). Es können jedoch alternative Ausführungsformen erdacht werden, in denen Signalpegel von "tief" oder "0" für diesen Zweck verwendet werden. Z. B. kann man an Stelle einer Verwendung eines logischen UND-Gatters, um zu erfassen, wenn zwei Signale beide "hoch" bestätigt wurden, ein logisches NOR-Gatter verwenden, um zu erfassen, wenn zwei Signale beide als "tief" bestätigt wurden. Die bestimmten Logikpegel, Typen von logischen Gattern und Signalfankenselektionen, die in einer beliebigen Ausführungsform verwendet werden, sind für eine Praktizierung der Erfindung nicht wesentlich.

[0042] Somit ist die bevorzugte Ausführungsform lediglich veranschaulichend und sollte nicht auf irgendeinem Weg als beschränkend betrachtet werden. Der Bereich der Erfindung wird an Stelle der vorangehenden Beschreibungen durch die angefügten

Ansprüchen gegeben, und alle Variationen und Entsprechungen, die innerhalb des Bereichs der Ansprüche fallen, sind gedacht, darin eingeschlossen zu sein.

Patentansprüche

1. Gerät, umfassend:
 einen Phasendetektor (**501**), umfassend:
 einen ersten Eingang, der ein Referenztaktsignal (f_{ref}) empfängt;
 einen zweiten Eingang, der ein Vergleichssignal ($f_{\text{feed-back}}$) empfängt; und
 eine Vergleichsschaltung, die eine Phase des Referenztaktsignals mit einer Phase eines Signals vergleicht, das eine Frequenz hat, die das Doppelte der des Vergleichssignals ist, und ein Phasendifferenzsignal generiert;
 eine Ausgabevorrichtung (**505**) zum Generieren eines Ausgangssignals mit einer Frequenz, die als eine Funktion des Phasendifferenzsignals variiert;
 einen Frequenzteiler (**507**) zum Generieren eines geteilten Frequenzsignals aus dem Ausgangssignal; und
 eine Schaltung (**509**) zum Generieren des Vergleichssignals als eine Funktion des geteilten Frequenzsignals derart, dass das Vergleichssignal eine Frequenz von einer Hälfte der Frequenz des geteilten Frequenzsignals und einen im wesentlichen gleichförmigen Arbeitszyklus hat,
 wobei die Vergleichsschaltung umfasst:
 eine erste Schaltung (**601**), die ein erstes Signal (SOURCE) mit einem vorbestimmten Logikpegel als Reaktion auf nur eine einer führenden Flanke und einer nacheilenden Flanke des Referenztaktsignals feststellt; und
 eine zweite Schaltung (**603**), die ein zweites Signal (SENKE) mit dem vorbestimmten Logikpegel als Reaktion auf eine führende Flanke des Vergleichssignals feststellt, und das zweite Signal mit dem vorbestimmten Logikpegel als Reaktion auf eine nacheilende Flanke des Vergleichssignals feststellt.

2. Gerät nach Anspruch 1, wobei die Vergleichsschaltung ferner umfasst: eine Rücksetzschaltung (**609**), die ein Rücksetzsignal generiert, das sowohl die erste Schaltung als auch die zweite Schaltung als Reaktion auf sowohl das erste Signal als auch das zweite Signal, die festgestellt werden, zurücksetzt.

3. Gerät nach Anspruch 2, wobei die Rücksetzschaltung eine Verzögerungsschaltung (**611**) umfasst, die eine Generierung des Rücksetzsignals für eine vorbestimmte Zeitdauer verzögert, nachdem sowohl das erste Signal als auch das zweite Signal festgestellt sind.

4. Gerät nach Anspruch 1, wobei die zweite Schaltung (**603**) eine dualflanken-getriggerte Verriegelung ist.

5. Gerät nach Anspruch 4, wobei die dualflanken-getriggerte Verriegelung (**603**) umfasst: eine erste Verriegelungsvorrichtung (**701**), gekoppelt, um das Vergleichssignal auf einem Weg derart zu empfangen, dass die erste Verriegelungsvorrichtung ein erstes Verriegelungsausgangssignal mit einem vorbestimmten Logikpegel als Reaktion auf eine führende Flanke des Vergleichssignals generiert; eine zweite Verriegelungsvorrichtung (**703**), gekoppelt, um das Vergleichssignal auf einem Weg derart zu empfangen, dass die zweite Verriegelungsvorrichtung ein zweites Verriegelungsausgangssignal mit dem vorbestimmten Logikpegel als Reaktion auf eine nachteilende Flanke des Vergleichssignals generiert; und eine kombinierende Logikschaltung (**707**), die das zweite Signal durch Kombinieren des ersten Verriegelungsausgangssignals und des zweiten Verriegelungsausgangssignals generiert.

6. Gerät nach Anspruch 5, wobei die kombinierende Logikschaltung (**707**) ein logisches ODER-Gatter ist.

7. Gerät nach Anspruch 5, wobei die dualflanken-getriggerte Verriegelung (**603**) ferner umfasst: einen Rücksetzeingang zum Empfangen eines Rücksetzsignals, das sowohl die erste Verriegelungsvorrichtung als auch die zweite Verriegelungsvorrichtung zurücksetzt.

8. Gerät nach Anspruch 1, wobei das Ausgangssignal (f_{out}) ein Ausgangssignal einer Phasenregelschleife ist und die Vorrichtung zum Generieren eines geteilten Frequenzsignals ein Frequenzteiler (**507**) ist, der das Ausgangssignal einer Phasenregelschleife empfängt und daraus das geteilte Frequenzsignal generiert.

9. Gerät nach Anspruch 8, wobei die Schaltung, die das Vergleichssignal generiert, eine Verriegelungsvorrichtung (**509**) ist, die konfiguriert ist, einen Verriegelungsvorrichtungsausgangszustand einmal für jeden Zyklus des geteilten Frequenzsignals umzuschalten.

10. Gerät nach Anspruch 9, wobei die Verriegelungsvorrichtung (**509**) konfiguriert ist, den Verriegelungsvorrichtungsausgangszustand einmal für jede führende Flanke des geteilten Frequenzsignals umzuschalten.

11. Gerät nach Anspruch 9, wobei die Verriegelungsvorrichtung (**509**) konfiguriert ist, den Verriegelungsvorrichtungsausgangszustand einmal für jede nachteilende Flanke des geteilten Frequenzsignals umzuschalten.

12. Verfahren zum Generieren eines Ausgangssignals, umfassend:

Empfangen eines Referenztaktsignals;
Empfangen eines Vergleichssignals;
Generieren eines Phasendifferenzsignals durch Vergleichen einer Phase des Referenztaktsignals mit einer Phase eines Signals mit einer Frequenz, die das Doppelte der des Vergleichssignals ist;
Generieren eines Ausgangssignals mit einer Frequenz, die eine Funktion des Phasendifferenzsignals ist;
Generieren eines geteilten Frequenzsignals durch Dividieren der Frequenz des Ausgangssignals; und
Generieren des Vergleichssignals als eine Funktion des geteilten Frequenzsignals derart, dass das Vergleichssignal eine Frequenz von einer Hälfte der Frequenz des geteilten Frequenzsignals und einen im wesentlichen gleichförmigen Arbeitszyklus hat, wobei eine Generierung eines Phasendifferenzsignals umfasst:
Feststellen eines ersten Signals mit einem vorbestimmten Logikpegel als Reaktion auf nur eine einer führenden Flanke und einer nachteilenden Flanke des Referenztaktsignals; und
Feststellen eines zweiten Signals mit dem vorbestimmten Logikpegel als Reaktion auf sowohl eine führende Flanke als auch eine nachteilende Flanke des Vergleichssignals.

13. Verfahren nach Anspruch 12, wobei eine Generierung des Phasendifferenzsignals ferner umfasst: Freigeben sowohl des ersten Signals als auch des zweiten Signals als Reaktion darauf, dass sowohl das erste Signal als auch das zweite Signal festgestellt werden.

14. Verfahren nach Anspruch 13, wobei eine Freigabe sowohl des ersten Signals als auch des zweiten Signals eine Verzögerung einer Freigabe des ersten Signals und des zweiten Signals für eine vorbestimmte Zeitdauer umfasst, nachdem sowohl das erste Signal als auch das zweite Signal festgestellt werden.

15. Verfahren nach Anspruch 12, wobei das Ausgangssignal ein Ausgangssignal einer Phasenregelschleife ist.

16. Verfahren nach Anspruch 12, wobei eine Generierung des Vergleichssignals ein Umschalten eines Verriegelungsvorrichtungsausgangszustands einmal für jeden Zyklus des geteilten Frequenzsignals umfasst.

17. Verfahren nach Anspruch 16, wobei eine Generierung des Vergleichssignals ein Umschalten des Verriegelungsvorrichtungsausgangszustands einmal für jede führende Flanke des geteilten Frequenzsignals umfasst.

18. Verfahren nach Anspruch 16, wobei eine Generierung des Vergleichssignals ein Umschalten des

Verriegelungsvorrichtungsausgangszustands einmal für jede nacheilende Flanke des geteilten Frequenzsignals umfasst.

19. Verfahren nach Anspruch 12, wobei ein Vergleich der Phase des Referenztaktsignals mit der Phase des Signals mit der Frequenz, die das Doppelte der des Vergleichssignals ist, ferner umfasst: Generieren eines Rücksetzsignals, das sowohl das erste Signal als auch das zweite Signal als Reaktion darauf freigibt, dass sowohl das erste Signal als auch das zweite Signal festgestellt werden.

20. Verfahren nach Anspruch 19, wobei eine Generierung des Rücksetzsignals eine Verzögerung einer Generierung des Rücksetzsignals für eine vorbestimmte Zeitdauer umfasst, nachdem sowohl das erste Signal als auch das zweite Signal festgestellt werden.

Es folgen 8 Blatt Zeichnungen

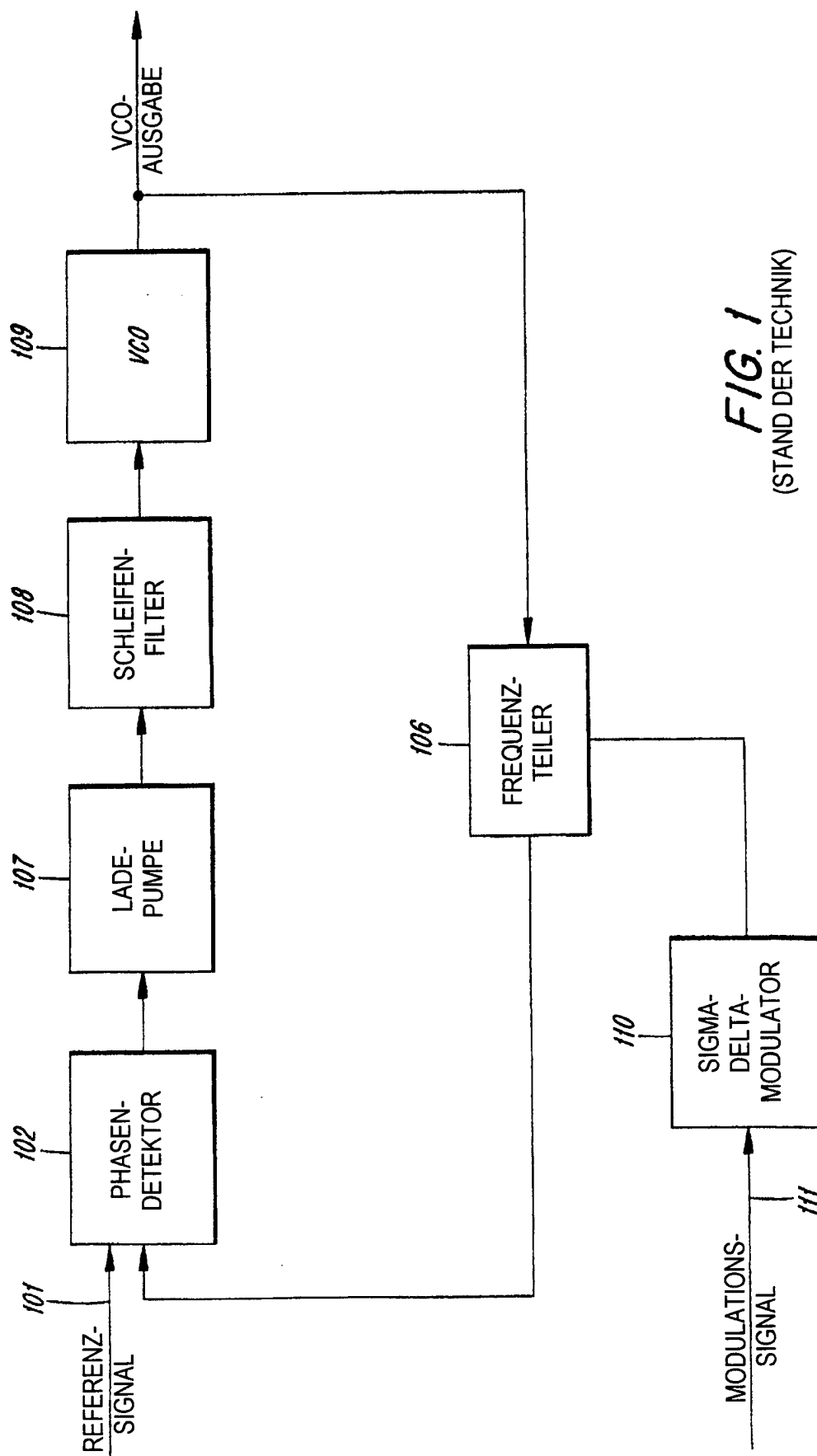
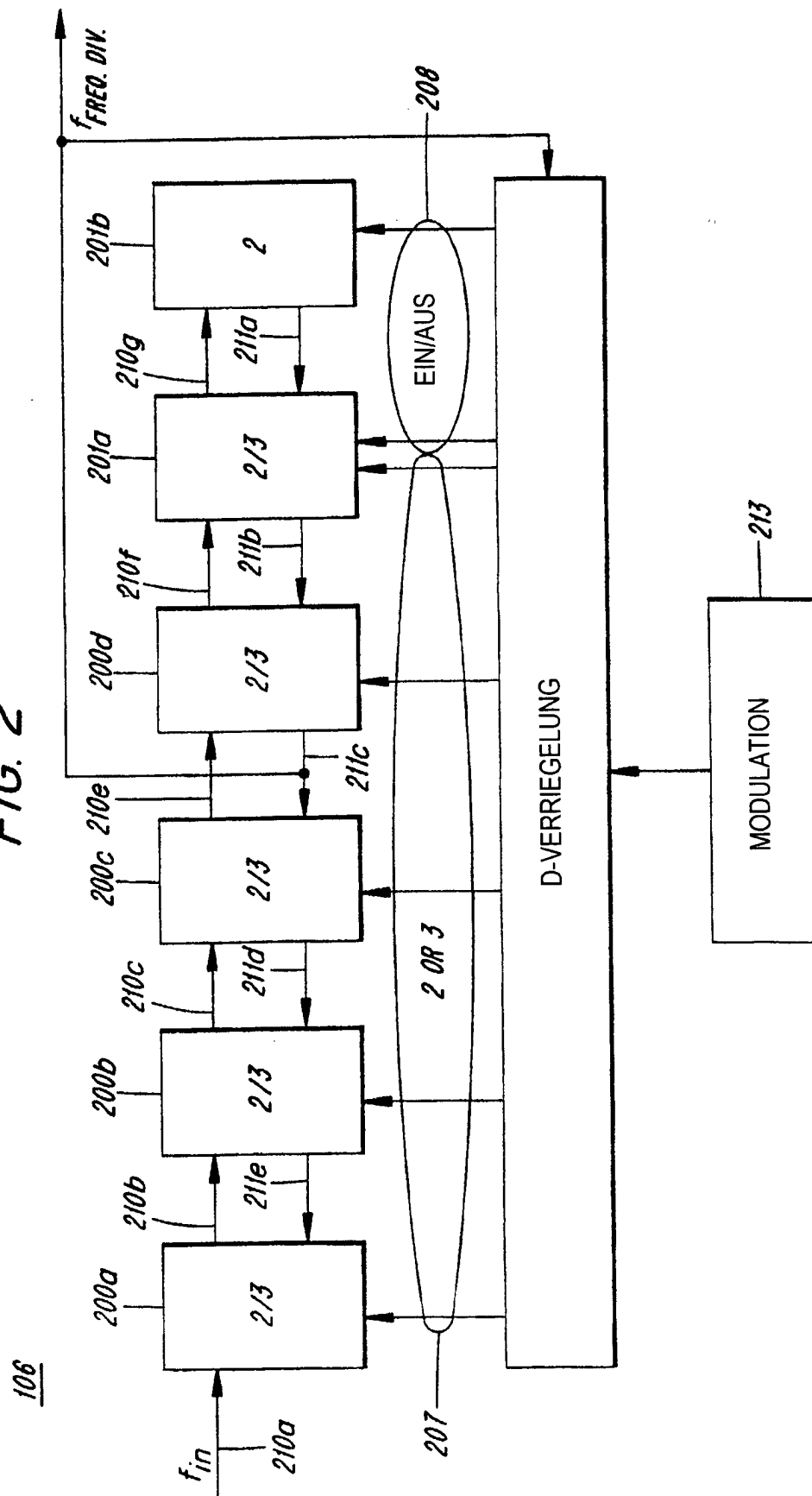


FIG. 1
(STAND DER TECHNIK)

FIG. 2



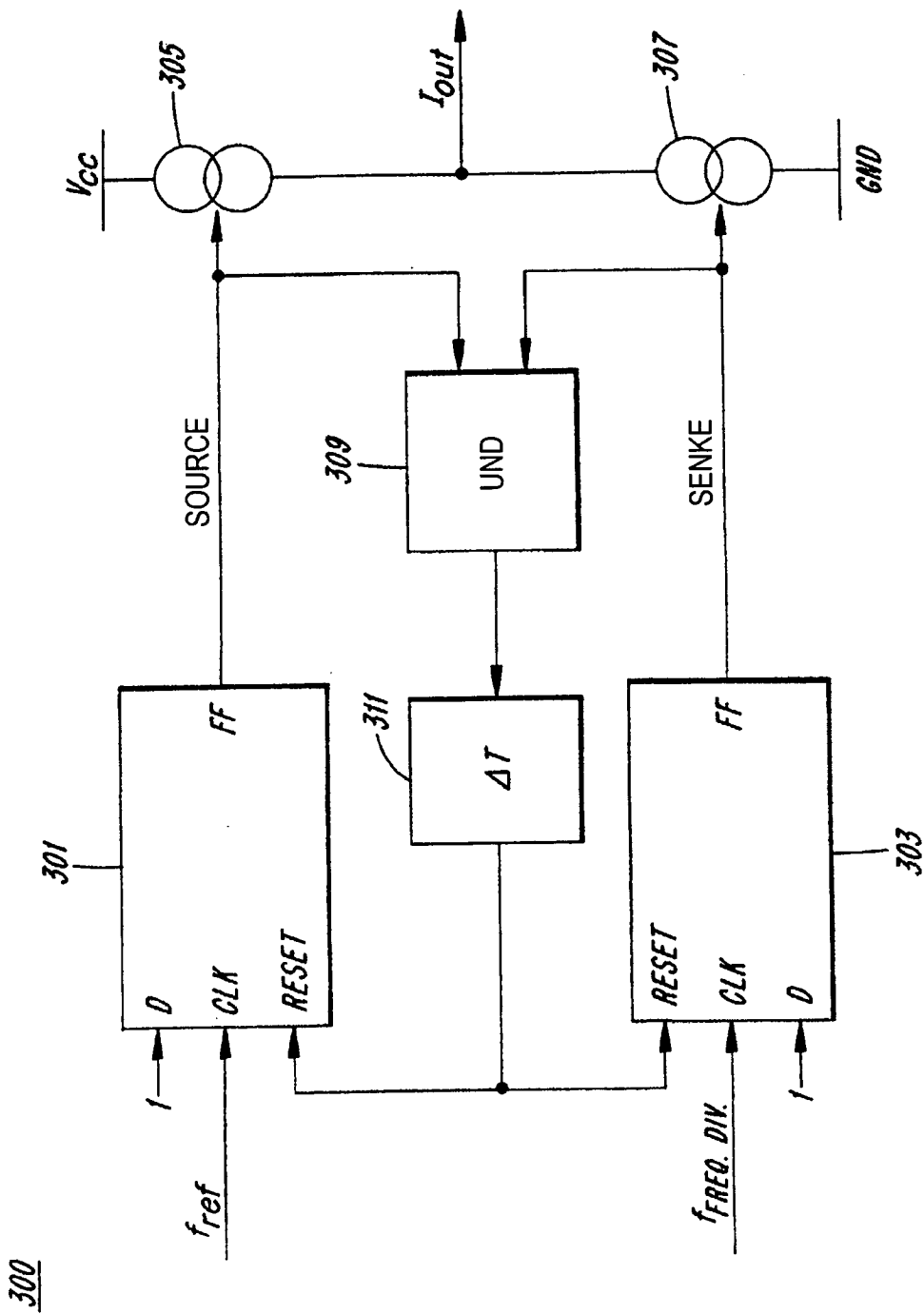
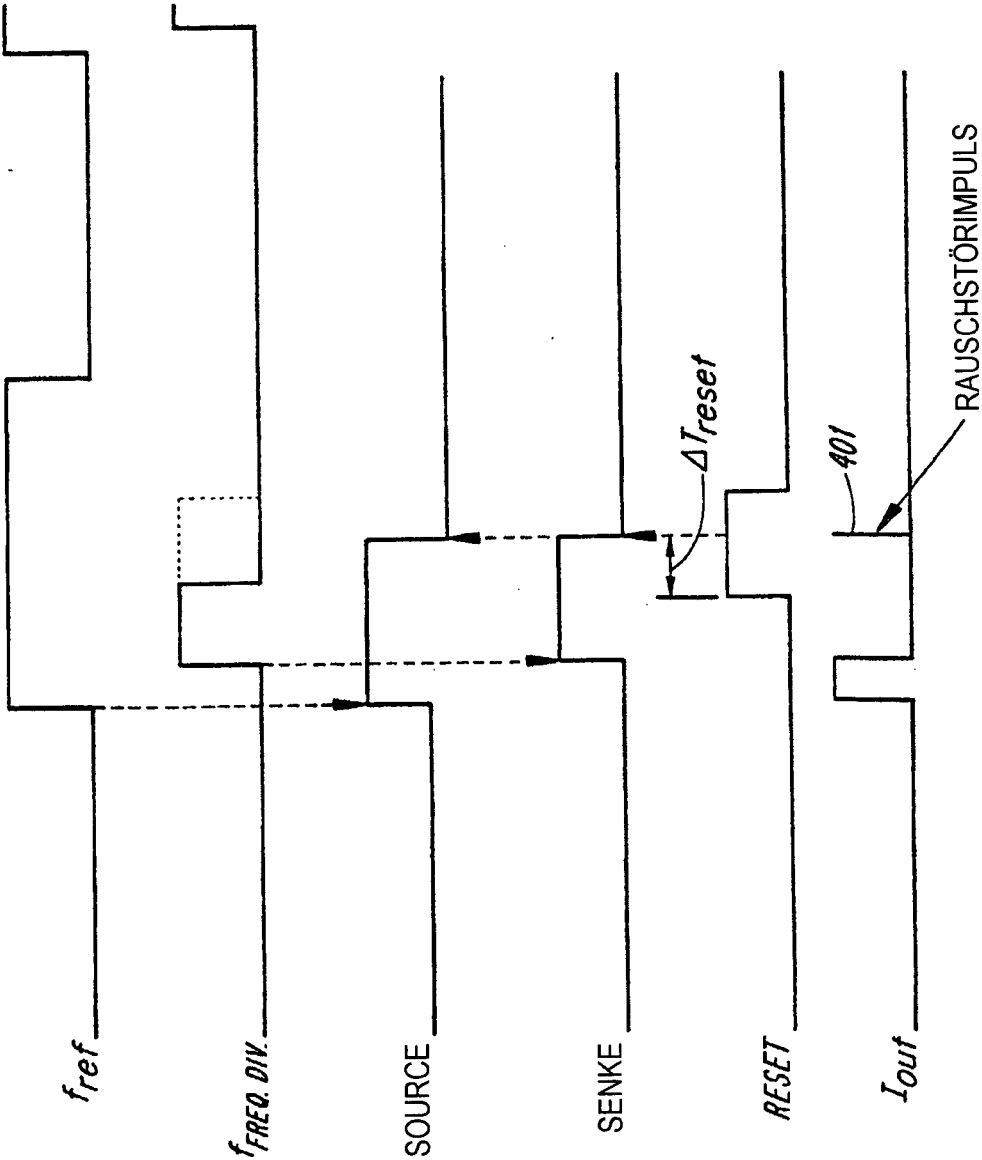
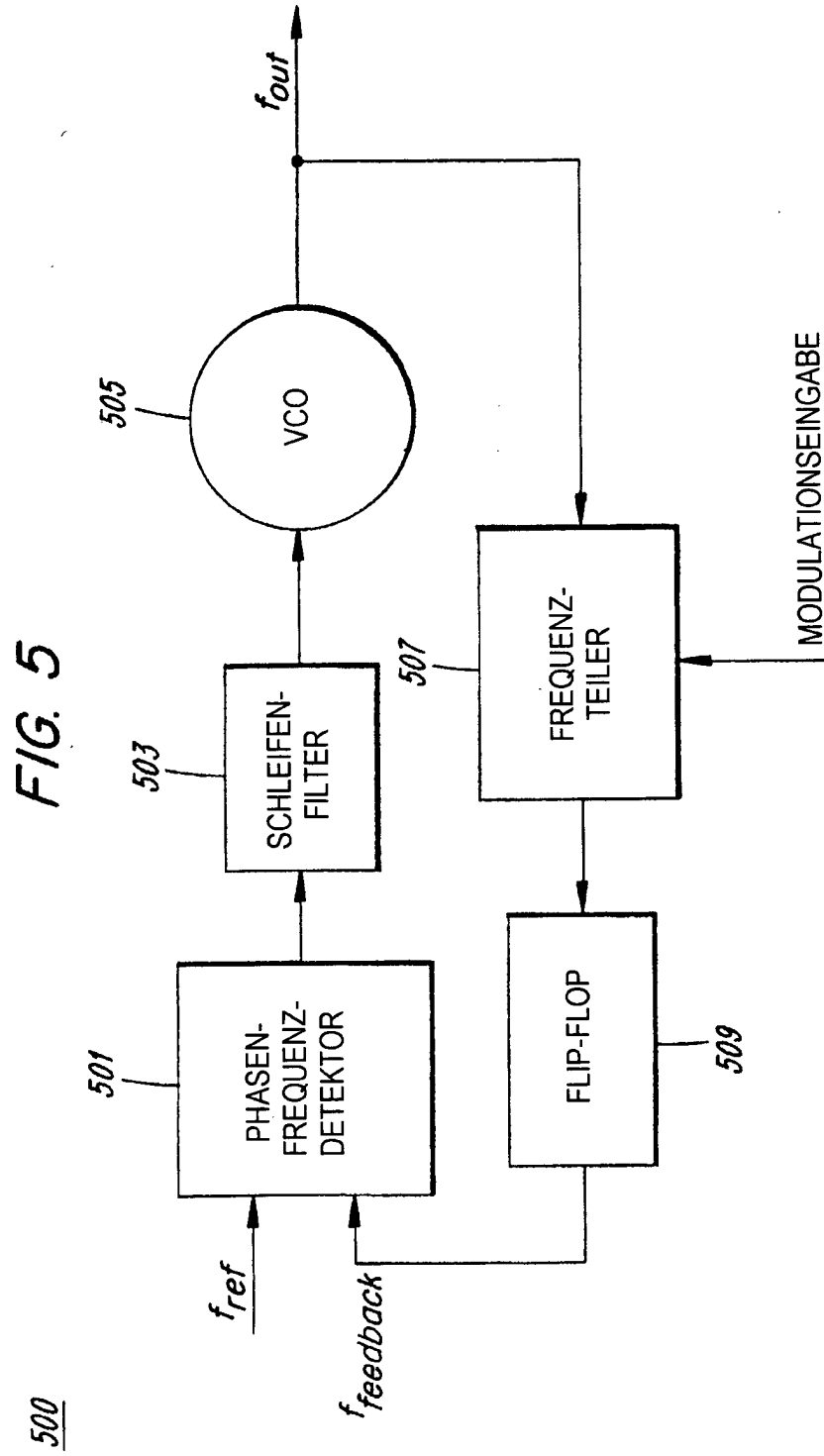


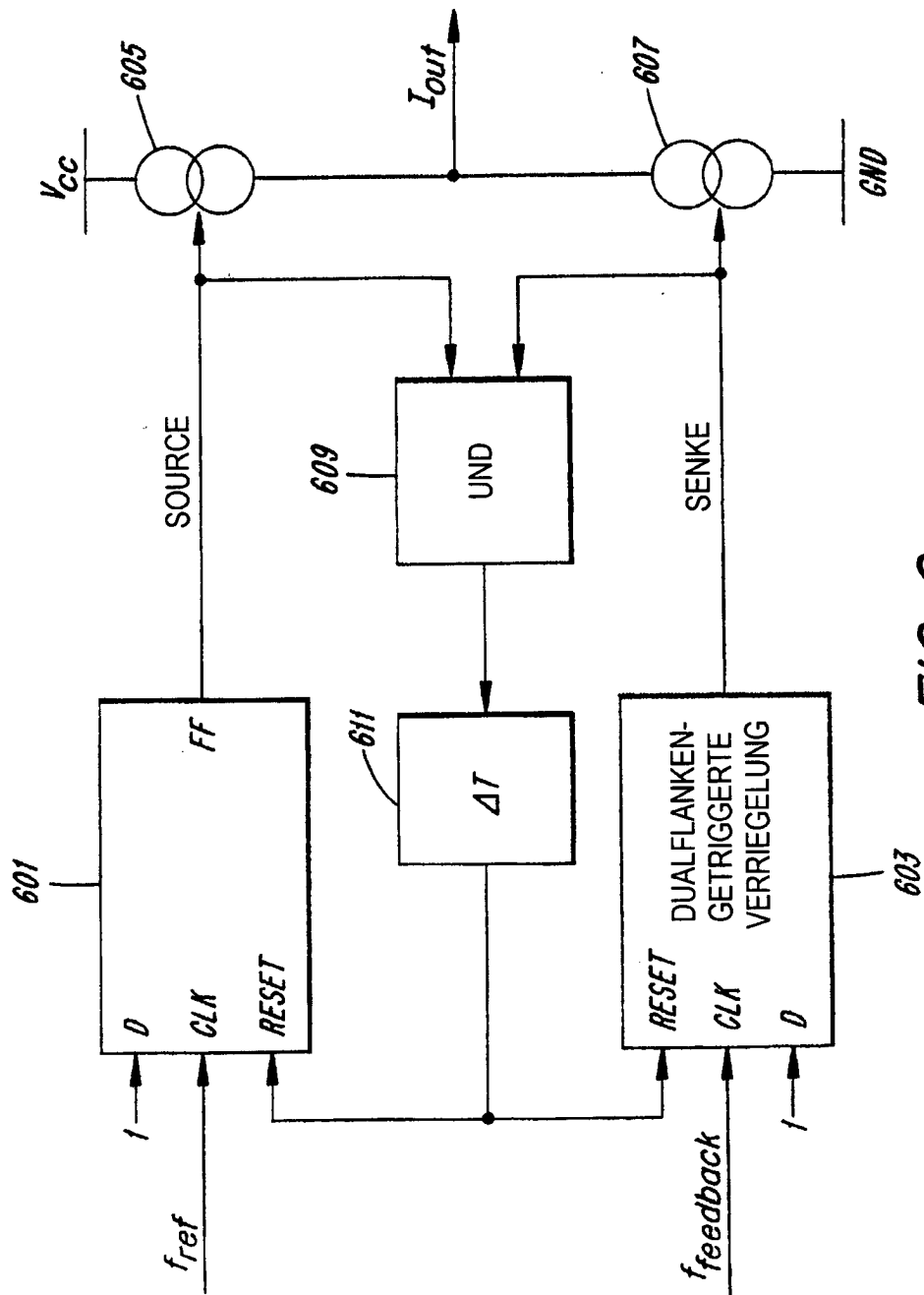
FIG. 3

FIG. 4





501



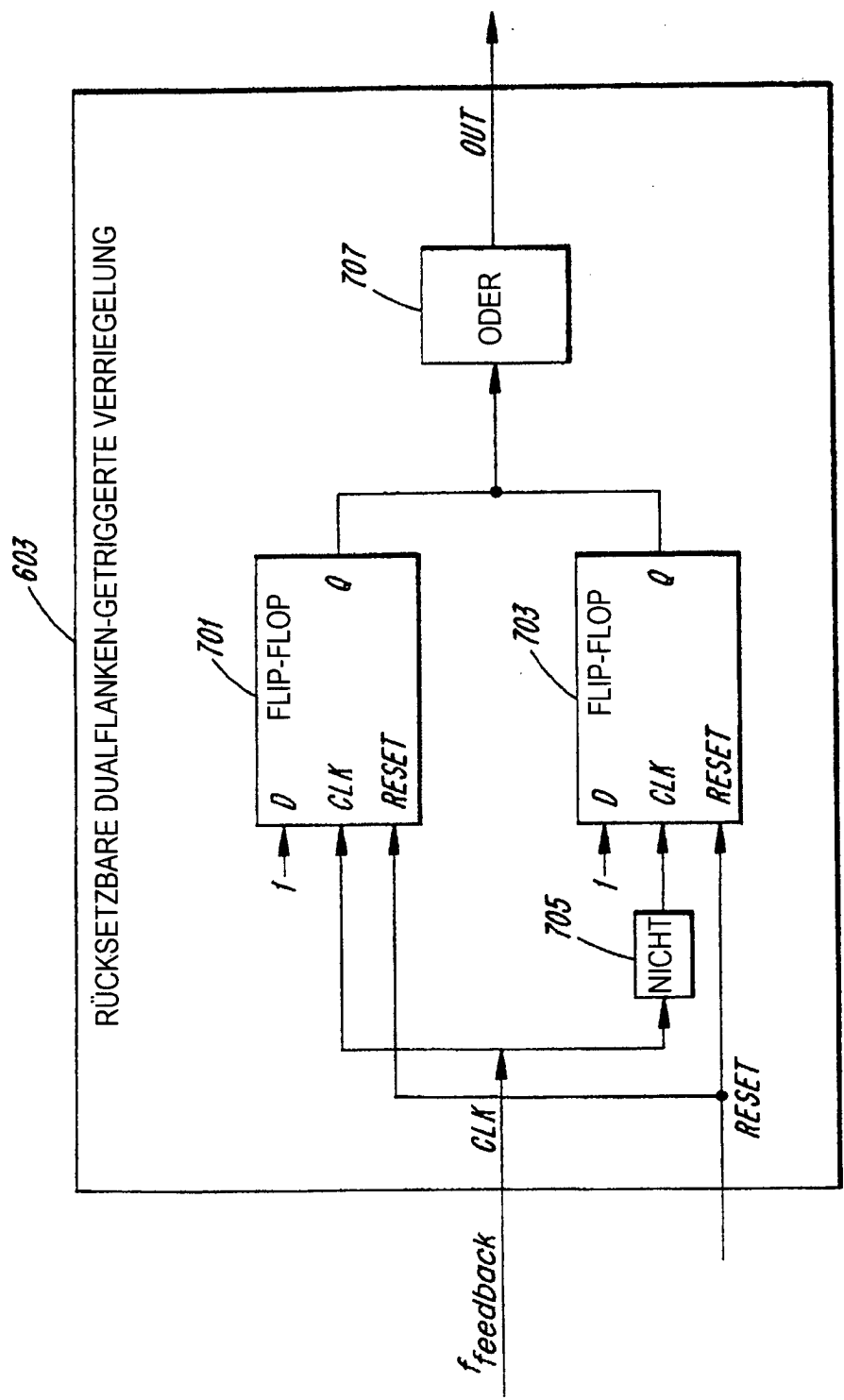


FIG. 7

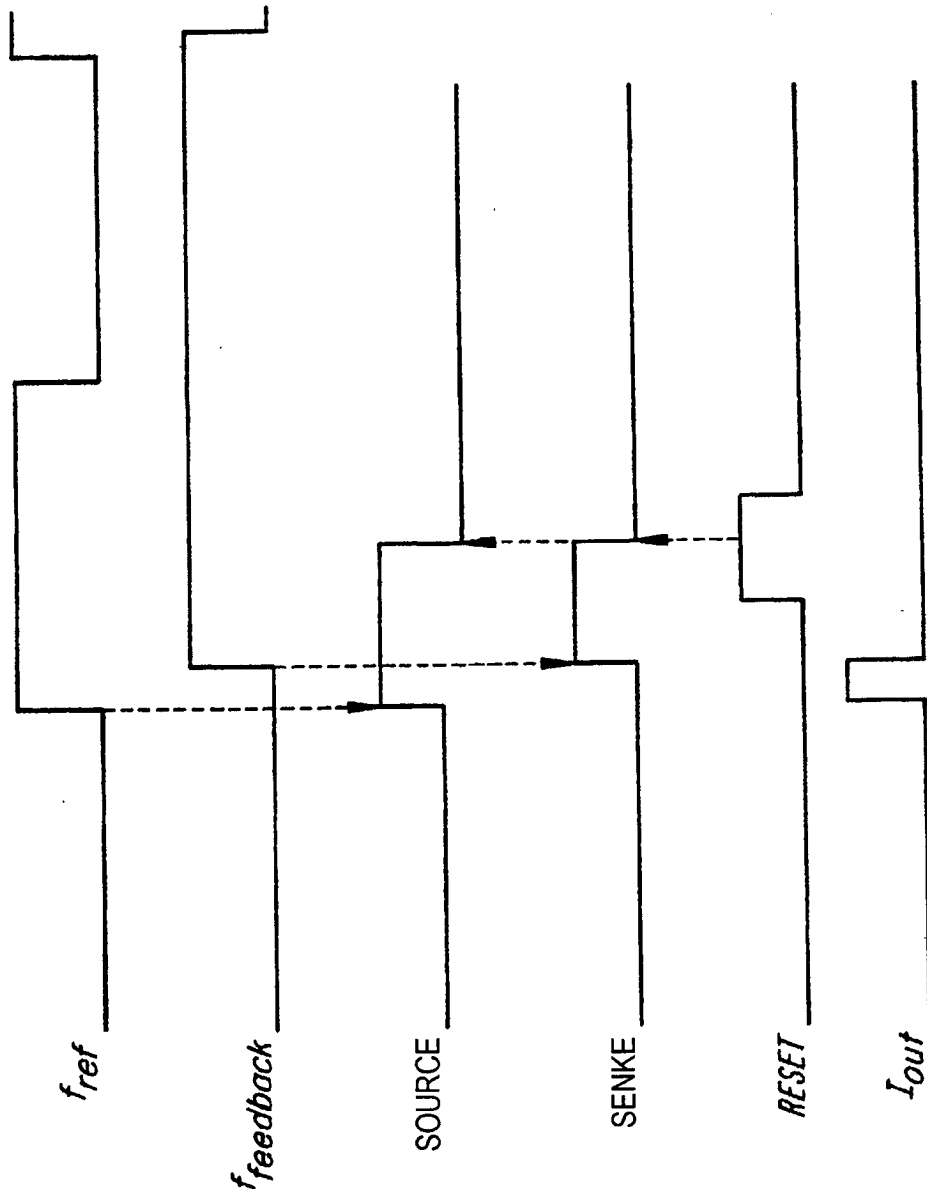


FIG. 8