



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0106991
(43) 공개일자 2022년08월01일

(51) 국제특허분류(Int. Cl.)

G06F 12/06 (2006.01) G06F 13/16 (2006.01)
G06F 3/06 (2006.01) G11C 11/405 (2006.01)
G11C 16/04 (2006.01) G11C 16/14 (2006.01)

(52) CPC특허분류

G06F 12/06 (2013.01)
G06F 13/16 (2013.01)

(21) 출원번호 10-2022-7019463

(22) 출원일자(국제) 2020년08월26일

심사청구일자 없음

(85) 번역문제출일자 2022년06월09일

(86) 국제출원번호 PCT/IB2020/057947

(87) 국제공개번호 WO 2021/094844

국제공개일자 2021년05월20일

(30) 우선권주장

JP-P-2019-203814 2019년11월11일 일본(JP)

JP-P-2019-209362 2019년11월20일 일본(JP)

(71) 출원인

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 슌페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

이케다 타카유키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

쿠니타케 히토시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가

부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

장훈

전체 청구항 수 : 총 11 항

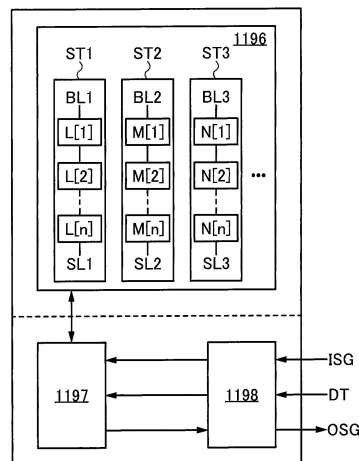
(54) 발명의 명칭 정보 처리 장치 및 정보 처리 장치의 동작 방법

(57) 요약

회로 면적이 작고 소비 전력이 저감된 정보 장치를 적용한다. NAND형 기억부와 컨트롤러를 가지는 정보 처리 장치이다. 또한 기억부는 각각 블록이 다른 제 1 스트링과 제 2 스트링을 가진다. 제 1 스트링은 제 1 메모리 셀을 가지고, 제 2 스트링은 제 2 메모리 셀을 가진다. 컨트롤러는 제 1 데이터와, 제 1 데이터를 기록하는 명령을 포함하는 신호를 받음으로써, 제 1 데이터를 제 1 메모리 셀에 기록한다. 또한, 컨트롤러는 그 후에 제 1 메모리 셀로부터 제 1 데이터를 판독하고 제 2 메모리 셀에 제 1 데이터를 기록한다.

대표도 - 도1

50



(52) CPC특허분류

G06F 3/0658 (2013.01)

G11C 11/405 (2013.01)

G11C 16/0483 (2013.01)

G11C 16/14 (2013.01)

Y02D 10/00 (2020.08)

명세서

청구범위

청구항 1

정보 처리 장치로서,

NAND형 기억부와 컨트롤러를 가지고,

상기 기억부는 각각 블록이 다른 제 1 스트링과 제 2 스트링을 가지고,

상기 제 1 스트링과 상기 제 2 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가지고,

상기 제 1 스트링은 제 1 메모리 셀을 가지고,

상기 제 2 스트링은 제 2 메모리 셀을 가지고,

상기 컨트롤러는 제 1 데이터와, 상기 제 1 데이터를 기록하는 명령을 포함하는 신호를 받음으로써, 상기 제 1 데이터를 상기 제 1 메모리 셀에 기록하고, 그 후에 상기 제 1 메모리 셀로부터 상기 제 1 데이터를 판독하고, 상기 제 2 메모리 셀에 상기 제 1 데이터를 기록하는 기능을 가지는, 정보 처리 장치.

청구항 2

정보 처리 장치로서,

NAND형 기억부와 컨트롤러를 가지고,

상기 기억부는 각각 블록이 다른 제 1 스트링과, 제 2 스트링과, 제 3 스트링을 가지고,

상기 제 1 스트링과, 상기 제 2 스트링과, 상기 제 3 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가지고,

상기 제 1 스트링은 제 1 메모리 셀을 가지고,

상기 제 2 스트링은 제 2 메모리 셀과 제 3 메모리 셀을 가지고,

상기 제 3 스트링은 제 4 메모리 셀을 가지고,

상기 컨트롤러는 제 1 데이터와, 상기 제 2 메모리 셀에 유지되어 있는 제 2 데이터를 상기 제 1 데이터로 재기록하는 명령을 포함하는 신호를 받음으로써, 상기 제 1 데이터를 상기 제 1 메모리 셀에 기록하고, 상기 제 3 메모리 셀에 유지되어 있는 제 3 데이터를 판독하고 상기 제 3 데이터를 상기 제 4 메모리 셀에 기록하고, 상기 제 2 메모리 셀에 유지되어 있는 상기 제 2 데이터 및 상기 제 3 메모리 셀에 유지되어 있는 상기 제 3 데이터를 소거하고, 상기 제 1 메모리 셀에 유지되어 있는 상기 제 1 데이터를 판독하고 상기 제 1 데이터를 상기 제 2 메모리 셀에 기록하고, 상기 제 4 메모리 셀에 유지되어 있는 상기 제 3 데이터를 판독하고 상기 제 3 데이터를 상기 제 3 메모리 셀에 기록하는 기능을 가지는, 정보 처리 장치.

청구항 3

NAND형 기억부와 컨트롤러를 가지고,

상기 기억부는 각각 블록이 다른 제 1 스트링과 제 2 스트링을 가지고,

상기 제 1 스트링과 상기 제 2 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가지고,

상기 제 1 스트링은 제 1 메모리 셀을 가지고,

상기 제 2 스트링은 제 2 메모리 셀을 가지는, 정보 처리 장치의 동작 방법으로서,

제 1 단계와, 제 2 단계와, 제 3 단계를 가지고,

상기 제 1 단계는 상기 컨트롤러가 제 1 데이터와, 상기 제 1 데이터를 기록하는 명령을 포함하는 신호를 받는

단계와, 상기 컨트롤러에 의하여 상기 제 1 데이터가 상기 제 1 메모리 셀에 기록되는 단계를 가지고

상기 제 2 단계는 상기 컨트롤러에 의하여 상기 제 1 메모리 셀로부터 상기 제 1 데이터가 판독되는 단계를 가지고,

상기 제 3 단계는 상기 컨트롤러에 의하여 상기 제 2 단계에서 판독된 상기 제 1 데이터가 상기 제 2 메모리 셀에 기록되는 단계를 가지는, 정보 처리 장치의 동작 방법.

청구항 4

NAND형 기억부와 컨트롤러를 가지고,

상기 기억부는 각각 블록이 다른 제 1 스트링과, 제 2 스트링과, 제 3 스트링을 가지고,

상기 제 1 스트링과, 상기 제 2 스트링과, 상기 제 3 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가지고,

상기 제 1 스트링은 제 1 메모리 셀을 가지고,

상기 제 2 스트링은 제 2 메모리 셀과 제 3 메모리 셀을 가지고,

상기 제 3 스트링은 제 4 메모리 셀을 가지는 정보 처리 장치의 동작 방법으로서,

제 1 단계와, 제 2 단계와, 제 3 단계와, 제 4 단계와, 제 5 단계와, 제 6 단계와, 제 7 단계와, 제 8 단계를 가지고,

상기 제 1 단계는, 상기 컨트롤러가 제 1 데이터와, 상기 제 2 메모리 셀에 유지되어 있는 제 2 데이터를 제 1 데이터로 재기록하는 명령을 포함하는 신호를 받는 단계와, 상기 컨트롤러에 의하여 상기 제 1 데이터가 상기 제 1 메모리 셀에 기록되는 단계를 가지고,

상기 제 2 단계는 상기 컨트롤러에 의하여 상기 제 3 메모리 셀에 유지되어 있는 제 3 데이터가 판독되는 단계를 가지고,

상기 제 3 단계는 상기 컨트롤러에 의하여 상기 제 2 단계에서 판독된 상기 제 3 데이터가 상기 제 4 메모리 셀에 기록되는 단계를 가지고,

상기 제 4 단계는 상기 컨트롤러에 의하여 상기 제 2 메모리 셀에 유지되어 있는 상기 제 2 데이터, 및 상기 제 3 메모리 셀에 유지되어 있는 상기 제 3 데이터가 소거되는 단계를 가지고,

상기 제 5 단계는 상기 컨트롤러에 의하여 상기 제 1 메모리 셀에 유지되어 있는 상기 제 1 데이터가 판독되는 단계를 가지고,

상기 제 6 단계는 상기 컨트롤러에 의하여 상기 제 5 단계에서 판독된 상기 제 1 데이터가 상기 제 2 메모리 셀에 기록되는 단계를 가지고,

상기 제 7 단계는 상기 컨트롤러에 의하여 상기 제 4 메모리 셀에 유지되어 있는 상기 제 3 데이터가 판독되는 단계를 가지고,

상기 제 8 단계는 상기 컨트롤러에 의하여 상기 제 7 단계에서 판독된 상기 제 3 데이터가 상기 제 3 메모리 셀에 기록되는 단계를 가지는, 정보 처리 장치의 동작 방법.

청구항 5

연산 처리 장치와, 기억 장치와, 복수의 배선을 가지고,

상기 기억 장치는 복수의 스트링을 가지고,

상기 복수의 스트링 중 하나는 상기 복수의 배선 중 하나를 통하여 상기 연산 처리 장치와 전기적으로 접속된 정보 처리 장치의 동작 방법으로서,

직렬 전송에 의하여 입력된 제 1 데이터를 복수의 제 2 데이터로 변환하고, 상기 복수의 제 2 데이터를 상기 복수의 배선마다 분배하고, 트리거 신호에 따라 상기 복수의 제 2 데이터를 상기 복수의 스트링에 동시에 공급하는, 상기 정보 처리 장치의 동작 방법.

청구항 6

제 5 항에 있어서,
상기 스트링은 복수의 메모리 셀을 가지고,
상기 메모리 셀은 산화물 반도체를 포함하는, 상기 정보 처리 장치의 동작 방법.

청구항 7

제 5 항 또는 제 6 항에 있어서,
상기 기억 장치는 NAND형 기억 장치인, 상기 정보 처리 장치의 동작 방법.

청구항 8

정보 처리 장치로서,
NAND형 기억부와 컨트롤러를 가지고,
상기 기억부는 각각 블록이 다른 제 1 스트링과 제 2 스트링을 가지고,
상기 제 1 스트링과 상기 제 2 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가지고,
상기 제 1 스트링은 제 1 메모리 셀을 가지고,
상기 제 2 스트링은 제 2 메모리 셀을 가지고,
상기 컨트롤러는 제 1 데이터와, 상기 제 1 데이터를 기록하는 명령을 포함하는 신호를 받음으로써, 상기 제 1 데이터를 상기 제 1 메모리 셀에 기록하고, 그 후에 상기 제 1 메모리 셀로부터 상기 제 1 데이터를 판독하고
상기 제 2 메모리 셀에 상기 제 1 데이터를 기록하는 기능을 가지는, 정보 처리 장치.

청구항 9

정보 처리 장치로서,
NAND형 기억부와, 컨트롤러를 가지고,
상기 기억부는 각각 블록이 다른 제 1 스트링과, 제 2 스트링과, 제 3 스트링을 가지고,
상기 제 1 스트링과, 상기 제 2 스트링과, 상기 제 3 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가지고,
상기 제 1 스트링은 제 1 메모리 셀을 가지고,
상기 제 2 스트링은 제 2 메모리 셀과 제 3 메모리 셀을 가지고,
상기 제 3 스트링은 제 4 메모리 셀을 가지고,
상기 컨트롤러는 제 1 데이터와, 상기 제 2 메모리 셀에 유지되어 있는 제 2 데이터를 상기 제 1 데이터로 재기록하는 명령을 포함하는 신호를 받음으로써,
상기 제 1 데이터를 상기 제 1 메모리 셀에 기록하고,
상기 제 3 메모리 셀에 유지되어 있는 제 3 데이터를 판독하고 상기 제 3 데이터를 상기 제 4 메모리 셀에 기록하고,
상기 제 2 메모리 셀에 유지되어 있는 상기 제 2 데이터, 및 상기 제 3 메모리 셀에 유지되어 있는 상기 제 3 데이터를 소거하고,
상기 제 1 메모리 셀에 유지되어 있는 상기 제 1 데이터를 판독하고 상기 제 1 데이터를 상기 제 2 메모리 셀에 기록하고,
상기 제 4 메모리 셀에 유지되어 있는 상기 제 3 데이터를 판독하고 상기 제 3 데이터를 상기 제 3 메모리 셀에 기록하는 기능을 가지는, 정보 처리 장치.

청구항 10

NAND형 기억부와, 컨트롤러를 가지고,

상기 기억부는 각각 블록이 다른 제 1 스트링과, 제 2 스트링을 가지고,

상기 제 1 스트링과 상기 제 2 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가지고,

상기 제 1 스트링은 제 1 메모리 셀을 가지고,

상기 제 2 스트링은 제 2 메모리 셀을 가지는, 정보 처리 장치의 동작 방법으로서,

제 1 단계와, 제 2 단계와, 제 3 단계를 가지고,

상기 제 1 단계는 상기 컨트롤러가 상기 제 1 데이터와, 상기 제 1 데이터를 기록하는 명령을 포함하는 신호를 받는 단계와, 상기 컨트롤러에 의하여 상기 제 1 데이터가 상기 제 1 메모리 셀에 기록되는 단계를 가지고,

상기 제 2 단계는 상기 컨트롤러에 의하여 상기 제 1 메모리 셀로부터 상기 제 1 데이터가 판독되는 단계를 가지고,

상기 제 3 단계는 상기 컨트롤러에 의하여 상기 제 2 단계에서 판독된 상기 제 1 데이터가 상기 제 2 메모리 셀에 기록되는 단계를 가지는, 정보 처리 장치의 동작 방법.

청구항 11

NAND형 기억부와, 컨트롤러를 가지고,

상기 기억부는 각각 블록이 다른 제 1 스트링과, 제 2 스트링과, 제 3 스트링을 가지고,

상기 제 1 스트링과, 상기 제 2 스트링과, 상기 제 3 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가지고,

상기 제 1 스트링은 제 1 메모리 셀을 가지고,

상기 제 2 스트링은 제 2 메모리 셀과 제 3 메모리 셀을 가지고,

상기 제 3 스트링은 제 4 메모리 셀을 가지는, 정보 처리 장치의 동작 방법으로서,

제 1 단계와, 제 2 단계와, 제 3 단계와, 제 4 단계와, 제 5 단계와, 제 6 단계와, 제 7 단계와, 제 8 단계를 가지고,

상기 제 1 단계는, 상기 컨트롤러가 제 1 데이터와, 상기 제 2 메모리 셀에 유지되어 있는 제 2 데이터를 상기 제 1 데이터로 재기록하는 명령을 포함하는 신호를 받는 단계와, 상기 컨트롤러에 의하여 상기 제 1 데이터가 상기 제 1 메모리 셀에 기록되는 단계를 가지고,

상기 제 2 단계는 상기 컨트롤러에 의하여 상기 제 3 메모리 셀에 유지되어 있는 제 3 데이터가 판독되는 단계를 가지고,

상기 제 3 단계는 상기 컨트롤러에 의하여 상기 제 2 단계에서 판독된 상기 제 3 데이터가 상기 제 4 메모리 셀에 기록되는 단계를 가지고,

상기 제 4 단계는 상기 컨트롤러에 의하여 상기 제 2 메모리 셀에 유지되어 있는 상기 제 2 데이터, 및 상기 제 3 메모리 셀에 유지되어 있는 상기 제 3 데이터가 소거되는 단계를 가지고,

상기 제 5 단계는 상기 컨트롤러에 의하여 상기 제 1 메모리 셀에 유지되어 있는 상기 제 1 데이터가 판독되는 단계를 가지고,

상기 제 6 단계는 상기 컨트롤러에 의하여 상기 제 5 단계에서 판독된 상기 제 1 데이터가 상기 제 2 메모리 셀에 기록되는 단계를 가지고,

상기 제 7 단계는 상기 컨트롤러에 의하여 상기 제 4 메모리 셀에 유지되어 있는 상기 제 3 데이터가 판독되는 단계를 가지고,

상기 제 8 단계는 상기 컨트롤러에 의하여 상기 제 7 단계에서 판독된 상기 제 3 데이터가 상기 제 3 메모리 셀

에 기록되는 단계를 가지는, 정보 처리 장치의 동작 방법.

발명의 설명

기술 분야

- [0001] 본 발명의 일 형태는 정보 처리 장치 및 정보 처리 장치의 동작 방법에 관한 것이다.
- [0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 동작 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로 더 구체적으로 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 축전 장치, 촬상 장치, 기억 장치, 신호 처리 장치, 프로세서, 전자 기기, 정보 처리 장치, 시스템, 이들의 동작 방법, 이들의 제조 방법, 또는 이들의 검사 방법을 일례로서 들 수 있다.

배경 기술

- [0003] 정보 처리 장치의 저소비 전력화를 목적으로 한 연구 개발이 활발히 수행되어 있고, CPU 등의 집적 회로(IC)나 기억 장치의 저소비 전력화는 회로 설계의 큰 과제가 되어 있다. IC의 소비 전력은 크게 나누면, 동작 시의 소비 전력(다이내믹 전력)과 동작하지 않을 때(스탠바이 시)의 소비 전력(스태틱 전력)의 2개가 된다. 고성능화를 위하여 동작 주파수를 높임으로써, 다이내믹 전력이 증대된다. 스태틱 전력의 대부분은 트랜지스터의 누설 전류에 의하여 소비되는 전력이다. 누설 전류에는, 서브스레숄드 누설 전류, 게이트 터널 누설 전류, 게이트 유도 드레인 누설(GIDL: Gate-induced drain leakage) 전류, 정크션 터널 누설 전류가 있다. 이들 누설 전류는 트랜지스터의 미세화에 의하여 증대되기 때문에, 소비 전력의 증대가 IC의 고성능화나 고집적화의 큰 장벽이 되고 있다.
- [0004] 집적 회로나 기억 장치 등의 반도체 장치, 또는 상기 반도체 장치를 포함하는 정보 처리 장치의 소비 전력 저감을 위하여, 파워 게이팅이나 클록 게이팅에 의하여, 동작시킬 필요가 없는 회로를 정지시키는 것이 수행되고 있다. 파워 게이팅에서는 전원 공급을 정지하기 때문에, 스태바이 전력을 없애는 효과가 있다. CPU에서 파워 게이팅을 가능하게 하기 위해서는, 레지스터나 캐시의 기억 내용을 비휘발성 메모리에 백업할 필요가 있다.
- [0005] 채널 형성 영역에 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함)가 포함되는 트랜지스터(이하, "산화물 반도체 트랜지스터" 또는 "OS 트랜지스터"라고 부르는 경우가 있음)의 오프 전류가 매우 작다는 특성을 이용하여, 전원 오프 상태에서도 데이터를 유지할 수 있는 메모리 회로가 제안되어 있다. 예를 들어, 비특허문헌 1에는 OS 트랜지스터를 사용한 백업 회로를 구비한 OS-SRAM(스태틱 랜덤 액세스 메모리)가 개시(開示)되어 있다. 비특허문헌 1에는, OS-SRAM을 탑재한 마이크로프로세서는 통상 동작에 영향을 미치지 않고 짧은 손익 분기 시간(BET)에서의 파워 게이팅이 가능하다는 것이 개시되어 있다.

선행기술문헌

비특허문헌

- [0006] (비특허문헌 0001) T.Ishizu et al., Int. Memory Workshop, 2014, pp.106-103.
- (비특허문헌 0002) S.Bartling et al., ISSCC Dig.Tech.Papers, pp.432-434, 2013.
- (비특허문헌 0003) N.Sakimura et al., ISSCC Dig.Tech.Papers, pp.184-185, 2014.
- (비특허문헌 0004) VK.Singhal et al., ISSCC Dig.Tech.Papers, pp.148-149, 2015.

발명의 내용

해결하려는 과제

- [0007] 일례로서, NAND형 기억 장치 등에서 기록용 데이터의 입력 속도(단위 시간당 입력되는 정보의 양)는 기억부에 대한 데이터의 기록 속도보다 느리다. 기억 장치에서의 캐시 메모리는, 기억 장치에 입력된 기록용 데이터를 일시적으로 유지함으로써 기억 장치에 대한 기록용 데이터의 입력 속도를 낮추는 일 없이 기억부에 대하여 데이

터를 기록할 수 있다. 또한, 기억부로부터의 데이터의 판독 속도는 기억 장치로부터의 판독 데이터의 출력의 속도(단위 시간당 출력되는 정보의 양)보다 느리다. 기억 장치에서의 캐시 메모리는, 기억 장치로부터 판독한 데이터를 일시적으로 유지함으로써 기억 장치로부터의 판독 데이터의 판독 속도를 낮추는 일 없이 기억부로부터 데이터를 판독할 수 있다.

[0008] 또한, 일례로서 캐시 메모리는, 기억부에 유지되어 있는 데이터의 재배열이나 소거에 관계가 없는 데이터의 백업 등을 할 때에 데이터를 일시적으로 유지하는 기능을 가진다.

[0009] 캐시 메모리에는, 예를 들어 DRAM(Dynamic Random Access Memory)가 적용되어 있다. 그러므로 캐시 메모리와 NAND형 기억 장치는 각각 다른 공정으로 제작되기 때문에, 별개의 칩으로서 제작된다. 이로써, 캐시 메모리와 NAND형 기억 장치 사이에는 버스 배선을 제공할 필요가 있고, 기억 장치의 회로 면적이 커지는 경우가 있다. 또한, 버스 배선의 길이에 따라서는 버스 배선을 흐르는 신호의 소비 전력이 커지는 경우가 있다.

[0010] 본 발명의 일 형태는 회로 면적이 저감된 정보 처리 장치를 제공하는 것을 과제의 하나로 한다. 또는 본 발명의 일 형태는 소비 전력이 낮은 정보 처리 장치를 제공하는 것을 과제의 하나로 한다.

[0011] 또는 본 발명의 일 형태는 신규 정보 처리 장치를 제공하는 것을 과제의 하나로 한다. 또는, 본 발명의 일 형태는 신규 정보 처리 장치의 동작 방법을 제공하는 것을 과제의 하나로 한다.

[0012] 또한 본 발명의 일 형태의 과제는 위에서 열거한 과제에 한정되지 않는다. 위에서 열거한 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한 다른 과제는 이하에 기재되고 본 항목에서는 언급되지 않은 과제이다. 본 항목에서 언급되지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재에서 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 중 적어도 하나의 과제를 해결하는 것이다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 모두를 해결할 필요는 없다.

과제의 해결 수단

[0013] (1) 본 발명의 일 형태는 NAND형 기억부와 컨트롤러를 가지는 정보 처리 장치이다. 기억부는 각각 블록이 다른 제 1 스트링과 제 2 스트링을 가진다. 또한, 제 1 스트링과 제 2 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가진다. 또한, 제 1 스트링은 제 1 메모리 셀을 가지고, 제 2 스트링은 제 2 메모리 셀을 가진다. 컨트롤러는 제 1 데이터와, 제 1 데이터를 기록하는 명령을 포함하는 신호를 받음으로써, 제 1 데이터를 제 1 메모리 셀에 기록하는 기능을 가진다. 또한, 컨트롤러는 그 후에 제 1 메모리 셀로부터 제 1 데이터를 판독하고 제 2 메모리 셀에 제 1 데이터를 기록하는 기능을 가진다.

[0014] (2) 또는, 본 발명의 일 형태는 NAND형 기억부와 컨트롤러를 가지는 정보 처리 장치이고, 기억부는 각각 블록이 다른 제 1 스트링과, 제 2 스트링과, 제 3 스트링을 가진다. 또한, 제 1 스트링과 제 2 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가진다. 또한, 제 1 스트링은 제 1 메모리 셀을 가지고, 제 2 스트링은 제 2 메모리 셀과 제 3 메모리 셀을 가지고, 제 3 스트링은 제 4 메모리 셀을 가진다. 컨트롤러는 제 1 데이터와, 제 2 메모리 셀에 유지되어 있는 제 2 데이터를 제 1 데이터로 재기록하는 명령을 포함하는 신호를 받음으로써, 제 1 데이터를 제 1 메모리 셀에 기록하는 기능을 가진다. 또한, 컨트롤러는 제 3 메모리 셀에 유지되어 있는 제 3 데이터를 판독하고 제 3 데이터를 제 4 메모리 셀에 기록하는 기능을 가진다. 또한 컨트롤러는 제 2 메모리 셀에 유지되어 있는 제 2 데이터, 및 제 3 메모리 셀에 유지되어 있는 제 3 데이터를 소거하는 기능을 가진다. 또한, 컨트롤러는 제 1 메모리 셀에 유지되어 있는 제 1 데이터를 판독하고 제 1 데이터를 제 2 메모리 셀에 기록하는 기능을 가진다. 또한, 컨트롤러는 제 4 메모리 셀에 유지되어 있는 제 3 데이터를 판독하고 제 3 데이터를 제 3 메모리 셀에 기록하는 기능을 가진다.

[0015] (3) 또는, 본 발명의 일 형태는 NAND형 기억부와 컨트롤러를 가지는 정보 처리 장치의 동작 방법이다. 기억부는 각각 블록이 다른 제 1 스트링과 제 2 스트링을 가진다. 또한, 제 1 스트링과 제 2 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가진다. 제 1 스트링은 제 1 메모리 셀을 가지고, 제 2 스트링은 제 2 메모리 셀을 가진다. 정보 처리 장치의 동작 방법은 제 1 단계 내지 제 3 단계를 가진다. 제 1 단계는 컨트롤러가 제 1 데이터와, 제 1 데이터를 기록하는 명령을 포함하는 신호를 받는 단계와, 컨트롤러에 의하여 제 1 데이터가 제 1 메모리 셀에 기록되는 단계를 가진다. 제 2 단계는 컨트롤러에 의하여 제 1 메모리 셀로부터 제 1 데이터가 판독되는 단계를 가진다. 제 3 단계는 컨트롤러에 의하여 제 2 단계에서 판독된 제 1 데이터가 제 2 메모리 셀에 기록되는 단계를 가진다.

- [0016] (4) 또는, 본 발명의 일 형태는 NAND형 기억부와 컨트롤러를 가지는 정보 처리 장치의 동작 방법이고, 기억부는 각각 블록이 다른 제 1 스트링과, 제 2 스트링과, 제 3 스트링을 가진다. 또한, 제 1 스트링과 제 2 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가진다. 제 1 스트링은 제 1 메모리 셀을 가지고, 제 2 스트링은 제 2 메모리 셀과 제 3 메모리 셀을 가지고, 제 3 스트링은 제 4 메모리 셀을 가진다. 정보 처리 장치의 동작 방법은 제 1 단계 내지 제 8 단계를 가진다. 제 1 단계는 컨트롤러가 제 1 데이터와, 제 2 메모리 셀에 유지되어 있는 제 2 데이터를 제 1 데이터로 재기록하는 명령을 포함하는 신호를 받는 단계와, 컨트롤러에 의하여 제 1 데이터가 제 1 메모리 셀에 기록되는 단계를 가진다. 제 2 단계는 컨트롤러에 의하여 제 2 스트링의 제 3 메모리 셀에 유지되어 있는 제 3 데이터가 판독되는 단계를 가진다. 제 3 단계는 컨트롤러에 의하여 제 2 단계에서 판독된 제 3 데이터가 제 4 메모리 셀에 기록되는 단계를 가진다. 제 4 단계는 컨트롤러에 의하여 제 2 메모리 셀에 유지되어 있는 제 2 데이터, 및 제 3 메모리 셀에 유지되어 있는 제 3 데이터가 소거되는 단계를 가진다. 제 5 단계는 컨트롤러에 의하여 제 1 메모리 셀에 유지되어 있는 제 1 데이터가 판독되는 단계를 가진다. 제 6 단계는 컨트롤러에 의하여 제 5 단계에서 판독된 제 1 데이터가 제 2 메모리 셀에 기록되는 단계를 가진다. 제 7 단계는 컨트롤러에 의하여 제 4 메모리 셀에 유지되어 있는 제 3 데이터가 판독되는 단계를 가진다. 제 8 단계는 컨트롤러에 의하여 제 7 단계에서 판독된 제 3 데이터가 제 3 메모리 셀에 기록되는 단계를 가진다.
- [0017] (5) 본 발명의 일 형태는 연산 처리 장치와, 기억 장치와, 복수의 배선을 가지고, 기억 장치는 복수의 스트링을 가지고, 복수의 스트링 중 하나는 복수의 배선 중 하나를 통하여 연산 처리 장치와 전기적으로 접속된 정보 처리 장치의 동작 방법이고, 직렬 전송(傳送)에 의하여 입력된 제 1 데이터를 복수의 제 2 데이터로 변환하고, 복수의 제 2 데이터를 복수의 배선마다 분배하고, 트리거 신호에 따라 복수의 제 2 데이터를 복수의 스트링에 동시에 공급하는 정보 처리 장치의 동작 방법이다.
- [0018] (6) 또는, 본 발명의 일 형태에서는 상기 (5)의 구성에서 스트링은 복수의 메모리 셀을 가지고, 메모리 셀은 산화물 반도체를 포함하여도 좋다.
- [0019] (7) 또는, 본 발명의 일 형태에서는 상기 (5) 또는 (6)의 구성에서 기억 장치는 NAND형 기억 장치이어서도 좋다.
- [0020] (8) 또는, 본 발명의 일 형태는 NAND형 기억부와, 컨트롤러를 가지는 정보 처리 장치이다. 기억부는 각각 블록이 다른 제 1 스트링과, 제 2 스트링을 가진다. 또한, 제 1 스트링과 제 2 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가진다. 또한, 제 1 스트링은 제 1 메모리 셀을 가지고, 제 2 스트링은 제 2 메모리 셀을 가진다. 컨트롤러는 제 1 데이터와, 제 1 데이터를 기록하는 명령을 포함하는 신호를 받음으로써, 제 1 데이터를 제 1 메모리 셀에 기록하는 기능을 가진다. 또한, 컨트롤러는 그 후에 제 1 메모리 셀로부터 제 1 데이터를 판독하고 제 2 메모리 셀에 제 1 데이터를 기록하는 기능을 가진다.
- [0021] (9) 또는, 본 발명의 일 형태는 NAND형 기억부와, 컨트롤러를 가지는 정보 처리 장치이고, 기억부는 각각 블록이 다른 제 1 스트링과, 제 2 스트링과, 제 3 스트링을 가진다. 또한, 제 1 스트링과 제 2 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가진다. 또한, 제 1 스트링은 제 1 메모리 셀을 가지고, 제 2 스트링은 제 2 메모리 셀과 제 3 메모리 셀을 가지고, 제 3 스트링은 제 4 메모리 셀을 가진다. 컨트롤러는 제 1 데이터와, 제 2 메모리 셀에 유지되어 있는 제 2 데이터를 제 1 데이터로 재기록하는 명령을 포함하는 신호를 받음으로써, 제 1 데이터를 제 1 메모리 셀에 기록하는 기능을 가진다. 또한, 컨트롤러는 제 3 메모리 셀에 유지되어 있는 제 3 데이터를 판독하고 제 3 데이터를 제 4 메모리 셀에 기록하는 기능을 가진다. 또한 컨트롤러는 제 2 메모리 셀에 유지되어 있는 제 2 데이터, 및 제 3 메모리 셀에 유지되어 있는 제 3 데이터를 소거하는 기능을 가진다. 또한, 컨트롤러는 제 1 메모리 셀에 유지되어 있는 제 1 데이터를 판독하고 제 1 데이터를 제 2 메모리 셀에 기록하는 기능을 가진다. 또한, 컨트롤러는 제 4 메모리 셀에 유지되어 있는 제 3 데이터를 판독하고 제 3 데이터를 제 3 메모리 셀에 기록하는 기능을 가진다.
- [0022] (10) 또는, 본 발명의 일 형태는 NAND형 기억부와, 컨트롤러를 가지는 정보 처리 장치의 동작 방법이다. 기억부는 각각 블록이 다른 제 1 스트링과, 제 2 스트링을 가진다. 또한, 제 1 스트링과 제 2 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가진다. 제 1 스트링은 제 1 메모리 셀을 가지고, 제 2 스트링은 제 2 메모리 셀을 가진다. 정보 처리 장치의 동작 방법은 제 1 단계 내지 제 3 단계를 가진다. 제 1 단계는 컨트롤러가 제 1 데이터와, 제 1 데이터를 기록하는 명령을 포함하는 신호를 받는 단계와, 컨트롤러에 의하여 제 1 데이터가 제 1 메모리 셀에 기록되는 단계를 가진다. 제 2 단계는 컨트롤러에 의하여 제 1 메모리 셀로부터 제 1 데이터가 판독되는 단계를 가진다. 제 3 단계는 컨트롤러에 의하여 제 2 단계에서 판독된 제 1 데이터가 제 2 메모리 셀에 기록되는 단계를 가진다.

- [0023] (11) 또는, 본 발명의 일 형태는 NAND형 기억부와, 컨트롤러를 가지는 정보 처리 장치의 동작 방법이고, 기억부는 각각 블록이 다른 제 1 스트링과, 제 2 스트링과, 제 3 스트링을 가진다. 또한, 제 1 스트링과 제 2 스트링 각각은 채널 형성 영역에 금속 산화물을 포함하는 트랜지스터를 가진다. 제 1 스트링은 제 1 메모리 셀을 가지고, 제 2 스트링은 제 2 메모리 셀과 제 3 메모리 셀을 가지고, 제 3 스트링은 제 4 메모리 셀을 가진다. 정보 처리 장치의 동작 방법은 제 1 단계 내지 제 8 단계를 가진다. 제 1 단계는 컨트롤러가 제 1 데이터와, 제 2 메모리 셀에 유지되어 있는 제 2 데이터를 제 1 데이터로 재기록하는 명령을 포함하는 신호를 받는 단계와, 컨트롤러에 의하여 제 1 데이터가 제 1 메모리 셀에 기록되는 단계를 가진다. 제 2 단계는 컨트롤러에 의하여 제 2 스트링의 제 3 메모리 셀에 유지되어 있는 제 3 데이터가 판독되는 단계를 가진다. 제 3 단계는 컨트롤러에 의하여 제 2 단계에서 판독된 제 3 데이터가 제 4 메모리 셀에 기록되는 단계를 가진다. 제 4 단계는 컨트롤러에 의하여 제 2 메모리 셀에 유지되어 있는 제 2 데이터, 및 제 3 메모리 셀에 유지되어 있는 제 3 데이터가 소거되는 단계를 가진다. 제 5 단계는 컨트롤러에 의하여 제 1 메모리 셀에 유지되어 있는 제 1 데이터가 판독되는 단계를 가진다. 제 6 단계는 컨트롤러에 의하여 제 5 단계에서 판독된 제 1 데이터가 제 2 메모리 셀에 기록되는 단계를 가진다. 제 7 단계는 컨트롤러에 의하여 제 4 메모리 셀에 유지되어 있는 제 3 데이터가 판독되는 단계를 가진다. 제 8 단계는 컨트롤러에 의하여 제 7 단계에서 판독된 제 3 데이터가 제 3 메모리 셀에 기록되는 단계를 가진다.
- [0024] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용한 장치이고 반도체 소자(트랜지스터, 다이오드, 포토다이오드 등)를 포함하는 회로, 이 회로를 가지는 장치 등을 말한다. 또한 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 예를 들어 집적 회로, 집적 회로를 가지는 칩이나, 패키지에 칩을 수납한 전자 부품은 반도체 장치의 일례이다. 또한 기억 장치, 표시 장치, 발광 장치, 조명 장치, 전자 기기, 정보 처리 장치 등은 그 자체가 반도체 장치인 경우나, 반도체 장치를 가지는 경우가 있다.
- [0025] 또한 본 명세서 등에서 X와 Y가 접속된다고 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 도면 또는 문장에 개시되어 있는 것으로 한다. X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.
- [0026] X와 Y가 전기적으로 접속되는 경우에는, 일례로서 X와 Y를 전기적으로 접속할 수 있는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 디바이스, 발광 디바이스, 부하 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 스위치는 온/오프가 제어되는 기능을 가진다. 즉 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 가진다.
- [0027] X와 Y가 기능적으로 접속되는 경우에는, 일례로서 X와 Y를 기능적으로 접속할 수 있는 회로(예를 들어 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(디지털 아날로그 변환 회로, 아날로그 디지털 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 일례로서, X와 Y 사이에 다른 회로를 끼워도 X로부터 출력된 신호가 Y로 전달되는 경우에는, X와 Y는 기능적으로 접속되는 것으로 한다.
- [0028] 또한 X와 Y가 전기적으로 접속된다고 명시적으로 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우(즉 X와 Y가 이들 사이에 다른 소자 또는 다른 회로를 끼워 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉 X와 Y가 이들 사이에 다른 소자 또는 다른 회로를 끼우지 않고 접속되는 경우)를 포함하는 것으로 한다.
- [0029] 또한 예를 들어 "X와, Y와, 트랜지스터의 소스(또는 제 1 단자 등)와, 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "트랜지스터의 소스(또는 제 1 단자 등)는 X에 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서대로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공되어 있다"라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속 순서에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여

기술적 범위를 결정할 수 있다. 또한 이들 표현 방법은 일례이고, 이들 표현 방법에 한정되지 않는다. 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0030] 또한 회로도상 독립된 구성 요소들이 전기적으로 접속되는 것처럼 도시되어 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 예를 들어 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선의 기능 및 전극의 기능의 양쪽의 구성 요소의 기능을 겸비한다. 따라서 본 명세서에서의 전기적인 접속이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.

[0031] 또한 본 명세서 등에서 "저항 소자"란, 예를 들어 0Ω보다 저항값이 높은 회로 소자, 배선 등으로 할 수 있다. 그러므로 본 명세서 등에서 "저항 소자"는 저항값을 가지는 배선, 소스와 드레인 간을 전류가 흐르는 트랜지스터, 다이오드, 코일 등을 포함하는 것으로 한다. 그러므로 "저항 소자"라는 용어는 "저항", "부하", "저항값을 가지는 영역" 등의 용어로 바뀌 말할 수 있고, 반대로 "저항", "부하", "저항값을 가지는 영역"이라는 용어는 "저항 소자" 등의 용어로 바뀌 말할 수 있다. 저항값은 예를 들어 바람직하게는 1mΩ 이상 10Ω 이하, 더 바람직하게는 5mΩ 이상 5Ω 이하, 더욱 바람직하게는 10mΩ 이상 1Ω 이하로 할 수 있다. 또한 예를 들어 1Ω 이상 $1 \times 10^9 \Omega$ 이하로 하여도 좋다.

[0032] 또한 본 명세서 등에서 "용량 소자"란, 예를 들어 0F보다 정전 용량의 값이 높은 회로 소자, 정전 용량의 값을 가지는 배선의 영역, 기생 용량, 트랜지스터의 게이트 용량 등으로 할 수 있다. 그러므로 본 명세서 등에서 "용량 소자"는 한 쌍의 전극과, 상기 전극 사이에 포함되는 유전체를 포함하는 회로 소자뿐만 아니라, 배선과 배선 사이에 발생하는 기생 용량, 트랜지스터의 소스 및 드레인 중 한쪽과 게이트 사이에 발생하는 게이트 용량 등을 포함하는 것으로 한다. 또한 "용량 소자", "기생 용량", "게이트 용량" 등이라는 용어는 "용량" 등의 용어로 바뀌 말할 수 있고, 반대로 "용량"이라는 용어는 "용량 소자", "기생 용량", "게이트 용량" 등의 용어로 바뀌 말할 수 있다. 또한 "용량"의 "한 쌍의 전극"이라는 용어는 "한 쌍의 도전체", "한 쌍의 도전 영역", "한 쌍의 영역" 등으로 바뀌 말할 수 있다. 또한 정전 용량의 값은 예를 들어 0.05fF 이상 10pF 이하로 할 수 있다. 또한 예를 들어 1pF 이상 10μF 이하로 하여도 좋다.

[0033] 또한 본 명세서 등에서 트랜지스터는 게이트, 소스, 및 드레인이라고 불리는 3개의 단자를 가진다. 게이트는 트랜지스터의 도통 상태를 제어하는 제어 단자이다. 소스 또는 드레인으로서 기능하는 2개의 단자는 트랜지스터의 입출력 단자이다. 2개의 입출력 단자는 트랜지스터의 도전형(n채널형, p채널형) 및 트랜지스터의 3개의 단자에 인가되는 전위의 높낮이에 따라, 한쪽이 소스가 되고 다른 쪽이 드레인이 된다. 그러므로 본 명세서 등에서는, 소스나 드레인이라는 용어는 바뀌 말할 수 있는 것으로 한다. 또한 본 명세서 등에서는, 트랜지스터의 접속 관계를 설명하는 경우, "소스 및 드레인 중 한쪽"(또는 제 1 전극 또는 제 1 단자), "소스 및 드레인 중 다른 쪽"(또는 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 또한 트랜지스터의 구조에 따라서는 상술한 3개의 단자에 더하여 백 게이트를 가지는 경우가 있다. 이 경우, 본 명세서 등에서 트랜지스터의 게이트 및 백 게이트 중 한쪽을 제 1 게이트라고 부르고, 트랜지스터의 게이트 및 백 게이트 중 다른 쪽을 제 2 게이트라고 부르는 경우가 있다. 또한 같은 트랜지스터에서 "게이트"와 "백 게이트"라는 용어는 서로 바꿀 수 있는 경우가 있다. 또한 트랜지스터가 3개 이상의 게이트를 가지는 경우, 본 명세서 등에서는 각각의 게이트를 제 1 게이트, 제 2 게이트, 제 3 게이트 등이라고 부를 수 있다.

[0034] 또한 본 명세서 등에서 노드는 회로 구성이나 디바이스 구조 등에 따라 단자, 배선, 전극, 도전층, 도전체, 불순물 영역 등으로 바뀌 말할 수 있다. 또한 단자, 배선 등을 노드로 바뀌 말할 수 있다.

[0035] 또한 본 명세서 등에서 "전압"과 "전위"는 적절히 바뀌 말할 수 있다. "전압"은 기준이 되는 전위와의 전위차를 말하고, 예를 들어 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, "전압"을 "전위"로 바뀌 말할 수 있다. 또한 그라운드 전위는 반드시 0V를 의미하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위가 변화함으로써, 배선에 공급되는 전위, 회로 등에 인가되는 전위, 회로 등으로부터 출력되는 전위 등도 변화한다.

[0036] 또한 본 명세서 등에서 "고레벨 전위", "저레벨 전위"라는 용어는 특정의 전위를 의미하는 것은 아니다. 예를 들어 2개의 배선의 양쪽이 "고레벨 전위를 공급하는 배선으로서 기능한다"라고 기재되는 경우, 양쪽의 배선이 공급하는 각 고레벨 전위는 서로 같지 않아도 된다. 또한 마찬가지로 2개의 배선의 양쪽이 "저레벨 전위를 공급하는 배선으로서 기능한다"라고 기재되는 경우, 양쪽의 배선이 공급하는 각 저레벨 전위는 서로 같지 않아도 된다.

- [0037] "전류"란 전하의 이동 현상(전기 전도)을 말하고, 예를 들어 "양의 하전체(荷電體)의 전기 전도가 발생하고 있다"라는 기재는, "그 반대 방향으로 음의 하전체의 전기 전도가 발생하고 있다"라고 바꿔 말할 수 있다. 그러므로 본 명세서 등에서 "전류"란 특별히 언급하지 않는 경우, 캐리어의 이동에 따른 전하의 이동 현상(전기 전도)을 말하는 것으로 한다. 여기서 캐리어란 전자, 정공, 음이온, 양이온, 착이온 등이고, 전류가 흐르는 시스템(예를 들어 반도체, 금속, 전해액, 진공 중 등)에 따라 캐리어가 다르다. 또한 배선 등에서의 "전류의 방향"은 양의 전하를 가지는 캐리어가 이동하는 방향이고, 양의 전류량으로 기재한다. 바꿔 말하면, 음의 전하를 가지는 캐리어가 이동하는 방향은 전류의 방향과 반대 방향이고, 음의 전류량으로 표현된다. 따라서 본 명세서 등에서 전류의 양과 음(또는 전류의 방향)에 대하여 언급하지 않는 경우, "소자 A로부터 소자 B로 전류가 흐른다" 등의 기재는 "소자 B로부터 소자 A로 전류가 흐른다" 등으로 바꿔 말할 수 있는 것으로 한다. 또한 "소자 A에 전류가 입력된다" 등의 기재는 "소자 A로부터 전류가 출력된다" 등으로 바꿔 말할 수 있는 것으로 한다.
- [0038] 또한 본 명세서 등에서 "제 1", "제 2", "제 3"이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 개수를 한정하는 것이 아니다. 또한 구성 요소의 순서를 한정하는 것이 아니다. 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 "제 2"로 언급된 구성 요소가 될 수도 있다. 또한 예를 들어 본 명세서 등의 실시형태 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 생략될 수도 있다.
- [0039] 또한 본 명세서 등에서 "위에", "아래에" 등의 배치를 나타내는 용어는 구성끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있는 경우가 있다. 또한 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서 등에서 설명한 용어에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어 "도전체의 상면에 위치하는 절연체"라는 표현은, 나타낸 도면의 방향을 180° 회전시켜, "도전체의 하면에 위치하는 절연체"라고 바꿔 말할 수 있다.
- [0040] 또한 "위"나 "아래"라는 용어는, 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며 직접 접촉하는 것에 한정되지 않는다. 예를 들어 "절연층(A) 위의 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접촉되어 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.
- [0041] 또한 본 명세서 등에서 "막", "층" 등의 용어는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다. 또는 경우 또는 상황에 따라 "막", "층" 등의 용어를 사용하지 않고, 다른 용어로 바꿀 수 있다. 예를 들어 "도전층" 또는 "도전막"이라는 용어를 "도체"라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연층", "절연막"이라는 용어를 "절연체"라는 용어로 변경할 수 있는 경우가 있다.
- [0042] 또한 본 명세서 등에서 "전극", "배선", "단자" 등의 용어는, 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어 "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극"이나 "배선"이라는 용어는, 복수의 "전극"이나 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다. 또한 예를 들어 "단자"는 "배선"이나 "전극"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "단자"라는 용어는, 복수의 "전극", "배선", "단자" 등이 일체가 되어 형성되어 있는 경우 등도 포함한다. 그러므로 예를 들어 "전극"은 "배선" 또는 "단자"의 일부가 될 수 있고, 예를 들어 "단자"는 "배선" 또는 "전극"의 일부가 될 수 있다. 또한 "전극", "배선", "단자" 등의 용어는 경우에 따라 "영역" 등의 용어로 치환되는 경우가 있다.
- [0043] 또한 본 명세서 등에서 "배선", "신호선", "전원선" 등의 용어는, 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "배선"이라는 용어를 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어 "배선"이라는 용어를 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선", "전원선" 등의 용어를 "배선"이라는 용어로 변경할 수 있는 경우가 있다. "전원선" 등의 용어는 "신호선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선" 등의 용어는 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 배선에 인가되는 "전위"라는 용어를 경우 또는 상황에 따라 "신호" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호" 등의 용어는 "전위"라는 용어로 변경할 수 있는 경우가 있다.
- [0044] 본 명세서 등에서 반도체의 불순물이란, 예를 들어 반도체층을 구성하는 주성분 이외의 것을 말한다. 예를 들어 농도가 0.1atome% 미만인 원소는 불순물이다. 불순물이 포함되면, 예를 들어 반도체에서 결합 준위 밀도가 높아지거나, 캐리어 이동도가 저하되거나, 결정성이 저하되는 경우가 있다. 반도체가 산화물 반도체인 경우,

반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 주성분 이외의 전이 금속 등이 있고, 특히 예를 들어 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 구체적으로는, 반도체가 실리콘층인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 15족 원소(다만 산소, 수소는 제외함) 등이 있다.

[0045] 본 명세서 등에서 스위치란, 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 가지는 것을 말한다. 또는 스위치란, 전류를 흘리는 경로를 선택하고 전환하는 기능을 가지는 것을 말한다. 일례로서는, 전기적 스위치, 기계적 스위치 등을 사용할 수 있다. 즉 스위치는 전류를 제어할 수 있는 것이면 좋고, 특정의 것에 한정되지 않는다.

[0046] 전기적 스위치의 일례로서는, 트랜지스터(예를 들어 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어 PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 또는 이들을 조합한 논리 회로 등이 있다. 또한 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 "도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 단락되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터의 "비도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터를 단순히 스위치로서 동작시키는 경우에는, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.

[0047] 기계적 스위치의 일례로서는, MEMS(micro electro mechanical systems) 기술을 사용한 스위치가 있다. 그 스위치는 기계적으로 동작시킬 수 있는 전극을 가지고, 그 전극의 움직임에 따라 도통과 비도통을 제어하여 동작한다.

[0048] 본 명세서에서 "평행"이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 "실질적으로 평행" 또는 "대략 평행"이란 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한 "수직"이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 "실질적으로 수직" 또는 "대략 수직"이란 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.

발명의 효과

[0049] 본 발명의 일 형태에 의하여 회로 면적이 저감된 정보 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 소비 전력이 낮은 정보 처리 장치를 제공할 수 있다.

[0050] 또는 본 발명의 일 형태에 의하여 신규 정보 처리 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 신규 정보 처리 장치의 동작 방법을 제공하는 것을 과제의 하나로 한다.

[0051] 또한 본 발명의 일 형태의 효과는 위에서 열거한 효과에 한정되지 않는다. 위에서 열거한 효과는 다른 효과의 존재를 방해하는 것이 아니다. 또한 다른 효과는 이하에 기재되고 본 항목에서는 언급되지 않은 효과이다. 본 항목에서 언급되지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재에서 도출할 수 있는 것이고, 이들 기재에서 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 효과 및 다른 효과 중 적어도 하나의 효과를 가지는 것이다. 따라서 본 발명의 일 형태는 경우에 따라서는 위에서 열거한 효과를 가지지 않는 경우도 있다.

도면의 간단한 설명

[0052] 도 1은 정보 처리 장치의 구성예를 나타낸 블록도이다.

도 2는 정보 처리 장치의 동작 방법의 예를 나타낸 흐름도이다.

도 3의 (A) 내지 (C)는 정보 처리 장치의 동작 방법의 예를 나타낸 모식도이다.

도 4의 (A) 내지 (C)는 정보 처리 장치에 포함되는 기억부의 구성예를 나타낸 회로도이다.

도 5는 정보 처리 장치에 포함되는 기억부의 구성예를 나타낸 회로도이다.

도 6은 정보 처리 장치에 포함되는 기억부의 구성예를 나타낸 회로도이다.

도 7의 (A) 및 (B)는 정보 처리 장치에 포함되는 기억부의 동작 방법의 예를 나타낸 타이밍 차트이다.

도 8은 정보 처리 장치에 포함되는 기억부의 구성예를 나타낸 회로도이다.

도 9는 정보 처리 장치에 포함되는 기억부의 구성예를 나타낸 회로도이다.

도 10은 정보 처리 장치의 구성예를 설명하는 단면 모식도이다.

도 11은 트랜지스터의 구성예를 설명하는 단면 모식도이다.

도 12는 정보 처리 장치의 구성예를 설명하는 단면 모식도이다.

도 13의 (A)는 컴퓨터의 구성예를 설명하는 사시도이고, 도 13의 (B)는 모놀리식 IC를 설명하는 사시도이다.

도 14의 (A) 및 (B)는 각각 컴퓨터, 모놀리식 IC의 기억 계층을 설명하는 도면이다.

도 15의 (A) 및 (B)는 정보 처리 장치의 구성 및 그 동작 방법을 설명하는 블록도이다.

도 16의 (A)는 IGZO의 결정 구조의 분류를 설명하는 도면이고, 도 16의 (B)는 결정정 IGZO의 XRD 스펙트럼을 설명하는 도면이고, 도 16의 (C)는 결정정 IGZO의 극미 전자선 회절 패턴을 설명하는 도면이다.

도 17의 (A)는 반도체 웨이퍼의 일례를 나타낸 사시도이고, 도 17의 (B)는 칩의 일례를 나타낸 사시도이고, 도 17의 (C) 및 (D)는 전자 부품의 일례를 나타낸 사시도이다.

도 18의 (A) 내지 (J)는 제품의 일례를 설명하는 사시도 또는 모식도이다.

도 19의 (A) 내지 (C)는 계산기의 일례를 설명하는 사시도이다.

도 20은 계산기의 일례를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0053] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체 등으로 분류된다. 예를 들어, 트랜지스터의 활성층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉, 금속 산화물이 증폭 작용, 정류 작용, 및 스위칭 작용 중 적어도 하나를 가지는 트랜지스터의 채널 형성 영역을 구성할 수 있는 경우, 상기 금속 산화물을 금속 산화물 반도체(metal oxide semiconductor)라고 부를 수 있다.
- [0054] 또한 본 명세서 등에서, 질소를 포함하는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함하는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 하여도 좋다.
- [0055] 또한 본 명세서 등에서 각 실시형태에 기재된 구성은 다른 실시형태에 기재된 구성과 적절히 조합하여 본 발명의 일 형태로 할 수 있다. 또한 하나의 실시형태에 복수의 구성예가 기재되는 경우에는, 구성예를 서로 적절히 조합할 수 있다.
- [0056] 또한 어떤 하나의 실시형태에서 설명하는 내용(일부 내용이어도 좋음)은, 그 실시형태에서 설명하는 다른 내용(일부 내용이어도 좋음)과, 하나 또는 복수의 다른 실시형태에서 설명하는 내용(일부 내용이어도 좋음) 중 적어도 하나의 내용에 대하여 적용, 조합, 또는 치환 등을 할 수 있다.
- [0057] 또한 실시형태에서 설명하는 내용이란, 각 실시형태(또는 실시예)에서 다양한 도면을 사용하여 설명하는 내용, 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 말한다.
- [0058] 또한 어떤 하나의 실시형태에서 제시하는 도면(일부이어도 좋음)은 그 도면의 다른 부분, 그 실시형태에서 제시하는 다른 도면(일부이어도 좋음), 하나 또는 복수의 다른 실시형태에서 제시하는 도면(일부이어도 좋음) 중 적어도 하나의 도면과 조합함으로써 더 많은 도면을 구성할 수 있다.
- [0059] 본 명세서에 기재되는 실시형태에 대하여 도면을 참조하여 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 실시형태의 발명의 구성에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한 사시도 등에서는, 도면의 명확성을 기하기 위하여 일부의 구성 요소의 기재를 생략하는 경우가 있다.
- [0060] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하는 경우, 특히 이들을 구별할 필요가 있는 경우에는, 부호에 "_1", "[n]", "[m, n]" 등의 식별용 부호를 붙여서 기재하는 경우가 있다.

- [0061] 또한 본 명세서의 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 스케일에 반드시 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들어 노이즈에 기인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.
- [0062] (실시형태 1)
- [0063] 본 실시형태에서는 기억 장치로서의 기능을 가지는 본 발명의 일 형태의 정보 처리 장치에 대하여 설명한다.
- [0064] <구성예>
- [0065] 도 1은 정보 처리 장치의 구성예를 나타낸 블록도이다. 정보 처리 장치(50)는 일례로서 기억부(1196)와, 컨트롤러(1197)와, 버스 인터페이스(1198)를 가진다.
- [0066] 정보 처리 장치(50)는 일례로서 명령 정보를 포함하는 신호를 외부로부터 취득함으로써 상기 명령에 따라 기억부(1196)에 대하여 데이터를 기록하는 기능을 가진다.
- [0067] 구체적으로는, 예를 들어 정보 처리 장치(50)에 입력된 명령 정보를 포함하는 신호(ISG)는 버스 인터페이스(1198)를 통하여 컨트롤러(1197)에 입력된다.
- [0068] 컨트롤러(1197)는 예를 들어 신호(ISG)를 디코드하는 기능을 가진다. 또한, 컨트롤러(1197)는 디코드된 신호에 포함되는 명령에 기초하여 각종 제어를 수행하는 기능을 가진다. 구체적으로는, 컨트롤러(1197)는 기억부(1196)의 어드레스를 생성하고, 정보 처리 장치의 상태에 따라 기억부(1196)의 데이터의 판독이나 기록을 수행한다. 또한, 기억부(1196)에 기록할 때, 기록용 데이터로서는 버스 인터페이스(1198)를 통하여 정보 처리 장치에 입력된 데이터(DT) 등으로 할 수 있다. 또한, 데이터(DT)는 버스 인터페이스(1198)를 통하여 컨트롤러(1197)에 송신된다.
- [0069] 그러므로, 컨트롤러(1197)는 일례로서 신호(ISG)를 디코드하는 회로와, 기억부(1196)에 포함되는 메모리 셀의 어드레스를 생성하는 회로와, 기억부(1196)에 포함되는 트랜지스터의 온 상태와 오프 상태를 전환하기 위한 신호를 출력하는 회로를 가지는 경우가 있다.
- [0070] 또한, 컨트롤러(1197)는 동작의 타이밍을 제어하는 신호를 생성하는 기능을 가져도 좋다. 예를 들어, 컨트롤러(1197)는 기준 클록 신호를 바탕으로 내부 클록 신호를 생성하는 내부 클록 생성부를 구비하고, 내부 클록 신호를 상기 각종 회로에 공급하는 구성으로 하여도 좋다.
- [0071] 또한, 컨트롤러(1197)는 기억부(1196)에 포함되는 스트링의 메모리 셀에 대하여 오류 체크를 수행하는 기능을 가져도 좋다. 컨트롤러(1197)가 이 기능을 가짐으로써, 예를 들어 컨트롤러(1197)가 기억부(1196)에 데이터의 기록을 수행하기 전에 기억부(1196)에 포함되는 스트링의 메모리 셀에 대한 오류 체크를 수행할 수 있다. 이때, 기록하는 스트링에 불량 셀을 발견한 경우, 컨트롤러(1197)는 데이터를 기록하는 셀을 불량 셀로부터 다른 셀로 변경하고 데이터의 기록 동작을 수행할 수 있다. 또한, 컨트롤러(1197)는 기억부(1196)에 포함되는 스트링의 메모리 셀에 대하여 일정한 간격으로 오류 체크를 수행하고, 스트링에 불량 셀을 발견한 경우에 데이터를 정정하는 기능을 가져도 좋다.
- [0072] 또한, 정보 처리 장치(50)는 일례로서 명령 정보를 포함하는 신호를 외부로부터 취득함으로써, 상기 명령에 따라 기억부(1196)로부터의 데이터의 판독을 수행하는 기능을 가진다. 또한, 정보 처리 장치(50)는 컨트롤러(1197)에 의하여 판독한 데이터를 신호(OSG)로서 정보 처리 장치(50)의 외부로 출력하는 기능을 가진다.
- [0073] 본 발명의 일 형태의 정보 처리 장치에서, 기억부(1196)로서는 예를 들어 NAND형 스트링을 가지는 기억 회로를 적용할 수 있다. 특히 NAND형 기억 회로로서는 OS 트랜지스터를 사용한 3차원 구조의 NAND형 기억 회로를 적용하는 것이 바람직하다. 또한, 메모리 셀의 구성으로서 OS 트랜지스터를 사용한 NAND형 스트링을 가로형으로 하고 상기 스트링을 한 층씩 적층하는 구성과, OS 트랜지스터를 사용한 NAND형 스트링을 세로형으로 하고 상기 스트링을 에칭 등에 의하여 일괄적으로 형성하는 구성을 들 수 있다. 본 명세서 등에서는 OS 트랜지스터를 사용한 NAND형 스트링을 세로형으로 한 구조를 3D OS NAND(등록 상표)형 기억 회로라고 부르는 경우가 있다. 3D OS NAND형 기억 회로는 다수의 메모리 셀을 동시에 형성할 수 있기 때문에, 적은 제작 공정으로 실장 밀도를 높일 수 있다. 즉, 1bit당 비용을 절감하고, 실장 밀도가 높은 기억 회로를 낮은 비용으로 실현할 수 있다. 그러므로, 기억부(1196)는 NAND형 스트링을 복수로 가진다. 또한, 도 1에는 기억부(1196)가 스트링(ST1) 내지 스트링(ST3)을 가지는 예를 나타내었다. 또한, 도 1의 기억부(1196)에서는 스트링(ST1) 내지 스트링(ST3) 이외의 스

트링은 생략하였다.

- [0074] 일례로서, 스트링(ST1)은 메모리 셀(L[1]) 내지 메모리 셀(L[n])(n은 1 이상의 정수로 함)을 가지고, 스트링(ST2)은 메모리 셀(M[1]) 내지 메모리 셀(M[n])을 가지고, 스트링(ST3)은 메모리 셀(N[1]) 내지 메모리 셀(N[n])을 가진다.
- [0075] 또한, 스트링(ST1)에서 메모리 셀(L[1]) 내지 메모리 셀(L[n])은 배선(SL1)과 배선(BL1) 사이에 직렬로 전기적으로 접속되어 있다. 마찬가지로, 스트링(ST2)에서 메모리 셀(M[1]) 내지 메모리 셀(M[n])은 배선(SL2)과 배선(BL2) 사이에 직렬로 전기적으로 접속되고, 스트링(ST3)에서 메모리 셀(N[1]) 내지 메모리 셀(N[n])은 배선(SL3)과 배선(BL3) 사이에 직렬로 전기적으로 접속되어 있다.
- [0076] 배선(SL1) 내지 배선(SL3) 각각은 스트링(ST1) 내지 스트링(ST3)에 대하여 소정의 전위를 인가하는 배선으로서 기능한다. 또한, 배선(BL1) 내지 배선(BL3) 각각은 스트링(ST1) 내지 스트링(ST3)에 포함되는 메모리 셀에 대하여 데이터를 기록하기 위한 배선 및/또는 메모리 셀로부터 데이터를 관독하기 위한 배선으로서 기능한다.
- [0077] 또한 도시되지 않은 스트링의 접속 구성도 스트링(ST1) 내지 스트링(ST3)과 같게 한다.
- [0078] <동작 방법의 예>
- [0079] 여기서, 도 1의 정보 처리 장치(50)에서 기억부(1196)의 스트링에 포함되는 일부의 메모리 셀을 캐시 메모리로서 취급하는 동작 방법의 일례에 대하여 설명한다.
- [0080] 도 2는 도 1의 정보 처리 장치(50)의 동작 방법의 예를 나타낸 흐름도이다. 상기 동작 방법은 단계(STP1) 내지 단계(STP8)를 가진다. 또한, 상기 흐름도와 함께 스트링(ST1) 및 스트링(ST2)에서의 데이터의 움직임도 도 3의 (A) 내지 (C)에 나타내었다.
- [0081] 또한, 본 동작 방법으로서 일례로서 스트링(ST1)의 메모리 셀(L[1]) 내지 메모리 셀(L[n]) 각각에 데이터가 유지되어 있는 것으로 하여 메모리(L[6])의 데이터를 재기록하는 경우를 생각한다. 또한, 적어도 스트링(ST2) 및 스트링(ST3)에는 데이터가 유지되어 있지 않은 것으로 한다.
- [0082] 도 1의 정보 처리 장치(50)에서, 동작이 시작되면 우선 단계(STP1)가 수행된다.
- [0083] 단계(STP1)는 메모리 셀(L[1])에 대한 재기록용 데이터를 예를 들어 스트링(ST3)의 메모리 셀(N[1])에 기록하는 단계를 가진다. 구체적으로는, 예를 들어 도 1의 정보 처리 장치(50)는 재기록용 데이터(DT)와 데이터를 재기록하는 명령을 포함하는 신호(ISG)를 취득하고, 컨트롤러(1197)로부터 기억부(1196)에 기록 신호가 송신되고, 메모리 셀(M[1])에 기록용 데이터(DT)를 유지한다.
- [0084] 단계(STP1)가 종료된 후에 단계(STP2)가 수행된다. 단계(STP2)는 스트링(ST1)에서 재기록을 수행하는 메모리 셀 이외의 메모리 셀(L[1]) 내지 메모리 셀(L[n]) 각각에 유지되어 있는 데이터를 관독하는 단계를 가진다. 여기서, 예를 들어 메모리 셀(L[1]) 내지 메모리 셀(L[5]) 각각에 유지되어 있는 데이터를 관독하는 것으로 한다(도 3의 (A) 참조).
- [0085] 단계(STP3)는 단계(STP2)에서 관독한 메모리 셀(L[1]) 내지 메모리 셀(L[5]) 각각의 데이터를 스트링(ST2)의 메모리 셀(M[1]) 내지 메모리 셀(M[5])에 순차적으로 기록하는(복사하는) 단계를 가진다(도 3의 (A) 참조).
- [0086] 또한, 도 2의 흐름도에서는 단계(STP2) 다음에 단계(STP3)가 수행되는 것으로 기재되어 있지만, 본 발명의 일 형태의 정보 처리 장치의 동작 방법은 이에 한정되지 않는다. 예를 들어, 단계(STP2)에서 스트링(ST1)의 메모리 셀(L[1]) 내지 메모리 셀(L[5]) 각각에 유지되어 있는 데이터를 순차적으로 관독하고, 관독한 순서로 순차적으로 스트링(ST2)의 메모리 셀(M[1]) 내지 메모리 셀(M[5])에 기록하여도 좋다. 즉, 단계(STP2) 및 단계(STP3)를 같은 단계로 통합하여도 좋다.
- [0087] 단계(STP3)가 종료된 후에 단계(STP4)가 수행된다. 단계(STP4)는 스트링(ST1)의 메모리 셀(L[1]) 내지 메모리 셀(L[5])에 유지되어 있는 데이터를 소거하는 단계를 가진다.
- [0088] 기억부(1196)가 NAND형 기억 회로인 경우, 데이터의 소거 동작은 스트링 단위로 수행되기 때문에, 스트링(ST1)의 메모리 셀(L[1]) 내지 메모리 셀(L[5])에 유지되어 있는 데이터를 소거하려고 하면 메모리 셀(L[1]) 내지 메모리 셀(L[n])의 데이터가 모두 소거되기 때문에, 단계(STP2) 및 단계(STP3)에서 메모리 셀(L[1]) 내지 메모리 셀(L[5])뿐만 아니라 메모리 셀(L[7]) 내지 메모리 셀(L[n])의 데이터도 스트링(ST2)에 기록할 필요가 있다.
- [0089] 그러므로, 기억부(1196)는 후술하는 도 4 내지 도 6에 도시된 회로 구성을 가지는 OS NAND형 기억 회로인 것이

바람직하다. 자세한 사항은 후술하지만, 상기 기억 장치를 사용함으로써 스트링(ST1)의 메모리 셀(L[1])로부터 임의의 메모리 셀까지의 데이터를 소거할 수 있다. 그러므로, 본 동작예에서는 메모리 셀(L[6])의 데이터를 재기록하기 위하여, 스트링(ST1)의 메모리 셀(L[1]) 내지 메모리 셀(L[6])의 데이터만 소거하는 것으로 한다(도 3의 (B) 참조).

- [0090] 단계(STP5)는 스트링(ST3)의 메모리 셀(N[1])로부터 재기록용 데이터(DT)를 판독하는 단계를 가진다.
- [0091] 단계(STP6)는 단계(STP5)에서 판독한 메모리 셀(N[1])의 재기록용 데이터(DT)를 스트링(ST1)의 메모리 셀(L[6])에 기록하는 단계를 가진다(도 3의 (B) 참조).
- [0092] 단계(STP7)는 스트링(ST2)의 메모리 셀(M[1]) 내지 메모리 셀(M[5]) 각각에 유지되어 있는 데이터를 판독하는 단계를 가진다. 상기 데이터는 단계(STP3)에서 기록된 데이터에 상당한다(도 3의 (C) 참조).
- [0093] 단계(STP8)는 단계(STP5)에서 판독한 메모리 셀(M[1]) 내지 메모리 셀(M[5]) 각각의 데이터를 스트링(ST1)의 메모리 셀(L[1]) 내지 메모리 셀(L[5])에 순차적으로 기록하는(복사하는) 단계를 가진다(도 3의 (C) 참조).
- [0094] 또한, 도 2의 흐름도에서는 단계(STP7) 다음에 단계(STP8)가 수행되는 것으로 기재하였지만, 본 발명의 일 형태의 정보 처리 장치의 동작 방법은 이에 한정되지 않는다. 예를 들어, 단계(STP7)에서 스트링(ST2)의 메모리 셀(M[1]) 내지 메모리 셀(M[5]) 각각에 유지되어 있는 데이터를 순차적으로 판독하고, 판독한 순서로 순차적으로 스트링(ST1)의 메모리 셀(L[2]) 내지 메모리 셀(N[5])에 기록하여도 좋다. 즉, 단계(STP7) 및 단계(STP8)는 같은 단계로 통합하여도 좋다.
- [0095] 상술한 단계(STP1) 내지 단계(STP8)와 같이, 기억부(1196)의 스트링에 데이터를 기록할 때나, 스트링에 유지된 데이터를 재기록할 때 등에서, 기억부(1196)의 다른 스트링의 메모리 셀을 캐시 메모리로서 취급할 수 있다.
- [0096] 그런데, 도 1에 나타난 정보 처리 장치(50)에서 회로를 형성하기 위한 기판으로서, 예를 들어 반도체 기판(예를 들어 단결정 기판 또는 실리콘 기판)을 사용하는 것이 바람직하다. 또한, 상기 기판으로서, 예를 들어 SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 사파이어 유리 기판, 금속 기판, 스테인리스·스틸 기판, 스테인리스·스틸·포일을 가지는 기판, 텅스텐 기판, 텅스텐·포일을 가지는 기판, 가요성 기판, 접합 필름, 섬유상 재료를 포함하는 종이, 또는 기재 필름 등이 있다. 유리 기판의 일례로서는 바륨보로실리케이트 유리, 알루미늄보로실리케이트 유리, 또는 소다 석회 유리 등이 있다. 가요성 기판, 접합 필름, 기재 필름 등의 일례로서는 이하의 것을 들 수 있다. 예를 들어, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES), 폴리테트라플루오로에틸렌(PTFE)으로 대표되는 플라스틱이 있다. 또는 일례로서는, 아크릴 등의 합성 수지 등이 있다. 또는 일례로서는, 폴리프로필렌, 폴리에스터, 폴리플루오린화 바이닐, 또는 폴리염화 바이닐 등이 있다. 또는 일례로서는 폴리아마이드, 폴리이미드, 아라미드, 에폭시 수지, 무기 증착 필름, 또는 종이류 등이 있다. 특히 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용하여 트랜지스터를 제작함으로써, 특성, 사이즈, 또는 형상 등의 편차가 적고, 전류 능력이 높고, 사이즈가 작은 트랜지스터를 제작할 수 있다. 이러한 트랜지스터로 회로를 구성하면, 회로의 저소비 전력화 또는 회로의 고집적화를 할 수 있다.
- [0097] 또한 기판으로서 가요성 기판을 사용하고, 가요성 기판 위에 트랜지스터를 직접 형성하여도 좋다. 또는 기판과 트랜지스터 사이에 박리층을 제공하여도 좋다. 박리층은, 그 위에 정보 처리 장치의 일부 또는 전부를 완성시킨 후에 기판으로부터 분리하고 다른 기판으로 전치(轉置)하기 위하여 사용할 수 있다. 이때 트랜지스터를 내열성이 낮은 기판이나 가요성 기판으로도 전치할 수 있다. 또한 상술한 박리층에는, 예를 들어 텅스텐막과 산화 실리콘막과의 무기막의 적층 구조의 구성이나, 기판 위에 폴리이미드 등의 유기 수지막이 형성된 구성 등을 사용할 수 있다.
- [0098] 즉 한 기판을 사용하여 트랜지스터를 형성한 후, 다른 기판으로 트랜지스터를 전치하고, 다른 기판 위에 트랜지스터를 배치하여도 좋다. 트랜지스터가 전치되는 기판의 일례로서는 상술한 트랜지스터가 형성될 수 있는 기판에 더하여, 종이 기판, 셀로판 기판, 아라미드 필름 기판, 폴리이미드 필름 기판, 석재 기판, 목재 기판, 천 기판(천연 섬유(비단, 솜, 삼), 합성 섬유(나일론, 폴리에틸렌, 폴리에스터), 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스터) 등을 포함함), 피혁 기판, 또는 고무 기판 등이 있다. 이들 기판을 사용함으로써, 특성이 좋은 트랜지스터의 형성, 소비 전력이 낮은 트랜지스터의 형성, 파괴되기 어려운 장치의 제작, 내열성의 부여, 경량화, 또는 박형화를 할 수 있다.
- [0099] 또한 소정의 기능을 실현시키기 위하여 필요한 회로 모두를 동일한 기판(예를 들어 유리 기판, 플라스틱 기판, 단결정 기판, 또는 SOI 기판 등)에 형성할 수 있다. 이와 같이 하여, 부품 점수의 삭감에 의한 비용의 저감,

또는 회로 부품과의 접속점 수의 저감에 의한 신뢰성의 향상을 할 수 있다.

- [0100] 또한 소정의 기능을 실현시키기 위하여 필요한 회로 모두를 동일한 기판에 형성하지 않는 것이 가능하다. 즉 소정의 기능을 실현시키기 위하여 필요한 회로의 일부는 한 기판에 형성하고, 소정의 기능을 실현시키기 위하여 필요한 회로의 다른 일부는 다른 기판에 형성할 수 있다. 예를 들어 소정의 기능을 실현시키기 위하여 필요한 회로의 일부는 유리 기판에 형성하고, 소정의 기능을 실현시키기 위하여 필요한 회로의 다른 일부는 단결정 기판(또는 SOI 기판)에 형성할 수 있다. 그리고 소정의 기능을 실현시키기 위하여 필요한 회로의 다른 일부가 형성되는 단결정 기판(IC칩이라고도 함)을 COG(Chip On Glass)에 의하여 유리 기판에 접속하고, 유리 기판에 그 IC칩을 배치할 수 있다. 또는 IC칩을 TAB(Tape Automated Bonding), COF(Chip On Film), SMT(Surface Mount Technology), 또는 인쇄 기판 등을 사용하여 유리 기판과 접속할 수 있다. 이와 같이 회로의 일부가 화소부와 동일한 기판에 형성되어 있는 것에 의하여, 부품 점수의 삭감에 의한 비용의 절감이나, 또는 회로 부품과의 접속점 수의 저감에 의한 신뢰성의 향상을 할 수 있다. 특히 구동 전압이 큰 부분의 회로, 또는 구동 주파수가 높은 부분의 회로 등은, 소비 전력이 높아지는 경우가 많다. 따라서 이러한 회로를 화소부와는 다른 기판(예를 들어 단결정 기판)에 형성하여, IC칩을 구성한다. 이 IC칩을 사용함으로써, 소비 전력이 증대되는 것을 방지할 수 있다.
- [0101] 또한 본 발명의 일 형태는 도 1에 나타난 정보 처리 장치(50)의 구성에 한정되지 않는다. 본 발명의 일 형태에서는 상황에 따라 도 1에 나타난 정보 처리 장치(50)의 구성을 변경하여도 좋다. 예를 들어 도 1에 나타난 정보 처리 장치(50)에 포함되는 기억부(1196)의 스트링의 구성은 실시형태 2에서 설명하는 스트링의 구성으로 변경하여도 좋다.
- [0102] 또한 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0103] (실시형태 2)
- [0104] 본 실시형태에서는 실시형태 1의 기억부(1196)에 적용할 수 있는 기억부(NAND형 기억 회로)의 구성예에 대하여 설명한다.
- [0105] <기억부(기억 회로)의 구성예>
- [0106] 기억부의 일례에 대하여 도 4의 (A)를 참조하여 설명한다. 도 4의 (A)에는 n 개(n 은 1 이상의 정수임)의 메모리 셀의 회로도도 나타나 있다. 즉, 도 4의 (A)에 나타난 회로는 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])의 메모리 셀과, 이들을 제어하기 위한 배선(WWL[1]) 내지 배선(WWL[n])과, 배선(RWL[1]) 내지 배선(RWL[n])과, 배선(WBL)과, 배선(RBL)을 가진다. 또한, 배선(WWL)은 기록 워드선으로서 기능하고, 배선(RWL)은 판독 워드선으로서 기능하고, 배선(WBL)은 기록 비트선으로서 기능하고, 배선(RBL)은 판독 비트선으로서 기능한다.
- [0107] 각각의 메모리 셀(MC)은 트랜지스터(WTr)와, 트랜지스터(RTr)와, 용량 소자(CS)를 가진다. 도 4의 (A)에 도시된 트랜지스터(RTr)는 백 게이트를 가지는 트랜지스터이고, 백 게이트에 전위를 인가함으로써 트랜지스터(RTr)의 문턱 전압을 변동시킬 수 있다. 또한, 도 4의 (A)에 도시된 배선(BGL)은 각각 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 가지는 트랜지스터(RTr)의 백 게이트와 전기적으로 접속되어 있다. 또한, 도 4의 (A)에 나타난 반도체 장치는 배선(BGL)이 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 가지는 트랜지스터(RTr)의 백 게이트의 각각과 전기적으로 접속되어 있는 구성뿐만 아니라, 상기 백 게이트에 대하여 각각 독립적으로 전기적으로 접속되고 각각 상이한 전위를 인가하는 구성으로 하여도 좋다.
- [0108] 트랜지스터(WTr)의 채널 형성 영역은, 예를 들어 실시형태 6에서 설명하는 금속 산화물을 가지는 것이 바람직하다. 특히, 인듐, 원소 M(원소 M로서는, 예를 들어 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘 등), 아연 중에서 하나 또는 복수 선택된 원소를 가지는 금속 산화물인 경우, 상기 금속 산화물은 와이드갭 반도체로서 기능하기 때문에, 상기 금속 산화물이 채널 형성 영역에 포함되는 트랜지스터는 오프 전류가 매우 낮다는 특성을 가진다.
- [0109] 또한, 트랜지스터(RTr)의 채널 형성 영역으로서, 트랜지스터의 전계 효과 이동도가 높아지는 재료를 사용하는 것이 바람직하다. 이와 같은 트랜지스터를 사용함으로써, 반도체 장치를 더 빨리 동작시킬 수 있다. 예를 들어, 트랜지스터(RTr)의 채널 형성 영역에 포함되는 재료로서는, 예를 들어 실리콘, 실시형태 6에서 설명하는 금속 산화물 등의 반도체 재료를 가질 수 있다.
- [0110] 트랜지스터(WTr)는 기록 트랜지스터로서 기능하고, 트랜지스터(RTr)는 판독 트랜지스터로서 기능한다. 트랜지

스터(WTr)의 온 상태, 오프 상태의 전환은 배선(WWL)에 인가되는 전위에 의하여 수행된다. 용량 소자(CS)의 한쪽 전극의 전위는 배선(RWL)에 의하여 제어된다. 용량 소자(CS)의 다른 쪽 전극은 트랜지스터(RTr)의 게이트에 전기적으로 접속되어 있다. 용량 소자(CS)의 다른 쪽 전극을 메모리 노드라고 바꿔 말할 수 있다. 각 메모리 셀(MC)의 메모리 노드는 그 메모리 셀(MC)이 가지는 트랜지스터(WTr)의 제 1 단자에 전기적으로 접속되어 있다.

[0111] 또한, 트랜지스터(WTr)의 제 2 단자는 인접한 메모리 셀(MC)의 트랜지스터(WTr)의 제 1 단자와 직렬로 전기적으로 접속되어 있다. 마찬가지로, 트랜지스터(RTr)의 제 1 단자는 인접한 메모리 셀의 트랜지스터(RTr)의 제 2 단자와 직렬로 전기적으로 접속되어 있다. 그리고, 메모리 셀(MC[n])이 가지는 트랜지스터(WTr)의 제 2 단자는 배선(WBL)과 전기적으로 접속되고, 메모리 셀(MC[n])이 가지는 트랜지스터(RTr)의 제 2 단자는 배선(RBL)과 전기적으로 접속되어 있다. 또한, 본 실시형태에서는 메모리 셀(MC[n])이 가지는 트랜지스터(RTr)의 제 2 단자와 배선(RBL)의 접속점을 노드(N1)라고 부르고, 메모리 셀(MC[1])이 가지는 트랜지스터(RTr)의 제 1 단자를 노드(N2)라고 부른다. 또한, 노드(N1)와 배선(RBL) 사이의 도통 상태를 제어하기 위하여, 메모리 셀(MC[n])의 트랜지스터(RTr)와 직렬로 선택용 트랜지스터를 접속하여도 좋다. 마찬가지로, 노드(N2)와 접속된 배선과 노드(N2) 사이의 도통 상태를 제어하기 위하여, 메모리 셀(MC[1])의 트랜지스터(RTr)와 직렬로 선택용 트랜지스터를 접속하여도 좋다.

[0112] 또한, 본 발명의 일 형태는 도 4의 (A)에 나타난 반도체 장치에 한정되지 않는다. 본 발명의 일 형태는 도 4의 (A)에 나타난 반도체 장치를 적절히 변경한 회로 구성으로 할 수 있다. 예를 들어, 도 4의 (B)에 나타난 바와 같이, 본 발명의 일 형태는 트랜지스터(WTr)에도 백 게이트를 제공한 반도체 장치로 하여도 좋다. 또한, 도 4의 (B)에 나타난 반도체 장치는, 도 4의 (A)에 나타난 반도체 장치의 구성에 더하여, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 가지는 트랜지스터(WTr)에 백 게이트를 제공하고, 배선(BGL)이 상기 백 게이트 각각에 전기적으로 접속된 구성이다. 또한, 예를 들어 도 4의 (C)에 나타난 바와 같이, 트랜지스터(RTr) 및 트랜지스터(WTr)에 백 게이트를 제공하지 않는 반도체 장치로 하여도 좋다.

[0113] 그런데, 도 4의 (A) 내지 (C)에 나타난 반도체 장치의 기억 용량을 더 증가하려고 하는 경우, 도 4의 (A) 내지 (C)에 나타난 반도체 장치를 매트릭스상이 되도록 나란히 배치하면 좋다. 예를 들어, 도 4의 (B)에 나타난 반도체 장치를 매트릭스상이 되도록 나란히 배치한 경우, 그 회로 구성은 도 5에 나타난 구성이 된다.

[0114] 도 5에 나타난 반도체 장치는 도 4의 (B)에 나타난 반도체 장치를 일렬로 하고 m열(m은 1 이상의 정수임) 나란히 배치한 것이고, 배선(RWL) 및 배선(WWL)을 같은 행의 메모리 셀(MC)과 공유하도록 전기적으로 접속한 구성이다. 즉, 도 5에 나타난 반도체 장치는 n행 m열의 매트릭스상의 반도체 장치이고, 메모리 셀(MC[1, 1]) 내지 메모리 셀(MC[n, m])을 가진다. 그러므로, 도 5에 나타난 반도체 장치는 배선(RWL[1]) 내지 배선(RWL[n]), 배선(WWL[1]) 내지 배선(WWL[n]), 배선(RBL[1]) 내지 배선(RBL[m]), 배선(WBL[1]) 내지 배선(WBL[m]), 배선(BGL[1]) 내지 배선(BGL[m])에 의하여 전기적으로 접속되어 있다. 구체적으로는, 메모리 셀(MC[j, i])(j는 1 이상 n 이하의 정수이고, i는 1 이상 m 이하의 정수임)의 용량 소자(CS)의 한쪽 전극은 배선(RWL[j])과 전기적으로 접속되고, 메모리 셀(MC[j, i])의 트랜지스터(WTr)의 게이트는 배선(WWL[j])과 전기적으로 접속되어 있다. 배선(WBL[i])은 메모리 셀(MC[n, i])의 트랜지스터(WTr)의 제 2 단자와 전기적으로 접속되고, 배선(RBL[i])은 메모리 셀(MC[n, i])의 트랜지스터(RTr)의 제 2 단자와 전기적으로 접속되어 있다.

[0115] 또한, 도 5에서는 메모리 셀(MC[1, 1]), 메모리 셀(MC[1, i]), 메모리 셀(MC[1, m]), 메모리 셀(MC[j, 1]), 메모리 셀(MC[j, i]), 메모리 셀(MC[j, m]), 메모리 셀(MC[n, 1]), 메모리 셀(MC[n, i]), 메모리 셀(MC[n, m]), 배선(RWL[1]), 배선(RWL[j]), 배선(RWL[n]), 배선(WWL[1]), 배선(WWL[j]), 배선(WWL[n]), 배선(RBL[1]), 배선(RBL[i]), 배선(RBL[m]), 배선(WBL[1]), 배선(WBL[i]), 배선(WBL[m]), 배선(BGL[1]), 배선(BGL[i]), 배선(BGL[m]), 용량 소자(CS), 트랜지스터(WTr), 트랜지스터(RTr), 노드(N1), 노드(N2)만 도시하였다.

[0116] 또한, 본 명세서 등에서는 일례로서 i번째 열의 노드(N1)와 노드(N2) 사이에 전기적으로 접속되어 있는 메모리 셀(MC[1, i]) 내지 메모리 셀(MC[n, i])을 i번째 열의 스트링이라고 부르는 경우가 있다. 또한, 일례로서 j번째 행의 배선(RWL[j]) 및 배선(WWL[j])에 전기적으로 접속되어 있는 메모리 셀(MC[j, 1]) 내지 메모리 셀(MC[j, m])을 j번째 페이지라고 부르는 경우가 있다. 또한, 일례로서 도 5에 나타난 n행 m열의 매트릭스상으로 배치된 메모리 셀(MC[1, 1]) 내지 메모리 셀(MC[n, m])을 통틀어 블록이라고 부르는 경우가 있다.

[0117] 또한, 도 4의 (C)에 나타난 반도체 장치를 일렬로 하여 m열(m은 1 이상의 정수임) 나란히 배치한 것을 도 6에 나타내었다. 또한, 도 6에 나타난 반도체 장치는 모든 메모리 셀(MC)이 가지는 각각의 트랜지스터에 백 게이트를 제공하지 않는 구성이고, 그러므로 도 6에 나타난 반도체 장치는 배선(BGL)을 가지지 않는다. 또한, 도 6에 나타난 반도체 장치에 대해서는, 도 5에 나타난 반도체 장치의 설명의 기재를 참작한다.

- [0118] <<동작 방법의 예>>
- [0119] 다음으로, 도 4의 (A) 내지 (C)에 나타난 반도체 장치의 동작 방법의 일례에 대하여 설명한다. 또한, 이하의 설명에서 사용되는 저레벨 전위, 고레벨 전위는 특정한 전위를 의미하는 것이 아니라, 배선이 상이하면, 구체적인 전위도 상이한 경우가 있다. 예를 들어, 배선(WWL)에 인가되는 저레벨 전위, 고레벨 전위 각각은 배선(RWL)에 인가되는 저레벨 전위, 고레벨 전위와 상이한 전위이어도 좋다.
- [0120] 또한, 본 동작 방법의 예에서, 도 4의 (A) 및 (B)에 나타난 배선(BGL)에는, 트랜지스터(RTr), 트랜지스터(WTr)가 정상적으로 동작하는 범위 내의 전위가 미리 인가된 것으로 한다. 그러므로, 도 4의 (A) 내지 (C)에 나타난 반도체 장치의 동작은 각각 서로 마찬가지로 생각할 수 있다.
- [0121] 도 7의 (A)는 반도체 장치에 데이터를 기록하는 동작예를 나타낸 타이밍 차트이고, 도 7의 (B)는 반도체 장치로부터 데이터를 판독하는 동작의 예를 나타낸 타이밍 차트이다. 도 7의 (A) 및 (B) 각각의 타이밍 차트는 배선(WWL[1]), 배선(WWL[2]), 배선(WWL[n]), 배선(RWL[1]), 배선(RWL[2]), 배선(RWL[n]), 노드(N1), 및 노드(N2)의 전위의 크기의 변화를 나타낸 것이다. 또한, 배선(WBL)은 배선(WBL)에 공급되는 데이터에 대하여 나타낸 것이다.
- [0122] 도 7의 (A)는 데이터(D[1]) 내지 데이터(D[n]) 각각을 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])에 기록하는 예를 나타낸 것이다. 또한, 데이터(D[1]) 내지 데이터(D[n])는 2치, 멀티레벨, 아날로그값 등으로 할 수 있다. 그리고, 데이터(D[1]) 내지 데이터(D[n])는 배선(WBL)으로부터 공급되는 것으로 한다. 즉, 도 4의 (A) 내지 (C)에 나타난 반도체 장치의 회로 구성에서, 데이터의 기록은 메모리 셀(MC[1])로부터 메모리 셀(MC[n])까지 순차적으로 수행된다.
- [0123] 또한, 예를 들어 메모리 셀(MC[2])에 데이터를 기록한 후에 메모리 셀(MC[1])에 데이터를 기록하려고 하면, 일단 메모리 셀(MC[2])에 기록된 데이터를 판독하고 다른 장소에 저장하지 않으면 메모리 셀(MC[2])에 유지되어 있는 데이터는 메모리 셀(MC[1])에 데이터를 기록하는 단계에서 소실된다.
- [0124] 도 4의 (A) 내지 (C)에 나타난 반도체 장치의 회로 구성에서, 메모리 셀(MC[i])(여기서 i는 2 이상 n 이하의 정수로 함)에 데이터를 기록하는 경우, 메모리 셀(MC[1]) 내지 메모리 셀(MC[i-1])에 유지되어 있는 데이터가 재기록되는 것을 방지하기 위하여 배선(WWL[1]) 내지 배선(WWL[i-1])에 저레벨 전위를 공급하여 메모리 셀(MC[1]) 내지 메모리 셀(MC[i-1])이 가지는 각각의 트랜지스터(WTr)를 오프 상태로 한다. 이에 의하여, 메모리 셀(MC[1]) 내지 메모리 셀(MC[i-1])에 유지되어 있는 각각의 데이터를 보호할 수 있다.
- [0125] 또한, 메모리 셀(MC[i])에 데이터를 기록하는 경우, 데이터는 배선(WBL)으로부터 공급되기 때문에, 배선(WWL[i]) 내지 배선(WWL[n])에 고레벨 전위를 공급하여, 메모리 셀(MC[i]) 내지 메모리 셀(MC[n])이 가지는 각각의 트랜지스터(WTr)를 충분한 온 상태로 한다. 이에 의하여, 메모리 셀(MC[i])의 메모리 노드에 데이터를 유지할 수 있다.
- [0126] 또한, 도 4의 (A) 내지 (C)에 나타난 반도체 장치의 회로 구성에 데이터를 기록하는 경우, 배선(RBL)은 다른 배선과 독립적으로 제어할 수 있기 때문에, 특정의 전위로 할 필요는 없지만, 예를 들어 저레벨 전위로 할 수 있다. 즉, 노드(N1)의 전위는 저레벨 전위로 할 수 있다. 또한, 노드(N2)의 전위도 저레벨 전위로 할 수 있다.
- [0127] 상기를 전제로, 도 7의 (A)의 타이밍 차트에 나타난 동작예에 대하여 설명한다. 시각(T10)에서, 배선(WWL[1]) 내지 배선(WWL[n]), 배선(RWL[1]) 내지 배선(RWL[n]), 배선(WBL), 노드(N1), 및 노드(N2) 각각의 전위는 저레벨 전위이다.
- [0128] 시각(T11)에서, 배선(WWL[1]) 내지 배선(WWL[n])에 고레벨 전위가 인가되기 시작한다. 이에 의하여, 시각(T11)부터 시각(T12)까지의 기간에서 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 가지는 각각의 트랜지스터(WTr)가 충분한 온 상태가 된다. 그리고, 배선(WBL)에는 데이터(D[1])가 공급된다. 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 가지는 각각의 트랜지스터(WTr)는 충분한 온 상태가 되어 있기 때문에, 데이터(D[1])는 메모리 셀(MC[1])의 메모리 노드에 도달되고 기록된다.
- [0129] 시각(T12)에서, 배선(WWL[1])에 저레벨 전위가 인가되기 시작하고, 배선(WWL[2]) 내지 배선(WWL[n])에는 고레벨 전위가 계속 인가되어 있다. 이에 의하여, 시각(T12)부터 시각(T13)까지의 기간에서, 메모리 셀(MC[1])이 가지는 트랜지스터(WTr)가 오프 상태가 되고, 메모리 셀(MC[2]) 내지 메모리 셀(MC[n])이 가지는 각각의 트랜지스터(WTr)가 충분한 온 상태가 된다. 그리고, 배선(WBL)에는 데이터(D[2])가 공급된다. 메모리 셀(MC[2]) 내지 메모리 셀(MC[n])이 가지는 각각의 트랜지스터(WTr)는 충분한 온 상태가 되어 있기 때문에, 데이터(D[2])는 메모리

리 셀(MC[2])의 메모리 노드에 도달되고 기록된다. 또한, 메모리 셀(MC[1])의 트랜지스터(WTr)는 오프 상태가 되어 있기 때문에, 메모리 셀(MC[1])에 유지되어 있는 데이터(D[1])는 이 시각(T12)부터 시각(T13)까지의 기록 동작에 의하여 소실되지 않는다.

[0130] 시각(T13)부터 시각(T14)까지의 기간에는 시각(T11)부터 시각(T12)까지의 기간의 메모리 셀(MC[1])에 대한 데이터(D[1])의 기록 동작과, 시각(T12)부터 시각(T13)까지의 기간의 메모리 셀(MC[2])에 대한 데이터(D[2])의 기록 동작 각각과 마찬가지로, 메모리 셀(MC[3]) 내지 메모리 셀(MC[n-1]) 각각에 순차적으로 데이터(D[3]) 내지 데이터(D[n-1])가 기록된다. 구체적으로는, 이미 데이터가 기록된 메모리 셀(MC[1]) 내지 메모리 셀(MC[j-1])(여기서 j는 3 이상 n-1 이하의 정수로 함)이 가지는 트랜지스터(WTr)를 오프 상태로 하고, 데이터가 기록되지 않은 메모리 셀(MC[j]) 내지 메모리 셀(MC[n])이 가지는 트랜지스터(WTr)를 충분한 온 상태로 하고, 데이터(D[j])를 배선(WBL)으로부터 공급하고, 메모리 셀(MC[j])의 메모리 노드에 기록하면 좋다. 그리고, 메모리 셀(MC[j])에 대한 데이터(D[j])의 기록이 종료한 경우, 메모리 셀(MC[j])이 가지는 트랜지스터(WTr)를 오프 상태로 하고 배선(WBL)으로부터 데이터(D[j+1])를 공급하고, 메모리 셀(MC[j+1])의 메모리 노드에 기록하는 동작을 수행하면 좋다. 특히, j가 n-1일 때의 기록 동작은, 다음에 기재하는 시각(T14)부터 시각(T15)까지의 동작을 가리킨다.

[0131] 시각(T14)에서, 배선(WWL[1]) 내지 배선(WWL[n-1])에 저레벨 전위가 인가되고, 배선(WWL[n])에는 고레벨 전위가 계속 인가되어 있다. 이에 의하여, 시각(T14)부터 시각(T15)까지의 기간에서, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n-1])이 가지는 트랜지스터(WTr)가 오프 상태가 되고, 메모리 셀(MC[n])이 가지는 트랜지스터(WTr)가 충분한 온 상태가 된다. 그리고, 배선(WBL)에는 데이터(D[n])가 공급된다. 메모리 셀(MC[n])이 가지는 트랜지스터(WTr)는 충분한 온 상태가 되어 있기 때문에, 데이터(D[n])는 메모리 셀(MC[n])의 메모리 노드에 도달되고 기록된다. 또한, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n-1])의 트랜지스터(WTr)는 오프 상태가 되어 있기 때문에, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n-1]) 각각에 유지되어 있는 데이터(D[1]) 내지 데이터(D[n-1])는 이 시각(T14)부터 시각(T15)까지의 기간의 기록 동작에 의하여 소실되지 않는다.

[0132] 상술한 동작에 의하여, 도 4의 (A) 내지 (C)에 나타난 반도체 장치 중 어느 하나에서, 그 반도체 장치가 가지는 메모리 셀(MC)에 대하여 데이터를 기록할 수 있다.

[0133] 도 7의 (B)는 데이터(D[1]) 내지 데이터(D[n]) 각각을 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])로부터 판독하는 타이밍 차트의 예를 나타낸 것이다. 또한, 이때 각 메모리 셀(MC)에 유지된 데이터를 유지하기 위하여, 트랜지스터(WTr)는 오프 상태인 것이 요구된다. 그러므로, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])로부터 데이터를 판독하는 동작 시에서, 배선(WWL[1]) 내지 배선(WWL[n])의 전위는 저레벨 전위로 한다.

[0134] 도 4의 (A) 내지 (C)에 나타난 반도체 장치의 회로 구성에서, 특정의 메모리 셀(MC)의 데이터를 판독하는 경우, 다른 메모리 셀(MC)이 가지는 트랜지스터(RTr)를 충분한 온 상태로 하고, 상기 특정의 메모리 셀(MC)이 가지는 트랜지스터(RTr)를 포화 영역으로서 동작시킨다. 즉, 상기 특정의 메모리 셀(MC)이 가지는 트랜지스터(RTr)의 소스-드레인 사이에 흐르는 전류는 소스-드레인 사이의 전압과, 상기 특정의 메모리 셀(MC)에 유지되어 있는 데이터에 따라 결정된다.

[0135] 예를 들어, 메모리 셀(MC[k])(여기서 k는 1 이상 n 이하의 정수로 함)에 유지되어 있는 데이터를 판독하는 경우를 생각한다. 이때, 메모리 셀(MC[k])을 제외한 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 가지는 각각의 트랜지스터(RTr)를 충분한 온 상태로 하기 위하여, 배선(RWL[k])을 제외한 배선(RWL[1]) 내지 배선(RWL[n])에 고레벨 전위가 공급된다.

[0136] 한편, 메모리 셀(MC[k])이 가지는 트랜지스터(RTr)를 유지되어 있는 데이터에 따른 온 상태로 하기 위하여, 배선(RWL[k])은 메모리 셀(MC[k])에 상기 데이터를 기록한 경우의 배선(RWL[k])과 같은 전위로 할 필요가 있다. 또한, 여기서는 기록 동작 시 및 판독 동작 시에서의 배선(RWL[k])의 전위를 저레벨 전위로 하여 생각한다.

[0137] 예를 들어, 노드(N1)에 +3V의 전위를 인가하고, 노드(N2)에 0V의 전위를 인가한다. 그리고, 노드(N2)를 플로팅 상태로 하고 그 후의 노드(N2)의 전위를 측정한다. 배선(RWL[k])을 제외한 배선(RWL[1]) 내지 배선(RWL[n])의 전위를 고레벨 전위로 한 경우, 메모리 셀(MC[k])을 제외한 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 가지는 트랜지스터(RTr)가 충분한 온 상태가 된다. 한편, 메모리 셀(MC[k])이 가지는 트랜지스터(RTr)의 제 1 단자-제 2 단자 사이의 전압은 상기 트랜지스터(RTr)의 게이트의 전위와 노드(N1)의 전위에 의하여 정해지기 때문에, 노드(N2)의 전위는 메모리 셀(MC[k])의 메모리 노드에 유지된 데이터에 따라 결정된다.

[0138] 이와 같이 하여, 메모리 셀(MC[k])에 유지되어 있는 데이터를 판독할 수 있다.

- [0139] 상기를 전제로, 도 7의 (B)의 타이밍 차트에 나타난 동작예에 대하여 설명한다. 시각(T20)에서, 배선(WWL[1]) 내지 배선(WWL[n]), 배선(RWL[1]) 내지 배선(RWL[n]), 배선(WBL), 노드(N1), 및 노드(N2) 각각의 전위는 저레벨 전위이다. 특히, 노드(N2)는 플로팅 상태가 되어 있다. 그리고, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])의 메모리 노드에는 각각 데이터(D[1]) 내지 데이터(D[n])가 유지되어 있는 것으로 한다.
- [0140] 시각(T21)부터 시각(T22)까지의 기간에서, 배선(RWL[1])에 저레벨 전위가 인가되기 시작하고, 배선(RWL[2]) 내지 배선(RWL[n])에 고레벨 전위가 인가되기 시작한다. 이에 의하여, 시각(T21)부터 시각(T22)까지의 기간에서, 메모리 셀(MC[2]) 내지 메모리 셀(MC[n])이 가지는 각각의 트랜지스터(RTr)가 충분한 온 상태가 된다. 그리고, 메모리 셀(MC[1])의 트랜지스터(RTr)는 메모리 셀(MC[1])의 메모리 노드에 유지되어 있는 데이터(D[1])에 대응한 온 상태가 된다. 또한, 배선(RBL)에 전위(V_R)를 공급한다. 이에 의하여, 노드(N1)의 전위는 V_R 가 되고, 노드(N2)의 전위는 노드(N1)의 전위(V_R)와 메모리 셀(MC[1])의 메모리 노드에 유지된 데이터에 따라 결정된다. 여기서는, 노드(N2)의 전위를 $V_{D[1]}$ 로 한다. 그리고, 노드(N2)의 전위($V_{D[1]}$)를 측정함으로써, 메모리 셀(MC[1])의 메모리 노드에 유지된 데이터(D[1])를 판독할 수 있다.
- [0141] 시각(T22)부터 시각(T23)까지의 기간에서, 배선(RWL[1]) 내지 배선(RWL[n])에 저레벨 전위가 인가되기 시작한다. 또한, 노드(N2)에는 저레벨 전위가 공급되고, 그 후에 노드(N2)는 플로팅 상태가 된다. 즉, 시각(T22)부터 시각(T23)까지의 기간에서, 배선(RWL[1]) 내지 배선(RWL[n]), 노드(N2) 각각의 전위는 시각(T20)부터 시각(T21)까지의 기간의 상황과 같게 된다. 또한, 배선(RBL)에는 전위(V_R)를 계속 공급하여도 좋고, 또는 저레벨 전위를 공급하여도 좋다. 본 동작예에서는, 배선(RBL)은 시각(T21) 이후 전위(V_R)가 계속 공급되는 것으로 한다.
- [0142] 시각(T23)부터 시각(T24)까지의 기간에서, 배선(RWL[2])에 저레벨 전위가 인가되고, 배선(RWL[1]), 배선(RWL[3]) 내지 배선(RWL[n])에 고레벨 전위가 인가되기 시작한다. 이에 의하여, 시각(T23)부터 시각(T24)까지의 기간에서, 메모리 셀(MC[1]), 메모리 셀(MC[3]) 내지 메모리 셀(MC[n])이 가지는 각각의 트랜지스터(RTr)가 충분한 온 상태가 된다. 그리고, 메모리 셀(MC[2])의 트랜지스터(RTr)는 메모리 셀(MC[2])의 메모리 노드에 유지되어 있는 데이터(D[2])에 따른 온 상태가 된다. 또한, 배선(RBL)에는 전위(V_R)가 계속 공급되어 있다. 이에 의하여, 노드(N2)의 전위는 노드(N1)의 전위(V_R)와 메모리 셀(MC[2])의 메모리 노드에 유지된 데이터에 따라 결정된다. 여기서는, 노드(N2)의 전위를 $V_{D[2]}$ 로 한다. 그리고, 노드(N2)의 전위($V_{D[2]}$)를 측정함으로써, 메모리 셀(MC[2])의 메모리 노드에 유지된 데이터(D[2])를 판독할 수 있다.
- [0143] 시각(T24)부터 시각(T25)까지의 기간에는 시각(T20)부터 시각(T22)까지의 기간의 메모리 셀(MC[1])로부터의 데이터(D[1])의 판독 동작과, 시각(T22)부터 시각(T24)까지의 기간의 메모리 셀(MC[2])로부터의 데이터(D[2])의 판독 동작 각각과 마찬가지로, 메모리 셀(MC[3]) 내지 메모리 셀(MC[n-1])의 각각으로부터 순차적으로 데이터(D[3]) 내지 데이터(D[n-1])가 판독된다. 구체적으로는, 메모리 셀(MC[j])(여기서 j는 3 이상 n-1 이하의 정수로 함)로부터 데이터(D[j])를 판독하는 경우, 노드(N2)의 전위를 저레벨 전위로 하며 노드(N2)를 플로팅 상태로 한 후에 배선(RWL[j])을 제외한 배선(RWL[1]) 내지 배선(RWL[n])에 고레벨 전위를 인가하고, 메모리 셀(MC[j])을 제외한 메모리 셀(MC[1]) 내지 메모리 셀(MC[n])이 가지는 트랜지스터(RTr)를 충분한 온 상태로 하고, 메모리 셀(MC[j])이 가지는 트랜지스터(RTr)를 데이터(D[j])에 따른 온 상태로 한다. 다음으로, 노드(N1)의 전위를 V_R 로 함으로써, 노드(N2)의 전위는 데이터(D[j])에 따른 전위가 되고, 이 전위를 측정함으로써 데이터(D[j])를 판독할 수 있다. 또한, 메모리 셀(MC[j])에 유지된 데이터(D[j])의 판독이 종료한 후에는 다음의 판독 동작을 위한 준비로서 배선(RWL[1]) 내지 배선(RWL[n])에 저레벨 전위를 인가하기 시작하고, 노드(N2)의 전위를 저레벨 전위로 하고, 그 후 노드(N2)를 플로팅 상태로 한다. 특히, j가 n-1일 때, 이 준비는 시각(T25)부터 시각(T26)까지의 기간의 동작을 가리킨다.
- [0144] 시각(T25)부터 시각(T26)까지의 기간에서, 배선(RWL[1]) 내지 배선(RWL[n])에 저레벨 전위가 인가되기 시작한다. 또한, 노드(N2)에 저레벨 전위가 인가되기 시작하고, 노드(N2)의 전위가 저레벨 전위가 된 후, 노드(N2)는 플로팅 상태가 된다. 즉, 시각(T25)부터 시각(T26)까지의 기간에서, 배선(RWL[1]) 내지 배선(RWL[n]), 노드(N2) 각각의 전위는 시각(T20)부터 시각(T21)까지의 기간의 상황과 같게 된다. 또한, 배선(RBL)에는 전위(V_R)를 계속 공급하여도 좋고, 또는 저레벨 전위를 인가하여도 좋다. 본 동작예에서는 시각(T21)에 배선(RBL)에 대하여 전위(V_R)가 인가되기 시작하고, 시각(T22) 이후에는 배선(RBL)에 전위(V_R)가 계속 인가되는 것으로 한

다.

- [0145] 시각(T26)에서, 배선(RWL[n])에 저레벨 전위가 인가되고, 배선(RWL[1]) 내지 배선(RWL[n-1])에는 고레벨 전위가 공급된다. 이에 의하여, 시각(T26)부터 시각(T27)까지의 기간에서, 메모리 셀(MC[1]) 내지 메모리 셀(MC[n-1])이 가지는 각각의 트랜지스터(RTr)가 충분한 온 상태가 된다. 그리고, 메모리 셀(MC[n])의 트랜지스터(RTr)는 메모리 셀(MC[n])의 메모리 노드에 유지되어 있는 데이터(D[n])에 따른 온 상태가 된다. 또한, 배선(RBL)에는 전위(V_R)가 계속 공급되어 있다. 이에 의하여, 노드(N2)의 전위는 노드(N1)의 전위(V_R)와 메모리 셀(MC[n])의 메모리 노드에 유지된 데이터에 따라 결정된다. 여기서는, 노드(N2)의 전위를 $V_{D[n]}$ 으로 한다. 그리고, 노드(N2)의 전위($V_{D[n]}$)를 측정함으로써, 메모리 셀(MC[n])의 메모리 노드에 유지된 데이터(D[n])를 판독할 수 있다.
- [0146] 상기 동작에 의하여, 도 4의 (A) 내지 (C)에 나타난 반도체 장치 각각의 메모리 셀(MC)로부터 데이터를 판독할 수 있다.
- [0147] 또한 본 발명의 일 형태의 정보 처리 장치의 동작은 상술한 동작예에 한정되지 않는다. 본 발명의 일 형태의 정보 처리 장치의 동작은 상황에 따라 상술한 동작예를 적절히 변경한 것이어도 좋다. 예를 들어, 상술한 판독 동작에서는 노드(N1)에 전위(V_R)를 공급함으로써, 노드(N2)로부터 원하는 메모리 셀의 MC의 메모리 노드에 유지된 데이터에 따른 전위(V_D)를 판독한다.
- [0148] 다음으로, 도 5 및 도 6에 나타난 NAND형 기억 회로를 도 1의 기억부(1196)에 적용하기 위하여 캐시 메모리로서 취급하는 방법의 일례에 대하여 설명한다.
- [0149] 도 8은 블록(BLK_1) 내지 블록(BLK_k)(k는 1 이상의 정수임)을 가지는 기억부의 구성예이다. 블록(BLK_1) 내지 블록(BLK_k) 각각은 예를 들어 도 5 및 도 6에 나타난 n행 m열의 매트릭스상의 메모리 셀(MC[1, 1]) 내지 메모리 셀(MC[n, m])을 가진다. 또한, 도 8에 나타난 블록(BLK_1) 내지 블록(BLK_k)에는 어떤 열에 착안한 메모리 셀(MC)만을 도시하였다. 그러므로, 도 8에서는 블록(BLK)에 포함되는 매트릭스상의 메모리 셀(MC)의 행의 어드레스를 "[]"로 하고, 블록(BLK)의 어드레스를 "_"로 하여 부호에 기재하고, 부호에 있어서의 열의 어드레스를 생략하였다. 또한, 도 5에 나타난 기억부의 구성을 도 8에 나타난 기억부에 적용한 경우, 도 8에 나타난 각 트랜지스터의 백 게이트는 생략한 것으로 한다.
- [0150] 도 8에 나타난 기억부는, 도 5 및 도 6에 나타난 기억부에 트랜지스터(BTr_1) 내지 트랜지스터(BTr_k)와, 트랜지스터(STr_1) 내지 트랜지스터(STr_k)를 제공한 구성이다.
- [0151] 구체적으로는, 도 8의 기억부에서 배선(RBL_1)은 트랜지스터(BTr_1)의 제 1 단자와 트랜지스터(STr_1)의 제 1 단자에 전기적으로 접속되어 있다. 또한, 트랜지스터(STr_1)의 제 2 단자는 배선(WBL_1)과, 스위치(SW_1)의 제 1 단자에 전기적으로 접속되어 있다. 배선(RBL_h)(h는 1 이상 k 이하의 정수임)은 트랜지스터(BTr_h)의 제 1 단자와 트랜지스터(STr_h)의 제 1 단자에 전기적으로 접속되어 있다. 또한, 트랜지스터(STr_h)의 제 2 단자는 배선(WBL_h)과, 스위치(SW_h)의 제 1 단자에 전기적으로 접속되어 있다. 배선(RBL_k)은 트랜지스터(BTr_k)의 제 1 단자와 트랜지스터(STr_k)의 제 1 단자에 전기적으로 접속되어 있다. 또한, 트랜지스터(STr_k)의 제 2 단자는 배선(WBL_k)과 스위치(SW_k)의 제 1 단자에 전기적으로 접속되어 있다.
- [0152] 스위치(SW_1) 내지 스위치(SW_k) 각각의 제 2 단자는 배선(LN1)에 전기적으로 접속되어 있다. 또한, 스위치(SW_1) 내지 스위치(SW_k) 각각의 제 3 단자는 배선(LN2)에 전기적으로 접속되어 있다.
- [0153] 스위치(SW_1) 내지 스위치(SW_k) 각각은 제 1 단자와, 제 2 단자 및 제 3 단자 중 어느 한쪽 사이를 도통 상태로 하는 기능을 가진다. 즉, 스위치(SW_1) 내지 스위치(SW_k) 각각은 블록(BLK_1) 내지 블록(BLK_k) 각각을 배선(LN1) 및 배선(LN2) 중 어느 것과 도통 상태로 하는지 선택할 수 있다.
- [0154] 배선(LN1)은 예를 들어 블록(BLK_1) 내지 블록(BLK_k) 각각의 스트링의 메모리 셀에 대하여 기록용 데이터를 송신하는 배선으로서 기능한다. 또한, 배선(LN2)은 예를 들어 블록(BLK_1) 내지 블록(BLK_k) 각각의 스트링의 메모리 셀로부터 판독한 데이터를 송신하는 배선으로서 기능한다. 또한, 본 발명의 일 형태의 정보 처리 장치는 이 구성에 한정되지 않는다. 예를 들어, 배선(LN1), 배선(LN2)은 2개가 아니라 하나로 통합하여도 좋고(이 경우, 스위치(SW_1) 내지 스위치(SW_k)를 제공하지 않아도 됨), 3개 이상으로 하여도 좋다(이 경우, 스위치(SW_1) 내지 스위치(SW_k) 각각을 배선의 개수에 따른 실렉터 회로 등으로 치환하면 좋음).
- [0155] 트랜지스터(BTr_1) 내지 트랜지스터(BTr_k) 각각은 배선(RBL_1) 내지 배선(RBL_k) 각각의 노드(N1)의 전위를 조

정하기 위한 트랜지스터로서 기능한다. 그러므로, 트랜지스터(BTr₁) 내지 트랜지스터(BTr_k) 각각의 제 2 단자 및 게이트에는 소정의 전위가 입력되어 있는 것으로 한다. 구체적으로는, 예를 들어 블록(BLK_h)(h는 1 이상 k 이하의 정수임)의 메모리 셀(MC[1]_h) 내지 메모리 셀(MC[n]_h) 중 어느 하나로부터 전위를 관독하였을 때, 트랜지스터(BTr[i])는 배선(RBL_h)의 노드(N1)의 상기 전위를 기록용 전위로 변동시키는 기능을 가진다. 그러므로, 트랜지스터(BTr₁) 내지 트랜지스터(BTr_k)는 감지 증폭기 등의 증폭 회로로 치환하여도 좋다.

[0156] 트랜지스터(STr₁) 내지 트랜지스터(STr_k) 각각은 스위칭 소자로서 기능한다. 그러므로, 트랜지스터(STr₁) 내지 트랜지스터(STr_k) 각각의 게이트에는 트랜지스터(STr₁) 내지 트랜지스터(STr_k) 각각의 온 상태 또는 오프 상태로의 전환을 하기 위한 신호를 송신하는 배선에 전기적으로 접속되어 있다.

[0157] 다음으로, 도 8의 기억부의 일부가 캐시 메모리로서 기능할 때의 상기 기억부의 동작 방법에 대하여 설명한다. 또한, 상기 동작 방법의 설명에는, 도 9에 나타난 기억부를 사용하는 것으로 한다.

[0158] 도 9의 기억부는 도 8의 기억부를 간이적으로 나타난 것이다. 구체적으로는, 도 9의 기억부는 도 8의 기억부에서의 m을 3으로 하고, k를 3으로 한 구성이다.

[0159] 도 9의 기억부는 블록(BLK₁) 내지 블록(BLK₃)을 가지고, 블록(BLK₁) 내지 블록(BLK₃)은 각각 하나 이상의 스트링을 가진다. 구체적으로는, 블록(BLK₁)은 하나의 스트링으로서 메모리 셀(MC[1]₁) 내지 메모리 셀(MC[3]₁)을 가지고, 블록(BLK₂)은 하나의 스트링으로서 메모리 셀(MC[1]₂) 내지 메모리 셀(MC[3]₂)을 가지고, 블록(BLK₃)은 하나의 스트링으로서 메모리 셀(MC[1]₃) 내지 메모리 셀(MC[3]₃)을 가진다.

[0160] 블록(BLK₂)의 스트링에 포함되는 메모리 셀(MC[1]₂) 내지 메모리 셀(MC[3]₂) 각각의 메모리 노드에는 데이터가 유지되어 있는 것으로 한다. 구체적으로는, 예를 들어 메모리 셀(MC[1]₂) 내지 메모리 셀(MC[3]₂) 각각의 메모리 노드에는 전위로서 V[1]₂, V[2]₂, V[3]₂가 유지되어 있는 것으로 한다.

[0161] 또한, 블록(BLK₁)의 스트링에 포함되는 메모리 셀(MC[1]₁) 내지 메모리 셀(MC[3]₁), 블록(BLK₃)의 스트링에 포함되는 메모리 셀(MC[1]₃) 내지 메모리 셀(MC[3]₃) 각각의 메모리 노드에는 데이터가 유지되어 있지 않은 것으로 한다.

[0162] 여기서, 메모리 셀(MC[1]₂)의 메모리 노드에 유지되어 있는 V[1]₂를 재기록하는 경우를 생각한다.

[0163] 메모리 셀(MC[1]₂)의 메모리 노드의 전위를 재기록하는 경우, 배선(WBL₂)으로부터 메모리 셀(MC[2]₂) 및 메모리 셀(MC[3]₂) 각각의 트랜지스터(WTr)를 통하여 메모리 셀(MC[1]₂)에 재기록용 데이터를 송신하기 위하여, 메모리 셀(MC[2]₂) 및 메모리 셀(MC[3]₃) 각각의 메모리 노드에 미리 유지되어 있는 V[2]₂, V[3]₂를 일시적으로 백업할 필요가 있다.

[0164] 우선, 재기록용 데이터로서 전위(V_{REW})를, 예를 들어 블록(BLK₁)의 스트링에 포함되는 메모리 셀(MC[3]₁)의 메모리 노드에 기록한다. 구체적으로는, 스위치(SW₁)의 제 1 단자와 제 2 단자 사이를 도통 상태로 하고, 배선(WWL[3]₁)에 고레벨 전위를 입력하여 메모리 셀(MC[3]₁)의 트랜지스터(WTr)를 온 상태로 하고, 배선(LN1)으로부터 V_{REW}를 입력한다. 이때, 블록(BLK₂)의 배선(WWL[3]₂) 및 블록(BLK₃)의 배선(WWL[3]₃)에 저레벨 전위를 입력하여 메모리 셀(MC[3]₂), 및 메모리 셀(MC[3]₃) 각각의 트랜지스터(WTr)를 오프 상태로 함으로써, 배선(WBL₁)으로부터 블록(BLK₂) 및 블록(BLK₃) 각각의 메모리 셀(MC)에 대한 V_{REW}의 기록을 방지할 필요가 있다. 또는, 스위치(SW₂) 및 스위치(SW₃) 각각에서, 제 1 단자와 제 3 단자 사이를 도통 상태로 하면 좋고, 즉 제 1 단자와 제 2 단자 사이를 비도통 상태로 하면 좋다.

[0165] 또한, 이때 메모리 셀(MC[3]₁)은 캐시 메모리로 간주할 수 있다.

[0166] 다음으로, 블록(BLK₂)의 메모리 셀(MC[3]₂)의 메모리 노드에 유지되어 있는 V[3]₂를 일시적으로 백업한다. 본 동작예에서는 메모리 셀(MC[3]₂)의 메모리 노드의 V[3]₂를 블록(BLK₃)의 메모리 셀(MC[2]₃)의 메모리 노드에 백업하는 것으로 한다. 구체적으로는, 스위치(SW₂) 및 스위치(SW₃) 각각의 제 1 단자와 제 2 단자 사이를 도통 상태로 하고, 배선(RWL[1]₂) 및 배선(RWL[2]₂)에 고레벨 전위를 입력하고, 메모리 셀(MC[1]₂) 및 메모리 셀(MC[2]₂) 각각의 트랜지스터(RTr)가 충분한 온 상태가 되도록 메모리 셀(MC[1]₂) 및 메모리 셀(MC[2]₂) 각각의 메모리 노드의 전위를 높게 한다. 또한, 트랜지스터(STr₂)의 게이트에 고레벨 전위를 입력하여 트랜지스터(STr₂)를 온 상태로 한다. 또한, 트랜지스터(STr₃)의 게이트에 저레벨 전위를 입력하여 트랜지스터(STr₃)를 오프 상태로 하고, 블록(BLK₃)의 배선(WWL[2]₃) 및 배선(WWL[3]₃)에 고레벨 전위를 입력하여 메모리 셀(MC[2]₃) 및 메모리 셀(MC[3]₃) 각각의 트랜지스터(WTr)를 온 상태로 한다.

- [0167] 여기서, 블록(BLK_2)의 노드(N2)에 V_R 를 공급함으로써, 블록(BLK_2)의 노드(N1)의 전위를 블록(BLK_2)의 메모리 셀(MC[3]_2)의 메모리 노드에 유지된 $V[3]_2$ 에 따른 전위로 할 수 있다. 또한, 트랜지스터(BTr_2)에 의하여 노드(N1)의 전위를 $V[3]_2$ 로 변동시킬 수 있다.
- [0168] 또한, 이때 블록(BLK_2)의 노드(N1)와 블록(BLK_3)의 메모리 셀(MC[2]_3)의 메모리 노드 사이가 도통 상태가 되기 때문에, 블록(BLK_3)의 메모리 셀(MC[2]_3)의 메모리 노드의 전위가 $V[3]_2$ 가 된다. 그 후, 배선(WWL[2]_3)에 저레벨 전위를 입력하여 메모리 셀(MC[2]_3)의 트랜지스터(WTr)를 오프 상태로 함으로써, 메모리 셀(MC[2]_3)의 메모리 노드에 $V[3]_2$ 의 전위를 유지할 수 있다.
- [0169] 다음으로, 블록(BLK_2)의 메모리 셀(MC[2]_2)의 메모리 노드에 유지되어 있는 $V[2]_2$ 를 일시적으로 백업한다. 본 동작예에서는 메모리 셀(MC[2]_2)의 메모리 노드의 $V[2]_2$ 를 블록(BLK_3)의 메모리 셀(MC[3]_3)의 메모리 노드에 백업하는 것으로 한다. 구체적으로는, 스위치(SW_2) 및 스위치(SW_3) 각각의 제 1 단자와 제 2 단자 사이를 도통 상태로 하고, 배선(RWL[1]_2) 및 배선(RWL[3]_2)에 고레벨 전위를 입력하여 메모리 셀(MC[1]_2) 및 메모리 셀(MC[3]_2) 각각의 트랜지스터(RTr)가 충분한 온 상태가 되도록 메모리 셀(MC[1]_2) 및 메모리 셀(MC[3]_2) 각각의 메모리 노드의 전위를 높게 한다. 또한, 트랜지스터(STr_2)의 게이트에 고레벨 전위를 입력하여 트랜지스터(STr_2)를 온 상태로 한다. 또한, 트랜지스터(STr_3)의 게이트에 저레벨 전위를 입력하여 트랜지스터(STr_3)를 오프 상태로 하고, 블록(BLK_3)의 배선(WWL[3]_3)에 고레벨 전위를 입력하여 메모리 셀(MC[3]_3)의 각각의 트랜지스터(WTr)를 온 상태로 한다.
- [0170] 여기서, 블록(BLK_2)의 노드(N2)에 V_R 를 공급함으로써, 블록(BLK_2)의 노드(N1)의 전위를 블록(BLK_2)의 메모리 셀(MC[2]_2)의 메모리 노드에 유지된 $V[2]_2$ 에 따른 전위로 할 수 있다. 또한, 트랜지스터(BTr_2)에 의하여 노드(N1)의 전위를 $V[2]_2$ 로 변동시킬 수 있다.
- [0171] 또한, 이때 블록(BLK_2)의 노드(N1)와 블록(BLK_3)의 메모리 셀(MC[3]_3)의 메모리 노드 사이가 도통 상태가 되기 때문에, 블록(BLK_3)의 메모리 셀(MC[3]_3)의 메모리 노드의 전위가 $V[2]_2$ 가 된다. 그 후, 배선(WWL[3]_3)에 저레벨 전위를 입력하여 메모리 셀(MC[3]_3)의 트랜지스터(WTr)를 오프 상태로 함으로써, 메모리 셀(MC[3]_3)의 메모리 노드에 $V[2]_2$ 의 전위를 유지할 수 있다.
- [0172] 다음으로, 블록(BLK_2)의 메모리 셀(MC[1]_2) 내지 메모리 셀(MC[3]_2) 각각의 메모리 노드에 유지되어 있는 데이터를 소거한다.
- [0173] 구체적으로는, 우선 스위치(SW_2)의 제 1 단자와 제 2 단자 사이를 도통 상태로 하고, 트랜지스터(STr_1) 내지 트랜지스터(STr_3) 각각의 게이트에 저레벨 전위를 입력하여 트랜지스터(STr_1) 내지 트랜지스터(STr_3) 각각을 오프 상태로 한다. 또한, 블록(BLK_1)의 배선(WWL[3]_1) 및 블록(BLK_3)의 배선(WWL[3]_3)에 저레벨 전위를 입력하여, 블록(BLK_1)의 메모리 셀(MC[3]_1) 및 블록(BLK_3)의 메모리 셀(MC[3]_3) 각각의 트랜지스터(WTr)를 오프 상태로 한다. 또한, 스위치(SW_1), 스위치(SW_3) 각각의 제 1 단자와 제 3 단자 사이를 도통 상태로 하여도 좋고, 즉 제 1 단자와 제 2 단자 사이를 비도통 상태로 하여도 좋다.
- [0174] 그 후, 블록(BLK_2)의 배선(WWL[1]_2) 내지 배선(WWL[3]_2) 각각에 고레벨 전위를 입력하여 블록(BLK_2)의 메모리 셀(MC[1]_2) 내지 메모리 셀(MC[3]_2) 각각의 트랜지스터(WTr)를 온 상태로 한다. 이때 배선(LN1)으로부터 메모리 셀(MC[1]_2) 내지 메모리 셀(MC[3]_2) 각각의 메모리 노드에 데이터의 초기화용 전위(예를 들어, 저레벨 전위, 접지 전위 등)를 인가함으로써 메모리 셀(MC[1]_2) 내지 메모리 셀(MC[3]_2) 각각의 메모리 노드에 유지된 전위를 초기화용 전위로 재기록한다. 그 후, 블록(BLK_2)의 배선(WWL[1]_2) 내지 배선(WWL[3]_2) 각각에 저레벨 전위를 입력하여 블록(BLK_2)의 메모리 셀(MC[1]_2) 내지 메모리 셀(MC[3]_2) 각각의 트랜지스터(WTr)를 오프 상태로 함으로써, 블록(BLK_2)의 메모리 셀(MC[1]_2) 내지 메모리 셀(MC[3]_2) 각각의 데이터의 소거가 완료된다. 또한, 이하에서 설명하는 데이터의 기록의 타이밍으로 메모리 셀(MC[1]_2) 내지 메모리 셀(MC[3]_2)의 트랜지스터(WTr)를 온 상태로 함으로써 데이터가 재기록되기 때문에, 앞에서 설명한 소거 동작은 수행하지 않아도 된다.
- [0175] 다음으로, 블록(BLK_1)의 메모리 셀(MC[3]_1)의 메모리 노드에 유지되어 있는 V_{REW} 를 블록(BLK_2)의 메모리 셀(MC[1]_2)에 기록한다. 구체적으로는, 스위치(SW_1) 및 스위치(SW_2) 각각의 제 1 단자와 제 2 단자 사이를 도통 상태로 하고, 배선(RWL[1]_1) 및 배선(RWL[2]_1)에 고레벨 전위를 입력하고, 메모리 셀(MC[1]_1) 및 메모리 셀(MC[2]_1) 각각의 트랜지스터(RTr)가 충분한 온 상태가 되도록 메모리 셀(MC[1]_1) 및 메모리 셀(MC[2]_1) 각각의 메모리 노드의 전위를 높게 한다. 또한, 트랜지스터(STr_1)의 게이트에 고레벨 전위를 입력하여 트랜지스

터(STr₁)를 온 상태로 한다. 또한, 트랜지스터(STr₂)의 게이트에 저레벨 전위를 입력하여 트랜지스터(STr₂)를 오프 상태로 하고, 블록(BLK₂)의 배선(WWL[1]₃) 내지 배선(WWL[3]₃)에 고레벨 전위를 입력하여 메모리 셀(MC[1]₃) 내지 메모리 셀(MC[3]₃) 각각의 트랜지스터(WTr)를 온 상태로 한다.

[0176] 이때, 블록(BLK₃)의 배선(WWL[3]₃)에 저레벨 전위를 입력하여 메모리 셀(MC[3]₃)의 트랜지스터(WTr)를 오프 상태로 하고, 트랜지스터(STr₃)의 게이트에 저레벨 전위를 입력하여 트랜지스터(STr₃)를 오프 상태로 하고, 블록(BLK₁)으로부터 블록(BLK₃)의 메모리 셀(MC[3]₃)로의 V_{REW} 의 기록을 방지할 필요가 있다. 또는, 스위치(SW₃)의 제 1 단자와 제 3 단자 사이를 도통 상태로 하여도 좋고, 즉 제 1 단자와 제 2 단자 사이를 비도통 상태로 하여도 좋다.

[0177] 여기서, 블록(BLK₁)의 노드(N2)에 V_R 를 공급함으로써, 블록(BLK₁)의 노드(N1)의 전위를, 블록(BLK₁)의 메모리 셀(MC[3]₁)의 메모리 노드에 유지된 V_{REW} 에 따른 전위로 할 수 있다. 또한, 트랜지스터(BTr₂)에 의하여 노드(N1)의 전위를 V_{REW} 로 변동시킬 수 있다.

[0178] 또한, 이때 블록(BLK₁)의 노드(N1)와, 블록(BLK₂)의 메모리 셀(MC[1]₂)의 메모리 노드 사이가 도통 상태가 되기 때문에, 블록(BLK₂)의 메모리 셀(MC[1]₂)의 메모리 노드의 전위가 V_{REW} 가 된다. 그 후, 배선(WWL[1]₂)에 저레벨 전위를 입력하여 메모리 셀(MC[1]₂)의 트랜지스터(WTr)를 오프 상태로 함으로써, 메모리 셀(MC[1]₂)의 메모리 노드에 V_{REW} 의 전위를 유지할 수 있다.

[0179] 다음으로, 블록(BLK₃)의 메모리 셀(MC[3]₃)의 메모리 노드에 유지되어 있는 $V[2]_2$ 를 블록(BLK₂)의 메모리 셀(MC[2]₂)에 복귀시킨다. 구체적으로는, 스위치(SW₂) 및 스위치(SW₃) 각각의 제 1 단자와 제 2 단자 사이를 도통 상태로 하고, 배선(RWL[1]₃) 및 배선(RWL[2]₃)에 고레벨 전위를 입력하여, 메모리 셀(MC[1]₃) 및 메모리 셀(MC[2]₃) 각각의 트랜지스터(RTr)가 충분한 온 상태가 되도록 메모리 셀(MC[1]₃) 및 메모리 셀(MC[2]₃) 각각의 메모리 노드의 전위를 높게 한다. 또한, 트랜지스터(STr₃)의 게이트에 고레벨 전위를 입력하여 트랜지스터(STr₃)를 온 상태로 한다. 또한, 트랜지스터(STr₂)의 게이트에 저레벨 전위를 입력하여 트랜지스터(STr₂)를 오프 상태로 하고, 블록(BLK₂)의 배선(WWL[2]₂) 및 배선(WWL[3]₂)에 고레벨 전위를 입력하여 메모리 셀(MC[2]₂) 및 메모리 셀(MC[3]₂) 각각의 트랜지스터(WTr)를 온 상태로 한다.

[0180] 이때, 블록(BLK₁)의 배선(WWL[3]₁)에 저레벨 전위를 입력하여 메모리 셀(MC[3]₁)의 트랜지스터(WTr)를 오프 상태로 하고, 트랜지스터(STr₁)의 게이트에 저레벨 전위를 입력하여 트랜지스터(STr₁)를 오프 상태로 하고, 블록(BLK₃)으로부터 블록(BLK₁)의 메모리 셀(MC[3]₁)로의 $V[2]_2$ 의 기록을 방지할 필요가 있다. 또는, 스위치(SW₁)의 제 1 단자와 제 3 단자 사이를 도통 상태로 하여도 좋고, 즉 제 1 단자와 제 2 단자 사이를 비도통 상태로 하여도 좋다.

[0181] 여기서, 블록(BLK₃)의 노드(N2)에 V_R 를 공급함으로써, 블록(BLK₃)의 노드(N1)의 전위를 블록(BLK₃)의 메모리 셀(MC[3]₃)의 메모리 노드에 유지된 $V[2]_2$ 에 따른 전위로 할 수 있다. 또한, 트랜지스터(BTr₃)에 의하여 노드(N1)의 전위를 $V[2]_2$ 로 변동시킬 수 있다.

[0182] 또한, 이때 블록(BLK₃)의 노드(N1)와, 블록(BLK₂)의 메모리 셀(MC[2]₂)의 메모리 노드 사이가 도통 상태가 되기 때문에, 블록(BLK₂)의 메모리 셀(MC[2]₂)의 메모리 노드의 전위가 $V[2]_2$ 가 된다. 그 후, 배선(WWL[2]₂)에 저레벨 전위를 입력하여 메모리 셀(MC[2]₂)의 트랜지스터(WTr)를 오프 상태로 함으로써, 메모리 셀(MC[2]₂)의 메모리 노드에 대한 $V[2]_2$ 의 전위의 복귀가 완료된다.

[0183] 다음으로, 블록(BLK₃)의 메모리 셀(MC[2]₃)의 메모리 노드에 유지되어 있는 $V[3]_2$ 를 블록(BLK₂)의 메모리 셀(MC[3]₂)에 복귀시킨다. 구체적으로는, 스위치(SW₂) 및 스위치(SW₃) 각각의 제 1 단자와 제 2 단자 사이를 도통 상태로 하고, 배선(RWL[1]₃) 및 배선(RWL[3]₃)에 고레벨 전위를 입력하고, 메모리 셀(MC[1]₃) 및 메모리 셀(MC[3]₃) 각각의 트랜지스터(RTr)가 충분한 온 상태가 되도록 메모리 셀(MC[1]₃) 및 메모리 셀(MC[3]₃) 각각의 메모리 노드의 전위를 높게 한다. 또한, 트랜지스터(STr₃)의 게이트에 고레벨 전위를 입력하여 트랜지스터(STr₃)를 온 상태로 한다. 또한, 트랜지스터(STr₂)의 게이트에 저레벨 전위를 입력하여 트랜지스터(STr₂)를 오프 상태로 하고, 블록(BLK₂)의 배선(WWL[3]₂)에 고레벨 전위를 입력하여 메모리 셀(MC[3]₂)의 각각의 트랜지스터(WTr)를 온 상태로 한다.

[0184] 이때, 블록(BLK₁)의 배선(WWL[3]₁)에 저레벨 전위를 입력하여 메모리 셀(MC[3]₁)의 트랜지스터(WTr)를 오프 상태로 하고, 트랜지스터(STr₁)의 게이트에 저레벨 전위를 입력하여 트랜지스터(STr₁)를 오프 상태로 하고,

블록(BLK_3)으로부터 블록(BLK_1)의 메모리 셀(MC[3]_1)로의 V[3]_2의 기록을 방지할 필요가 있다. 또는, 스위치(SW_1)의 제 1 단자와 제 3 단자 사이를 도통 상태로 하여도 좋고, 즉 제 1 단자와 제 2 단자 사이를 비도통 상태로 하여도 좋다.

- [0185] 여기서, 블록(BLK_3)의 노드(N2)에 V_R 를 공급함으로써, 블록(BLK_3)의 노드(N1)의 전위를 블록(BLK_3)의 메모리 셀(MC[2]_3)의 메모리 노드에 유지된 V[3]_2에 따른 전위로 할 수 있다. 또한, 트랜지스터(BTr_3)에 의하여 노드(N1)의 전위를 V[3]_2로 변동시킬 수 있다.
- [0186] 또한, 이때 블록(BLK_3)의 노드(N1)와, 블록(BLK_2)의 메모리 셀(MC[3]_2)의 메모리 노드 사이가 도통 상태가 되기 때문에, 블록(BLK_2)의 메모리 셀(MC[3]_2)의 메모리 노드의 전위가 V[3]_2가 된다. 그 후, 배선(WWL[3]_2)에 저레벨 전위를 입력하여 메모리 셀(MC[3]_2)의 트랜지스터(WTr)를 오프 상태로 함으로써, 메모리 셀(MC[3]_2)의 메모리 노드에 대한 V[3]_2의 전위의 복귀가 완료된다.
- [0187] 상술한 동작을 수행함으로써, 도 8 또는 도 9에 나타난 기억부는 상기 기억부에 데이터를 기록할 때나, 상기 기억부에 유지된 데이터를 재기록할 때 등에서, 상기 기억부의 일부를 캐시 메모리로서 취급할 수 있다.
- [0188] 그런데, 정보 처리 장치가 놓인 환경(온도, 습도 등)이나 자연 방사선에 기인하는 소프트웨어 오류 등 때문에 도 8 또는 도 9에 나타난 기억부의 스트링의 각각의 메모리 셀에 포함되는 트랜지스터(WTr), 트랜지스터(RTr), 트랜지스터(BTr), 트랜지스터(STr) 중 적어도 하나의 트랜지스터 특성이 열화되는(예를 들어 오프 상태에서의 트랜지스터의 소스-드레인 사이의 전류가 커지는) 경우가 있다. 이 경우, 도 1의 정보 처리 장치(50)의 컨트롤러(1197)에 기억부에 포함되는 스트링(메모리 셀)에 대한 오류 체크를 수행하는 기능을 가짐으로써, 도 8 또는 도 9에 나타난 기억부의 스트링에 대하여 오류 체크를 수행할 수 있다. 또한, 컨트롤러(1197)는 오류 체크를 수행한 메모리 셀에 오류가 발견된 경우에 그 메모리 셀을 포함하는 스트링에 대한 액세스를 중지하고, 다른 스트링에 대한 액세스를 수행하는 기능을 가져도 좋다.
- [0189] 또한 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0190] (실시형태 3)
- [0191] 본 실시형태에서는 실시형태 1에서 설명한 정보 처리 장치의 구성에 및 상기 정보 처리 장치에 적용할 수 있는 트랜지스터의 구성에 대하여 설명한다.
- [0192] <정보 처리 장치의 구성예 1>
- [0193] 도 10에 나타난 정보 처리 장치는 기억부(100)와 제어부(200)를 가진다. 도 10은 트랜지스터(300)의 채널 길이 방향의 단면도이고, 도 11은 트랜지스터(300)의 채널 폭 방향의 단면도이다.
- [0194] 도 10에서, 제어부(200)는 도 1에서의 컨트롤러(1197)를 포함하는 회로에 상당하고, 기억부(100)는 도 1에서의 기억부(1196)에 상당한다.
- [0195] 우선, 제어부(200)에 포함되는 트랜지스터(300)와, 그 주변에 형성되는 절연체, 도전체 등에 대하여 설명한다.
- [0196] 트랜지스터(300)는 예를 들어 기판(311) 위에 제공되고, 도전체(316), 절연체(315), 기판(311)의 일부로 이루어지는 반도체 영역(313), 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 또한, 트랜지스터(300)는 예를 들어 컨트롤러(1197)에 포함되는 트랜지스터 등에 적용할 수 있다.
- [0197] 또한 기판(311)으로서는, 반도체 기판(예를 들어 단결정 기판 또는 실리콘 기판)을 사용하는 것이 바람직하다.
- [0198] 트랜지스터(300)는 도 11에 나타난 바와 같이 반도체 영역(313)의 상면 및 채널 폭 방향의 측면이 절연체(315)를 개재(介在)하여 도전체(316)로 덮여 있다. 이와 같이, 트랜지스터(300)를 Fin형으로 함으로써, 실효적인 채널 폭이 증대하여 트랜지스터(300)의 온 특성을 향상시킬 수 있다. 또한 게이트 전극의 전계의 기여를 높일 수 있기 때문에, 트랜지스터(300)의 오프 특성을 향상시킬 수 있다.
- [0199] 또한 트랜지스터(300)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다.
- [0200] 반도체 영역(313)에서 채널이 형성되는 영역, 그 근방의 영역, 소스 영역 또는 드레인 영역이 되는 저저항 영역(314a) 및 저저항 영역(314b) 등에서 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 바람직하다. 또는 Ge(저마늄), SiGe(실리콘 저마늄), GaAs(갈륨 비소), GaAlAs(갈륨 알루미늄 비소), GaN(질화 갈륨) 등을 포함하는 재료로 형성하여도 좋다. 결정 격자에 응력을 가하여 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용한 구성으로 하여도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으

로써, 트랜지스터(300)를 HEMT(High Electron Mobility Transistor)로 하여도 좋다.

- [0201] 저저항 영역(314a) 및 저저항 영역(314b)은 반도체 영역(313)에 적용되는 반도체 재료에 더하여 비소, 인 등의 n형 도전성을 부여하는 원소 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한다.
- [0202] 게이트 전극으로서 기능하는 도전체(316)에는 비소, 인 등의 n형 도전성을 부여하는 원소, 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함하는 실리콘 등의 반도체 재료, 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다.
- [0203] 또한 도전체의 재료에 따라 일함수가 결정되기 때문에, 상기 도전체의 재료를 선택함으로써 트랜지스터의 문턱 전압을 조정할 수 있다. 구체적으로는, 도전체에 질화 타이타늄이나 질화 탄탈럼 등의 재료를 사용하는 것이 바람직하다. 또한 도전성과 매립성을 양립하기 위하여 도전체에 텅스텐이나 알루미늄 등의 금속 재료를 적층하여 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 관점에서 바람직하다.
- [0204] 또한 도 10, 도 11에 나타난 트랜지스터(300)는 일례이고, 그 구조에 한정되지 않고, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다. 예를 들어, 정보 처리 장치의 제어부(200)를 OS 트랜지스터만을 사용한 단극성 회로로 하여도 좋다.
- [0205] 트랜지스터(300)를 덮어 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공되어 있다.
- [0206] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다.
- [0207] 또한 본 명세서에서 산화질화 실리콘이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 실리콘이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다. 또한 본 명세서에서 산화질화 알루미늄이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화산화 알루미늄이란 그 조성에서 산소보다 질소의 함유량이 많은 재료를 가리킨다.
- [0208] 절연체(322)는 그 아래쪽에 제공되는 트랜지스터(300) 등으로 인하여 생기는 단차를 평탄화하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.
- [0209] 또한 절연체(324)에는, 기판(311) 또는 트랜지스터(300) 등으로부터 트랜지스터(700), 복수의 트랜지스터(800), 트랜지스터(900)를 포함하는 기억부(100)로 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다.
- [0210] 수소에 대한 배리어성을 가지는 막의 일례로서, 예를 들어 CVD법으로 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(700), 복수의 트랜지스터(800), 및 트랜지스터(900)가 OS 트랜지스터인 경우, 트랜지스터(700), 복수의 트랜지스터(800), 및 트랜지스터(900)의 산화물 반도체를 가지는 반도체 소자로 수소가 확산됨으로써, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서, 트랜지스터(700), 복수의 트랜지스터(800), 및 트랜지스터(900)와 트랜지스터(300) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막이다.
- [0211] 수소의 이탈량은 예를 들어 승온 이탈 가스 분석법(TDS) 등을 사용하여 분석할 수 있다. 예를 들어 절연체(324)의 수소의 이탈량은, TDS 분석에서 막의 표면 온도가 50℃내지 500℃의 범위에서 수소 원자로 환산한 이탈량이 절연체(324)의 면적당으로 환산하여 $10 \times 10^{15} \text{ atoms/cm}^2$ 이하, 바람직하게는 $5 \times 10^{15} \text{ atoms/cm}^2$ 이하이면 좋다.
- [0212] 또한 절연체(326)는 절연체(324)보다 유전율이 낮은 것이 바람직하다. 예를 들어 절연체(326)의 비유전율은 4 미만이 바람직하고, 3 미만이 더 바람직하다. 또한 예를 들어 절연체(326)의 비유전율은 절연체(324)의 비유전율의 0.7배 이하가 바람직하고, 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.
- [0213] 또한 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 일례로서 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서의 기능을 가진다. 또한 플러그 또는 배선으로서의 기능을 가지는 도전체에는, 복수의 구조를 합쳐서 동일한 부호를 부여하는 경우가 있다. 또

한 본 명세서 등에서 배선과, 배선에 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.

- [0214] 각 플러그 및 배선(도전체(328), 도전체(330) 등)의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써, 배선 저항을 저감할 수 있다.
- [0215] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 10에서는 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 트랜지스터(300)에 접속되는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(356)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0216] 또한 예를 들어 절연체(350)로서는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한 도전체(356)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(350)의 개구부에 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성으로 함으로써, 트랜지스터(300)와 트랜지스터(700), 복수의 트랜지스터(800), 및 트랜지스터(900)를 포함하는 기억부(100)를 배리어층에 의하여 분리할 수 있기 때문에, 트랜지스터(300)로부터 기억부(100)로 수소가 확산되는 것을 억제할 수 있다.
- [0217] 또한 수소에 대한 배리어성을 가지는 도전체에는, 예를 들어 질화 탄탈럼 등을 사용하는 것이 좋다. 또한 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지한 채, 트랜지스터(300)로부터의 수소의 확산을 억제할 수 있다. 이 경우, 수소에 대한 배리어성을 가지는 질화 탄탈럼층이, 수소에 대한 배리어성을 가지는 절연체(350)와 접하는 구조가 바람직하다.
- [0218] 절연체(354) 및 도전체(356) 위에 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 예를 들어, 도 10에서, 절연체(354) 및 도전체(356) 위에 절연체(360)가 제공되어 있다. 또한, 절연체(360)에 개구부를 제공하고, 도전체(356)에 전기적으로 접속되도록 도전체가 형성되어도 좋다. 이때, 상기 도전체는 플러그 또는 배선으로서의 기능을 가진다. 또한, 상기 도전체는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다. 특히, 상기 도전체는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다.
- [0219] 또한, 절연체(360)로서 수소에 대한 배리어성을 가지는 절연체를 사용하고, 또한 상기 도전체로서 수소에 대한 배리어성을 가지는 도전체를 사용함으로써, 트랜지스터(300)와, 후술하는 트랜지스터(700), 복수의 트랜지스터(800), 및 트랜지스터(900) 사이를 배리어층에 의하여 분리할 수 있다. 그러므로, 트랜지스터(300)로부터 트랜지스터(700), 복수의 트랜지스터(800), 및 트랜지스터(900)로의 수소의 확산을 억제할 수 있다.
- [0220] 다음으로, 기억부(100)에 포함되는 트랜지스터(700)와, 복수의 트랜지스터(800)와, 트랜지스터(900)와, 그 주변에 형성되는 절연체, 도전체 등에 대하여 설명한다.
- [0221] 도 10에는, 기억부(100)가 3차원 구조의 NAND형 기억 회로를 가지는 예를 나타내었다. 도 10에 나타난 정보 처리 장치의 기억부(100)는 3차원 구조의 NAND형 기억 회로의 구성 요소로서 트랜지스터(700)와, 복수의 트랜지스터(800)와, 트랜지스터(900)를 가진다. 또한, 트랜지스터(700) 및 트랜지스터(900)는 이들과 같은 개구부에 위치하는 복수의 트랜지스터(800)를 선택하기 위한 트랜지스터에 상당하고, 트랜지스터(800)는 데이터를 기억하는 셀 트랜지스터에 상당한다. 또한, 본 명세서 등에서, 같은 개구부에 위치하는 트랜지스터(700), 복수의 트랜지스터(800), 트랜지스터(900)를 스트링이라고 부르는 경우가 있다.
- [0222] 도 10에 나타난 기억부(100)는 제어부(200) 위에 제공되어 있다. 또한, 기억부(100)는 제어부(200)의 위쪽에서, 절연체(111) 내지 절연체(117), 절연체(121), 절연체(122), 절연체(131), 절연체(132), 절연체(133), 도전체(151) 내지 도전체(156), 반도체(141) 내지 반도체(143)를 가진다.
- [0223] 절연체(111)는 제어부(200)의 위쪽에 제공되어 있다. 그러므로, 절연체(111)의 하부에 위치하는 절연체(360)는 평탄성이 양호한 성막 방법으로 형성되는 것이 바람직하다. 또한, 절연체(360)에 대하여 CMP 처리가 수행되는 것이 바람직하다.
- [0224] 절연체(111)로서는, 예를 들어 산화 실리콘 또는 산화질화 실리콘을 포함하는 재료를 사용할 수 있다. 또한, 예를 들어, 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄,

이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 탄탈럼 등에서 선택된 재료를 포함하는 절연체를, 단층으로 또는 적층으로 사용할 수 있다.

[0225] 도전체(151)는 절연체(111)와 적층하여 제공되어 있다. 도전체(151)는 일례로서, 기억부(100)의 모든 스트링에 대하여 소정의 전위를 인가하는 배선으로서 기능한다.

[0226] 도전체(151)로서는, 예를 들어, 알루미늄, 크롬, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬 등에서 선택된 금속 원소를 1종류 이상 포함하는 재료를 사용할 수 있다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다. 또한, 실시형태 6에서 설명하는 금속 산화물에 포함되는 금속 원소 및 산소를 포함하는 도전성 재료를 사용하여도 좋다. 또한, 타이타늄, 탄탈럼 등의 금속 원소 및 질소를 포함하는 도전성 재료를 사용하여도 좋다. 예를 들어 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함한 도전성 재료를 사용하여도 좋다. 또한, 예를 들어 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한, 예를 들어 질소를 포함한 인듐 갈륨 아연 산화물 등을 사용하여도 좋다. 이러한 재료를 사용함으로써, 주변의 절연체 등으로부터 혼입되는 수소 또는 물을 포획할 수 있는 경우가 있다.

[0227] 도전체(151)의 형성 방법은 특별히 한정되지 않는다. 예를 들어, 스퍼터링법, CVD법(열CVD법, MOCVD법, PECVD법 등을 포함함), MBE(Molecular Beam Epitaxy)법, ALD(Atomic Layer Deposition)법, PLD(Pulsed Laser Deposition)법 등에 의하여 성막할 수 있다.

[0228] 절연체(112) 내지 절연체(117)에는, 예를 들어 절연체(111)와 같은 재료를 사용할 수 있다. 또한, 절연체(112) 내지 절연체(117)에는, 예를 들어 유전율이 낮은 재료를 사용하는 것이 바람직하다. 절연체(112) 내지 절연체(117)에 유전율이 낮은 재료를 사용함으로써, 도전체(152) 내지 도전체(156)와, 절연체(112) 내지 절연체(117)에 의하여 생기는 기생 용량의 값을 낮출 수 있다. 그러므로, 기억부(100)의 동작 속도를 향상시킬 수 있다.

[0229] 절연체(112) 내지 절연체(117)의 형성 방법은 특별히 한정되지 않는다. 예를 들어 스퍼터링법, CVD법(열CVD법, MOCVD법, PECVD법 등을 포함함), MBE법, ALD법, PLD법 등에 의하여 성막할 수 있다.

[0230] 도전체(152)는 트랜지스터(900)의 게이트 및 상기 게이트에 전기적으로 접속되는 배선으로서 기능한다. 또한, 도전체(153) 내지 도전체(155)는 복수의 트랜지스터(800)의 게이트 및 상기 게이트에 전기적으로 접속된 배선으로서 기능한다. 또한, 도전체(156)는 트랜지스터(700)의 게이트, 및 상기 게이트에 전기적으로 접속된 배선으로서 기능한다.

[0231] 도전체(152) 내지 도전체(156)에는, 예를 들어 도전체(151)와 같은 재료를 사용할 수 있다. 또한, 도전체(152) 내지 도전체(156)의 형성 방법으로서 도전체(151)의 형성 방법과 같은 방법을 사용할 수 있다.

[0232] 또한, 절연체(112) 내지 절연체(117), 도전체(152) 내지 도전체(156)에는 개구부가 제공되어 있다. 상기 개구부에는 절연체(121), 절연체(122), 절연체(131) 내지 절연체(133), 반도체(141) 내지 반도체(143)가 제공되어 있다.

[0233] 반도체(141)는 상기 개구부의 일부의 측면 및 바닥면에 접하여 제공되어 있다. 구체적으로는, 반도체(141)는 일부의 도전체(151) 위에 제공되고, 또한 개구부의 측면의 절연체(112)의 일부를 덮도록 제공되어 있다.

[0234] 반도체(141)는, 예를 들어 불순물이 확산된 실리콘으로 하는 것이 바람직하다. 상기 불순물로서는 n형 불순물(도너)을 사용할 수 있다. n형 불순물로서는, 예를 들어, 인, 비소 등을 사용할 수 있다. 또한, 상기 불순물로서 p형 불순물(억셉터)을 사용할 수 있다. p형 불순물로서는, 예를 들어, 붕소, 알루미늄, 갈륨 등을 사용할 수 있다. 또한 실리콘으로서 예를 들어 단결정 실리콘, 수소화 비정질 실리콘, 미결정 실리콘, 또는 다결정 실리콘 등을 사용할 수 있다. 또한, 반도체(141)에는 실리콘 이외로서는 캐리어 농도가 높은 금속 산화물을 적용할 수 있는 경우가 있다. 또한, Ge 등의 반도체, ZnSe, CdS, GaAs, InP, GaN, SiGe 등의 화합물 반도체를 적용할 수 있는 경우가 있다.

[0235] 또한, 후술하는 반도체(142), 반도체(143)에 적용하는 재료는 반도체(141)의 재료와 같은 것이 바람직하고, 반도체(142)의 캐리어 농도는 반도체(141), 반도체(143)의 캐리어 농도보다 낮은 것이 바람직한 경우가 있다.

[0236] 예를 들어, 반도체(141)로서 p형 불순물이 확산된 실리콘을 적용하는 경우, 반도체(141)를 도전체(151) 위에 형성한 후에 반도체(141)에 대하여 보론, 알루미늄, 갈륨 등의 p형 불순물을 첨가하는 것이 바람직하다. 이에 의

하여, 반도체(141)에는 p형 영역이 형성된다. 또한, 예를 들어 n형 불순물이 확산된 실리콘을 적용하는 경우, 반도체(141)를 도전체(151) 위에 형성한 후에 반도체(141)에 대하여 인, 비소 등의 n형 불순물을 첨가하는 것이 바람직하다. 이에 의하여, 반도체(141)에는 n형 영역이 형성된다.

- [0237] 또한, 반도체(141)에, 일례로서 금속 산화물을 적용하는 경우, 반도체(141)를 도전체(151) 위에 형성한 후에 반도체(141)에 대하여 금속 원소 등을 첨가하는 것이 바람직하다. 이에 의하여, 반도체(141)에서 캐리어 농도를 증가시킬 수 있다. 특히, 반도체(141)로서 실시형태 6에서 설명하는 금속 산화물을 적용하는 경우, 반도체(141)에는 n형 영역(n^+ 영역)이 형성된다. 또한, 반도체(141)에 대하여 금속 원소 등을 첨가하는 것이 아니라, 물, 수소 등을 첨가한 후에 열처리를 수행하여 반도체(141)에 산소 결손을 발생시켜도 좋다. 반도체(141)에서 산소 결손이 생긴 영역에는 n형 영역이 형성되기 때문에, 이 결과로서 반도체(141)의 캐리어 농도가 증가된다.
- [0238] 절연체(121)는 상기 개구부의 일부의 바닥면에 접하여 제공되어 있다. 구체적으로는, 절연체(121)는 반도체(141) 위의 일부와, 개구부의 측면의 도전체(152)를 덮도록 제공되어 있다.
- [0239] 절연체(121)는 트랜지스터(900)의 게이트 절연막으로서 기능한다.
- [0240] 절연체(121)로서는, 예를 들어 산화 실리콘, 산화질화 실리콘 등을 사용할 수 있다. 특히, 후술하는 반도체(142)로서 금속 산화물을 사용하는 경우, 절연체(121)는 가열에 의하여 산소를 이탈시키는 재료인 것이 바람직하다. 산소를 포함하는 절연체(121)를 반도체(142)로서 적용한 금속 산화물에 접하여 제공함으로써, 상기 금속 산화물 내의 산소 결손을 저감하여 트랜지스터(900)의 신뢰성을 향상시킬 수 있다.
- [0241] 절연체(121)의 성막 방법에 특별히 한정은 없지만, 절연체(121)는 절연체(112), 도전체(152), 및 절연체(113)에 제공된 개구부의 측면에 형성되기 때문에, 피막성이 높은 성막 방법이 요구된다. 피막성이 높은 성막 방법으로서, 예를 들어, ALD법 등을 들 수 있다.
- [0242] 절연체(131)는 상기 개구부의 일부의 측면에 접하여 제공되어 있다. 구체적으로는, 절연체(131)는 상기 개구부의 측면의 도전체(153) 내지 도전체(155)를 덮도록 제공되어 있다. 그러므로, 절연체(131)는 개구부의 측면의 절연체(114), 절연체(115)도 덮도록 제공되어 있다.
- [0243] 절연체(132)는 절연체(131)에 접하여 제공되어 있다. 또한, 절연체(133)는 절연체(132)에 접하여 제공되어 있다. 즉, 절연체(131) 내지 절연체(133)는 상기 개구부의 측면으로부터 중심으로 순차적으로 적층되어 있다.
- [0244] 절연체(131)는 트랜지스터(800)의 게이트 절연막으로서 기능한다. 또한, 절연체(132)는 트랜지스터(800)의 전하 축적층으로서 기능한다. 또한, 절연체(133)는 트랜지스터(800)의 터널 절연막으로서 기능한다.
- [0245] 절연체(131)로서는, 예를 들어, 산화 실리콘이나 산화질화 실리콘을 사용하는 것이 바람직하다. 또한, 절연체(131)로서는, 예를 들어, 산화 알루미늄, 산화 하프늄, 또는 알루미늄 및 하프늄을 가지는 산화물 등을 사용할 수 있다. 또한, 절연체(131)는, 이들을 적층한 절연체로 하여도 좋다. 그리고, 절연체(131)를 절연체(133)보다 두껍게 함으로써, 후술하는 반도체(142)로부터 절연체(133)를 통하여 절연체(132)로 전하를 이동시킬 수 있다.
- [0246] 절연체(132)로서는, 예를 들어, 질화 실리콘이나 질화산화 실리콘을 사용할 수 있다. 다만, 절연체(132)에 적용할 수 있는 재료는 이들에 한정되지 않는다.
- [0247] 절연체(133)로서는, 예를 들어, 산화 실리콘 또는 산화질화 실리콘을 사용하는 것이 바람직하다. 또한, 절연체(133)로서는, 예를 들어, 산화 알루미늄, 산화 하프늄, 또는 알루미늄 및 하프늄을 가지는 산화물 등을 사용하여도 좋다. 또한, 절연체(133)는, 이들을 적층한 절연체로 하여도 좋다.
- [0248] 절연체(122)는 상기 개구부의 일부의 측면에 접하여 제공되어 있다. 구체적으로는, 개구부의 측면의 도전체(156)를 덮도록 제공되어 있다.
- [0249] 절연체(122)는 트랜지스터(700)의 게이트 절연막으로서 기능한다.
- [0250] 절연체(122)에는, 예를 들어 절연체(121)와 같은 재료를 사용할 수 있다. 또한, 절연체(122)의 형성 방법으로서, 절연체(121)의 형성 방법과 같은 방법을 사용할 수 있다.
- [0251] 반도체(142)는, 상기 개구부에서 형성된 절연체(121), 절연체(133), 및 절연체(122)의 측면에 접하여 제공되어 있다.
- [0252] 반도체(142)는 트랜지스터(700), 트랜지스터(800), 트랜지스터(900)의 채널 형성 영역, 및 트랜지스터(700), 트

랜지스터(800), 트랜지스터(900)를 직렬로 전기적으로 접속하기 위한 배선으로서 기능한다.

- [0253] 반도체(142)에는, 예를 들어 실리콘을 사용하는 것이 바람직하다. 또한 실리콘으로서는 예를 들어 단결정 실리콘, 수소화 비정질 실리콘, 미결정 실리콘, 또는 다결정 실리콘 등을 사용할 수 있다. 또한, 반도체(142)로서는, 실리콘 이외에 금속 산화물을 적용할 수 있는 경우가 있다. 또한, Ge 등의 반도체, ZnSe, CdS, GaAs, InP, GaN, SiGe 등의 화합물 반도체를 적용할 수 있는 경우가 있다.
- [0254] 반도체(143)는 상기 개구부에 반도체(141), 반도체(142), 절연체(121), 절연체(122), 절연체(131), 절연체(132), 절연체(133)가 형성된 후에 상기 개구부를 매립하도록 제공된다. 구체적으로는, 반도체(143)는 절연체(122) 위 및 반도체(142) 위에 접하고, 절연체(117)의 측면에 접하여 제공된다.
- [0255] 반도체(143)에는, 예를 들어 반도체(141)와 같은 재료를 사용하는 것이 바람직하다. 그러므로, 반도체(141)와 반도체(143) 각각의 극성은 동등하게 하는 것이 바람직하다.
- [0256] 절연체(117) 및 반도체(143) 위에 배선층을 제공하여도 좋다. 예를 들어 도 10에서는 배선층으로서 절연체(382) 및 절연체(384)가 순차적으로 적층되어 제공되어 있다. 또한 절연체(382) 및 절연체(384)에는 도전체(386)가 형성되어 있다. 도전체(386)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(386)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0257] 또한, 본 발명의 일 형태의 정보 처리 장치는 도 10에 나타난 기억부(100)가 가지는 NAND형 기억 회로의 구성에 한정되지 않는다. 본 발명의 일 형태의 정보 처리 장치에 적용하는 NAND형 기억 회로는 도 10에 나타난 NAND형 기억 회로와 상이한 구성으로 하여도 좋다.
- [0258] <정보 처리 장치의 구성예 2>
- [0259] 도 12에, 도 10과 다른 정보 처리 장치의 구성예를 나타내었다. 도 12에 나타난 정보 처리 장치는 도 10의 정보 처리 장치의 기억부(100)의 구성을 변경한 구성이고, 구체적으로는 도 12의 정보 처리 장치의 기억부(100)는 실시형태 2에서 설명한 도 4의 (A)의 기억부의 구성을 가진다.
- [0260] 도 12에 나타난 정보 처리 장치의 기억부(100)에서, 일례로서 3차원 구조의 NAND형 기억 회로에 포함되는 메모리 셀(MC[1])은 트랜지스터(RTr)와, 트랜지스터(WTr)와, 용량 소자(CS)를 가진다.
- [0261] 또한, 도 12에 나타난 기억부(100)는 도 10의 정보 처리 장치와 마찬가지로, 제어부(200) 위에 제공되어 있다. 또한, 기억부(100)는 제어부(200)의 위쪽에서 절연체(211) 내지 절연체(215), 절연체(240) 내지 절연체(243), 도전체(221), 도전체(222), 도전체(250) 내지 도전체(253), 반도체(231), 반도체(232)를 가진다.
- [0262] 절연체(240)는 제어부(200)의 위쪽에 제공되어 있다. 그러므로, 절연체(240)의 하부에 위치하는 절연체(360)는 평탄성이 양호한 성막 방법으로 형성되는 것이 바람직하다. 또한, 절연체(360)에 대하여 CMP 처리가 수행되는 것이 바람직하다.
- [0263] 절연체(240)로서는, 예를 들어 절연체(111)에 적용할 수 있는 재료를 사용할 수 있다.
- [0264] 절연체(241)는 절연체(240)에 적층하여 제공되어 있다.
- [0265] 절연체(241)에는, 예를 들어 절연체(240)와 마찬가지로 절연체(111)에 적용할 수 있는 재료를 사용할 수 있다.
- [0266] 또한, 절연체(240)에는 도전체(250)가 매립되고, 절연체(241)에는 도전체(251)가 매립된다. 도전체(250) 및 도전체(251)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도 10과 마찬가지로 도 12에 나타난 플러그 또는 배선으로서의 기능을 가지는 도전체에는 복수의 구조를 하나로 묶어 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선에 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.
- [0267] 도전체(250) 및 도전체(251)에는, 예를 들어 도전체(328) 및 도전체(330)에 적용할 수 있는 재료를 사용할 수 있다.
- [0268] 절연체(211)는 절연체(241) 위에 제공되어 있다. 또한, 도전체(221)는 절연체(211) 위에 제공되어 있다. 또한, 절연체(212)는 도전체(221) 위에 제공되어 있다. 또한, 도전체(222)는 절연체(212) 위에 제공되어 있다. 즉, 절연체(211), 도전체(221), 절연체(212), 도전체(222)는 이 순서대로 적층되어 있다(이들을 적층체라고 부름). 또한, 도 12의 정보 처리 장치의 기억부(100)는 하나의 스트링에 포함되는 메모리 셀(MC)의 개수만큼 적층체를 가진다.

- [0269] 또한, 도 12의 정보 처리 장치의 제작 공정에서, 절연체(211), 도전체(221), 절연체(212), 도전체(222)에는 레지스트 마스크의 형성과 에칭 처리 등에 의하여 개구부가 제공된다. 또한, 이때 도전체(221)가 선택적으로 제거되어 절연체(211), 도전체(221), 절연체(212)에 의하여 오목부가 형성되도록 한다. 이 경우, 도전체(221)로서는 절연체(211), 절연체(212), 및 도전체(222)보다 에칭 레이트가 높아지는 재료를 사용하는 것이 바람직하다.
- [0270] 또한, 레지스트 마스크의 형성은 예를 들어, 리소그래피법, 인쇄법, 잉크젯법 등을 적절히 사용하여 수행할 수 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 절감할 수 있다. 또한, 에칭 처리에 대해서는, 드라이 에칭법이라도 좋고 웨트 에칭법이라도 좋고, 양쪽 모두를 사용하여도 좋다.
- [0271] 또한, 자세한 사항은 후술하지만, 에칭 처리에 의하여 형성된 개구부에는 절연체(213), 반도체(231), 절연체(214), 절연체(215), 반도체(232), 절연체(216), 도전체(223)가 순차적으로 형성된다.
- [0272] 절연체(211), 절연체(212)에는, 일례로서 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다. 그러므로, 절연체(211) 및 절연체(212)에는, 예를 들어 절연체(111)와 같은 재료를 사용할 수 있다.
- [0273] 도전체(221), 도전체(222)에는, 예를 들어 도전체(151)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 특히, 도전체(221), 도전체(222)에는, 물 또는 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0274] 상술한 에칭 처리에 의하여 형성된 개구부의 측면에는 절연체(213), 반도체(231)가 순차적으로 형성된다. 또한, 상기 개구부의 오목부를 매립하여 절연체(214)가 형성된다.
- [0275] 절연체(214)의 형성 방법으로는, 예를 들어, 우선 상기 개구부의 오목부가 매립될 정도로 상기 개구부의 측면에 절연체(214)를 형성하고, 그 후에 상기 오목부에 절연체(214)를 남기고, 또한 반도체(231)가 노출되도록 절연체(214)의 일부를 에칭 처리에 의하여 제거하면 좋다.
- [0276] 절연체(213)로서는, 예를 들어 산화 실리콘이나 산화질화 실리콘을 사용할 수 있다. 또한, 절연체(213)로서는, 예를 들어, 산화 알루미늄, 산화 하프늄, 또는 알루미늄 및 하프늄을 가지는 산화물 등을 사용할 수 있다. 또한, 절연체(213)는 이들을 적층한 절연체로 하여도 좋다.
- [0277] 반도체(231)에는, 실시형태 6에서 설명하는 금속 산화물을 사용하는 것이 바람직하다. 본 실시형태에서는, 이 후에서 반도체(231)에 금속 산화물이 적용된 것으로 한다. 특히 금속 산화물로서는, 후술하는 CAAC-OS를 사용하는 것이 바람직하다. 예를 들어, 반도체(231)에 다결정 실리콘을 사용하는 경우, 상기 다결정 실리콘 내에 형성될 수 있는 결정 립계에 의하여 전자 트랩 밀도가 상승되고, 트랜지스터 특성에 편차가 크게 생길 가능성이 있다. 한편 CAAC-OS는 명확한 결정 립계가 확인되지 않기 때문에, 트랜지스터 특성의 편차를 억제할 수 있다.
- [0278] 또한, 절연체(214)를 형성하기 전에, 형성된 반도체(231)에 대하여 산소 분위기에서 열처리를 수행함으로써, 반도체(231)의 금속 산화물에 산소를 공급할 수 있다. 그 후, 절연체(214)를 형성한 후에 반도체(231)의 금속 산화물에 불순물 등의 공급 처리를 수행함으로써, 반도체(231)의 개구부에 노출된 영역의 저항을 낮출 수 있다. 즉, 반도체(231)의 절연체(214)에 접하는 영역은 고저항 영역이 되고, 반도체(231)의 절연체(214)에 접하지 않는 영역은 저저항 영역이 된다.
- [0279] 또한, 반도체(231)의 금속 산화물에 대한 불순물 등의 공급 처리의 예로서 개구부의 오목부에 절연체(214)를 매립한 후의, 개구부의 측면에 대한 도전체의 형성, 및 상기 도전체의 제거를 들 수 있다. 반도체(231)의 금속 산화물에 상기 도전막이 접함으로써, 상기 도전막에 포함되는 금속 원소가 반도체(231)로 확산되어, 반도체(231)의 구성 원소와 금속 화합물이 형성되는 경우가 있다. 이 금속 화합물에 의하여 반도체(231)에 저저항 영역이 형성된다.
- [0280] 절연체(214)로서는, 우선 형성한 반도체(231)와의 계면, 및 계면 근방에서, 반도체(231)에 포함되는 성분과 화합물을 형성하는 성분이 아닌 것이 바람직하다. 구체적으로는, 절연체(214)에는 예를 들어 산화 실리콘 등을 사용할 수 있다.
- [0281] 그 후, 반도체(231), 절연체(214)의 형성면 위에 절연체(215), 반도체(232), 절연체(216), 도전체(223)가 순차적으로 형성된다. 또한, 도전체(223)의 형성에 의하여, 적층체에 제공된 개구부가 매립되는 것으로 한다.

- [0282] 절연체(215) 및 절연체(216)에는, 예를 들어 절연체(213)에 적용할 수 있는 재료를 사용하는 것이 바람직하다.
- [0283] 반도체(232)에는, 예를 들어 반도체(231)와 마찬가지로, 실시형태 6에서 설명하는 금속 산화물을 사용하는 것이 바람직하다.
- [0284] 도전체(223)에는, 예를 들어 도전체(151)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 특히 도전체(223)에는, 물 또는 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0285] 형성된 스트링의 상부에는 절연체(242) 및 절연체(243)가 순차적으로 제공되어 있다.
- [0286] 절연체(242) 및 절연체(243)에는, 예를 들어 절연체(111)에 적용할 수 있는 재료를 사용할 수 있다.
- [0287] 또한, 절연체(242)에는 도전체(252)가 매립되어 있고, 절연체(243)에는 도전체(253)가 매립되어 있다. 도전체(252) 및 도전체(253)는 플러그 또는 배선으로서의 기능을 가진다.
- [0288] 도전체(252) 및 도전체(253)로서는, 예를 들어 도전체(328) 및 도전체(330)에 적용할 수 있는 재료를 사용할 수 있다.
- [0289] 상술한 공정을 거침으로써, 도 4의 (A)의 기억부(100)를 가지는 정보 처리 장치를 제작할 수 있다.
- [0290] 구체적으로는, 도 4의 (A)에 나타난 기억부에서의 배선(WBL), 배선(RBL), 배선(BGL)은 각각 도 12의 반도체(231), 반도체(232), 도전체(223)에 대응한다. 또한, 도 4의 (A)에 나타난 기억부에서의 배선(WWL), 배선(RWL)은 각각 도전체(221), 도전체(222)에 대응한다.
- [0291] 그러므로, 도전체(222)를 한쪽 전극으로 하고, 도전체(222)에 접하는 절연체(213)의 영역을 유전체로 하고, 도전체(222)와 중첩되는 반도체(231)의 영역을 다른 쪽 전극으로 하는 용량 소자(CS)가 구성된다. 또한, 도전체(222)와 중첩되는 반도체(231)의 영역을 게이트로 하고, 도전체(222)와 중첩되는 절연체(215)의 영역을 게이트 절연막으로 하고, 도전체(222)와 중첩되는 반도체(232)의 영역을 채널 형성 영역으로 하고, 도전체(222)와 중첩되는 절연체(216)의 영역을 게이트 절연막으로 하고, 도전체(222)와 중첩되는 도전체(223)의 영역을 백 게이트로 하는 트랜지스터(RTr)가 구성된다. 또한, 도전체(221)를 게이트로 하고, 도전체(221)와 중첩되는 절연체(213)를 게이트 절연막으로 하고, 도전체(221)와 중첩되는 반도체(231)의 영역을 채널 형성 영역으로 하는 트랜지스터(WTr)가 구성된다.
- [0292] 또한, 본 명세서 등에 개시된 절연체, 도전체, 반도체 등은 PVD(Physical Vapor Deposition)법, CVD(Chemical Vapor Deposition)법에 의하여 형성할 수 있다. PVD법의 예로서는, 스퍼터링법, 저항 가열 증착법, 전자 빔 증착법, PLD(Pulsed Laser Deposition)법 등을 들 수 있다. 또한, CVD법으로서, 플라즈마 CVD법, 열 CVD법에 의한 형성 등을 들 수 있다. 특히, 열 CVD법의 예로서는, MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법 등을 들 수 있다.
- [0293] 열 CVD법은 플라즈마를 사용하지 않는 성막 방법이기 때문에 플라즈마 대미지로 인하여 결함이 생성되는 일이 없다는 이점을 가진다.
- [0294] 열 CVD법은 원료 가스와 산화제를 동시에 체임버 내에 공급하고, 체임버 내를 대기압 또는 감압하로 하고, 기관 근방 또는 기관 위에서 반응시켜 기관 위에 퇴적시킴으로써 성막을 수행하여도 좋다.
- [0295] 또한, ALD법은 체임버 내를 대기압 또는 감압하로 하고, 반응을 위한 원료 가스가 순차적으로 체임버에 도입되고, 그 가스 도입의 순서를 반복함으로써 성막을 수행하여도 좋다. 예를 들어, 각각의 스위칭 밸브(고속 밸브라고도 부름)를 전환하여 2종류 이상의 원료 가스를 순차적으로 체임버에 공급하고, 복수 종류의 원료 가스가 혼합되지 않도록 제 1 원료 가스와 동시에, 또는 제 1 원료 가스를 도입한 후에 불활성 가스(아르곤, 또는 질소 등) 등을 도입하고, 제 2 원료 가스를 도입한다. 또한, 동시에 불활성 가스를 도입하는 경우에는, 불활성 가스는 캐리어 가스가 되고, 또한 제 2 원료 가스의 도입 시에도 동시에 불활성 가스를 도입하여도 좋다. 또한, 불활성 가스를 도입하는 대신에 진공 배기에 의하여 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기관의 표면에 흡착되어 제 1 얇은 층이 성막되고, 나중에 도입되는 제 2 원료 가스와 반응하여, 제 2 얇은 층이 제 1 얇은 층 위에 적층되어 박막이 형성된다. 이 가스 도입 순서를 제어하면서 원하는 두께가 될 때까지 복수회 반복함으로써, 단차 피복성이 우수한 박막을 형성할 수 있다. 박막의 두께는 가스 도입 순서를 반복하는 횟수에 의하여 조절할 수 있기 때문에, 정밀한 막 두께 조절이 가능하고, 미세한 FET를 제작하는 경우에 적합하다.

- [0296] MOCVD법이나 ALD법 등의 열 CVD법은, 여기까지 기재된 실시형태에 개시된 금속막, 반도체막, 무기 절연막 등 다양한 막을 형성할 수 있고, 예를 들어, In-Ga-Zn-O막을 성막하는 경우에는, 트라이메틸인듐($\text{In}(\text{CH}_3)_3$), 트라이메틸갈륨($\text{Ga}(\text{CH}_3)_3$), 및 다이메틸아연($\text{Zn}(\text{CH}_3)_2$)을 사용한다. 또한, 이들 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트라이에틸갈륨($\text{Ga}(\text{C}_2\text{H}_5)_3$)을 사용할 수도 있고, 다이메틸아연 대신에 다이에틸아연($\text{Zn}(\text{C}_2\text{H}_5)_2$)을 사용할 수도 있다.
- [0297] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화 하프늄막을 형성하는 경우에는, 용매와 하프늄 전구체 화합물을 포함하는 액체(하프늄알콕사이드나, 테트라키스다이메틸아마이드하프늄(TDMAH), $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 등의 하프늄아마이드)를 기화시킨 원료 가스와, 산화제로서의 오존(O_3)의 2종류의 가스를 사용한다. 또한, 다른 재료로서는, 테트라키스(에틸메틸아마이드)하프늄 등이 있다.
- [0298] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화 알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체 화합물을 포함하는 액체(트라이메틸 알루미늄(TMA, $\text{Al}(\text{CH}_3)_3$) 등)를 기화시킨 원료 가스와, 산화제로서의 H_2O 의 2종류의 가스를 사용한다. 또한, 다른 재료로서는, 트리스(다이메틸아마이드)알루미늄, 트리아이소부틸알루미늄, 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵테인다이오네이트) 등이 있다.
- [0299] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화 실리콘막을 형성하는 경우에는, 헥사클로로다이실레인을 피성막면에 흡착시키고, 산화성 가스(O_2 , 일산화이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.
- [0300] 예를 들어, ALD를 이용하는 성막 장치에 의하여 텅스텐막을 성막하는 경우에는, WF_6 가스와 B_2H_6 가스를 순차적으로 반복하여 도입함으로써 초기 텅스텐막을 형성하고 나서, WF_6 가스와 H_2 가스를 순차적으로 반복하여 도입함으로써 텅스텐막을 형성한다. 또한, B_2H_6 가스 대신에 SiH_4 가스를 사용하여도 좋다.
- [0301] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화물 반도체막, 예를 들어, In-Ga-Zn-O막을 성막하는 경우에는, $\text{In}(\text{CH}_3)_3$ 가스와 O_3 가스를 순차적으로 반복하여 도입함으로써 In-O층을 형성하고 나서, $\text{Ga}(\text{CH}_3)_3$ 가스와 O_3 가스를 순차적으로 반복하여 도입함으로써 GaO층을 형성하고, 그 후 $\text{Zn}(\text{CH}_3)_2$ 가스와 O_3 가스를 순차적으로 반복하여 도입함으로써 ZnO층을 형성한다. 또한, 이들 층의 순서는 이 예에 한정되지 않는다. 또한, 이들 가스를 사용하여 In-Ga-O층이나 In-Zn-O층, Ga-Zn-O층 등의 혼합 산화물층을 형성하여도 좋다. 또한, O_3 가스 대신에 Ar 등의 불활성 가스로 물을 버블링하여 얻어진 H_2O 가스를 사용하여도 좋지만, H를 포함하지 않는 O_3 가스를 사용하는 것이 바람직하다. 또한, $\text{In}(\text{CH}_3)_3$ 가스 대신에 $\text{In}(\text{C}_2\text{H}_5)_3$ 가스를 사용하여도 좋다. 또한, $\text{Ga}(\text{CH}_3)_3$ 가스 대신에 $\text{Ga}(\text{C}_2\text{H}_5)_3$ 가스를 사용하여도 좋다. 또한, $\text{Zn}(\text{CH}_3)_2$ 가스를 사용하여도 좋다.
- [0302] 또한 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0303] (실시형태 4)
- [0304] 본 실시형태에서는 본 발명의 일 형태의 정보 처리 장치의 응용예에 대하여 설명한다.
- [0305] 일반적으로, 컴퓨터는 구성 요소로서 마더보드 위에 프로세서, 메인 메모리, 스토리지 등을 가지고, 각각의 구성 요소는 일레로서 버스 배선에 의하여 전기적으로 접속되어 있다. 그러므로, 버스 배선이 길어질수록 기생 저항이 커지기 때문에, 신호의 송신에 필요한 소비 전력도 높아진다.
- [0306] 구체적으로는, 컴퓨터는 예를 들어 도 13의 (A)에 나타난 바와 같은 구성이 된다. 컴퓨터는 마더보드(BD)를 가지고, 또한 마더보드(BD) 위에는 연산 처리 장치(프로세서, CPU 등)(10), 메인 메모리(DRAM(Dynamic Random Access Memory) 등)(30), 스토리지(삼차원 구조의 NAND형 기억 장치, 3D OS NAND형 기억 장치 등)(40), 인터페이스(60) 등이 제공되어 있다. 또한, 도 13에는 메인 메모리로서도 기능하는 SRAM(Static Random Access Memory)(20)도 도시하였지만, 마더보드(BD) 위에 반드시 제공할 필요는 없다.
- [0307] 또한, 도 13에는 연산 처리 장치(10)가 레지스터(11)를 가지는 구성을 도시하였다.
- [0308] 도 13의 (A)에서, 연산 처리 장치(10)는 SRAM(20)과, 메인 메모리(30)와, 스토리지(40)와, 인터페이스(60)에 전기적으로 접속되어 있다. 또한, 메인 메모리(30)는 SRAM(20)과 스토리지(40)에 전기적으로 접속되어 있다.
- [0309] 또한, 도 13의 (A)의 컴퓨터의 각 구성 요소는 버스 배선(BSH)에 의하여 전기적으로 접속되어 있다. 즉, 컴퓨

터의 구성 요소가 늘수록, 또는, 마더보드(BD)가 커질수록 리드되는 버스 배선(BSH)이 길어지기 때문에, 신호의 송신에 필요한 소비 전력이 높아진다.

- [0310] 그런데, 도 13의 (A)에 나타난 컴퓨터는 상기 컴퓨터의 각 구성 요소를 하나의 칩으로 통합하여 모놀리식 IC(Integrated Circuit)로 하여도 좋다. 또한, 이때 앞의 실시형태에서 설명한 도 1 등의 정보 처리 장치(50)를 메인 메모리(30) 및 스토리지(40)로서 적용할 수 있다. 이와 같이, 도 13의 (A)의 컴퓨터를 모놀리식 IC로 한 것을 도 13의 (B)에 나타내었다.
- [0311] 도 13의 (B)의 모놀리식 IC는 Si를 가지는 반도체 기판 위에 회로층(LGC)을 가진다. 또한, 회로층(LGC)의 상부에 기억층(ST)을 가지고, 기억층(ST)의 상부에 회로층(OSC)을 가진다.
- [0312] 회로층(LGC)은 예를 들어, Si를 가지는 반도체 기판(SBT)에 형성되는 Si 트랜지스터를 포함하는 복수의 회로를 가진다. 상기 복수의 회로의 일부로서는, 예를 들어 도 13의 (A)에서의 연산 처리 장치(10), SRAM(20) 등으로 할 수 있다. 또한, 도 1 등의 정보 처리 장치를 메인 메모리(30) 및 스토리지(40)로서 적용한 경우, 상기 복수의 회로의 일부를 정보 처리 장치(50)에 포함되는 컨트롤러(1197)로 할 수 있다.
- [0313] 특히, 일례로서 SRAM(20)에 Si 트랜지스터를 사용함으로써, SRAM의 구동 주파수를 높일 수 있다.
- [0314] 기억층(ST)은 Si 트랜지스터 및/또는 OS 트랜지스터를 가지는 기억부로서 기능한다. 기억층(ST)으로서, 예를 들어 삼차원 구조의 NAND형 기억 회로, 3D OS NAND형 기억 회로 등으로 할 수 있다. 그러므로, 기억층(ST)은 도 1의 정보 처리 장치에서의 기억부(1196), 도 13의 (A)에서의 스토리지(40) 등을 가진다.
- [0315] 또한, 3D OS NAND형 기억 회로를 사용함으로써, 도 13의 (B)의 모놀리식 IC의 소비 전력을 저감할 수 있다.
- [0316] 회로층(OSC)은 예를 들어, OS 트랜지스터를 포함하는 복수의 회로를 가진다. 상기 복수의 회로의 일부로서는, 예를 들어 연산 처리 장치(10), SRAM(20) 등 회로층(LGC)에 포함되는 회로와 다른 회로로 할 수 있다.
- [0317] 도 13의 (B)에 나타난 모놀리식 IC에서는 마더보드 위에 리드하기 위한 버스 배선(BSH)을 제공하지 않기 때문에, 각각의 구성 요소끼리를 전기적으로 접속하는 배선이 짧아진다. 그러므로, 신호의 송신에 필요한 소비 전력을 저감할 수 있다.
- [0318] 또한, 도 13의 (B)에 나타난 모놀리식 IC는 정보 처리 장치(50)를 가진다. 그러므로, 정보 처리 장치(50)는 도 13의 (A)에서의 스토리지(40)와 메인 메모리(30)의 역할을 가진다. 그러므로, 도 13의 (B)에 나타난 모놀리식 IC에서는 메인 메모리(30)를 기억층(ST)의 기억부(1196)로 할 수 있다.
- [0319] 버스 배선(BSH)을 제공하지 않은 점, 메인 메모리(30)의 대체로서 기억부(1196)를 사용하는 점 때문에, 도 13의 (B)의 모놀리식 IC에서는 도 13의 (A)의 컴퓨터보다 회로 면적을 축소할 수 있다.
- [0320] 다음으로, 도 13의 (A)에 나타난 컴퓨터 및 도 13의 (B)에 나타난 모놀리식 IC의 기억 계층의 일례를 각각 도 14의 (A) 및 (B)에 나타내었다.
- [0321] 일반적으로, 기억 계층은 위층에 위치하는 기억 장치일수록 빠른 동작 속도가 요구되고, 아래층에 위치하는 기억 장치일수록 큰 기억 용량과 높은 기록 밀도가 요구된다. 도 14의 (A)에서는 일례로서, 가장 위층으로부터 순차적으로 CPU(연산 처리 장치(10))에 포함되는 레지스터와, SRAM과, 메인 메모리(30)에 포함되는 DRAM과, 스토리지(40)에 포함되는 삼차원 구조의 NAND형 기억 회로를 나타내었다.
- [0322] 연산 처리 장치(10)에 포함되는 레지스터와 SRAM은 연산 결과의 일시적 저장 등에 사용되기 때문에, 연산 처리 장치(10)로부터의 액세스 빈도가 높다. 따라서 기억 용량보다 빠른 동작 속도가 요구된다. 또한 레지스터는 연산 처리 장치의 설정 정보 등을 유지하는 기능도 가진다.
- [0323] 메인 메모리(30)에 포함되는 DRAM은 일례로서, 스토리지(40)로부터 판독된 프로그램이나 데이터를 유지하는 기능을 가진다. DRAM의 기록 밀도는 대략 $0.1\text{Gbit}/\text{mm}^2$ 내지 $0.3\text{Gbit}/\text{mm}^2$ 이다.
- [0324] 스토리지(40)는 장기간 저장할 필요가 있는 데이터나 연산 처리 장치에서 사용하는 각종 프로그램 등을 유지하는 기능을 가진다. 따라서 스토리지(40)에는 동작 속도보다, 큰 기억 용량과 높은 기록 밀도가 요구된다. 스토리지(40)에 사용되는 기억 장치의 기록 밀도는 대략 $0.6\text{Gbit}/\text{mm}^2$ 내지 $6.0\text{Gbit}/\text{mm}^2$ 이다. 그러므로, 스토리지(40)로서는 삼차원 구조의 NAND형 기억 회로(3D OS NAND), 하드디스크 드라이브(HDD) 등이 사용된다.
- [0325] 그런데, 상술한 바와 같이, 도 1에 나타난 정보 처리 장치(50)는 도 13의 (A)에 나타난 스토리지(40) 및 메인

메모리(30)의 역할을 가지기 때문에, 도 13의 (B)에 나타난 모놀리식 IC의 기억 계층은 도 14의 (B)에 나타난 바와 같다.

- [0326] 즉, 도 13의 (B)에 나타난 모놀리식 IC에서, 도 1에 나타난 정보 처리 장치(50)의 기억부(100)에 포함되는 메모리 셀(3D OS NAND의 셀)은 기억부(100)의 캐시 메모리뿐만 아니라, 도 13의 (A)에 나타난 컴퓨터에서의 메인 메모리(30)로서 취급할 수 있다. 그러므로, 도 13의 (B)에 나타난 모놀리식 IC에서는 DRAM 등의 메인 메모리(30)를 제공할 필요가 없기 때문에, 도 13의 (B)에 나타난 모놀리식 IC의 회로 면적을 축소할 수 있고, 또한 DRAM 등의 메인 메모리(30)를 동작시키는 데 필요한 소비 전력을 저감할 수 있다.
- [0327] 또한, 도 13의 (B)에 나타난 모놀리식 IC의 구성은 일례이며, 본 발명의 일 형태에 한정되지 않는다. 도 13의 (B)에 나타난 모놀리식 IC의 구성은 상황에 따라 변경하여도 좋다. 예를 들어, 도 13의 (B)에 나타난 모놀리식 IC에서, 예를 들어 SRAM으로서 1GHz 이상의 고속의 메모리가 요구되는 경우에는, SRAM은 연산 처리 장치에 혼재되어도 좋다.
- [0328] 또한 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0329] (실시형태 5)
- [0330] 본 실시형태에서는 본 명세서 등의 NAND형 기억 장치에 대한 기록 방법의 일례에 대하여 설명한다.
- [0331] 도 15의 (A)는 연산 처리 장치(프로세서, CPU 등)(70)와, 기억 장치(삼차원 구조의 NAND형 기억 장치, 3D OS NAND형 기억 장치)(80)의 전기적인 접속을 나타낸 것이다. 구체적으로는, 연산 처리 장치(70)는 복수의 배선(90)을 통하여 기억 장치(80)에 전기적으로 접속되어 있다.
- [0332] 연산 처리 장치(70)는, 기억 장치(80)에 포함되는 메모리 셀에 기록하기 위한 데이터를 복수의 배선(90)을 통하여 기억 장치(80)에 송신하는 기능을 가진다. 즉, 복수의 배선(90)은 상술한 실시형태의 배선(WBL) 등에 상당하는 기록 비트선으로서 기능한다. 예를 들어, 기억 장치(80)가 NAND 구조의 기억 장치이고, 복수의 스트링을 가지는 경우, 복수의 배선(90)은 각각 복수의 스트링에 전기적으로 접속되어 있다.
- [0333] 그런데, 기억 장치(80)에 포함되는 메모리 셀에 대한 데이터의 기록 속도를 높이기 위해서는 배선(90)의 형성에 저항값이 낮은 재료를 사용하거나, 배선(90)의 길이를 짧게 하는 것 등을 들 수 있다.
- [0334] 또한, 기억 장치(80)에 포함되는 메모리 셀에 대한 데이터의 기록 속도를 높이기 위해서는, 배선(90)의 개수를 늘리면 좋다. 즉, 배선(90)의 개수(배선(90)에 전기적으로 접속되어 있는 기억 장치(80)의 스트링의 개수)를 늘림으로써, 메모리 셀에 한 번에 기록할 수 있는 데이터의 개수를 늘릴 수 있다.
- [0335] 다음으로, 도 15의 (B)를 사용하여 기록 데이터의 송신 방법에 대하여 설명한다.
- [0336] 연산 처리 장치(70)는 일례로서, 래치 회로(LT1[1]) 내지 래치 회로(LT1[z])(z는 2 이상의 정수로 함)와, 래치 회로(LT2[1]) 내지 래치 회로(LT2[z])와, 배선(90[1]) 내지 배선(90[z])을 가진다. 또한, 기억 장치(80)는 일례로서, NAND형 기억 장치로서 스트링(STG[1]) 내지 스트링(STG[z])을 가진다.
- [0337] 연산 처리 장치(70)에서, 래치 회로(LT1[1]) 내지 래치 회로(LT1[z])는 시프트 레지스터를 구성한다. 그러므로, 래치 회로(LT1[1]) 내지 래치 회로(LT1[z]) 각각의 클록 입력 단자에는 클록 신호를 송신하는 배선(CLK)이 전기적으로 접속되어 있다. 상기 시프트 레지스터는 래치 회로(LT1[1])의 입력 단자에 입력된 기록용 데이터(DA)를, 배선(CLK)으로부터 클록 신호로서 입력된 펄스 전압의 횟수에 따라 순차적으로 래치 회로(LT1[2]) 내지 래치 회로(LT1[z])에 송신할 수 있다.
- [0338] 또한, 래치 회로(LT1[v])(여기서 v는 1 이상 z 이하의 정수로 함)의 출력 단자는 래치 회로(LT2[v])의 입력 단자에 전기적으로 접속되어 있다. 그러므로, 래치 회로(LT1[v])로부터 출력된 데이터(DA)는 래치 회로(LT2[v])에 입력된다. 또한, 래치 회로(LT2[v])는 배선(90[v])을 통하여 스트링(STG[v])과 전기적으로 접속된다.
- [0339] 래치 회로(LT2[1]) 내지 래치 회로(LT2[z]) 각각의 클록 입력 단자에는 배선(ENL)이 전기적으로 접속되어 있다. 배선(ENL)은 연산 처리 장치(70)로부터 기억 장치(80)에 데이터(DA)를 송신하기 위한 트리거 신호를 송신하는 배선으로서 기능한다.
- [0340] 직렬 전송에 의하여, 래치 회로(LT1[1])에 데이터(DA)가 입력됨으로써, 래치 회로(LT1[1])에 데이터(DA)가 순차적으로 입력된다. 여기서는, 래치 회로(LT1[1]) 내지 래치 회로(LT1[z])에 순차적으로 데이터(DA)가 입력되고, 래치 회로(LT1[1]) 내지 래치 회로(LT1[z]) 각각에 데이터(DA[1]) 내지 데이터(DA[z])가 저장된 것으로 한다.

- [0341] 이때, 래치 회로(LT1[1]) 내지 래치 회로(LT1[z]) 각각의 출력 단자로부터 데이터(DA[1]) 내지 데이터(DA[z])가 출력된다. 또한, 데이터(DA[1]) 내지 데이터(DA[z])는 각각 래치 회로(LT2[1]) 내지 래치 회로(LT2[z])에 입력된다.
- [0342] 이와 같이 하여, 직렬 전송에 의하여 입력된 데이터(DA)를 데이터(DA[1]) 내지 데이터(DA[z])로서 래치 회로(LT1[1]) 내지 래치 회로(LT1[z])에 분배할 수 있다. 바꿔 말하면, 직렬 전송에 의하여 입력된 데이터(DA)를 데이터(DA[1]) 내지 데이터(DA[z])로서 배선(90[1]) 내지 배선(90[z])에 분배할 수 있다.
- [0343] 그 후, 배선(ENL)에 의하여, 래치 회로(LT2[1]) 내지 래치 회로(LT2[z]) 각각의 클록 신호 입력 단자에 트리거 신호가 공급됨으로써, 래치 회로(LT2[1]) 내지 래치 회로(LT2[z])의 각각으로부터 기억 장치(80)의 스트링(STG[1]) 내지 스트링(STG[z])에, 배선(90[1]) 내지 배선(90[z])을 통하여 데이터(DA[1]) 내지 데이터(DA[z])를 병렬로 입력할 수 있다.
- [0344] 상술한 구성과 구동 방법을 적용함으로써, 직렬 전송된 기억 장치(80)에 기록하기 위한 데이터를, 기억 장치(80)의 스트링(STG[1]) 내지 스트링(STG[z])에 병렬로 송신할 수 있다.
- [0345] 또한 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.
- [0346] (실시형태 6)
- [0347] 본 실시형태에서는, 앞의 실시형태에서 설명한 OS 트랜지스터에 사용할 수 있는 금속 산화물(이하 산화물 반도체라고도 함)에 대하여 설명한다.
- [0348] 금속 산화물은 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 주석 등이 포함되는 것이 바람직하다. 또한 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 코발트 등 중에서 선택된 한 종류 또는 복수 종류가 포함되어도 좋다.
- [0349] <결정 구조의 분류>
- [0350] 우선, 산화물 반도체에서의 결정 구조의 분류에 대하여, 도 16의 (A)를 사용하여 설명한다. 도 16의 (A)는 산화물 반도체, 대표적으로는 IGZO(In과 Ga과 Zn을 포함하는 금속 산화물)의 결정 구조의 분류를 설명하는 도면이다.
- [0351] 도 16의 (A)에 나타난 바와 같이, 산화물 반도체는 "Amorphous(무정형)"와 "Crystalline(결정성)"과, "Crystal(결정)"로 크게 분류된다. 또한 "Amorphous"에는 completely amorphous가 포함된다. 또한 "Crystalline"에는 CAAC(c-axis-aligned crystalline), nc(nanocrystalline), 및 CAC(cloud-aligned composite)가 포함된다(excluding single crystal and poly crystal). 또한 "Crystalline"의 분류에서 single crystal, poly crystal, 및 completely amorphous는 제외된다. 또한 "Crystal"에는 single crystal 및 poly crystal이 포함된다.
- [0352] 또한 도 16의 (A)에 나타난 굵은 테두리 내의 구조는 "Amorphous(무정형)"와 "Crystal(결정)"의 중간 상태이고, 새로운 경계 영역(New crystalline phase)에 속하는 구조이다. 즉 상기 구조는 에너지적으로 불안정한 "Amorphous(무정형)"나, "Crystal(결정)"과는 전혀 다른 구조라고 할 수 있다.
- [0353] 또한 막 또는 기판의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 여기서, "Crystalline"으로 분류되는 CAAC-IGZO막을 GIXD(Grazing-Incidence XRD) 측정하여 얻어지는 XRD 스펙트럼을 도 16의 (B)에 나타내었다. 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 이하에서는, 도 16의 (B)에 나타난 GIXD 측정에 의하여 얻어지는 XRD 스펙트럼을 단순히 XRD 스펙트럼이라고 나타낸다. 또한 도 16의 (B)에 나타난 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 도 16의 (B)에 나타난 CAAC-IGZO막의 두께는 500nm이다.
- [0354] 도 16의 (B)에 나타난 바와 같이, CAAC-IGZO막의 XRD 스펙트럼에서는 명확한 결정성을 나타내는 피크가 검출된다. 구체적으로는, CAAC-IGZO막의 XRD 스펙트럼에서는 $2\theta=31^\circ$ 근방에 c축 배향을 나타내는 피크가 검출된다. 또한 도 16의 (B)에 나타난 바와 같이, $2\theta=31^\circ$ 근방의 피크는, 피크 강도(Intensity)가 검출된 각도를 축으로 좌우 비대칭이다.
- [0355] 또한 막 또는 기판의 결정 구조는, 극미 전자선 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(극미 전자선 회절 패턴이라고도 함)으로 평가할 수 있다. CAAC-IGZO막의 회절 패턴을 도 16의

(C)에 나타내었다. 도 16의 (C)는 기판에 대하여 전자선을 평행하게 입사하는 NBED에 의하여 관찰되는 회절 패턴을 나타낸 것이다. 또한 도 16의 (C)에 나타낸 CAAC-IGZO막의 조성은 In:Ga:Zn=4:2:3[원자수비] 근방이다. 또한 극미 전자선 회절법에서는 프로브 직경을 1nm로 하여 전자선 회절이 수행된다.

[0356] 도 16의 (C)에 나타낸 바와 같이, CAAC-IGZO막의 회절 패턴에서는 c축 배향을 나타내는 복수의 스폿이 관찰된다.

[0357] <<산화물 반도체의 구조>>

[0358] 또한 산화물 반도체는 결정 구조에 착안한 경우, 도 16의 (A)와는 다른 식으로 분류되는 경우가 있다. 예를 들어 산화물 반도체는 단결정 산화물 반도체와, 그 외의 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체로서는, 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.

[0359] 여기서, 상술한 CAAC-OS, nc-OS, 및 a-like OS에 대하여 자세히 설명한다.

[0360] [CAAC-OS]

[0361] CAAC-OS는 복수의 결정 영역을 가지고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 가지는 영역을 말한다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 가지고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란, 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과, 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉 CAAC-OS는 c축 배향을 가지고, a-b면 방향으로서는 명확한 배향을 가지지 않는 산화물 반도체이다.

[0362] 또한 상기 복수의 결정 영역은 각각 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 크기는 수십nm 정도가 되는 경우가 있다.

[0363] 또한, In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘 등에서 선택된 한 종류 또는 복수 종류)에서, CAAC-OS는 인듐(In) 및 산소를 가지는 층(이하 In층)과, 원소 M, 아연(Zn), 및 산소를 가지는 층(이하 (M,Zn)층)이 적층한 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환할 수 있다. 따라서 (M,Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 원소 M이 포함되는 경우가 있다. 또한 In층에는 Zn이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM 이미지에서, 격자상(格子像)으로 관찰된다.

[0364] 예를 들어 XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때, $\theta/2\theta$ 스캔을 사용한 Out-of-plane XRD 측정에서는, c축 배향을 나타내는 피크가 $2\theta=31^\circ$ 또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치(2θ 의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.

[0365] 또한 예를 들어 CAAC-OS막의 전자선 회절 패턴에서, 복수의 휘점(스폿)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(다이렉트 스폿이라고도 함)을 대칭 중심으로 점대칭의 위치에서 관측된다.

[0366] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 오각형, 칠각형 등의 격자 배열이 상기 변형에 포함되는 경우가 있다. 또한 CAAC-OS에서 변형 근방에서도 명확한 결정립계(그레인 바운더리)를 확인할 수는 없다. 즉 격자 배열의 변형에 의하여 결정립계의 형성이 억제되는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원자가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여 변형을 허용할 수 있기 때문이라고 생각된다.

[0367] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정(polycrystal)이다. 결정립계는 재결합 중심이 되고, 캐리어가 포획되어 트랜지스터의 온 전류의 저하, 전계 효과 이동도의 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정

성의 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는, Zn을 포함하는 구성이 바람직하다. 예를 들어 In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.

[0368] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서 CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입이나 결함의 생성 등으로 인하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고 할 수도 있다. 따라서 CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 OS 트랜지스터에 CAAC-OS를 사용하면, 제조 공정의 자유도를 높일 수 있다.

[0369] [nc-OS]

[0370] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면, nc-OS는 미소한 결정을 가진다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS에서는 상이한 나노 결정 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어 XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행할 때, $\theta/2\theta$ 스캔을 사용한 Out-of-plane XRD 측정에서는, 결정성을 나타내는 피크가 검출되지 않는다. 또한 nc-OS막에 대하여 나노 결정보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 수행하면, 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자선 회절(나노빔 전자선 회절이라고도 함)을 수행하면, 다이렉트 스폿을 중심으로 하는 링 형상의 영역 내에 복수의 스폿이 관측되는 전자선 회절 패턴이 취득되는 경우가 있다.

[0371] [a-like OS]

[0372] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 가진다. 즉 a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다. 또한 a-like OS는 nc-OS 및 CAAC-OS에 비하여 막 내의 수소 농도가 높다.

[0373] <<산화물 반도체의 구성>>

[0374] 다음으로, 상술한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.

[0375] [CAC-OS]

[0376] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 편재된 재료의 한 구성이다. 또한 이하에서는 금속 산화물에서 하나 또는 복수의 금속 원소가 편재되고, 상기 금속 원소를 포함하는 영역이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 3nm 이하, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0377] 또한 CAC-OS란, 재료가 제 1 영역과 제 2 영역으로 분리하여 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 내에 분포된 구성(이하 클라우딩상이라고도 함)이다. 즉 CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 가지는 복합 금속 산화물이다.

[0378] 여기서, In-Ga-Zn 산화물에서의 CAC-OS를 구성하는 금속 원소에 대한 In, Ga, 및 Zn의 원자수비를 각각 [In], [Ga], 및 [Zn]이라고 표기한다. 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서, 제 1 영역은 [In]이 CAC-OS막의 조성에서의 [In]보다 큰 영역이다. 또한 제 2 영역은 [Ga]이 CAC-OS막의 조성에서의 [Ga]보다 큰 영역이다. 또는 예를 들어 제 1 영역은 [In]이 제 2 영역에서의 [In]보다 크고, [Ga]이 제 2 영역에서의 [Ga]보다 작은 영역이다. 또한 제 2 영역은 [Ga]이 제 1 영역에서의 [Ga]보다 크고, [In]이 제 1 영역에서의 [In]보다 작은 영역이다.

[0379] 구체적으로는, 상기 제 1 영역은 인듐 산화물, 인듐 아연 산화물 등이 주성분인 영역이다. 또한 상기 제 2 영역은 갈륨 산화물, 갈륨 아연 산화물 등이 주성분인 영역이다. 즉 상기 제 1 영역을 In을 주성분으로 하는 영역이라고 바꿔 말할 수 있다. 또한 상기 제 2 영역을 Ga을 주성분으로 하는 영역이라고 바꿔 말할 수 있다.

- [0380] 또한 상기 제 1 영역과 상기 제 2 영역 사이에서 명확한 경계를 관찰할 수 없는 경우가 있다.
- [0381] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑으로부터, In을 주성분으로 하는 영역(제 1 영역)과 Ga를 주성분으로 하는 영역(제 2 영역)이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.
- [0382] CAC-OS를 트랜지스터에 사용하는 경우에는, 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉 CAC-OS는 재료의 일부에서는 도전성의 기능을 가지고, 재료의 일부에서는 절연성의 기능을 가지고, 재료의 전체에서는 반도체로서의 기능을 가진다. 도전성의 기능과 절연성의 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류(I_{on}), 높은 전계 효과 이동도(μ), 및 양호한 스위칭 동작을 실현할 수 있다.
- [0383] 산화물 반도체는 다양한 구조를 취하고, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체에는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상이 포함되어도 좋다.
- [0384] <산화물 반도체를 가지는 트랜지스터>
- [0385] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.
- [0386] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0387] 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 캐리어 농도는 $1 \times 10^{17} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{15} \text{ cm}^{-3}$ 이하, 더 바람직하게는 $1 \times 10^{13} \text{ cm}^{-3}$ 이하, 더욱 바람직하게는 $1 \times 10^{11} \text{ cm}^{-3}$ 이하, 더욱더 바람직하게는 $1 \times 10^{10} \text{ cm}^{-3}$ 미만이고, $1 \times 10^{-9} \text{ cm}^{-3}$ 이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고, 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 하는 경우가 있다.
- [0388] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에 트랩 준위 밀도도 낮아지는 경우가 있다.
- [0389] 또한 산화물 반도체의 트랩 준위에 포획된 전하는, 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0390] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.
- [0391] <불순물>
- [0392] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.
- [0393] 산화물 반도체에 14족 원소 중 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체에서의 실리콘이나 탄소의 농도와 산화물 반도체와의 계면 근방의 실리콘이나 탄소의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 농도)를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.
- [0394] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위가 형성되고 캐리어가 생성되는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.
- [0395] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다.

그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체 내의 질소 농도를 $5 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.

- [0396] 또한 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체에서 SIMS에 의하여 얻어지는 수소 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만으로 한다.
- [0397] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0398] 또한 본 실시형태는 본 명세서에 기재되는 다른 실시형태와 적절히 조합할 수 있다.
- [0399] (실시형태 7)
- [0400] 본 실시형태에서는, 앞의 실시형태에서 설명한 정보 처리 장치 등이 형성된 반도체 웨이퍼, 및 상기 정보 처리 장치를 포함한 전자 부품의 일례를 설명한다.
- [0401] <반도체 웨이퍼>
- [0402] 우선, 정보 처리 장치 등이 형성된 반도체 웨이퍼의 예를 도 17의 (A)를 사용하여 설명한다.
- [0403] 도 17의 (A)에 나타난 반도체 웨이퍼(4800)는 웨이퍼(4801)와, 웨이퍼(4801)의 상면에 제공된 복수의 회로부(4802)를 가진다. 또한 웨이퍼(4801)의 상면에서 회로부(4802)가 없는 부분은 공간(spacing)(4803)이고 다이싱 용 영역이다.
- [0404] 반도체 웨이퍼(4800)는, 전(前)공정에 의하여 웨이퍼(4801)의 표면에 복수의 회로부(4802)를 형성함으로써 제작할 수 있다. 또한 그 후, 웨이퍼(4801)에서 복수의 회로부(4802)가 형성된 면의 반대 측의 면을 연삭하여 웨이퍼(4801)를 얇게 하여도 좋다. 이 공정을 통하여, 웨이퍼(4801)의 휨 등을 저감하고 부품의 크기를 작게 할 수 있다.
- [0405] 다음으로, 다이싱 공정이 수행된다. 다이싱은 일점쇄선으로 나타난 스크라이브 라인(SCL1) 및 스크라이브 라인(SCL2)(다이싱 라인 또는 절단 라인이라고 하는 경우가 있음)을 따라 수행된다. 또한 다이싱 공정을 용이하게 수행하기 위하여, 복수의 스크라이브 라인(SCL1)이 평행하게 되고, 복수의 스크라이브 라인(SCL2)이 평행하게 되고, 스크라이브 라인(SCL1)과 스크라이브 라인(SCL2)이 수직이 되도록 공간(4803)을 제공하는 것이 바람직하다.
- [0406] 다이싱 공정을 수행함으로써, 도 17의 (B)에 나타난 칩(4800a)을 반도체 웨이퍼(4800)로부터 잘라 낼 수 있다. 칩(4800a)은 웨이퍼(4801a)와, 회로부(4802)와, 공간(4803a)을 가진다. 또한 공간(4803a)은 가능한 한 작게 하는 것이 바람직하다. 이 경우, 인접한 회로부(4802)들 사이의 공간(4803)의 폭이, 스크라이브 라인(SCL1)의 커프 폭 또는 스크라이브 라인(SCL2)의 커프 폭과 거의 같은 길이이면 좋다.
- [0407] 또한 본 발명의 일 형태의 소자 기관의 형상은, 도 17의 (A)에 나타난 반도체 웨이퍼(4800)의 형상에 한정되지 않는다. 예를 들어 직사각형의 반도체 웨이퍼이어도 좋다. 소자 기관의 형상은, 소자의 제작 공정 및 소자를 제작하기 위한 장치에 따라 적절히 변경할 수 있다.
- [0408] <전자 부품>
- [0409] 도 17의 (C)는 전자 부품(4700)과, 전자 부품(4700)이 실장된 기관(실장 기관(4704))의 사시도이다. 도 17의 (C)에 나타난 전자 부품(4700)은 몰드(4711) 내에 칩(4800a)을 가진다. 또한 도 17의 (C)에 나타난 바와 같이, 칩(4800a)은 회로부(4802)가 적층된 구성으로 하여도 좋다. 즉, 회로부(4802)로서 앞의 실시형태에서 설명한

정보 처리 장치를 적용할 수 있다. 도 17의 (C)에서는, 전자 부품(4700)의 내부를 나타내기 위하여 일부를 생략하였다. 전자 부품(4700)은 몰드(4711)의 외측에 랜드(4712)를 가진다. 랜드(4712)는 전극 패드(4713)에 전기적으로 접속되고, 전극 패드(4713)는 와이어(4714)를 통하여 칩(4800a)에 전기적으로 접속되어 있다. 전자 부품(4700)은 예를 들어 인쇄 회로 기판(4702)에 실장된다. 이와 같은 전자 부품이 복수로 조합되고, 각각이 인쇄 회로 기판(4702) 위에서 전기적으로 접속됨으로써, 실장 기판(4704)이 완성된다.

[0410] 도 17의 (D)는 전자 부품(4730)의 사시도이다. 전자 부품(4730)은 SiP(System in package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(4730)에서는 패키지 기판(4732)(인쇄 회로 기판) 위에 인터포저(4731)가 제공되고, 인터포저(4731) 위에 반도체 장치(4735) 및 복수의 반도체 장치(4710)가 제공되어 있다.

[0411] 전자 부품(4730)은 반도체 장치(4710)를 가진다. 반도체 장치(4710)로서는, 예를 들어 앞의 실시형태에서 설명한 반도체 장치, 광대역 메모리(HBM: High Bandwidth Memory) 등으로 할 수 있다. 또한 반도체 장치(4735)로서는 CPU, GPU, FPGA, 기억 장치 등의 집적 회로(반도체 장치)를 사용할 수 있다.

[0412] 패키지 기판(4732)으로서의 세라믹 기판, 플라스틱 기판, 또는 유리 에폭시 기판 등을 사용할 수 있다. 인터포저(4731)로서는 실리콘 인터포저, 수지 인터포저 등을 사용할 수 있다.

[0413] 인터포저(4731)는 복수의 배선을 가지고, 단자 피치가 다른 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(4731)는 인터포저(4731) 위에 제공된 집적 회로를 패키지 기판(4732)에 제공된 전극에 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 "재배선 기판" 또는 "중간 기판"이라고 하는 경우가 있다. 또한 인터포저(4731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(4732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV(Through Silicon Via)를 사용할 수도 있다.

[0414] 인터포저(4731)로서 실리콘 인터포저를 사용하는 것이 바람직하다. 실리콘 인터포저는 능동 소자가 제공될 필요가 없기 때문에, 집적 회로보다 낮은 비용으로 제작할 수 있다. 또한, 실리콘 인터포저의 배선은 반도체 공정으로 형성할 수 있기 때문에, 수지 인터포저에서는 어려운 미세 배선의 형성이 쉽다.

[0415] HBM에서는 넓은 메모리 밴드 폭을 실현하기 위하여 많은 배선을 접속할 필요가 있다. 그러므로 HBM을 실장하는 인터포저에는 미세하고 밀도가 높은 배선의 형성이 요구된다. 따라서 HBM을 실장하는 인터포저로서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0416] 또한 실리콘 인터포저를 사용한 SiP나 MCM 등에서는, 집적 회로와 인터포저 사이의 팽창 계수의 차이로 인한 신뢰성 저하가 발생하기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높기 때문에, 실리콘 인터포저 위에 제공하는 집적 회로와 실리콘 인터포저 사이의 접속 불량 발생하기 어렵다. 특히, 복수의 집적 회로를 인터포저 위에 옆으로 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0417] 또한 전자 부품(4730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는, 인터포저(4731) 위에 제공하는 집적 회로의 높이를 같게 하는 것이 바람직하다. 예를 들어 본 실시형태에서 설명하는 전자 부품(4730)에서는, 반도체 장치(4710)와 반도체 장치(4735)의 높이를 같게 하는 것이 바람직하다.

[0418] 전자 부품(4730)을 다른 기판에 실장하기 위하여, 패키지 기판(4732)의 바닥 부분에 전극(4733)을 제공하여도 좋다. 도 17의 (D)에서는, 전극(4733)을 뿔볼로 형성하는 예를 나타내었다. 패키지 기판(4732)의 바닥 부분에 뿔볼을 매트릭스상으로 제공함으로써, BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(4733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(4732)의 바닥 부분에 도전성의 핀을 매트릭스상으로 제공함으로써, PGA(Pin Grid Array) 실장을 실현할 수 있다.

[0419] 전자 부품(4730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 또는 QFN(Quad Flat Non-leaded package) 등의 실장 방법을 사용할 수 있다.

[0420] 또한 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0421] (실시형태 8)

[0422] 본 실시형태에서는 앞의 실시형태에서 설명한 정보 처리 장치를 가지는 전자 기기의 일례에 대하여 설명한다. 또한 도 18의 (A) 내지 (J)에는, 상기 정보 처리 장치를 가지는 전자 부품(4700)이 각 전자 기기에 포함되어 있

는 상태를 도시하였다.

- [0423] [휴대 전화]
- [0424] 도 18의 (A)에 나타난 정보 단말기(5500)는 정보 단말기의 일종인 휴대 전화(스마트폰)이다. 정보 단말기(5500)는 하우징(5510)과 표시부(5511)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 구비되고, 버튼이 하우징(5510)에 구비된다.
- [0425] 정보 단말기(5500)는 앞의 실시형태에서 설명한 정보 처리 장치를 적용함으로써, 애플리케이션의 실행 시에 생성되는 일시적인 파일(예를 들어 웹 브라우저 사용 시의 캐시 등)을 유지할 수 있다.
- [0426] [웨어러블 단말기]
- [0427] 또한 도 18의 (B)에는 웨어러블 단말기의 일례인 정보 단말기(5900)를 나타내었다. 정보 단말기(5900)는 하우징(5901), 표시부(5902), 조작 버튼(5903), 조작자(操作子)(5904), 및 밴드(5905) 등을 가진다.
- [0428] 웨어러블 단말기는 상술한 정보 단말기(5500)와 마찬가지로, 앞의 실시형태에서 설명한 정보 처리 장치를 적용함으로써, 애플리케이션의 실행 시에 생성되는 일시적인 파일을 유지할 수 있다.
- [0429] [정보 단말기]
- [0430] 또한 도 18의 (C)에는 데스크톱형 정보 단말기(5300)가 도시되어 있다. 데스크톱형 정보 단말기(5300)는 정보 단말기의 본체(5301)와 디스플레이(5302)와 키보드(5303)를 가진다.
- [0431] 데스크톱형 정보 단말기(5300)는 상술한 정보 단말기(5500)와 마찬가지로, 앞의 실시형태에서 설명한 반도체 장치가 적용됨으로써, 애플리케이션의 실행 시에 생성되는 일시적인 파일을 유지할 수 있다.
- [0432] 또한, 위에서는 정보 처리 장치로서 스마트폰, 및 데스크톱용 정보 단말기를 예로 들어, 각각 도 18의 (A) 및 (C)에 도시하였지만, 스마트폰 및 데스크톱용 정보 단말기 이외의 정보 단말기를 적용할 수 있다. 스마트폰 및 데스크톱용 정보 단말기 외의 정보 단말기로서는, 예를 들어 PDA(Personal Digital Assistant), 노트북형 정보 단말기, 워크스테이션 등이 있다.
- [0433] [전자 제품]
- [0434] 또한 도 18의 (D)에는 전자 제품의 일례로서 전기 냉동 냉장고(5800)를 도시하였다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 문(5802), 냉동실용 문(5803) 등을 가진다.
- [0435] 전기 냉동 냉장고(5800)에 앞의 실시형태에서 설명한 정보 처리 장치를 적용함으로써, 전기 냉동 냉장고(5800)를, 예를 들어 IoT(Internet of Things)로서 이용할 수 있다. IoT를 이용함으로써, 전기 냉동 냉장고(5800)는 인터넷 등을 통하여 전기 냉동 냉장고(5800)에 저장되어 있는 식재료, 그 식재료의 소비 기한 등의 정보를, 상술한 바와 같은 정보 단말기 등과의 사이에서 송수신할 수 있다. 또한, 전기 냉동 냉장고(5800)는 상기 정보를 송신할 때에 상기 정보를 일시적 파일로서 상기 정보 처리 장치에 유지할 수 있다.
- [0436] 본 일례에서는, 전자 제품으로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품의 예로서는 청소기, 전자레인지, 전기 오븐, 밥솥, 온도기, IH 조리기, 워터 서버, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등을 들 수 있다.
- [0437] [게임기]
- [0438] 또한 도 18의 (E)에는 게임기의 일례인 휴대 게임기(5200)를 도시하였다. 휴대용 게임기(5200)는 하우징(5201), 표시부(5202), 버튼(5203) 등을 가진다.
- [0439] 또한 도 18의 (F)에는 게임기의 일례인 거치형 게임기(7500)를 도시하였다. 거치형 게임기(7500)는 본체(7520)와 컨트롤러(7522)를 가진다. 또한 본체(7520)에는 무선 또는 유선으로 컨트롤러(7522)를 접속할 수 있다. 또한 도 18의 (F)에는 나타내지 않았지만, 컨트롤러(7522)는 게임의 화상을 표시하는 표시부, 버튼 이외의 입력 인터페이스로서 기능하는 터치 패널이나 스틱, 회전식 손잡이, 슬라이드식 손잡이 등을 가질 수 있다. 또한 컨트롤러(7522)의 형상은 도 18의 (F)에 나타난 형상에 한정되지 않고, 게임의 장르에 따라 다양하게 변경하여도 좋다. 예를 들어 FPS(First Person Shooter) 등의 슈팅 게임에서는, 트리거 버튼을 가지는 총 모양의 컨트롤러를 사용할 수 있다. 또한 예를 들어 음악 게임 등에서는 악기, 음악 기기 등의 형상을 가지는 컨트롤러를 사용할 수 있다. 또한 거치형 게임기는 컨트롤러를 사용하는 대신에 카메라, 심도 센서, 마이크로폰 등을 가지고,

게임 플레이어의 제스처 및/또는 음성으로 조작되어도 좋다.

- [0440] 또한 상술한 게임기의 영상은 텔레비전 장치, 퍼스널 컴퓨터용 디스플레이, 게임용 디스플레이, 헤드마운트 디스플레이 등의 표시 장치에 의하여 출력할 수 있다.
- [0441] 휴대용 게임기(5200)에 앞의 실시형태에서 설명한 정보 처리 장치가 적용됨으로써, 소비 전력이 낮은 휴대용 게임기(5200)를 실현할 수 있다. 또한 소비 전력이 낮으므로, 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.
- [0442] 또한, 휴대 게임기(5200)에 앞의 실시형태에서 설명한 정보 처리 장치를 적용함으로써, 게임의 실행 중에 발생하는 연산에 필요한 일시적 파일 등의 유지를 수행할 수 있다.
- [0443] 도 18의 (E) 및 (F)에는 게임기의 일례로서 휴대 게임기를 도시하였지만, 본 발명의 일 형태의 정보 처리 장치는 이에 한정되지 않는다. 본 발명의 일 형태의 정보 처리 장치로서는, 예를 들어 가정용 거치형 게임기, 오락 시설(오락실, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등이 있다.
- [0444] [이동체]
- [0445] 앞의 실시형태에서 설명한 정보 처리 장치는 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.
- [0446] 도 18의 (G)에는 이동체의 일례인 자동차(5700)를 도시하였다.
- [0447] 자동차(5700)의 운전석 주변에는, 속도계나 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등을 표시함으로써 다양한 정보를 제공하는 계기판이 제공되어 있다. 또한 운전석 주변에는 이들 정보를 표시하는 표시 장치가 제공되어도 좋다.
- [0448] 특히 상기 표시 장치는 자동차(5700)에 제공된 환상 장치(미도시)로부터의 영상이 표시됨으로써, 필러 등에 가려진 시계, 운전석의 사각 등을 보완할 수 있어, 안전성을 높일 수 있다.
- [0449] 앞의 실시형태에서 설명한 정보 처리 장치는, 정보를 일시적으로 유지할 수 있기 때문에, 예를 들어 상기 컴퓨터를 자동차(5700)의 자동 운전 시스템이나 상기 컴퓨터를 도로 안내, 위험 예측 등을 수행하는 시스템 등에서의, 필요한 일시적인 정보의 유지에 사용할 수 있다. 상기 표시 장치에 도로 안내, 위험 예측 등의 일시적인 정보를 표시하는 구성으로 하여도 좋다. 또한, 자동차(5700)에 제공된 차량용 블랙박스의 영상을 유지하는 구성으로 하여도 좋다.
- [0450] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등이 있다.
- [0451] [카메라]
- [0452] 앞의 실시형태에서 설명한 정보 처리 장치는 카메라에 적용할 수 있다.
- [0453] 도 18의 (H)에는 환상 장치의 일례로서 디지털 카메라(6240)를 도시하였다. 디지털 카메라(6240)는 하우징(6241), 표시부(6242), 조작 버튼(6243), 셔터 버튼(6244) 등을 가지고, 탈착 가능한 렌즈(6246)가 장착되어 있다. 또한 여기서 디지털 카메라(6240)는 하우징(6241)에서 렌즈(6246)를 떼어 교환할 수 있는 구성을 가지지만, 렌즈(6246)와 하우징(6241)은 일체가 되어도 좋다. 또한 디지털 카메라(6240)는 스트로보스코프나 뷰파인더 등을 별도로 장착할 수 있는 구성을 가져도 좋다.
- [0454] 디지털 카메라(6240)에 앞의 실시형태에서 설명한 정보 처리 장치가 적용됨으로써, 소비 전력이 낮은 디지털 카메라(6240)를 실현할 수 있다. 또한 소비 전력이 낮으므로, 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.
- [0455] [비디오 카메라]
- [0456] 앞의 실시형태에서 설명한 정보 처리 장치는 비디오 카메라에 적용할 수 있다.
- [0457] 도 18의 (I)에는 환상 장치의 일례로서 비디오 카메라(6300)를 도시하였다. 비디오 카메라(6300)는 제 1 하우징(6301), 제 2 하우징(6302), 표시부(6303), 조작 키(6304), 렌즈(6305), 접속부(6306) 등을 가진다. 조작 키(6304) 및 렌즈(6305)는 제 1 하우징(6301)에 제공되어 있고, 표시부(6303)는 제 2 하우징(6302)에 제공되어 있다. 그리고 제 1 하우징(6301)과 제 2 하우징(6302)은 접속부(6306)에 의하여 접속되어 있고, 제 1 하우징

(6301)과 제 2 하우징(6302) 사이의 각도는 접속부(6306)에 의하여 변경할 수 있다. 표시부(6303)에서의 영상을 접속부(6306)에서의 제 1 하우징(6301)과 제 2 하우징(6302) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0458] 비디오 카메라(6300)로 촬영한 영상을 기록하는 경우, 데이터의 기록 형식에 따른 인코드를 수행할 필요가 있다. 상술한 정보 처리 장치를 이용함으로써, 비디오 카메라(6300)는 인코드를 수행할 때에 발생하는 일시적인 파일을 유지할 수 있다.

[0459] [ICD]

[0460] 앞의 실시형태에서 설명한 정보 처리 장치는 ICD(Implantable Cardioverter-Defibrillator)에 적용할 수 있다.

[0461] 도 18의 (J)는 ICD의 일례를 도시한 단면 모식도이다. ICD 본체(5400)는 적어도 배터리(5401)와, 전자 부품(4700)과, 레귤레이터와, 제어 회로와, 안테나(5404)와, 우심방에 연결되는 와이어(5402)와, 우심실에 연결되는 와이어(5403)를 가진다.

[0462] ICD 본체(5400)는 수술에 의하여 몸 안에 설치되고, 2개의 와이어는 인체의 쇄골하 정맥(5405) 및 상대정맥(5406)을 통과하여 한쪽 와이어 끝이 우심실에 설치되고, 다른 쪽 와이어 끝이 우심방에 설치되도록 한다.

[0463] ICD 본체(5400)는 페이스메이커로서의 기능을 가지고, 심박수가 규정의 범위에서 벗어난 경우에 심장에 대하여 심장 박동 조율을 수행한다. 또한 심장 박동 조율을 수행하여도 심박수가 개선되지 않는 경우(빠른 심실 빈맥이나 심실세동 등)에는, 전기 충격에 의한 치료가 수행된다.

[0464] 심장 박동 조율 및 전기 충격을 적절히 수행하기 위하여, ICD 본체(5400)는 심박수를 항상 감시할 필요가 있다. 그러므로 ICD 본체(5400)는 심박수를 감지하기 위한 센서를 가진다. 또한 ICD 본체(5400)는, 상기 센서 등에 의하여 취득한 심박수의 데이터, 심장 박동 조율에 의한 치료를 수행한 횟수, 시간 등을 전자 부품(4700)에서 기억할 수 있다.

[0465] 또한, 안테나(5404)에서 전력을 수신할 수 있고, 그 전력은 배터리(5401)에 충전된다. 또한, ICD 본체(5400)가 복수의 배터리를 가지면 안전성을 높일 수 있다. 구체적으로는, ICD 본체(5400)의 일부의 배터리를 사용할 수 없게 되어도, 나머지 배터리가 기능할 수 있기 때문에 보조 전원으로서도 기능한다.

[0466] 또한 전력을 수신할 수 있는 안테나(5404)와는 별도로, 생체 신호를 송신할 수 있는 안테나를 가져도 좋고, 예를 들어 맥박, 호흡수, 심박수, 체온 등의 생체 신호를 외부의 모니터 장치로 확인할 수 있는, 심장 활동을 감시하는 시스템을 구성하여도 좋다.

[0467] 또한 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

[0468] (실시형태 9)

[0469] 본 실시형태에서는 앞의 실시형태에서 설명한 정보 처리 장치를 가지는 계산기에 대하여 설명한다.

[0470] 도 19의 (A)에 나타난 계산기(9600)는 대형 계산기의 예이다. 계산기(9600)에서는 랙(9610)에 랙 마운트형 계산기(9620)가 복수로 격납된다.

[0471] 계산기(9620)는 예를 들어 도 19의 (B)에 나타난 사시도의 구성으로 할 수 있다. 도 19의 (B)에서, 계산기(9620)는 마더보드(9630)를 가지고, 마더보드(9630)는 복수의 슬롯(9631), 복수의 접속 단자를 가진다. 슬롯(9631)에는 PC 카드(9621)가 삽입된다. 또한, PC 카드(9621)는 접속 단자(9623), 접속 단자(9624), 접속 단자(9625)를 가지고, 각각 마더보드(9630)에 접속되어 있다.

[0472] 도 19의 (C)에 나타난 PC 카드(9621)는 CPU, GPU, 기억 장치 등이 제공된 처리 보드의 일례이다. PC 카드(9621)는 보드(9622)를 가진다. 또한 보드(9622)는 접속 단자(9623), 접속 단자(9624), 접속 단자(9625), 반도체 장치(9626), 반도체 장치(9627), 반도체 장치(9628), 및 접속 단자(9629)를 가진다. 또한 도 19의 (C)에서는 반도체 장치(9626), 반도체 장치(9627), 및 반도체 장치(9628) 이외의 반도체 장치를 도시하였지만, 이들 반도체 장치에 대해서는 이하에서 기재하는 반도체 장치(9626), 반도체 장치(9627), 및 반도체 장치(9628)의 설명을 참작하면 좋다.

[0473] 접속 단자(9629)는 마더보드(9630)의 슬롯(9631)에 삽입할 수 있는 형상을 가지고, 접속 단자(9629)는 PC 카드(9621)와 마더보드(9630)를 접속시키기 위한 인터페이스로서 기능한다. 접속 단자(9629)의 규격으로서는 예를 들어 PCIe 등이 있다.

- [0474] 접속 단자(9623), 접속 단자(9624), 접속 단자(9625)는 예를 들어 PC 카드(9621)에 대하여 전력 공급, 신호 입력 등을 수행하기 위한 인터페이스로 할 수 있다. 또한 예를 들어 PC 카드(9621)에 의하여 계산된 신호의 출력 등을 수행하기 위한 인터페이스로 할 수 있다. 접속 단자(9623), 접속 단자(9624), 접속 단자(9625) 각각의 규격으로서는 예를 들어, USB(Universal Serial Bus), SATA(Serial ATA), SCSI(Small Computer System Interface) 등이 있다. 또한 접속 단자(9623), 접속 단자(9624), 접속 단자(9625)로부터 영상 신호를 출력하는 경우, 각각의 규격으로서는 HDMI(등록 상표) 등을 들 수 있다.
- [0475] 반도체 장치(9626)는 신호의 입출력을 수행하는 단자(미도시)를 가지고, 상기 단자를 보드(9622)에 포함되는 소켓(미도시)에 삽입함으로써 반도체 장치(9626)와 보드(9622)를 전기적으로 접속시킬 수 있다.
- [0476] 반도체 장치(9627)는 복수의 단자를 가지고, 상기 단자를 보드(9622)에 포함되는 배선에 대하여 예를 들어 리플로 방식에 의하여 납땜함으로써, 반도체 장치(9627)와 보드(9622)를 전기적으로 접속시킬 수 있다. 반도체 장치(9627)로서는 예를 들어 FPGA(Field Programmable Gate Array), GPU, CPU 등이 있다. 반도체 장치(9627)로서, 예를 들어 전자 부품(4730)을 사용할 수 있다.
- [0477] 반도체 장치(9628)는 복수의 단자를 가지고, 상기 단자를 보드(9622)에 포함되는 배선에 대하여 예를 들어 리플로 방식에 의하여 납땜함으로써, 반도체 장치(9628)와 보드(9622)를 전기적으로 접속시킬 수 있다. 반도체 장치(9628)로서는 예를 들어 기억 장치, 정보 처리 장치 등이 있다. 반도체 장치(9628)로서, 예를 들어 전자 부품(4700)을 사용할 수 있다.
- [0478] 계산기(9600)는 병렬 계산기로서도 기능할 수 있다. 계산기(9600)를 병렬 계산기로서 사용함으로써, 예를 들어 인공 지능의 학습 및 추론에 필요한 대규모의 계산을 수행할 수 있다.
- [0479] 상기 각종 전자 기기 등에, 본 발명의 일 형태의 반도체 장치를 사용함으로써, 전자 기기의 소형화, 고속화, 또는 저소비 전력화를 할 수 있다. 또한, 본 발명의 일 형태의 반도체 장치는 저소비 전력이 적기 때문에, 회로로부터의 발열을 저감할 수 있다. 따라서, 상기 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 악영향을 저감할 수 있다. 또한, 본 발명의 일 형태의 반도체 장치를 사용함으로써, 고온 환경하에서도 동작이 안정된 전자 기기를 실현할 수 있다. 그러므로 전자 기기의 신뢰성을 높일 수 있다.
- [0480] 이어서, 계산기(9600)에 적용할 수 있는 컴퓨터 시스템의 구성예에 대하여 설명한다. 도 20은 컴퓨터 시스템(1000)의 구성예를 설명하는 도면이다. 컴퓨터 시스템(1000)은 소프트웨어(Software)와 하드웨어(Hardware)를 포함하여 구성된다. 또한, 컴퓨터 시스템이 포함하는 하드웨어를 정보 처리 장치라고 하는 경우가 있다.
- [0481] 컴퓨터 시스템(1000)을 구성하는 소프트웨어로서는, 디바이스 드라이버를 포함하는 운영 체제 시스템, 미들웨어, 각 종류의 개발 환경, AI에 관련되는 애플리케이션 프로그램(AI Application), AI에 관련되지 않는 애플리케이션 프로그램 등이 있다.
- [0482] 디바이스 드라이버에는 보조 기억 장치, 표시 장치, 및 프린터 등의 외부 접속 기기를 제어하기 위한 애플리케이션 프로그램 등이 포함된다.
- [0483] 컴퓨터 시스템(1000)을 구성하는 하드웨어는 제 1 연산 처리 장치, 제 2 연산 처리 장치, 및 제 1 기억 장치 등을 가진다. 또한, 제 2 연산 처리 장치는 제 2 기억 장치를 가진다.
- [0484] 제 1 연산 처리 장치로서는, 예를 들어 Noff OS CPU 등의 중앙 연산 처리 장치를 사용하는 것이 좋다. Noff OS CPU는 OS 트랜지스터를 사용한 기억 수단(예를 들어 비휘발성 메모리)을 가지고, 동작이 불필요한 경우에는 필요한 정보를 기억 수단에 유지하고, 중앙 연산 처리 장치에 대한 전력 공급을 정지하는 기능을 가진다. 제 1 연산 처리 장치로서 Noff OS CPU를 사용함으로써, 컴퓨터 시스템(1000)의 소비 전력을 저감할 수 있다.
- [0485] 제 2 연산 처리 장치로서는, 예를 들어 GPU나 FPGA 등을 사용할 수 있다. 또한, 제 2 연산 처리 장치로서 AI OS Accelerator를 사용하는 것이 바람직하다. AI OS Accelerator는 OS 트랜지스터를 사용하여 구성되고, 적화 연산(product-sum operation) 회로 등의 연산 수단을 가진다. AI OS Accelerator는 일반적인 GPU 등보다 소비 전력이 낮다. 제 2 연산 처리 장치로서 AI OS Accelerator를 사용함으로써, 컴퓨터 시스템(1000)의 소비 전력을 저감할 수 있다.
- [0486] 제 1 기억 장치 및 제 2 기억 장치로서 본 발명의 일 형태의 반도체 장치를 가지는 것이 바람직하다. 본 발명의 일 형태의 반도체 장치는 예를 들어 3D OS NAND형 기억 장치를 가져도 되기 때문에, 이 경우, 3D OS NAND형 기억 장치는 캐시, 메인 메모리, 및 스토리지로서 기능할 수 있다. 또한, 3D OS NAND형 기억 장치를 사용함으

로써 비노이만형 컴퓨터 시스템의 실현이 쉬워진다.

[0487] 3D OS NAND형 기억 장치는 Si 트랜지스터를 사용한 3D NAND형 기억 장치보다 소비 전력이 낮다. 기억 장치로서 3D OS NAND형 기억 장치를 사용함으로써, 컴퓨터 시스템(1000)의 소비 전력을 저감할 수 있다. 또한, 3D OS NAND형 기억 장치는 유니버설 메모리로서 기능할 수 있기 때문에, 컴퓨터 시스템(1000)을 구성하기 위한 부품 점수를 저감할 수 있다.

[0488] 하드웨어를 구성하는 반도체 장치를, OS 트랜지스터를 포함하는 반도체 장치로 구성함으로써, 중앙 연산 처리 장치, 연산 처리 장치, 및 기억 장치를 포함하는 하드웨어의 모놀리식화가 쉬워진다. 하드웨어를 모놀리식화함으로써, 소형화, 경량화, 박형화뿐만 아니라, 소비 전력을 더 저감시키는 것이 쉬워진다.

[0489] 또한 본 실시형태는 본 명세서에서 나타내는 다른 실시형태와 적절히 조합할 수 있다.

부호의 설명

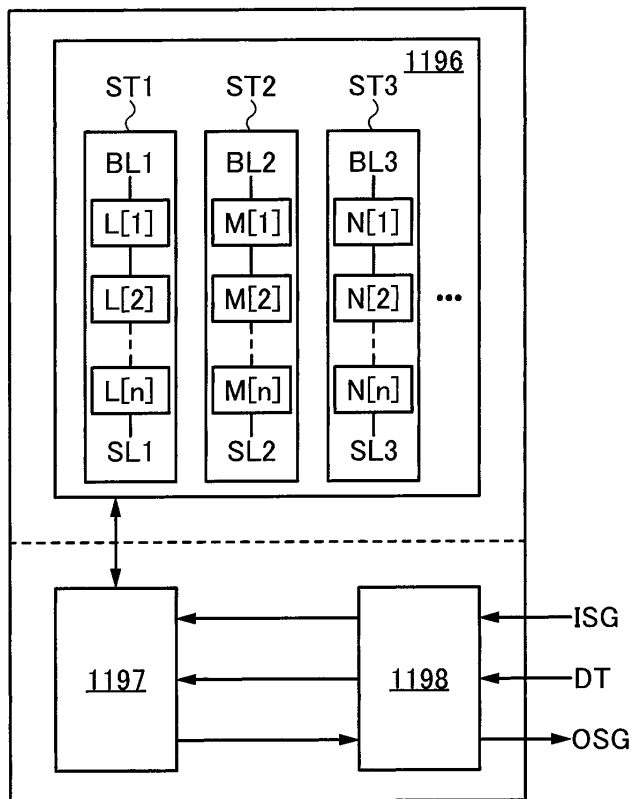
[0490] ST1: 스트링, ST2: 스트링, ST3: 스트링, L[1]: 메모리 셀, L[2]: 메모리 셀, L[n]: 메모리 셀, M[1]: 메모리 셀, M[2]: 메모리 셀, M[n]: 메모리 셀, N[1]: 메모리 셀, N[2]: 메모리 셀, N[n]: 메모리 셀, SL1: 배선, SL2: 배선, SL3: 배선, BL1: 배선, BL2: 배선, BL3: 배선, ISG: 신호, OSG: 신호, DT: 데이터, STP1: 단계, STP2: 단계, STP3: 단계, STP4: 단계, STP5: 단계, STP6: 단계, STP7: 단계, STP8: 단계, MC[1]: 메모리 셀, MC[2]: 메모리 셀, MC[n]: 메모리 셀, MC[1, 1]: 메모리 셀, MC[j, 1]: 메모리 셀, MC[n, 1]: 메모리 셀, MC[1, i]: 메모리 셀, MC[j, i]: 메모리 셀, MC[n, i]: 메모리 셀, MC[1, m]: 메모리 셀, MC[j, m]: 메모리 셀, MC[n, m]: 메모리 셀, N1: 노드, N2: 노드, RWL[1]: 배선, RWL[2]: 배선, RWL[j]: 배선, RWL[n]: 배선, WWL[1]: 배선, WWL[2]: 배선, WWL[j]: 배선, WWL[n]: 배선, WBL: 배선, WBL[1]: 배선, WBL[i]: 배선, WBL[m]: 배선, RBL: 배선, RBL[1]: 배선, RBL[i]: 배선, RBL[m]: 배선, BGL: 배선, BGL[1]: 배선, BGL[i]: 배선, BGL[m]: 배선, WTr: 트랜지스터, RTr: 트랜지스터, CS: 용량 소자, BLK_1: 블록, BLK_h: 블록, BLK_k: 블록, BLK_2: 블록, BLK_3: 블록, MC[1]_1: 메모리 셀, MC[j]_1: 메모리 셀, MC[n]_1: 메모리 셀, MC[1]_h: 메모리 셀, MC[j]_h: 메모리 셀, MC[n]_h: 메모리 셀, MC[1]_k: 메모리 셀, MC[j]_k: 메모리 셀, MC[n]_k: 메모리 셀, MC[2]_1: 메모리 셀, MC[3]_1: 메모리 셀, MC[1]_2: 메모리 셀, MC[2]_2: 메모리 셀, MC[3]_2: 메모리 셀, MC[1]_3: 메모리 셀, MC[2]_3: 메모리 셀, MC[3]_3: 메모리 셀, RWL[1]_1: 배선, RWL[j]_1: 배선, RWL[n]_1: 배선, RWL[1]_h: 배선, RWL[j]_h: 배선, RWL[n]_h: 배선, RWL[1]_k: 배선, RWL[j]_k: 배선, RWL[n]_k: 배선, RWL[2]_1: 배선, RWL[3]_1: 배선, RWL[1]_2: 배선, RWL[2]_2: 배선, RWL[3]_2: 배선, RWL[1]_3: 배선, RWL[2]_3: 배선, RWL[3]_3: 배선, WWL[1]_1: 배선, WWL[j]_1: 배선, WWL[n]_1: 배선, WWL[1]_h: 배선, WWL[j]_h: 배선, WWL[n]_h: 배선, WWL[1]_k: 배선, WWL[j]_k: 배선, WWL[n]_k: 배선, WWL[2]_1: 배선, WWL[3]_1: 배선, WWL[1]_2: 배선, WWL[2]_2: 배선, WWL[3]_2: 배선, WWL[1]_3: 배선, WWL[2]_3: 배선, WWL[3]_3: 배선, RBL_1: 배선, RBL_h: 배선, RBL_k: 배선, RBL_2: 배선, RBL_3: 배선, WBL_1: 배선, WBL_h: 배선, WBL_k: 배선, WBL_2: 배선, WBL_3: 배선, LN1: 배선, LN2: 배선, BTr_1: 트랜지스터, BTr_h: 트랜지스터, BTr_k: 트랜지스터, BTr_2: 트랜지스터, BTr_3: 트랜지스터, STr_1: 트랜지스터, STr_h: 트랜지스터, STr_k: 트랜지스터, STr_2: 트랜지스터, STr_3: 트랜지스터, BD: 마더보드, BSH: 버스 배선, SBT: 반도체 기판, LGC: 회로층, STR: 기억층, OSC: 회로층, LT1[1]: 래치 회로, LT1[2]: 래치 회로, LT1[3]: 래치 회로, LT1[z]: 래치 회로, LT2[1]: 래치 회로, LT2[2]: 래치 회로, LT2[3]: 래치 회로, LT2[z]: 래치 회로, DA: 데이터, CLK: 배선, ENL: 배선, STG[1]: 스트링, STG[2]: 스트링, STG[3]: 스트링, STG[z]: 스트링, 10: 연산 처리 장치, 20: SRAM, 30: 메인 메모리, 40: 스토리지, 50: 정보 처리 장치, 60: 인터페이스, 70: 연산 처리 장치, 80: 기억 장치, 90: 배선, 100: 기억부, 111: 절연체, 112: 절연체, 113: 절연체, 114: 절연체, 115: 절연체, 116: 절연체, 117: 절연체, 121: 절연체, 122: 절연체, 131: 절연체, 132: 절연체, 133: 절연체, 141: 반도체, 142: 반도체, 143: 반도체, 151: 도전체, 152: 도전체, 153: 도전체, 154: 도전체, 155: 도전체, 156: 도전체, 200: 제어부, 211: 절연체, 212: 절연체, 213: 절연체, 214: 절연체, 215: 절연체, 216: 절연체, 221: 도전체, 222: 도전체, 223: 도전체, 231: 반도체, 232: 반도체, 240: 절연체, 241: 절연체, 242: 절연체, 243: 절연체, 250: 도전체, 251: 도전체, 252: 도전체, 253: 도전체, 300: 트랜지스터, 311: 기판, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 360: 절연체, 382: 절연체, 384: 절연체, 386: 도전체, 700: 트랜지스터, 800: 트랜지스터, 900: 트랜지스터, 1000: 컴퓨터 시스템, 1196: 기억부, 1197: 컨트롤러, 1198: 버스 인터페이스, 4700: 전자 부품, 4702: 프린트 기판, 4704: 실장 기판, 4710: 반도체 장치, 4714: 와이어, 4730: 전자 부품, 4731: 인터포저, 4732: 패키지 기판, 4733: 전극,

4735: 반도체 장치, 4800: 반도체 웨이퍼, 4800a: 칩, 4801: 웨이퍼, 4801a: 웨이퍼, 4802: 회로부, 4803: 스페이싱, 4803a: 스페이싱, 5200: 휴대용 게임기, 5201: 하우징, 5202: 표시부, 5203: 버튼, 5300: 디스크톱형 정보 단말기, 5301: 본체, 5302: 디스플레이, 5303: 키보드, 5400: ICD 본체, 5401: 배터리, 5402: 와이어, 5403: 와이어, 5404: 안테나, 5405: 왜곡하 정맥, 5406: 상대 정맥, 5500: 정보 단말기, 5510: 하우징, 5511: 표시부, 5700: 자동차, 5800: 전기 냉동 냉장고, 5801: 하우징, 5802: 냉장실용 문, 5803: 냉동실용 문, 5900: 정보 단말기, 5901: 하우징, 5902: 표시부, 5903: 조작 버튼, 5904: 조작자, 5905: 밴드, 6240: 디지털 카메라, 6241: 하우징, 6242: 표시부, 6243: 조작 버튼, 6244: 셔터 버튼, 6246: 렌즈, 6300: 비디오 카메라, 6301: 제 1 하우징, 6302: 제 2 하우징, 6303: 표시부, 6304: 조작 키, 6305: 렌즈, 6306: 접속부, 7520: 본체, 7522: 컨트롤러, 9600: 계산기, 9610: 랙, 9620: 계산기, 9621: PC 카드, 9622: 보드, 9623: 접속 단자, 9624: 접속 단자, 9625: 접속 단자, 9626: 반도체 장치, 9627: 반도체 장치, 9628: 반도체 장치, 9629: 접속 단자, 9630: 마더보드, 9631: 슬롯

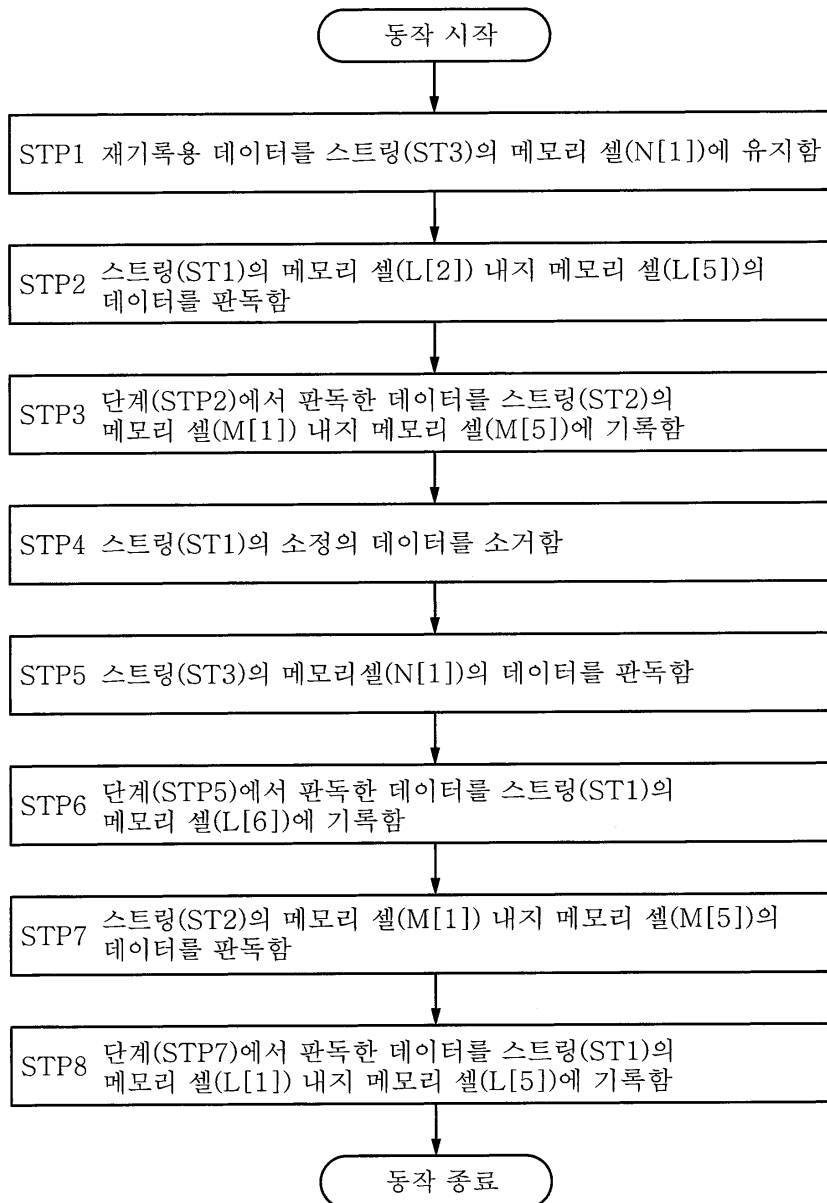
도면

도면1

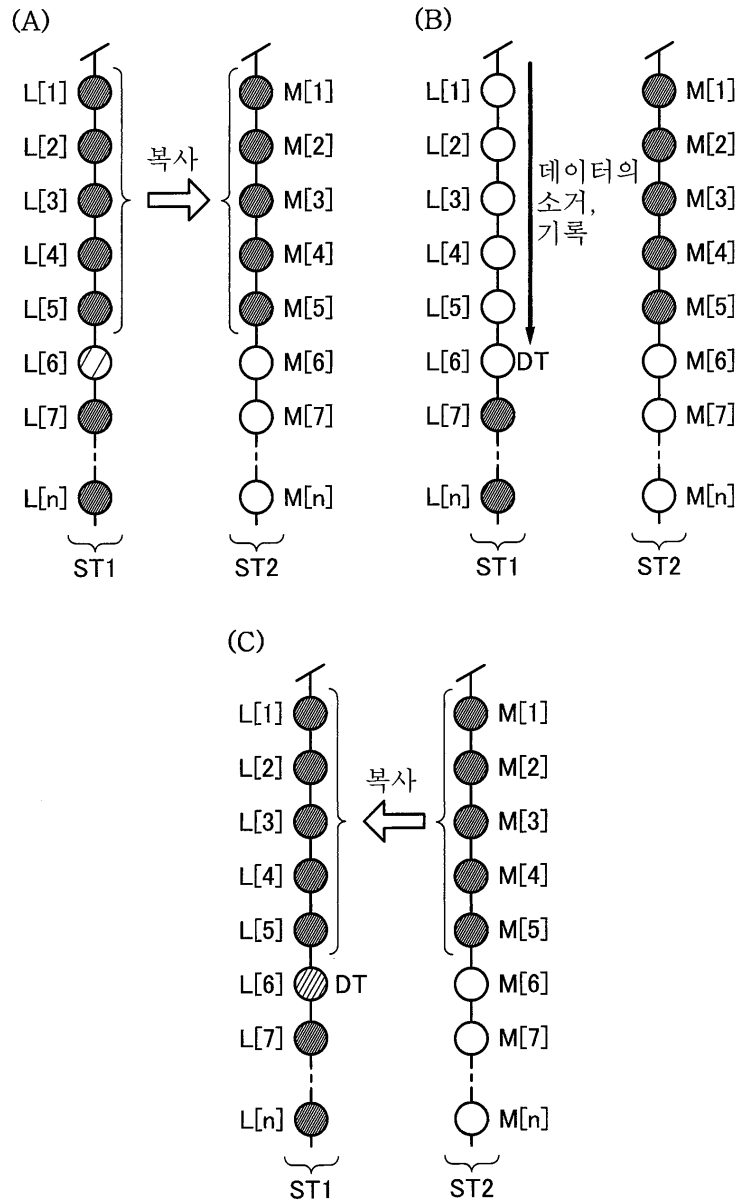
50



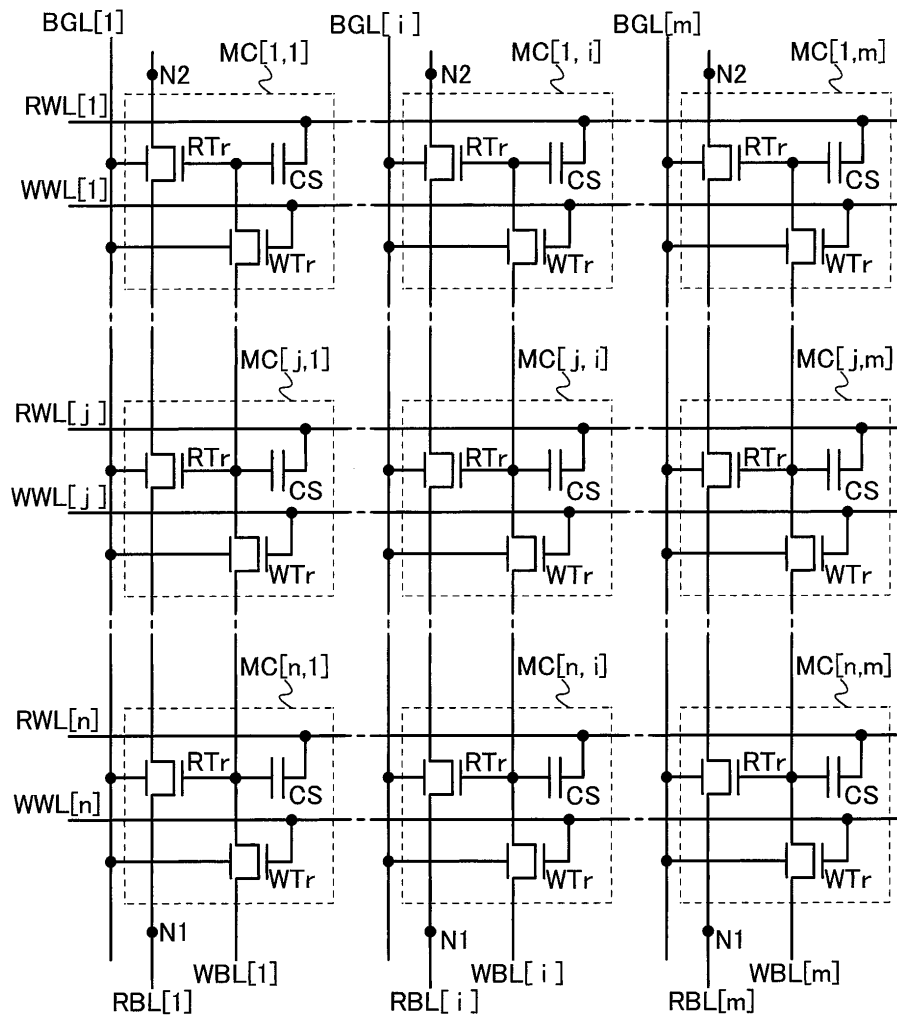
도면2



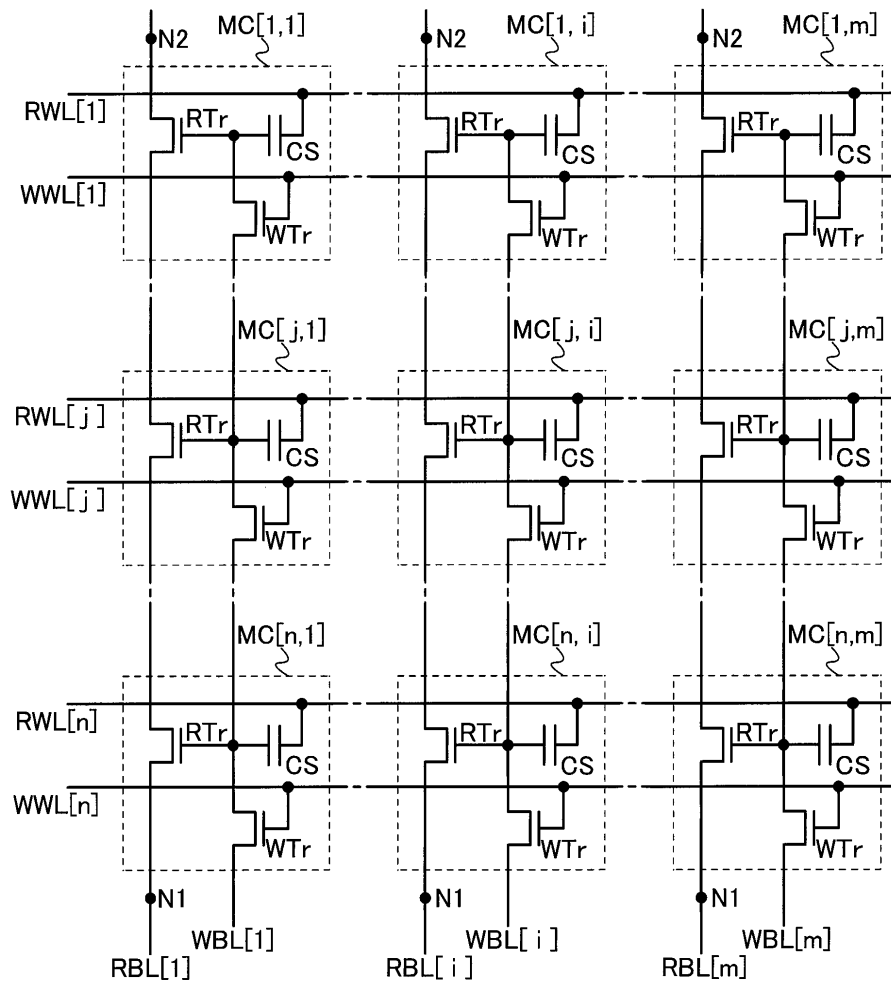
도면3



도면5

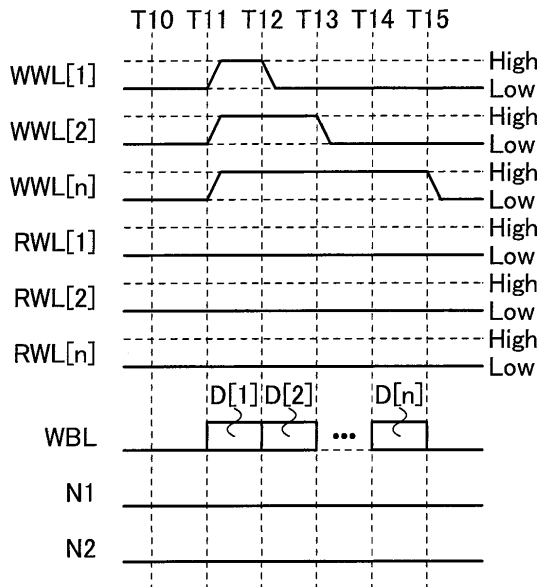


도면6

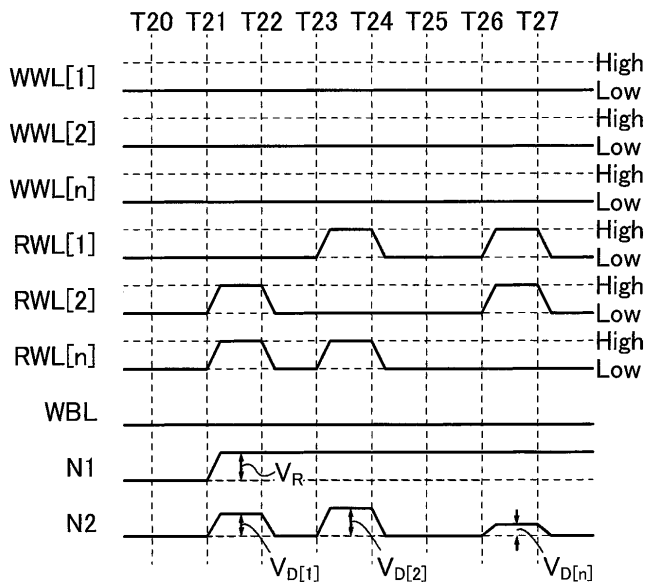


도면7

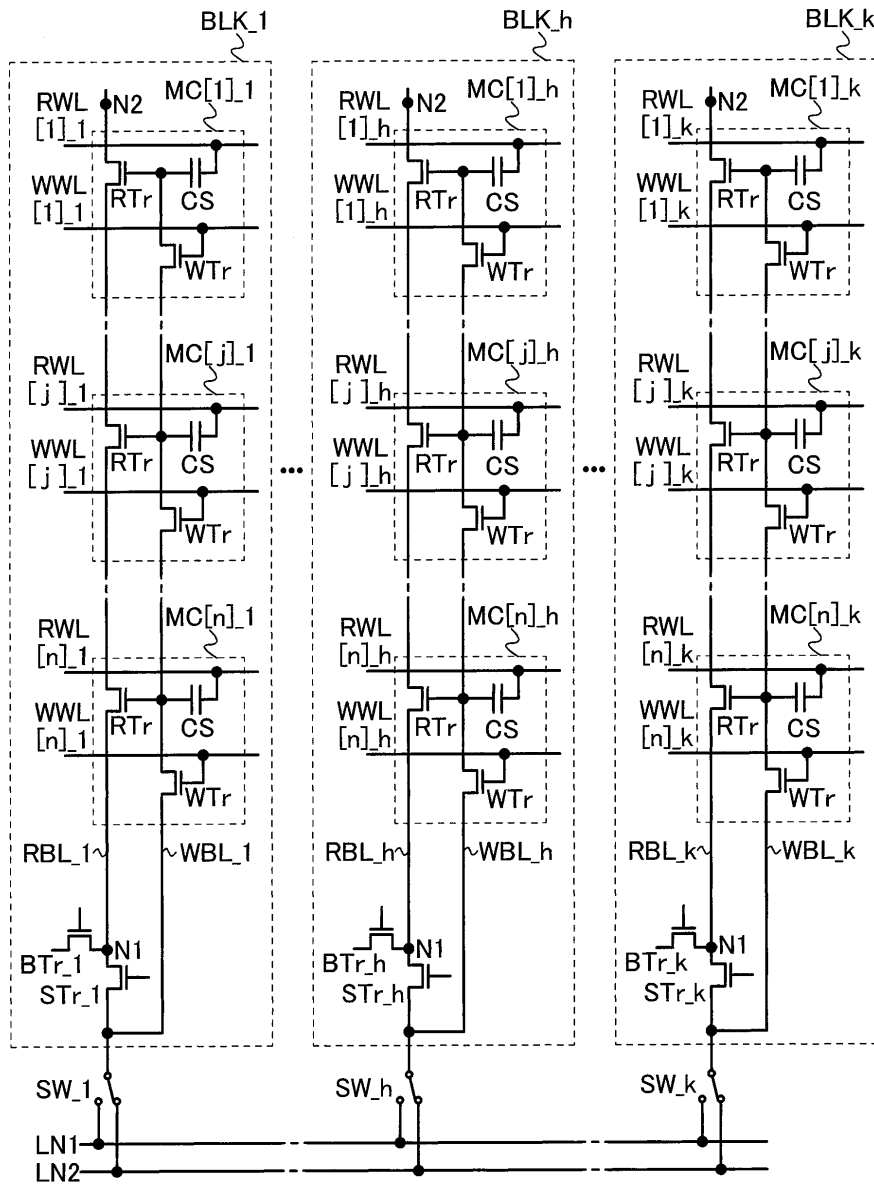
(A)



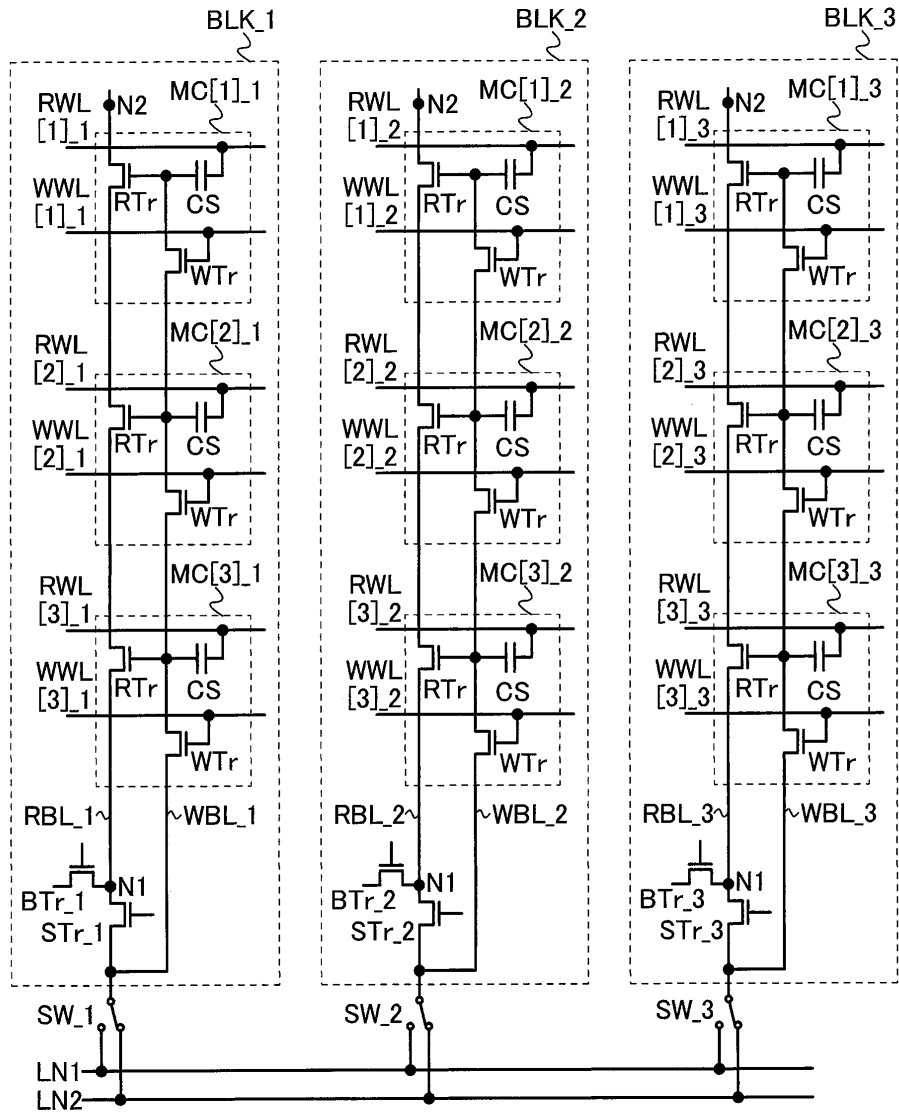
(B)



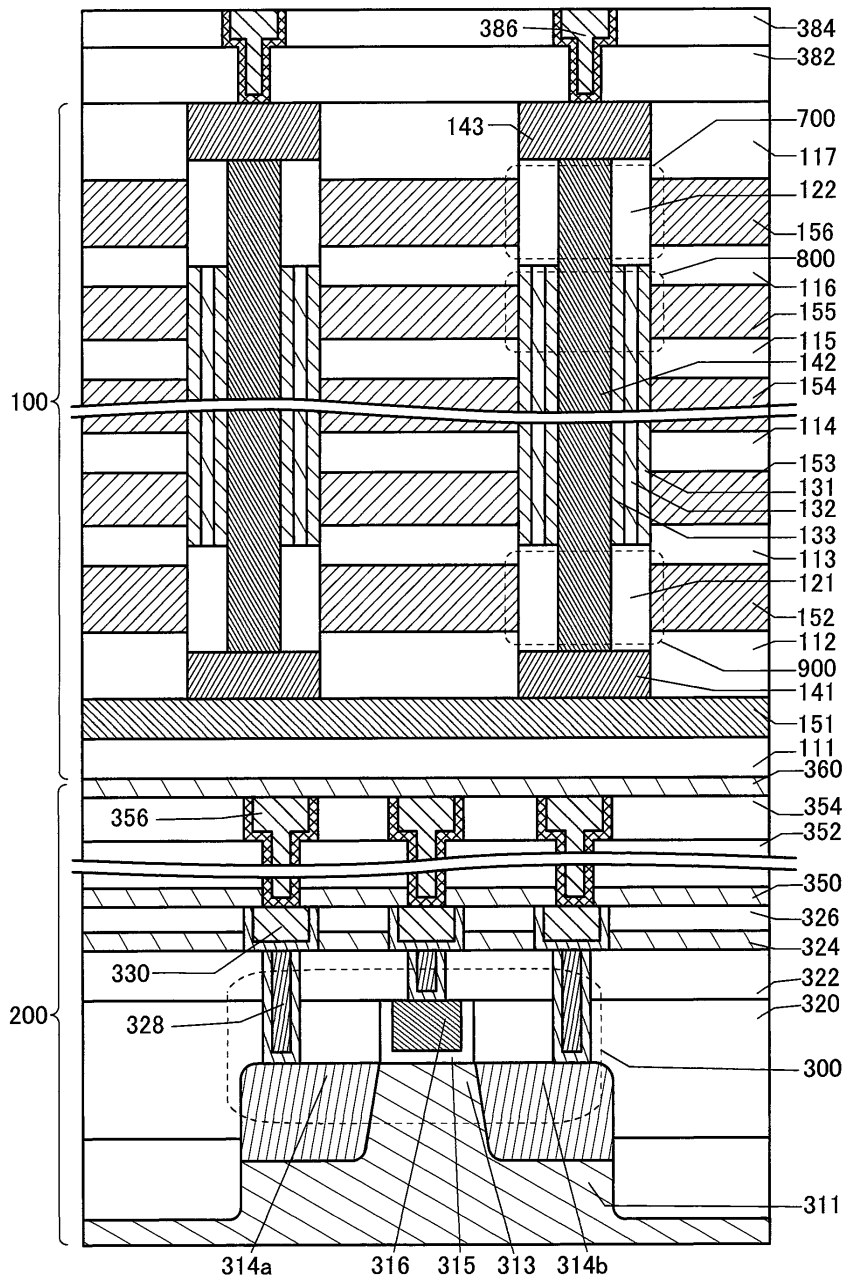
도면8



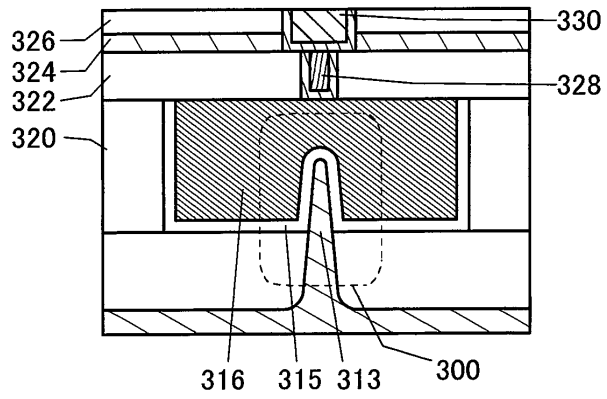
도면9



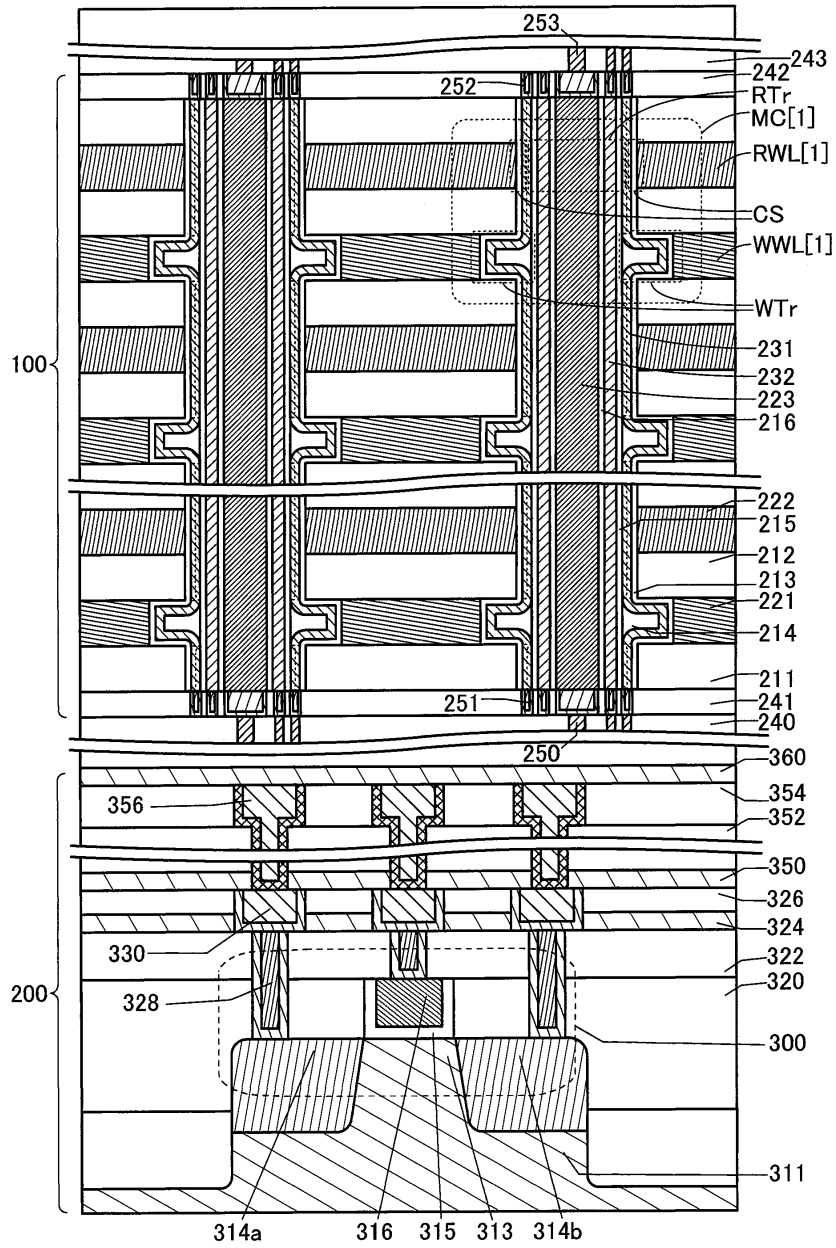
도면10



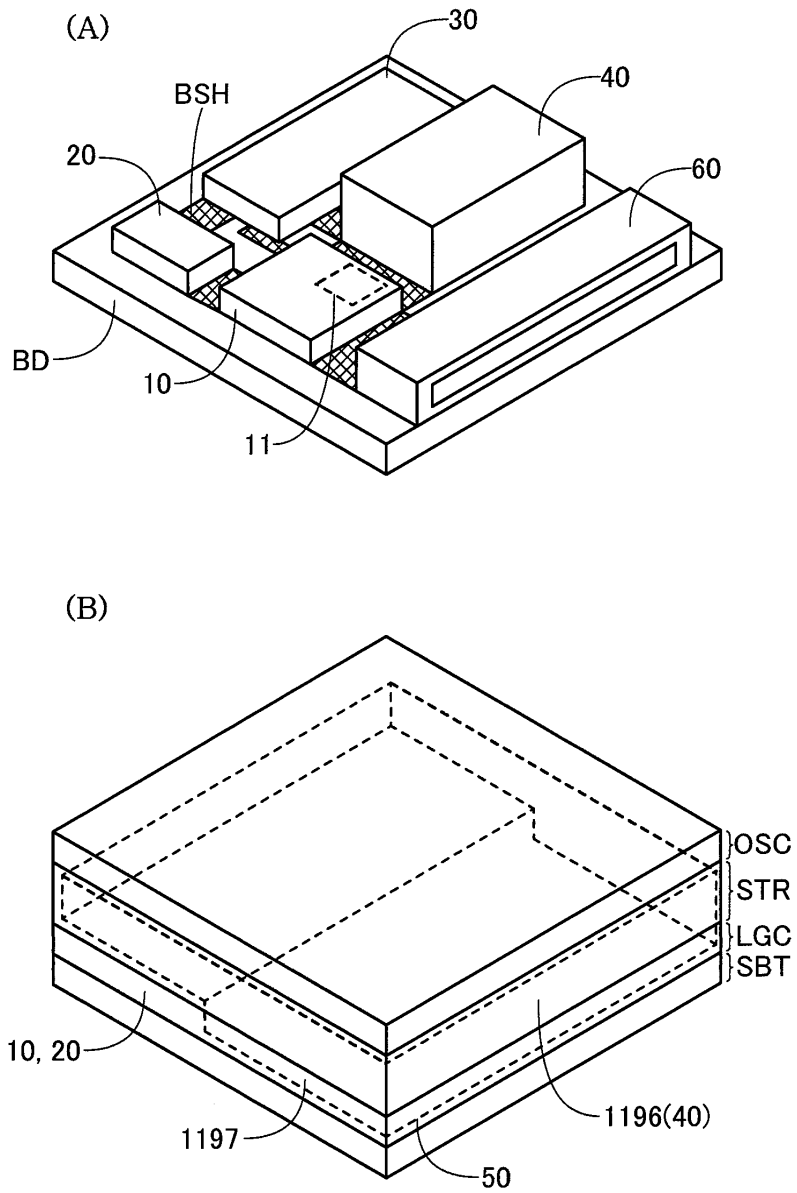
도면11



도면12

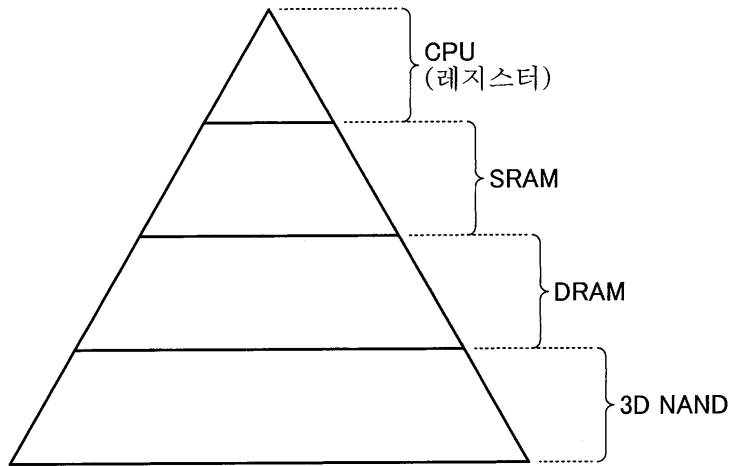


도면13

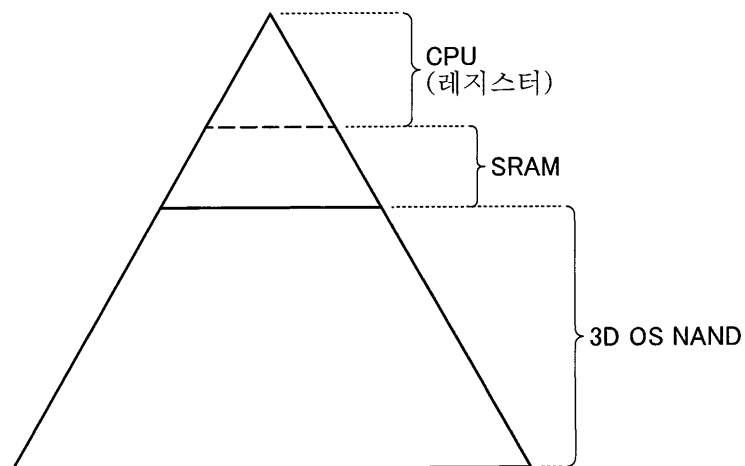


도면14

(A)

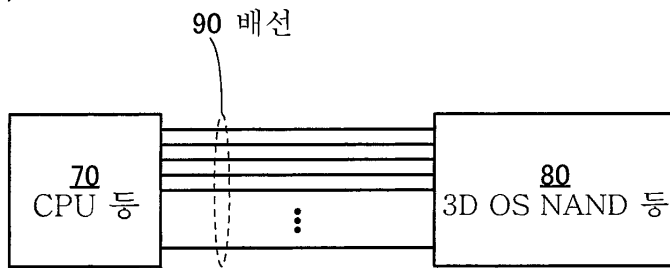


(B)

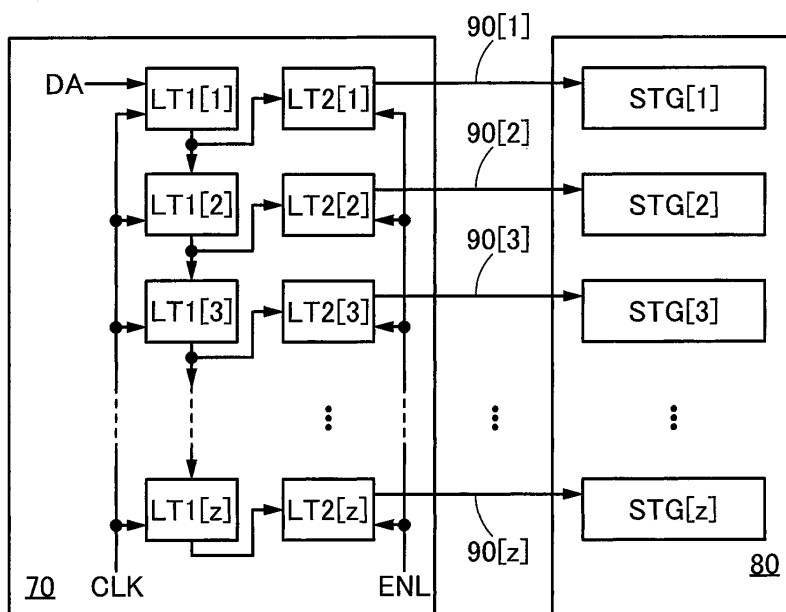


도면15

(A)



(B)

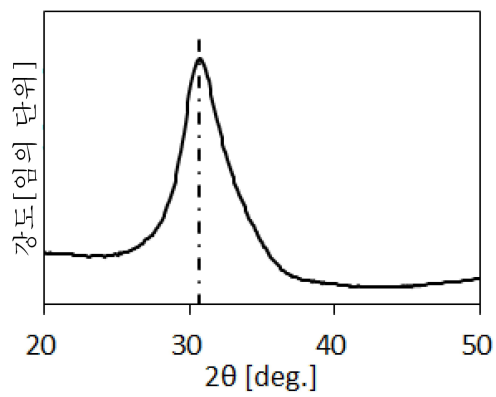


도면16

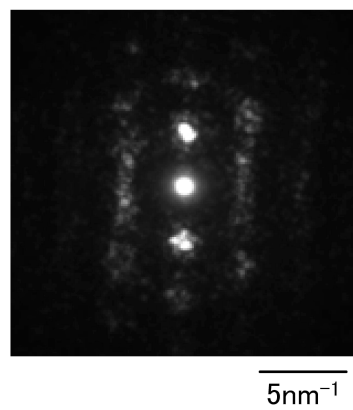
(A)

중간 상태 새로운 경계 영역		
Amorphous (무정형)	Crystalline (결정성)	Crystal (결정)
▪completely amorphous	▪CAAC ▪nc ▪CAC excluding single crystal and poly crystal	▪single crystal ▪poly crystal

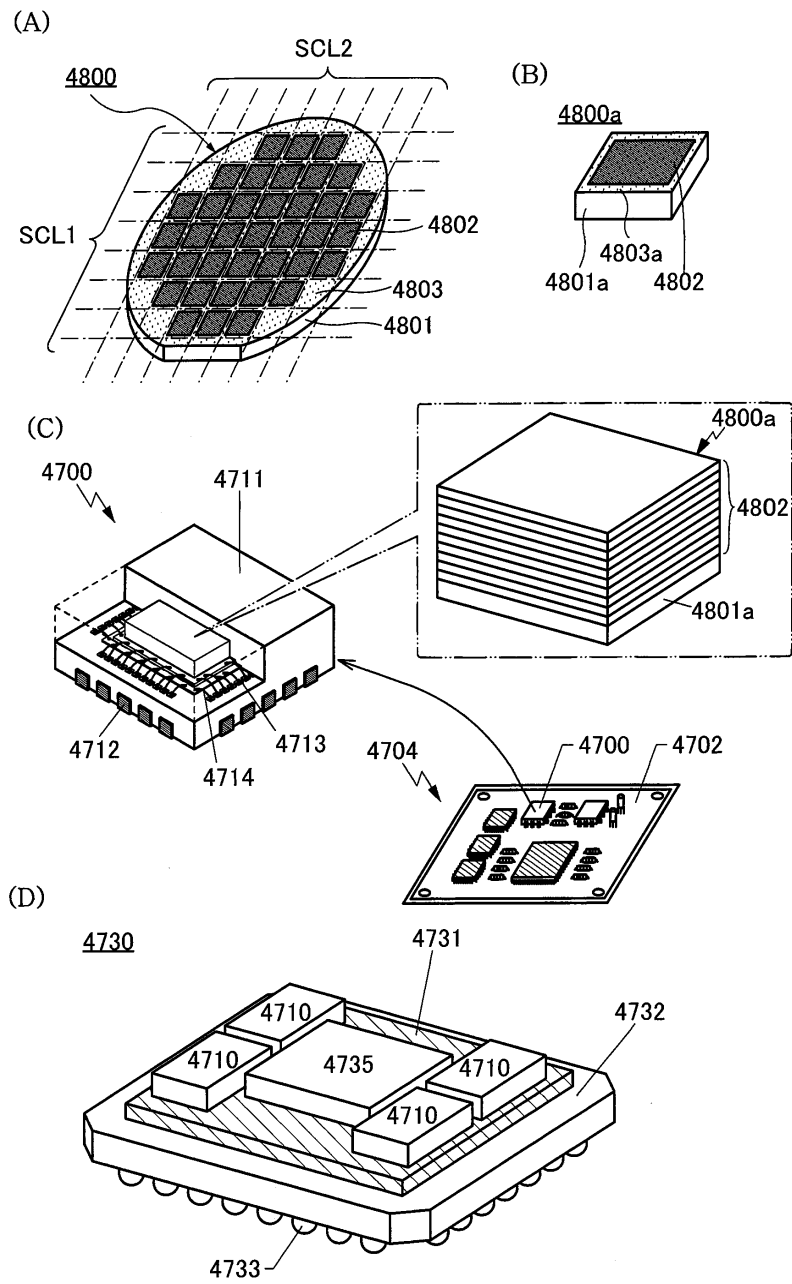
(B)



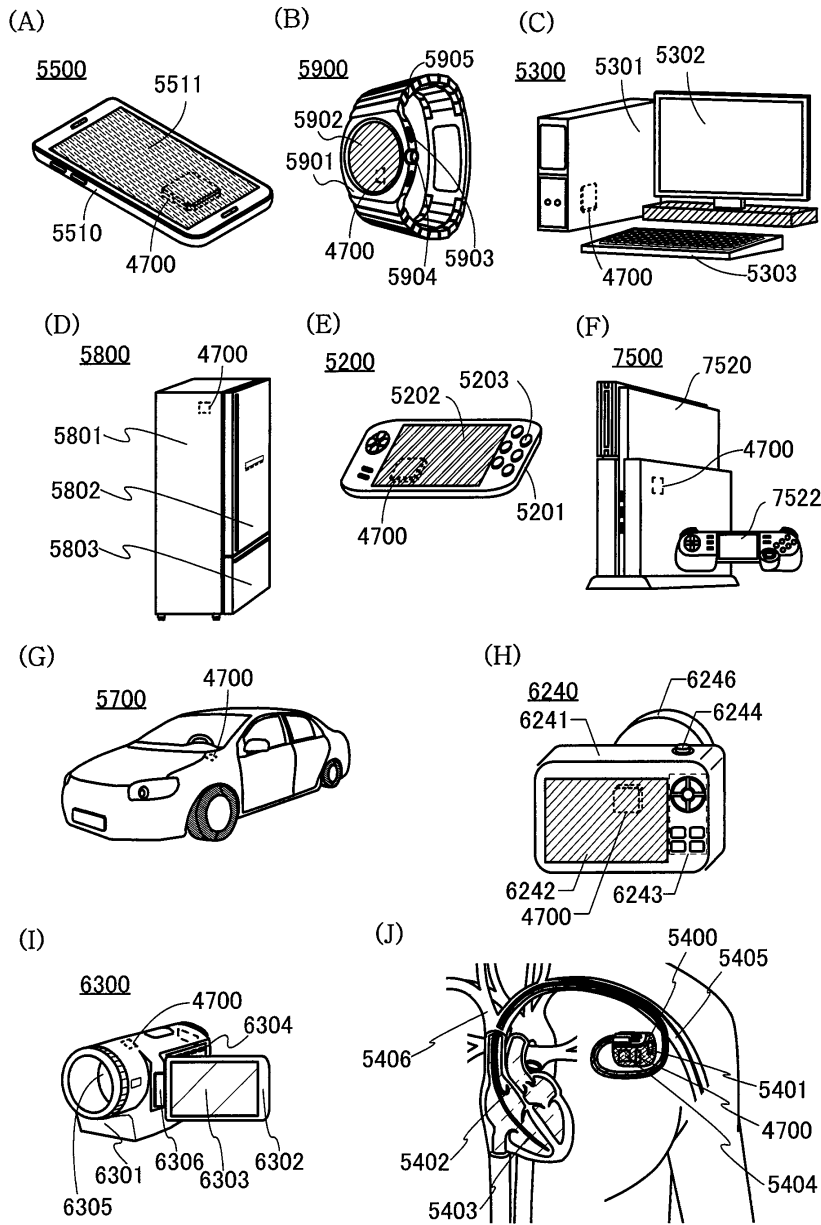
(C)



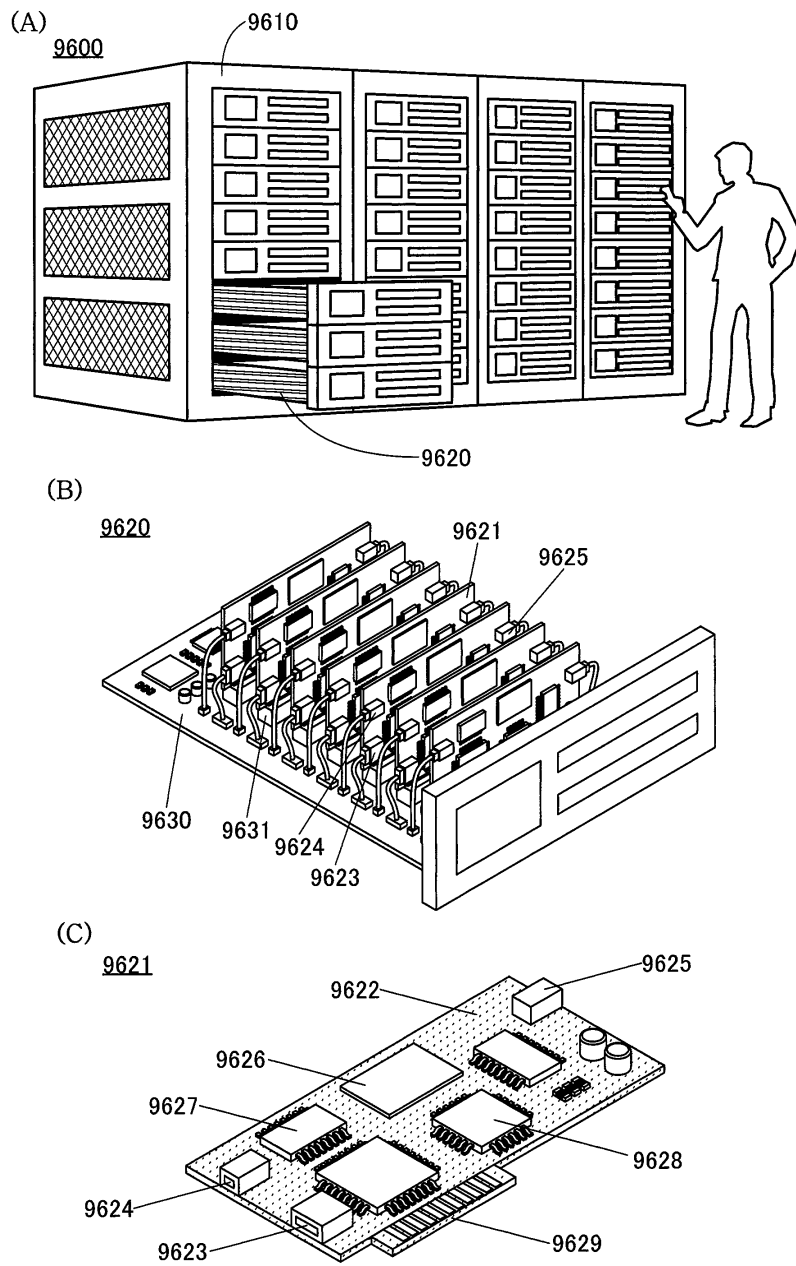
도면17



도면18



도면19



도면20

