



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년11월13일

(11) 등록번호 10-1569162

(24) 등록일자 2015년11월09일

- (51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01)
- (52) CPC특허분류
H01L 23/481 (2013.01)
- (21) 출원번호 10-2015-7001855
- (22) 출원일자(국제) 2013년06월25일
심사청구일자 2015년01월23일
- (85) 번역문제출일자 2015년01월23일
- (65) 공개번호 10-2015-0016641
- (43) 공개일자 2015년02월12일
- (86) 국제출원번호 PCT/US2013/047634
- (87) 국제공개번호 WO 2014/004520
국제공개일자 2014년01월03일
- (30) 우선권주장
13/532,126 2012년06월25일 미국(US)
- (56) 선행기술조사문헌
US20070228561 A1
US7834449 B2
US7529449 B2
US7420131 B2

- (73) 특허권자
어드밴스드 마이크로 디바이시스, 인코포레이티드
 미국 캘리포니아 94088-3453 서니베일 피.오. 박스
 3453 원 에이엠디 플레이스
- (72) 발명자
수 마이클 줌요잉
 미국 텍사스 78681 라운드 록 록 스프링 코브 909
레이 푸
 미국 텍사스 78733 오스틴 바톤 포인트 서클 3104
쿠에첸데이스터 프랭크
 독일 드레스덴 01159 알트프랑크너 스트라세 11
- (74) 대리인
박장원

전체 청구항 수 : 총 25 항

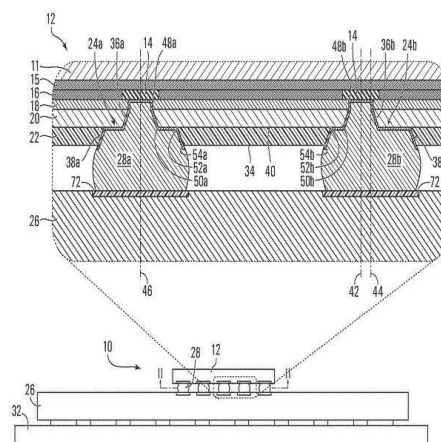
심사관 : 정구원

(54) 발명의 명칭 집적 회로 패키지, 집적 회로 다이 및 집적 회로 다이를 제조하는 방법

(57) 요약

집적 회로 패키지들은 비아들을 포함하며, 그 각각은 반도체 칩 상의 집적 회로와 연통되는 패드로부터 반도체 칩을 오버라이하는 절연 재료를 통해 기판에 면하는 부착 표면으로 연장된다. 부착 표면에 근접한 각각의 비아의 부분은 그것이 반도체 칩의 중심으로부터 떨어진 방향에서 연장되는 패드에 근접한 부분으로부터 측방으로 오프셋된다. 비아들에 수용된 금속 재료는 반도체 칩을 기판에 기계적으로 그리고 전기적으로 상호 연결한다.

대표도



명세서

청구범위

청구항 1

집적 회로 패키지로써,

집적 회로가 형성된 반도체 칩;

상기 집적 회로와 전기적으로 연통되는 적어도 하나의 패드;

상기 반도체 칩을 오버레이하는 절연 층으로서, 상기 반도체 칩을 기판에 부착하는 부착 표면을 갖는 상기 절연 층;

상기 부착 표면으로부터 상기 절연 층을 통해 상기 패드로 연장되고, 상기 패드에 근접한 제 1 비아 개구부 및 상기 부착 표면에 근접한 제 2 비아 개구부를 포함하는 적어도 하나의 비아로서, 상기 제 2 비아 개구부의 중심은 상기 반도체 칩의 중심으로부터 떨어진 방향에서 상기 제 1 비아 개구부의 중심으로부터 측방으로 오프셋되는 상기 적어도 하나의 비아;

기판; 그리고

상기 비아에 수용된 금속 재료를 포함하고,

상기 금속 재료는, 상기 패드를 상기 기판에 기계적으로 그리고 전기적으로 상호 연결하고, 그리고 상기 반도체 칩을 상기 기판에 부착하는

집적 회로 패키지.

청구항 2

청구항 1에 있어서, 상기 비아는 제 1 종축을 따라 상기 패드로부터 떨어져서 연장되는 제 1 비아 부분 및 제 2 종축을 따라 상기 부착 표면으로부터 떨어져서 연장되는 제 2 비아 부분을 포함하며, 상기 제 2 종축은 상기 반도체 칩의 중심으로부터 떨어진 방향에서 상기 제 1 종축의 중심으로부터 측방으로 오프셋되는 집적 회로 패키지.

청구항 3

청구항 2에 있어서, 상기 제 2 종축은 상기 반도체 칩 및 상기 제 1 종축의 상기 중심을 통과하는 라인을 따라 외부로 상기 제 1 종축으로부터 오프셋되는 집적 회로 패키지.

청구항 4

청구항 2에 있어서, 상기 제 1 종축은 상기 반도체 칩의 중심으로부터 떨어진 방향에서 상기 패드의 중심으로부터 떨어져서 측방으로 오프셋되는 집적 회로 패키지.

청구항 5

청구항 2에 있어서, 상기 패드는 BEOL(back end of line) 패드인 집적 회로 패키지.

청구항 6

청구항 2에 있어서, 상기 제 2 비아 부분은 상기 제 1 비아 부분의 단면적보다 더 큰 단면적을 갖는 집적 회로 패키지.

청구항 7

청구항 6에 있어서, 상기 제 1 및 제 2 비아 부분들의 각각의 것은 형상에 있어서 절단된 원뿔형이고 상기 제 2 비아 부분의 최소 단면적은 상기 제 1 비아 부분의 최대 단면적보다 더 큰 집적 회로 패키지.

청구항 8

청구항 2에 있어서, 상기 절연 층은 폴리이미드로 형성되는 집적 회로 패키지.

청구항 9

청구항 2에 있어서, 상기 절연 층은 제 1 및 제 2 서브 층들을 포함하며, 상기 제 1 비아 부분은 상기 제 1 서브 층을 통해 연장되고 상기 제 2 비아 부분은 상기 제 2 서브 층을 통해 연장되는 집적 회로 패키지.

청구항 10

청구항 1에 있어서, 상기 반도체 칩과 상기 절연 층 사이에 형성된 적어도 하나의 ILD(inter-layer dielectric) 층을 포함하며, 상기 ILD 층은 2.7보다 더 작은 유전 상수를 갖는 재료로 형성되는 집적 회로 패키지.

청구항 11

청구항 2에 있어서, 상기 부착 표면으로부터 상기 절연 층을 통해 상기 적어도 하나의 패드들 중 하나로 연장되는 중심 비아를 더 포함하며, 상기 중심 비아는 상기 반도체 칩의 중심을 통과하는 중심 종축을 따라 상기 패드로부터 떨어져서 연장되는 제 1 비아 부분, 및 상기 중심 종축을 따라 상기 부착 표면으로부터 떨어져서 연장되는 제 2 비아 부분을 포함하는 집적 회로 패키지.

청구항 12

집적 회로가 형성된 반도체 칩 및 상기 집적 회로와 전기적으로 연통되는 적어도 하나의 패드를 포함하는 집적 회로 다이를 제조하는 방법으로서,

상기 반도체 칩을 오버레이하는 제 1 절연 층을 형성하는 단계;

제 1 종축을 따라 상기 제 1 절연 층을 통해 상기 패드로부터 연장되는 제 1 비아를 형성하는 단계;

상기 제 1 절연 층을 오버레이하는 제 2 절연 층을 형성하는 단계; 및

상기 제 1 비아와 연통되는 제 2 비아를 형성하는 단계로서, 상기 제 2 비아는 제 2 종축을 따라 상기 제 2 절연 층을 통해 연장되며, 상기 제 2 종축은 상기 다이의 중심으로부터 떨어진 방향에서 상기 제 1 종축으로부터 떨어져서 오프셋되는 상기 단계를 포함하는 방법.

청구항 13

청구항 12에 있어서,

유동가능 금속 상호 연결 구조를 상기 제 1 및 제 2 비아에 증착하는 단계;

상기 집적 회로 다이를 반전시키는 단계; 및

상기 집적 회로 다이를 상기 상호 연결 구조를 통해 기판에 상호 연결하는 단계를 더 포함하는 방법.

청구항 14

청구항 12에 있어서, 상기 제 1 종축은 상기 다이의 상기 중심으로부터 떨어진 방향에서 상기 패드로부터 오프셋되는 방법.

청구항 15

청구항 12에 있어서, 상기 제 1 비아를 형성하는 단계는 포토리소그래픽 공정을 사용하여 상기 제 1 절연 층을 노출시키는 단계 및 현상액을 사용하여 상기 제 1 절연 층의 노출된 영역들을 제거하는 단계를 포함하고, 상기 제 2 비아를 형성하는 단계는 포토리소그래픽 공정을 사용하여 상기 제 2 절연 층을 노출시키는 단계 및 현상액을 사용하여 상기 제 2 절연 층의 노출된 영역들을 제거하는 단계를 포함하는 방법.

청구항 16

청구항 12에 있어서, 상기 패드는 BEOL(back end of line) 패드인 방법.

청구항 17

청구항 12에 있어서, 상기 제 1 및 제 2 비아들은 형상에 있어서 절단될 원뿔형이고 상기 제 2 비아의 최소 단면적은 상기 제 1 비아의 최대 단면적보다 더 큰 방법.

청구항 18

집적 회로 다이로서,

그 위에 집적 회로를 갖는 반도체 칩;

상기 집적 회로와 전기적으로 연통되는 복수의 패드들;

상기 집적 회로 다이를 오버라이하는 절연 층으로서, 상기 반도체 칩을 기판에 부착하는 부착 표면을 갖는 상기 절연 층;

복수의 비아들로서, 상기 비아들의 각각의 것은 상기 절연 층을 통해 상기 패드들의 상응하는 것으로 연장되어 상기 집적 회로 다이를 기판과 상호 연결하는 금속 구조를 수용하는 상기 복수의 비아들을 포함하며;

상기 비아들의 각각의 것은 상기 반도체 칩에 근접한 제 1 개구부 및 상기 부착 표면에 근접한 제 2 개구부를 갖고, 상기 제 2 개구부의 중심은 상기 제 1 개구부의 중심보다 상기 집적 회로 다이의 중심으로부터 더 멀리 위치되는 집적 회로 다이.

청구항 19

집적 회로 패키지로서,

기판;

다이를 포함하며, 상기 다이는

반도체 칩;

상기 반도체 층을 오버라이하는 절연 층;

상기 절연 층을 통과하는 복수의 비아들;

복수의 금속 상호 연결 구조들로서, 상기 상호 연결 구조들의 각각의 것은 상기 비아들의 상응하는 것에 수용되고 상기 금속 상호 연결 구조들의 각각의 것은 제 1 단부에서의 상기 다이 및 제 2 단부에서의 상기 기판에 접합되며, 상기 제 2 단부는 상기 제 1 단부보다 상기 다이의 기하학적 중심으로부터 더 멀리 위치되는 상기 복수의 금속 상호 연결 구조들을 포함하는 집적 회로 패키지.

청구항 20

집적 회로 다이로서,

그 위에 집적 회로를 갖는 반도체 칩;

상기 집적 회로와 전기적으로 연통되는 복수의 패드들;

상기 집적 회로 다이를 오버라이하는 절연 층으로서, 상기 반도체 칩을 기판에 부착하는 부착 표면을 갖는 상기 절연 층;

패턴으로 배열된 제 1 복수의 비아들로서, 상기 제 1 복수의 비아들의 각각의 것은 상기 절연 층을 통해 상기 패드들의 상응하는 것으로 연장되어 상기 집적 회로 다이를 기판과 상호 연결하는 금속 구조를 수용하는 상기 제 1 복수의 비아들;

- 상기 제 1 복수의 비아들의 각각의 것은 상기 반도체 칩에 근접한 제 1 개구부 및 상기 부착 표면에 근접한 제 2 개구부를 갖고, 상기 제 1 개구부의 중심은 상기 집적 회로 다이의 중심을 향하는 방향에서 제 1 거리만큼 상기 제 2 개구부의 중심에 비해 측방으로 오프셋됨 - ;

상기 제 1 복수의 비아들의 상기 패턴과 동심인 패턴으로 배열된 제 2 복수의 비아들로서, 상기 제 2 복수의 비아들의 각각의 것은 상기 절연 층을 통해 상기 패드들의 상응하는 것으로 연장되어 상기 집적 회로 다이를 기판

과 상호 연결하는 금속 구조를 수용하는 상기 제 2 복수의 비아들;

- 상기 제 2 복수의 비아들의 각각의 것은 상기 반도체 칩에 근접한 제 1 개구부 및 상기 부착 표면에 근접한 제 2 개구부를 갖고, 상기 제 1 개구부의 중심은 상기 집적 회로 다이의 중심을 향하는 방향에서 상기 제 1 거리와 상이한 제 2 거리만큼 상기 제 2 개구부에 비해 측방으로 오프셋됨 - 을 포함하는 집적 회로 다이.

청구항 21

청구항 20에 있어서, 상기 제 1 복수의 비아들의 각각의 것은 상기 제 2 복수의 비아들의 각각의 것보다 상기 집적 회로 다이의 상기 중심에 더 가깝고 상기 제 2 거리는 상기 제 1 거리보다 더 큰 집적 회로 다이.

청구항 22

청구항 20에 있어서, 상기 제 1 복수의 비아들의 상기 패턴 및 상기 제 2 복수의 비아들의 상기 패턴 중 적어도 하나는 직사각형인 집적 회로 다이.

청구항 23

집적 회로 다이로서,

그 위에 집적 회로를 갖는 반도체 칩;

상기 집적 회로와 전기적으로 연통되는 복수의 패드들;

상기 집적 회로 다이를 오버라이하는 절연 층으로서, 상기 반도체 칩을 기판에 부착하는 부착 표면을 갖는 상기 절연 층;

복수의 비아들로서, 상기 비아들의 각각의 것은 상기 절연 층을 통해 상기 패드들의 상응하는 것으로 연장되어 상기 집적 회로 다이를 기판과 상호 연결하는 금속 구조를 수용하는 상기 복수의 비아들을 포함하며;

상기 복수의 비아들은 적어도 상기 집적 회로 다이의 중심에 센터링된 제 1 패턴 및 상기 제 1 패턴과 동심인 제 2 패턴으로 배열되고, 상기 비아들의 각각의 것은 상기 반도체 칩에 근접한 제 1 개구부 및 상기 부착 표면에 근접한 제 2 개구부를 가지며, 상기 제 1 개구부의 중심은 상기 집적 회로 다이의 중심을 향하는 방향에서 상기 제 2 개구부의 중심으로부터 측방으로 오프셋되고 상기 오프셋은 상기 제 1 패턴으로 배열된 상기 비아들에서 제 1 거리만큼이고 상기 제 2 패턴으로 배열된 상기 비아들에서 상기 제 1 거리와 상이한 제 2 거리만큼인 집적 회로 다이.

청구항 24

청구항 23에 있어서, 상기 제 2 패턴으로 배열된 상기 비아들의 각각의 것은 상기 제 1 패턴으로 배열된 상기 비아들의 각각의 것보다 상기 집적 회로 다이의 중심으로부터 더 멀리 위치되고 상기 제 2 거리는 상기 제 1 거리보다 더 큰 집적 회로 다이.

청구항 25

청구항 23에 있어서, 상기 제 1 패턴 및 상기 제 2 패턴 중 적어도 하나는 직사각형인 집적 회로 다이.

발명의 설명

기술 분야

[0001]

관련 출원에 대한 상호 참조

[0002]

본 출원은 2012년 6월 25일에 출원된 미국 정규 특허 출원 제13/532,126에 대한 이득들을 주장하고 이 출원으로부터 우선권을 주장하며, 그 내용들은 이로써 본 명세서에 완전히 진술된 것처럼 참고문헌으로 통합된다.

[0003]

본 발명의 분야

[0004]

본 발명은 일반적으로 집적 회로 패키징에 관한 것으로, 특히 다이를 기판에 상호 연결하는 솔더 범프를 수용하는 비아들을 갖는 집적 회로 패키지들에 관한 것이다.

배경 기술

- [0005] 다이는 금속 재료들 및 ILD(inter-layer dielectric) 재료들의 다수의 교대 층들로 오버레이된 반도체 칩으로 형성될 수 있다. 다이는 금속 및 ILD 층들을 오버레이하는 패시베이션 재료들, 및 패시베이션 재료들을 오버레이하는 폴리이미드와 같은 절연 재료의 하나 이상의 층들을 더 포함할 수 있다.
- [0006] 전형적으로, 절연 재료의 층들을 통해 연장되는 솔더 범프들 또는 다른 상호 연결 구조들은 다이를 전형적으로 유기 재료로 형성된 기판에 상호 연결한다. 집합적으로, 다이 및 상호 연결된 기판은 전형적으로 집적 회로 패키지로 언급된다.
- [0007] 패키지를 형성하는 상이한 재료들 각각은 상이한 CTE(coefficient of thermal expansion)를 갖는다. 예를 들어, 실리콘 반도체 칩은 대략 $2.6 \times 10^{-6}/^{\circ}\text{C}$ 의 CTE를 가질 수 있으며; 폴리이미드는 대략 $35 \times 10^{-6}/^{\circ}\text{C}$ 의 CTE를 가질 수 있고; 무연 솔더 재료는 대략 $20\text{--}30 \times 10^{-6}/^{\circ}\text{C}$ 의 범위의 CTE를 가질 수 있고 유기 기판은 대략 $17 \times 10^{-6}/^{\circ}\text{C}$ 의 CTE를 가질 수 있다. 제조 및 사용 동안, 패키지의 온도가 변화되어, 상이한 재료들이 그들 각각의 CTE에 따라 팽창하거나 수축하게 한다.
- [0008] CTE 불일치들은 차례로 상이한 팽창으로 인해 패키지 구성요소들 상에 열적 기계적 응력을 야기한다. 구성요소들은 또한 구성요소들 사이의 CTE 차이에 기초하여, 열을 받을 때 휘는 경향이 있다. 이것은 구성요소들이 서로로부터 떨어져서 휘어짐에 따라 박리 응력을 야기한다. 이러한 응력들은 전형적으로 CPI(chip package interaction) 응력으로 언급된다.
- [0009] 역사적으로, CPI 응력은 적어도 부분적으로 솔더 범프들이 다이를 기판에 상호 연결함으로써 완화되었다. 솔더 범프들은 전형적으로 차동 팽창 및 휨에 대응하여 변형할 수 있는 상대적으로 연성 납함유 합금들로 형성되며, 따라서 응력을 흡수하고, 다이 및 기판을 서로 분리하는 경향이 있다.
- [0010] 그러나, 최근에, 납함유 솔더 재료들은 무연 재료들로 대체되고 있다. 이러한 무연 재료들은 더 단단한 경향이 있으며, 즉 납함유 재료들보다 더 낮은 연성을 갖는다. 그 결과, 무연 솔더 범프들은 더 적은 응력을 흡수하는 경향이 있다. 일부 경우들에서, 이것은 패키지의 나머지에서부터 다이의 균열 또는 박리를 야기할 수 있다.
- [0011] 이러한 문제는 성능 요건들에 의해 필요해지는 다른 재료 선택들에 의해 악화된다. 특히, 반도체 칩 피쳐 크기들이 감소함에 따라, 성능 이유들로 3 미만(낮은-K 재료들) 또는 2.7 미만(ULK(ultra-low K) 재료들)의 유전 상수(K)를 갖는 ILD 재료들을 선택하는 것이 필요하게 된다. 그러한 재료들은 종종 $K>3$ 을 갖는 유전체 재료들보다 인접 다이 층들에 대해 더 낮은 전단 강도 및 응집 강도 및 더 나쁜 접착을 갖는다. 따라서, 낮은 K 및 ULK ILD 재료들은 특히 균열 또는 박리와 같은 기계적 고장의 경향이 있다.
- [0012] 따라서, 열적 기계적 응력들에 대해 개선된 보호를 제공하는 반도체 패키지 설계들에 대한 요구가 있다.

발명의 내용

과제의 해결 수단

- [0013] 본 발명의 예에서, 집적 회로 패키지는 오프셋 비아들로 형성된다. 집적 회로 패키지의 각각의 비아는 반도체 칩 상의 집적 회로와 연통되는 패드로부터 반도체 칩을 오버레이하는 절연 재료를 통해 기판에 면하는 부착 표면으로 연장된다. 비아들에 수용된 금속 재료는 반도체 칩을 기판에 기계적으로 그리고 전기적으로 상호 연결한다. 부착 표면에 근접한 각각의 비아의 부분은 그것의 반도체 칩의 중심으로부터 떨어진 방향에서 연장되는 패드에 근접한 부분으로부터 측방으로 오프셋된다.
- [0014] 본 발명의 일 측면에 따르면, 집적 회로 패키지가 개시되며, 집적 회로 패키지는 집적 회로가 형성된 반도체 칩; 집적 회로와 전기적으로 연통되는 적어도 하나의 패드; 반도체 칩을 오버레이하는 절연 층으로서, 반도체 칩을 기판에 부착하는 부착 표면을 갖는 절연 층; 부착 표면으로부터 절연 층을 통해 패드로 연장되고, 패드에 근접한 제 1 비아 개구부 및 부착 표면에 근접한 제 2 비아 개구부를 포함하는 적어도 하나의 비아로서, 제 2 개구부의 중심은 반도체 칩의 중심으로부터 떨어진 방향에서 제 1 개구부의 중심으로부터 측방으로 오프셋되는 적어도 하나의 비아; 기판; 패드를 기판에 기계적으로 그리고 전기적으로 상호 연결하고, 반도체 칩을 기판에 부착하는 비아에 수용된 금속 재료를 포함한다.
- [0015] 본 발명의 다른 측면에 따르면, 집적 회로가 형성된 반도체 칩 및 집적 회로와 전기적으로 연통되는 적어도 하

나의 패드를 포함하는 집적 회로 다이를 제조하는 방법이 개시된다. 방법은 반도체 칩을 오버레이하는 제 1 절연 층을 형성하는 단계; 제 1 종축을 따라 제 1 절연 층을 통해 패드로부터 연장되는 제 1 비아를 형성하는 단계; 제 1 절연 층을 오버레이하는 제 2 절연 층을 형성하는 단계; 및 제 1 비아와 연통되는 제 2 비아를 형성하는 단계로서, 제 2 비아는 제 2 종축을 따라 제 2 절연 층을 통해 연장되며, 제 2 종축은 다이로부터 떨어진 방향에서 제 1 종축으로부터 떨어져서 오프셋되는 단계를 포함한다.

[0016]

본 발명의 다른 측면에 따르면, 집적 회로 다이가 개시되며, 집적 회로 다이는 그 위에 집적 회로를 갖는 반도체 칩; 집적 회로와 전기적으로 연통되는 복수의 패드들; 집적 회로 다이를 오버레이하는 절연 층으로서, 반도체 칩을 기판에 부착하는 부착 표면을 갖는 절연 층; 복수의 비아들로서, 비아들의 각각의 것은 절연 층을 통해 패드들의 상응하는 것으로 연장되어 집적 회로 다이를 기판과 상호 연결하는 금속 구조를 수용하는 복수의 비아들을 포함하며; 비아들의 각각의 것은 반도체 칩에 근접한 제 1 개구부 및 부착 표면에 근접한 제 2 개구부를 갖고, 제 2 개구부의 중심은 제 1 개구부의 중심보다 집적 회로 다이의 중심으로부터 더 멀리 위치된다.

[0017]

본 발명의 다른 측면에 따르면, 집적 회로 패키지가 개시되며, 기판 및 다이를 포함한다. 다이는 반도체 칩, 반도체 칩을 오버레이하는 절연 층 및 절연 층을 통과하는 복수의 비아들을 포함한다. 집적 회로는 복수의 금속 상호 연결 구조들을 더 포함하며, 상호 연결 구조들의 각각의 것은 비아들의 상응하는 것에 수용되고 금속 상호 연결 구조들의 각각의 것은 제 1 단부에서의 다이 및 제 2 단부에서의 기판에 접합되며, 제 2 단부는 제 1 단부보다 다이의 기하학적 중심으로부터 더 멀리 위치된다.

[0018]

본 발명의 또 다른 측면에 따르면, 집적 회로 다이가 제공되며, 집적 회로 다이는 그 위에 집적 회로를 갖는 반도체 칩; 집적 회로와 전기적으로 연통되는 복수의 패드들; 집적 회로 다이를 오버레이하는 절연 층으로서, 반도체 칩을 기판에 부착하는 부착 표면을 갖는 절연 층; 패턴으로 배열된 제 1 복수의 비아들로서, 제 1 복수의 비아들의 각각의 것은 절연 층을 통해 패드들의 상응하는 것으로 연장되어 집적 회로 다이를 기판과 상호 연결하는 금속 구조를 수용하는 제 1 복수의 비아들; - 제 1 복수의 비아들의 각각의 것은 반도체 칩에 근접한 제 1 개구부 및 부착 표면에 근접한 제 2 개구부를 갖고, 제 1 개구부의 중심은 집적 회로 다이의 중심을 향하는 방향에서 제 1 거리만큼 제 2 개구부의 중심에 비해 측방으로 오프셋됨 - ; 제 1 복수의 비아들의 패턴과 동심인 패턴으로 배열된 제 2 복수의 비아들로서, 제 2 복수의 비아들의 각각의 것은 절연 층을 통해 패드들의 상응하는 것으로 연장되어 집적 회로 다이를 기판과 상호 연결하는 금속 구조를 수용하는 제 2 복수의 비아들; - 제 2 복수의 비아들의 각각의 것은 반도체 칩에 근접한 제 1 개구부 및 부착 표면에 근접한 제 2 개구부를 갖고, 제 1 개구부의 중심은 집적 회로 다이의 중심을 향하는 방향에서 제 1 거리와 상이한 제 2 거리만큼 제 2 개구부에 비해 측방으로 오프셋됨 - 을 포함한다.

[0019]

본 발명의 또 다른 측면에 따르면, 집적 회로 다이가 제공되며, 집적 회로 다이는 그 위에 집적 회로를 갖는 반도체 칩; 집적 회로와 전기적으로 연통되는 복수의 패드들; 집적 회로 다이를 오버레이하는 절연 층으로서, 반도체 칩을 기판에 부착하는 부착 표면을 갖는 절연 층; 복수의 비아들로서, 비아들의 각각의 것은 절연 층을 통해 패드들의 상응하는 것으로 연장되어 집적 회로 다이를 기판과 상호 연결하는 금속 구조를 수용하는 복수의 비아들을 포함하며; 복수의 비아들은 적어도 집적 회로 다이의 중심에 센터링된 제 1 패턴 및 제 1 패턴과 동심인 제 2 패턴으로 배열되고, 비아들의 각각의 것은 반도체 칩에 근접한 제 1 개구부 및 부착 표면에 근접한 제 2 개구부를 가지며, 제 1 개구부의 중심은 집적 회로 다이의 중심을 향하는 방향에서 제 2 개구부의 중심으로부터 측방으로 오프셋되고 오프셋은 제 1 패턴으로 배열된 비아들에서 제 1 거리만큼이고 제 2 패턴으로 배열된 비아들에서 제 1 거리와 상이한 제 2 거리만큼이다.

도면의 간단한 설명

[0020]

도면들에서는 본 발명의 실시예들을, 예로서만 예시한다.

도 1은 본 발명의 일 실시예를 예시하는 반도체 패키지의 단면도이다.

도 2는 라인 II-II을 따라 취해진 도 1의 반도체 패키지의 단면도이다.

도 3은 도 2에 도시된 단면의 간략한 개략도이다.

도 4는 본 발명의 대체 실시예를 예시하는 반도체 패키지의 단면도이다.

도 5a-도 5k는 상이한 제조 단계들에서 도 1의 반도체 패키지의 서브 어셈블리의 부분 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 도 1은 본 발명의 일 실시예를 예시하는 반도체 패키지(10)를 도시한다. 반도체 패키지(10)는 일반적으로 일련의 솔더 범프들(28)에 의해 기판(26)에 상호 연결된 다이(12)를 포함한다. 다이(12)는 집적 회로를 그 위에(도시되지 않음) 반도체 칩(11)을 포함한다.
- [0022] 다이(12)는 플립 칩 내의 기판(26)에 부착된다. 솔더 범프들(28)은 다이(12)의 부착 표면(34)으로부터 연장된다. 다이(12)는 이러한 범프들을 통해 기판에 부착되며, 범프들은 기판(26)으로의 기계적 및 전기적 상호 연결을 위해 리플로우된다. 선택적으로, 언더필(도시되지 않음)은 다이(12)를 기판(26)에 더 기계적으로 부착할 수 있다.
- [0023] 집적 회로는 BEOL 패드들(14)을 포함하는 BEOL(back end of line) 스택을 통해 상호 연결된다. 게다가, BEOL 스택은 BEOL 스택의 전도성 요소들을 전기적으로 분리하는 ILD(inter-layer dielectric) 재료(15, 16)를 포함한다. ILD 재료(15, 16)는 낮은 K 유전체 재료 예컨대 HSSQ, 다이아몬드상 탄소, 탄소 도핑된 SiO₂ 또는 SiCOH 또는 ULK 유전체 재료 예컨대 다공성 SiCOH로 형성될 수 있다. 단순화를 위해, BEOL 패드들(14) 및 ILD 재료(15, 16)를 포함하는 BEOL 스택의 일부만이 도시된다. BEOL 패드들(14)은 ILD 층(15)을 통과하는 전도성 트레이스들(도시되지 않음)에 의해 BEOL 스택(도시되지 않음)의 다른 요소들에 연결된다. BEOL 스택은 반도체 칩(11) 및 BEOL 패드들(14) 및 ILD 재료(15, 16) 사이에 금속 트레이스들 및 ILD 재료의 부가 층들을 포함할 수 있다.
- [0024] 다이(12)는 부식으로부터 다이(12)의 요소들을 보호하기 위해 BEOL 패드들(14) 및 ILD 재료(16)를 오버라이하는 패시베이션 재료(18)의 층을 포함할 수도 있다. 패시베이션 재료(18) 위에서, 다이(12)는 절연 재료의 층들을 포함할 수 있다. 패키지(10)는 절연 재료의 2개의 층들(20, 22)로 예시되지만, 더 많거나 더 적은 층들을 가질 수 있다. 층들(20, 22)은 폴리이미드, 폴리벤조옥사디아졸, 벤조사이클로부텐 또는 유사한 재료로 형성될 수 있다.
- [0025]비아들(24)은 다이(12)를 BEOL 패드들(14)을 통해 기판(26)에 전기적으로 그리고 기계적으로 상호 연결하는 솔더 범프들(28)을 수용하기 위해 층들(20, 22)을 통해 형성된다. 솔더 범프들(28)은 전기 전도성 재료로 형성되고, 다이(12)의 부착 표면(34)으로부터 연장된다. 솔더 범프들(28)은 SnAg, SnCu, SnAgCu 또는 다른 무연 합금들과 같은 무연 재료로 형성될 수 있다. 미세 피치 적용들에서, 솔더 범프들(28)은 Cu 필라들일 수 있다. 하나 이상의 전도성 금속 층들(도시되지 않음)은 솔더 범프들(24)과 BEOL 패드(14) 사이에 형성될 수도 있다. 선택적으로, 부착 표면(34)과 솔더 범프들(28)에 근접한 기판(26) 사이의 영역은 상호 연결을 보호하고/하거나 기계적으로 강화하기 위해 에폭시 언더필(도시되지 않음)로 충전될 수 있다.
- [0026] 기판(26)은 반도체 패키지(10)를 회로 보드에 상호 연결된 다른 디바이스들에 상호 연결하는 회로 보드(32) 상에 장착될 수 있다. 전형적으로, 기판(26)은 유기 재료로 형성되지만, 이해되는 바와 같이, 그 대신에 숙련된 자들에게 알려진 임의의 적절한 재료로 형성될 수 있다.
- [0027] 도 2는 반도체 패키지(10)를 기판(26)에 상호 연결하는 솔더 범프들(집합적으로, 솔더 범프들(28)); 개별적으로, 솔더 범프들(28a 내지 28y))의 어레이를 도시하는, 절연 재료의 층(22)의 하층의 일부를 도시한다. 솔더 범프들은 일반적으로 5 × 5 그리드 패턴으로 배열된다. 그러나, 솔더 범프들(28)은 그 대신에 반도체 패키지(10)의 기능 요건들에 따라 더 많거나 더 적은 범프들을 갖는 교대 패턴들로 배열될 수 있다.
- [0028] 도시된 바와 같이, 솔더 범프(28a)는 지점 A를 표시한, 다이(12)의 중심에 위치되며, 이는 반도체 칩(11)의 중심 위에 놓여 있다. 솔더 범프들(28b 내지 28y)은 다이(12)의 중심으로부터 떨어져서 위치된다. 그러나, 솔더 범프들(28)은 다이(12)의 중심에 범프를 포함할 필요가 없다.
- [0029] 제조 동안에 그리고 동작 중에, 반도체 패키지(10)는 열을 받을 수 있다. 불행하게도, 이것은 반도체 패키지(10)의 구성요소들이 이전에 언급된 바와 같이, 광범위하게 변할 수 있는 그들 각각의 열팽창계수에 상응하는 레이트들로 팽창되고/되거나 휘어지게 한다.
- [0030] 솔더 범프들(28)이 다이(12)를 기판(26)과 기계적으로 상호 연결함에 따라, 다이(12) 및 기판(26)의 차동 팽창 및 휨은 열적 기계적 전단 및 박리 응력을 솔더 범프들(28), BEOL 패드(14), 솔더 범프들(28)과 BEOL 패드(14) 사이의 조인트들 및/또는 솔더 범프들(28)과 기판(26) 사이의 조인트들 상에 야기한다. 게다가, BEOL 패드들(14) 상의 응력은 응력을 인접 ILD 재료(15, 16) 상에 부과할 수 있다. 차동 팽창 및 휨으로 인한 전단 응력은 조건들 및 패키지 특성들에 따라, 존재할 수도 있다.
- [0031] 다이(12) 및 기판(26) 각각은 모든 방향들에서 그 각각의 중심으로부터 떨어져서 열 팽창하는 경향이 있을 것이다. 따라서, 팽창의 누적 효과는 다이(12) 및 기판(26)의 각각의 기하학적 중심들로부터 증가하는 거리에 따라

증가한다. 휨의 누적 효과들은 마찬가지로 다이(12) 및 기판(26)의 중심들로부터 증가하는 거리에 따라 증가할 것이다. 따라서, 열적 기계적 응력의 크기는 다이(12) 및 기판(26)의 중심들로부터 증가하는 거리에 따라 증가한다.

[0032] 따라서, 도 2에 예시된 바와 같이, 열적 기계적 응력은 중심(도 2의 위치 A)에서 제로에 가까워질 것이다. 열적 기계적 응력은 위치 A에 비해 위치 B에서 높고, 위치 C에서 훨씬 더 높을 것이다. 동일한 이유로, 피크 열적 기계적 응력은 다이(12)의 증가하는 크기에 따라 증가한다.

[0033] 열적 기계적 응력, 특히 박리 응력은 균열들이 ILD 재료(15, 16)에 형성되고 보급되게 할 수 있다. ILD 재료(15, 16)의 층들의 부분 또는 심지어 전체 박리가 발생할 수도 있다. ILD 재료(15, 16) 및 반도체 패키지(10)의 ILD 재료(15, 16)와 인접 구성요소들 사이의 계면들은 특히 균열 및 박리 둘 다에 취약하다: 낮은 K 및 ULK ILD 재료들이 종종 성능 이유들로 바람직하거나 필요하지만, 그러한 재료들은 일반적으로 낮은 강도와 같은 나쁜 기계적 성질들을 갖는다.

[0034] 솔더 범프들(28a 내지 28y) 각각은 상응하는 비아(24a 내지 24y)(집합적으로, 비아들(24))에 수용된다. 비아들(24a 및 24b)은 도 1의 확대된 부분에서 단면으로 도시된다. 비아(24a)는 다이(12)의 중심에 그리고 반도체 칩(11)의 중심 위에 위치된다. 비아(24b)는 다이(12)의 중심으로부터 떨어져서 측방으로 오프셋된다. 비아(24b)의 기하학적 배열은 비아들(24c 내지 24y)의 배열을 나타내며, 이는 마찬가지로 다이(12)의 중심으로부터 떨어져서 측방으로 오프셋된다. 비아들(24)은 제 1 비아 부분들(36) 및 제 2 비아 부분들(38)(개별적으로, 비아 부분들(36a 내지 36y 및 38a 내지 38y) 각각)을 갖는다. 제 1 비아 부분들(36)은 BEOL 패드들(14)로부터 층(20)을 통해 연장된다. 제 2 비아 부분들(38)은 부착 표면(34)으로부터 층(22)을 통해 연장되고 제 1 비아 부분들(36)과 연통된다. 따라서, 비아들(24)은 BEOL 패드들(14)로부터 떨어져서 절연 재료의 층들(20 및 22) 둘 다를 통해 연장된다.

[0035] 제 1 비아 부분들(36) 및 제 2 비아 부분들(38) 중 각각의 것은 각각의 개별 비아 부분의 중심을 통과하는 종축을 따라 연장된다. 비아(24b)의 제 1 비아 부분(36b)의 종축은 축(42)인 반면, 비아(24b)의 제 2 비아 부분(38b)의 종축은 축(44)이다. 비아(24a)의 제 1 및 제 2 비아 부분들(36a, 38a)은 동축이고 종축(46)을 따라 연장된다.

[0036] 제 1 비아 부분들(36)은 BEOL 패드들(14)에 근접한 개구부들(48)(도 1에서 제 1 비아 부분들(36a, 36b)의 개구부들(48a, 48b) 각각으로 도시됨) 및 제 1 비아 부분들(36)이 제 2 비아 부분들(38)과 교차하는 개구부들(50)(마찬가지로 50a, 50b로 도시됨)을 갖는다. 유사하게, 제 2 비아 부분들은 제 1 및 제 2 비아 부분들의 교차점에서의 개구부들(52) 및 부착 표면(34)에서의 개구부들(54)(52a, 52b 및 54a, 54b 각각으로 도시됨)을 갖는다. 비아 부분들(36 및 38)은 형상에 있어서 절단된 원뿔형이며, 직경에 있어서 개구부들(48, 52) 각각에서의 최소로부터 개구부들(50, 54) 각각에서의 최대로 증가한다. 제 2 비아 부분들(38)의 최소 직경은 제 1 비아 부분들(36)의 최대 직경보다 더 크다. 이러한 외형을 갖는 비아들(24)의 결과로서, 비아들(24)의 측벽들은 제 1 및 제 2 부분들이 교차하는 층(20)의 표면 위에 플랫폼 스텝들(flat steps)을 갖는다. 이해되는 바와 같이, 비아들(24)의 형상은 솔더 범프들(28)의 형상을 결정한다. 따라서, 비아들(24)의 외형 때문에, 솔더 범프들(28)은 비아들(24)의 벽들 내의 플랫폼 스텝들에 착석된다. 또한 비아들(24)의 형상의 결과로서, 솔더 범프들(28)은 그들이 BEOL 패드들(14)에 접합되는 곳보다 그들이 기판(26)에 접합되는 곳에서 직경이 더 크다.

[0037] 대체 실시예들에서, 비아들(24)은 상이한 형상들을 가질 수 있다. 예를 들어, 제 1 및 제 2 부분들은 제 1 및 제 2 부분들이 교차하는 곳에 수직 측벽들 및 측벽들 내의 스텝을 갖는, 형상에 있어서 원통형일 수 있다.

[0038] 도 3을 참조하면, 절연 재료의 층(22)의 하측은 간략한 개략도로 도시된다. 비아들(24)의 구성을 예시할 목적으로, 솔더 범프들(28)은 도 3에서 생략된다. 게다가, 제 1 비아 부분들(36)의 개구부들(50) 및 제 2 비아 부분들(38)의 개구부들(54)만이 도시된다. 이전에 언급된 바와 같이, 비아(24a)는 다이(12)의 중심에 위치된다. 비아(24a)의 제 1 및 제 2 부분들(36a 및 38a)은 동축이고, 종축(46)을 따라 연장되며, 이는 다이(12)의 중심 및 반도체 칩(11)의 중심을 통과한다. 역으로, 비아(24b)는 다이(12)의 중심으로부터 떨어져서 위치된다. 비아(24b)의 제 2 비아 부분(38b)은 다이(12) 및 반도체 칩(11)의 기하학적 중심들로부터 떨어진 방향에서 제 1 비아 부분(36b)으로부터 측방으로 오프셋된다. 특히, 제 2 비아 부분(38b)의 종축(44)은 다이(12) 및 반도체 칩(11)의 중심들로부터 떨어진 방향에서 종축(42)으로부터 측방으로 오프셋된다. 비아들(24c 내지 24y)은 마찬가지로 다이(12)의 중심으로부터 떨어져서 오프셋되고, 이들 각각의 제 2 비아 부분들은 다이(12)의 중심 및 반도체 칩(11)의 중심으로부터 떨어진 방향에서 이들 각각의 제 1 비아 부분들로부터 떨어져서 오프셋된다.

- [0039] 비아들(24)이 솔더 범프들(28)의 형상을 정의하므로, 기판(26)에 근접한 솔더 범프들(28)의 부분들은 마찬가지로 다이(12) 및 반도체 칩(11)의 기하학적 중심들로부터 떨어진 방향에서 BEOL 패드들(14)에 근접한 부분들로부터 오프셋된다. 따라서, 이러한 방식으로 제 1 비아 부분들(36)에 떨어져서 제 2 비아 부분들(38)을 오프셋하는 것은 열적 기계적 응력이 가장 높은 솔더 범프들(28)과 기판(26) 사이에 본드들을 위치시킨다. 대조적으로, 제 2 비아 부분들(38)이 제 1 비아 부분들(36)로부터 오프셋되지 않았다면, 솔더 범프들(28)과 기판(26) 사이의 본드들은 다이(12) 및 반도체 칩(11)의 중심들에 더 가까운 낮은 응력 영역들에 위치될 것이다. 이해되는 바와 같이, 비아(24a)가 다이(12)의 중심에 위치되므로, 임의의 주어진 방향에서의 오프셋은 제 2 비아 부분(38a)의 일부가 다이(12)의 중심으로부터 더 멀리 위치되는 것, 및 제 2 비아 부분(38a)의 일부가 더 가까운 것을 야기할 것이다. 따라서, 제 2 비아 부분(38a)을 오프셋하는 것은 제 2 비아 부분들(38)의 나머지를 오프셋하는 것과 동일한 이득을 제공하지 않을 것이다.
- [0040] 솔더 범프들(28)에 인가된 열적 기계적 응력은 층들(20, 22), BEOL 패드들(14) 및 ILD 층들(15, 16)에 전달된다. 이전에 언급된 바와 같이, ILD 층들(15, 16)은 균열 및/또는 박리의 경향이 있다. 다른 한편, 층들(20, 22)은 비교적 유연하고 패키지(10)의 인접 층들로부터의 균열, 파손 또는 박리 없이 어떤 변형을 견딜 수 있다. 층들(20, 22)의 변형은 응력을 흡수한다. 따라서, 층들(20 및 22)은 완충 효과를 가져서, 더 적은 응력이 BEOL 패드들(14) 및 ILD 층들(15, 16)에 전달되도록 일부 응력을 흡수한다. 비아들(24)의 상술된 외형은 높은 열적 기계적 응력을 경험하는 영역들 내의 솔더 범프들(28) 아래에, 즉 다이(12) 및 반도체 칩(11)의 중심들로부터 더 멀리 떨어져서 위치된 각각의 솔더 범프(28)의 측면 상에 층들(20 및 22)의 부가 재료를 제공한다. 따라서, 오프셋 비아 부분들이 없는 다이에 비해, 더 많은 응력은 BEOL 패드들(14) 및 ILD 층들(15, 16)에 전달되는 것보다는 오히려 층들(20 및 22)의 변형에 의해 흡수될 수 있다.
- [0041] 도 2-도 3에 도시된 바와 같이, 제 1 비아 부분들(36)은 BEOL 패드들(14)과 정렬되며, 이는 그리드 패턴으로 다이(12) 위에 균일하게 분포된다. 제 2 비아 부분들(38)은 상응하는 제 1 비아 부분들(36)로부터의 일관된 크기 및 일관된 오프셋 거리이다. 최대 허용가능 오프셋 거리는 공정 제한들에 의해 좌우된다. 게다가, 인식되는 바와 같이, 제 2 비아 부분들(38)의 각각의 것은 상응하는 제 1 비아 부분(36)을 오버랩해야 한다. 도시된 실시예에서, 오프셋 거리는 제 1 및 제 2 비아 부분들(36 및 38)의 크기에 의해 결정된다.
- [0042] 도 3에 도시된 바와 같이, 제 2 비아 부분들(38)의 각각의 것은 다이(12) 및 반도체 칩(11)의 중심 및 각각의 제 1 비아 부분(36)의 중심을 통과하는 방사상 라인을 따라 외부로 제 1 비아 부분들(36)의 상응하는 것으로부터 오프셋된다. 예를 들어, 라인(55)은 비아(24b)의 제 1 비아 부분(36b)이 연장되는 축(42) 및 다이(12) 및 반도체 칩(11)의 중심들을 통과하는 축(46)과 교차한다. 제 2 비아 부분(38b)이 연장되는 축(44)은 라인(55)을 따라 외부로 축(42)으로부터 오프셋된다. 도 3-도 4에 도시된 절단된 원뿔형 비아 부분들과 같은, 대칭이고 원형 개구부들을 갖는 비아 부분들에 대해, 이것은 주어진 오프셋 거리에 대해 다이(12)의 중심으로부터 가장 멀리 가능한 거리에 위치된 제 2 비아 부분들(38)을 야기한다. 이러한 구성에서, 솔더 범프들(28)은 가장 높은 응력을 경험하는 영역들에서 기판(26)에 접합되어, 응력 완화 효과를 최대화할 것이다.
- [0043] 다른 실시예들에서, BEOL 패드들(14), 제 1 비아 부분들(36) 및/또는 제 2 비아 부분들의 배열은 다를 수 있다. 예를 들어, 제 1 및 제 2 비아 부분들(36 및 38) 사이, 즉 그들이 연장되는 종축들 사이의 오프셋의 거리 및 방향은 특정 비아(24)의 위치에 기초하여 변화될 수 있다. 예를 들어, 다이(12) 및 반도체 칩(11)의 중심들에 더 가까운 비아들(24)은 다이(12) 및 반도체 칩(11)의 중심들로부터 더 먼 것들보다 더 작은 오프셋들을 가질 수 있다. 일부 실시예들에서, 상이한 비아들(24)의 제 2 비아 부분들(38)은 상이한 크기들을 가질 수 있다. 예를 들어, 다이(12)의 코너들을 향해 위치된 비아들(24)은 다른 비아들의 것들보다 더 큰 제 2 부분들(38)을 가질 수 있다. 일부 실시예들에서, 외부 비아 부분들의 크기 및 오프셋 크기는 열적 기계적 응력의 분포에 비례하여 변화될 수 있다.
- [0044] 일부 실시예들에서, 비아들(24)은 다이(12) 및 반도체 칩(11)의 중심들 상에 센터링된 패턴들로 그룹화될 수 있다. 예를 들어, 도 3에서, 비아들(24b 내지 24i)은 다이(12) 및 반도체 칩(11)의 중심들에 센터링된 대략 제 1 직사각형 또는 정사각형 패턴으로 배열된다. 비아들(24b 내지 24i)의 제 1 비아 부분들은 다이(12) 및 반도체 칩(11)의 중심들을 향하는 방향에서 각각의 제 2 비아 부분들에 비해 측방으로 오프셋된다(등가적으로, 비아들(24b-24i)의 제 2 비아 부분은 다이(12) 및 반도체 칩(11)의 중심들로부터 떨어진 방향에서 각각의 제 1 비아 부분들로부터 오프셋됨). 오프셋의 크기는 대략 제 1 직사각형 패턴을 형성하는 비아들(24b 내지 24i)의 각각의 것에 대해 일치된다. 비아들(24j 내지 24y)은 대략 제 1 직사각형 패턴과 동심인 대략 제 2 직사각형 패턴으로 배열된다. 즉, 대략 제 1 및 제 2 직사각형 패턴들은 다이(12) 및 반도체 칩(11)의 중심들 상에 둘 다 센터링된다. 비아들(24j 내지 24y)의 제 1 비아 부분들은 다이(12) 및 반도체 칩(11)의 중심들을 향하는 방향에서 각각

의 제 2 비아 부분들에 비해 측방으로 오프셋된다(등가적으로, 비아들(24j-24y)의 제 2 비아 부분들은 다이(12) 및 반도체 칩(11)의 중심들로부터 떨어진 방향에서 각각의 제 1 비아 부분들로부터 오프셋됨). 오프셋의 크기는 대략 제 2 직사각형 패턴을 형성하는 비아들(24j 내지 24y)의 각각의 것에 대해 일치된다. 일부 실시예들에서, 제 2 패턴의 오프셋 크기는 제 1 패턴의 오프셋 크기와 상이할 수 있다. 예를 들어, 오프셋 크기는 제 2 패턴에 비해 더 클 수 있으며, 그 각각의 부재는 제 1 패턴의 부재들보다 다이(12) 및 반도체 칩(11)의 중심들로부터 더 멀다. 일부 실시예들에서, 비아들(24)은 직사각형이 아닌 동심 패턴들로 배열될 수 있다. 예를 들어, 비아들(24)은 원형 또는 타원형 링들로 배열될 수 있다.

[0045] 일부 실시예들에서, 다이는 절연 재료의 단일 층만 가질 수 있다. 그러한 실시예들에서, 비아들은 부착 표면에 근접한 각각의 비아의 개구부가 상응하는 BEOL 패드에 근접한 비아의 개구부에 비해 다이 및 반도체 칩의 중심들로부터 측방으로 오프셋되도록 비대칭 테이퍼드 경계들을 가질 수 있다. 부착 표면에 근접한 비아 개구부들은 BEOL 패드들에 근접한 상응하는 비아 개구부들보다 더 클 수도 있다. 오프셋 비아들이 없는 다이에 비해, 그러한 배열은 다이 및 반도체 칩 중심들로부터 가장 멀리 떨어진 측면 상의 솔더 범프들 아래에, 즉 높은 열적 기계적 응력을 경험하는 영역들에서 부가 절연 재료를 제공할 수 있다.

[0046] 반도체 패키지(10)가 중심 비아(24a)를 갖는 도 1-도 4에서 도시되지만, 중심 비아(24a)는 대안적으로 반도체 패키지(10)로부터 생략될 수 있다.

[0047] 도 1-도 3에서, 각각의 비아(24)의 제 1 부분(36)은 각각의 BEOL 패드(14) 위에 센터링된다. 그러나, 도 4에 도시된 대체 실시예에서, 제 1 비아 부분들(36')은 제 2 비아 부분들(38')이 제 1 비아 부분들(36')에 비해 오프셋된 것과 거의 동일한 방식으로 BEOL 패드들에 대해 오프셋될 수 있다. 이것은 제 1 및 제 2 비아 부분들 사이의 주어진 오프셋 거리에 대해, 제 2 비아 부분들(38')이 도 1의 실시예에 대한 다이(12)의 중심으로부터 더 멀리 떨어져 위치되는 것을 야기할 것이다.

[0048] 이제 도 5a-도 5k를 참조하면, 집적 회로 다이를 제조하고 그것을 기판에 상호 연결하는 예시적 공정이 이제 설명될 것이다. 공정은 단일 반도체 칩(11)을 포함하는 단일 다이(12)를 참조하여 설명되고 예시되지만, 다이(12)를 제조하는 단계들은 그 대신 개별화 전에 다수의 반도체 칩들을 포함하는 웨이퍼 상에서 수행될 수 있었다.

[0049] 이전에 언급된 바와 같이, 반도체 패키지(10)는 플립 칩에 조립된다. 따라서, 도 5a-도 5l에 도시된 바와 같이, 다이(12)의 서브 어셈블리는 도 1에 대해 전도된다.

[0050] 도 5a에 도시된 바와 같이, 반도체 칩(11)은 종래의 방식에서 반도체 기판 상에 또는 내에 형성된다. 반도체 칩(11)은 능동 회로 요소들 및 일련의 전도성 트레이스들 및 능동 회로 요소들을 서로 및 I/O 패드들에 상호 연결하는 유전체 재료의 층들을 포함한다. 이러한 일련의 상호 연결 및 절연 요소들은 BEOL 스택으로서 언급된다. BEOL 스택 설계 및 제조는 숙련된 자들에게 잘 알려져 있다. 따라서, 예시 및 설명의 단순화를 위해, 단 하나의 BEOL 패드(14) 및 유전체 재료(ILD)의 2개의 층들(15, 16)이 도시된다. BEOL 패드(14)는 ILD 층(15)을 통과하는 전도성 트레이스들에 의해 BEOL 스택의 다른 요소들에 연결되지만, 단순화를 위해, 이것은 도시되지 않는다.

[0051] 패시베이션 재료(18)가 증착되어 BEOL 스택을 오버레이한다. 패시베이션 재료(18)는 부식으로부터 다이(12)를 보호하는 역할을 한다. 패시베이션 재료(18)는 PECVD(plasma-enhanced chemical vapour deposition process) 또는 LPCVD(low pressure chemical vapour deposition process)와 같은 화학적 기상 증착 공정에 의해 형성될 수 있다. 산화 실리콘 패시베이션 재료는 실란(SiH_4) 및 아산화질소(N_2O) 또는 산소(O_2)를 사용하는 PECVD 공정 또는 아산화질소와 함께 테트라에틸 오쏘실리카이트($\text{Si}(\text{OC}_2\text{H}_5)_4$) 또는 디클로로실란(SiH_2Cl_2)를 사용하는 LPCVD 공정에 의해 형성될 수 있다. 질화 실리콘 패시베이션 재료는 아르곤의 존재에서 실란 및 암모니아(NH_3) 또는 질소(N_2)를 사용하는 PECVD 공정에 의해 형성될 수 있다. 단순화를 위해, 패시베이션 재료(18)는 단일 층으로 도시된다. 그러나, 패시베이션 재료(18)는 SiN 으로 오버레이된 접착 층(NBlok), 및 선택적으로 SiN 의 추가 층으로 오버레이될 수 있는 SiO_2 로 구성되는, 다층 스택으로 구성될 수 있다. 전형적으로, 패시베이션 재료(18)는 500 nm와 3000 nm 두께 사이이다.

[0052] 마스크(60)가 형성되어 리소그래픽 공정을 사용하여 패시베이션 재료(18)를 오버레이한다. 마스크(60)는 비아들(24)의 원하는 위치들에서의 개구부들(62) - 특히 비아들(24)의 개구부들(48)을 갖는다. 전형적으로, 마스크(60)는 포토레지스트 마스크이다.

[0053] 마스크(60)가 형성되었다면, 패시베이션 재료(18)는 개구부들(62)에 상응하는 패시베이션 재료(18)를 통해 개구부들을 생성하기 위해 에칭된다. 에칭은 패시베이션 재료(18)의 조성 및 두께에 기초하여 선택된, 반응성 이온

에치와 같은 임의의 적절한 공지된 에칭 기술일 수 있다. 패시베이션 재료(18)에 선택적인 기술은 BEOL 패드들(14)을 가능한 거의 제거하지 않도록 사용되어야 한다. 마스크(60)는 예를 들어 마스크 재료에 선택적인 용매에 의해 제거된다. 도 5b는 패시베이션 층(18)의 에칭 및 마스크(60)의 제거 후 진행 중인 반도체 패키지(10)를 도시한다.

[0054] 절연 재료의 층(20)이 증착되어 패시베이션 재료(18)를 오버레이한다. 층(20)의 절연 재료는 감광성일 수 있고, 예를 들어 스핀 코팅 공정을 사용하여 증착될 수 있다. 다이(12)의 완성 상태에서,비아들(24)의 제 1 부분들(36)은 층(20)에 형성된다. 따라서, 층(20)의 두께는 제 1 비아 부분들(36)의 원하는 두께에 의해 적어도 부분적으로 결정된다.

[0055] 도 5c는 절연 재료의 층(20)을 갖는 진행 중인 다이(12)를 도시한다. 층(20)의 증착 후, 층(20)을 통과하는 비아들(24)의 제 1 비아 부분들(36)이 생성된다. 이하의 공정은 포지티브 작용 감광성 폴리이미드를 통해 테이퍼드 비아들을 형성하는 적절한 공정의 일 예이다. 이해되는 바와 같이, 상이한 공정들은 예를 들어 상이한 형상들(예를 들어 원통형) 또는 상이한 재료들을 사용하는 비아들을 형성하기 위해 사용될 수 있었다.

[0056] 먼저, 층(20)은 리소그래픽 노출 공정을 사용하여 패턴화된다. 예를 들어, 층(20)의 영역들은 포토마스크를 통해 자외선 방사를 사용하여 리소그래피식으로 노출될 수 있다. 노출은 노출된 영역들이 현상액에 용해되게 한다.

[0057] 노출된 층(20)은 노출된 영역들(63)을 선택적으로 용해시키는 현상액에 침지되어, 도 5d에 도시된 바와 같은 제 1 비아 부분들(36)을 형성한다. 현상 이후에, 층(20)이 경화될 수 있어, 그것을 추가 현상 공정들에 대해 탄력 있게 한다.

[0058] 도 5c-도 5d에 도시된 바와 같이, 노출된 영역(63) 및 제 1 비아 부분(36)은 테이퍼드 경계들을 갖는다. 노출된 영역(63)의 형상 및 비아 부분(36)의 벽들의 테이퍼링의 정도(기울기)는 노출 에너지(노출 양 및 시간), 사전 경화의 정도(예를 들어, 층(20)의 스핀 코팅 후 핫 플레이트 상에서의) 및 현상 레시피(현상액 화학적 성질, 현상 시간 및 스프레이 패턴)에 영향을 받는다.

[0059] 절연 재료의 제 2 층(22)은 도 5e에 도시된 바와 같이, 층(20) 상에 증착될 수 있다. 층(22)은 층(20)과 유사한 방식으로 증착될 수 있다. 그 다음, 그것은 제 2 비아 부분들(38)을 생성하기 위해 층(20)과 유사한 방식으로 노출되고 현상된다.

[0060] 층(22)은 층(20)과 상이한 재료일 수 있어, 현상 공정은 층(20)으로부터 거의 재료를 제거하지 않으면서 층(22)으로부터 재료를 제거하기 위해 선택될 수 있다. 대안적으로, 층들(20 및 22)은 층(22)이 증착되기 전에 층(20)이 경화되면 동일한 재료일 수 있어, 층(22)은 층(20)으로부터 상당한 양의 재료를 제거하는 것 없이 현상될 수 있다.

[0061] 도 5e에 도시된 바와 같이, 층(22)의 노출된 영역(66)은 노출된 영역(63)과 유사한 테이퍼드 경계들을 갖는다. 노출된 영역(66)은 또한 제 1 비아 부분(36)보다 더 크게 되어, 층(22)이 현상된 후, 층(20)의 부분이 노출될 것이다. 노출된 영역(66)은 또한 제 1 비아 부분(36)으로부터 오프셋된다. 도 5f에 도시된 바와 같이, 층(22)이 현상되었다면, 비아들(24)의 제 1 부분들(36) 및 제 2 부분들(38)을 형성하는 캐비티들이 정의되었다.

[0062] 비아들(24)의 제 1 부분들(36)이 층(20)에 형성되고 비아들(24)의 제 2 부분들(38)이 층(23)에 형성됨에 따라, 층들(20 및 22)의 두께는 제 1 비아 부분들(36) 및 제 2 비아 부분들(38)의 원하는 두께에 의해 적어도 부분적으로 결정된다. 전형적으로, 층들(20 및 22)은 2 μm 와 15 μm 두께 사이이지만, 가장 일반적으로 그들은 3 μm 와 5 μm 두께 사이이다.

[0063] 도 5g에 도시된 바와 같이, 금속 층(68)은 다이(12) 상에 및 제 1 및 제 2 비아 부분들(36 및 38) 내부에 증착된다. 금속 층(68)은 솔더 범프들(28)이 전기 도금에 의해 비아들(24)에 증착될 수 있게 한다. 선택적으로, 하나 이상의 부가 금속 층들(도시되지 않음)은 층(22)과 솔더 범프들(28) 사이에서 장벽의 역할을 하고 부가 응력 제거를 제공하기 위해 금속 층(68) 밑에 형성될 수 있다.

[0064] 범프 형성 층(70)은 솔더 재료를 수용하기 위해 제 2 비아 부분들(38)의 개구부들(54)과 정렬되는 개구들을 형성하도록 하나 이상의 금속 층들 상에 오버레이되어 패턴화된다. 범프 형성 층(70)은 전기 절연 재료로 형성되고, 층들(20 및 22)과 유사하게 증착되어 패턴화(즉, 노출되어 현상)될 수 있다. 범프 형성 층은 금속 층(68)을 그대로 두는 용매를 사용하여 현상된다.

[0065] 솔더 범프들(28)은 도 5h에 도시된 바와 같이 비아들(24)에 증착된다. 솔더 범프들(28)은 애노드와 같은 금속

층(68)을 사용하는 전기 도금 공정에 의해 증착될 수 있어, 솔더 범프들은 전기 도금 조(즉, 비아들(24) 내의 부분들)에 노출되는 금속 층(68)의 부분 상에만 형성된다. 솔더 범프들(28)은 범프 형성 층(70)에 의해 정의되는, 필라형의 형상으로 증착된다. 따라서, 범프 형성 층(70)의 두께는 솔더 범프들(28)이 전기 도금 공정 동안 도출되지 않는 것을 보장하기 위해 솔더 범프들(28)의 원하는 높이보다 더 커야 한다.

[0066] 도 51에 도시된 바와 같이, 솔더 범프들(28)의 증착 이후, 범프 형성 층(70)은 금속 층(68)의 부분 및 비아들(24) 외부에 놓인 임의의 기초 금속 층들과 함께 제거된다. 범프 형성 층은 예를 들어 범프 형성 층(70)에 선택적인 용매를 사용하여 제거될 수 있다. 금속 층(68) 및 임의의 기초 금속 층들은 솔더 범프들(28) 및 층(22)을 그대로 두기 위해 선택되는 에칭 공정들을 사용하여 제거될 수 있다. 그 다음, 리플로우 공정이 솔더 범프들(28)을 구형 솔더 볼들로 형성하기 위해 적용된다.

[0067] 솔더 범프들(28)이 증착되고 범프 형성 층(70)이 제거되었다면, 다이(12)는 반도체 패키지(10)를 형성하기 위해 기판(26)에 실장된다. 물론, 이전 제조 단계들이 웨이퍼 레벨에서 수행되었다면, 즉 그들이 다수의 반도체 칩들을 포함하는 웨이퍼 상에서 수행되었다면, 웨이퍼는 먼저 각각의 개별 패키지가 기판(26)에 실장될 수 있도록 개별 다이로 절단되어야 한다.

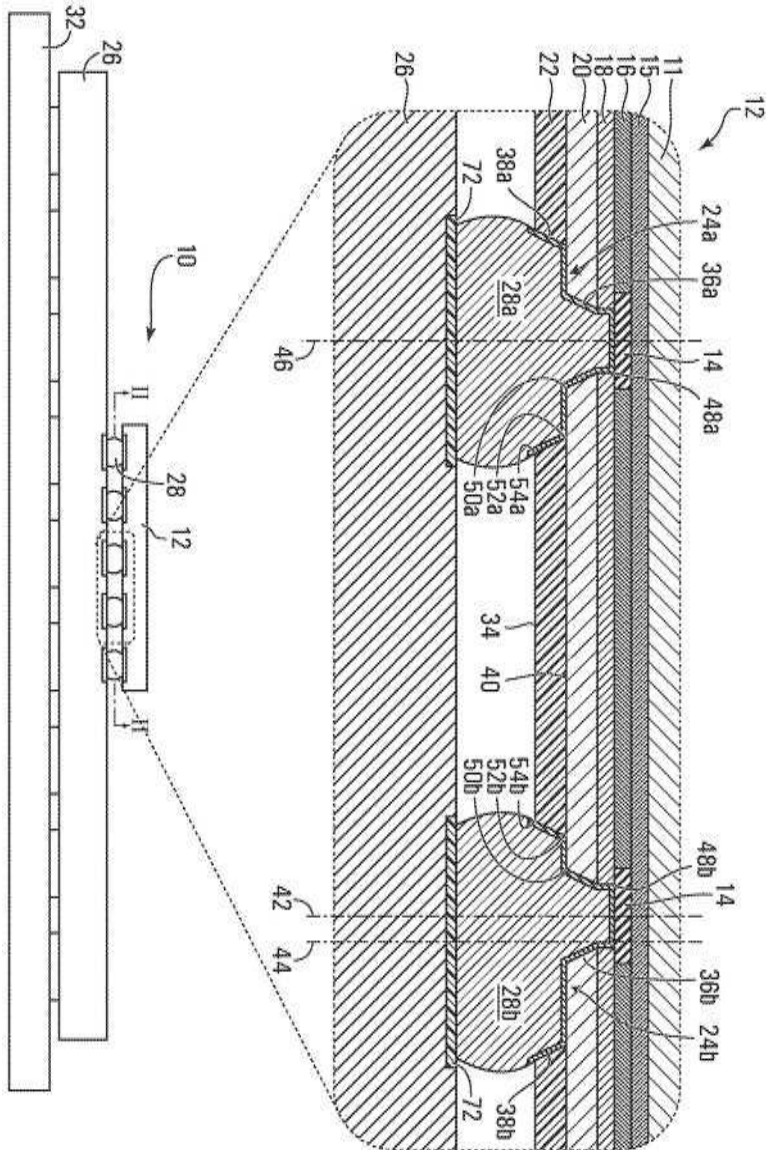
[0068] 실장하기 위해, 다이(12)는 도 5j에 도시된 바와 같이, 솔더 범프들(28) 각각이 기판(26) 상의 상응하는 접촉 패드(72)와 접촉하여 착석되도록 기판(26) 상에 반전되어 위치된다. 그 다음, 솔더 범프들(28)은 그들이 리플로우되고 접촉 패드들(72)에 접합되도록 가열되어, 다이(12)를 기판(26)과 전기적으로 그리고 기계적으로 상호 연결한다. 선택적으로, 부착 표면(34)과 기판(26) 사이의 영역은 솔더 범프들(28)을 밀봉하고 반도체 패키지(10)를 기계적으로 강화하기 위해 언더필로 충전될 수 있다. 이해되는 바와 같이, 기판(26)은 추가 일련의 금속 인터커넥트들 및 일련의 콘택트들을 포함하며 그것에 의해 반도체 패키지(10)는 다른 디바이스들과 반도체 패키지(10)의 연결을 위해 회로 보드(도시되지 않음)와 상호 연결될 수 있다.

[0069] 본 발명의 실시예들은 DRAM, SRAM, EEPROM 및 플래시 메모리 모듈들, 그래픽 프로세서들, 범용 프로세서들, CPU들 및 APU들을 포함하는, 다양한 응용들에 사용될 수 있다.

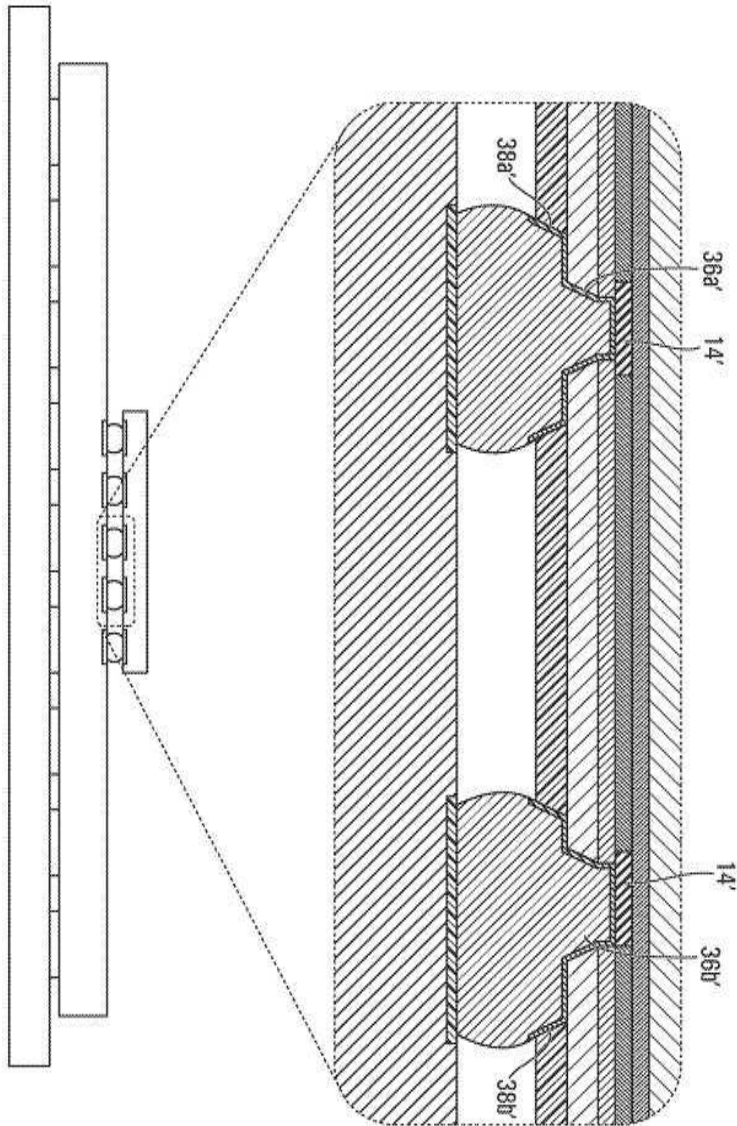
[0070] 상술된 실시예들은 단지 예시적이고 결코 제한이 아닌 것으로 의도된다. 본 발명을 수행하는 설명된 실시예들은 형태, 부품의 배열, 상세들 및 동작의 순서의 많은 수정에 민감하다. 오히려, 본 발명은 특허청구범위에 의해 정의되는 바와 같이, 그것의 범위 내에서 모든 그러한 수정을 망라하도록 의도된다.

도면

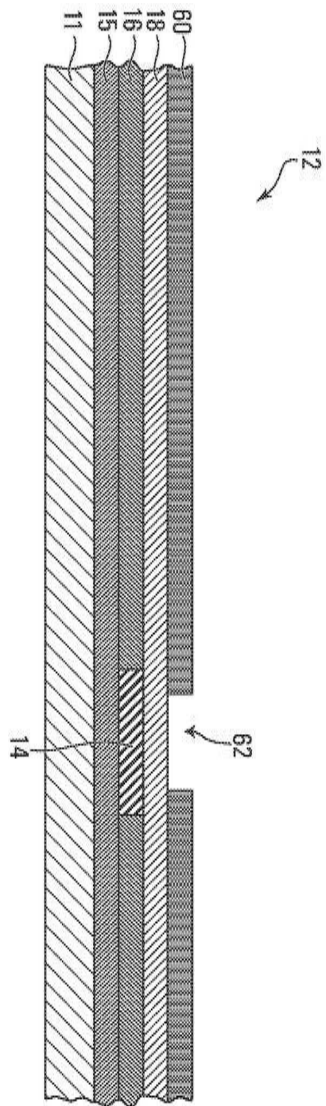
도면1



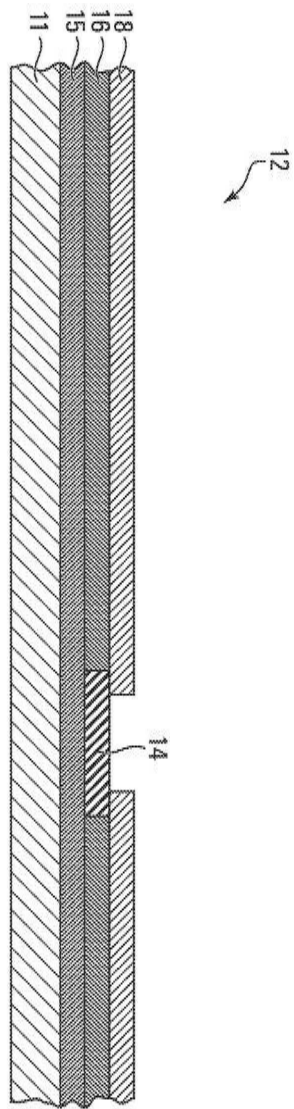
도면4



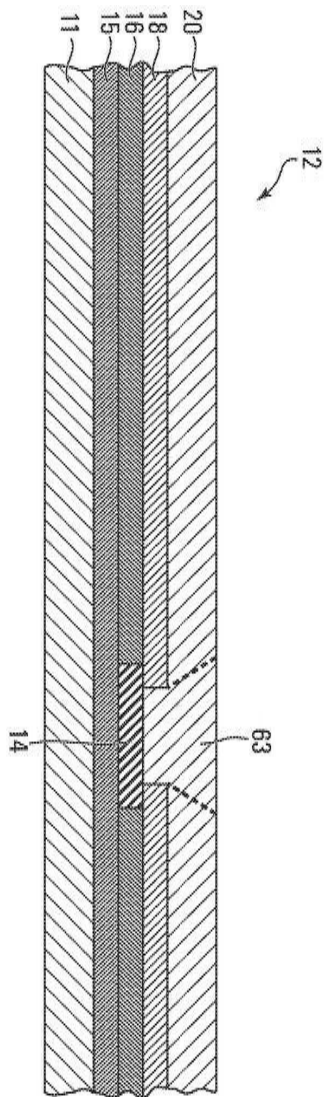
도면5a



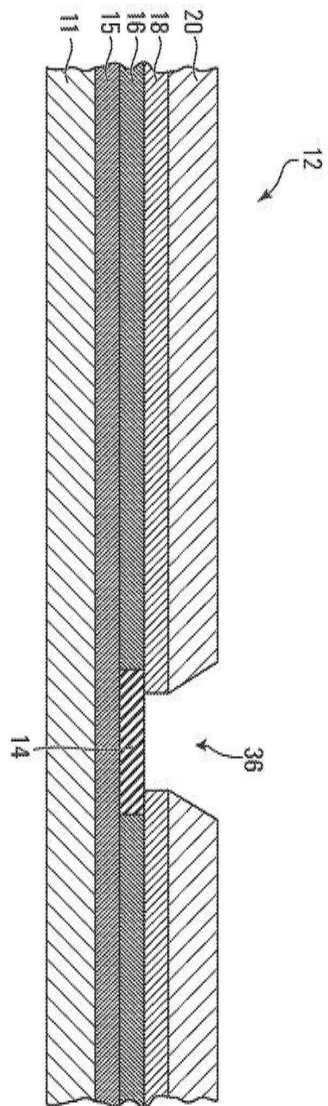
도면5b



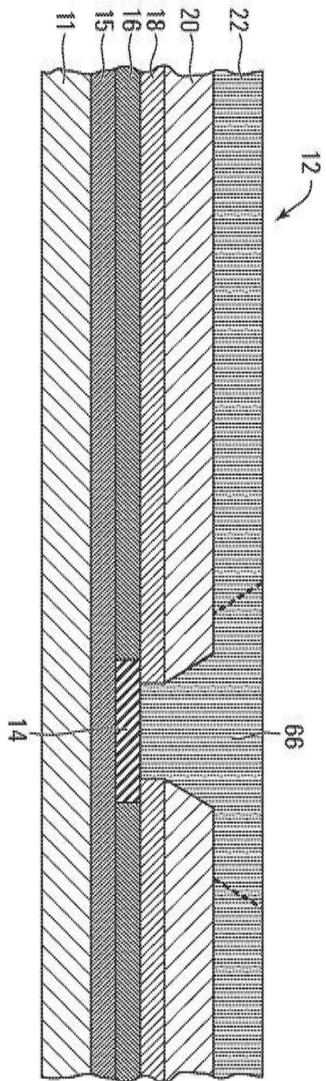
도면5c



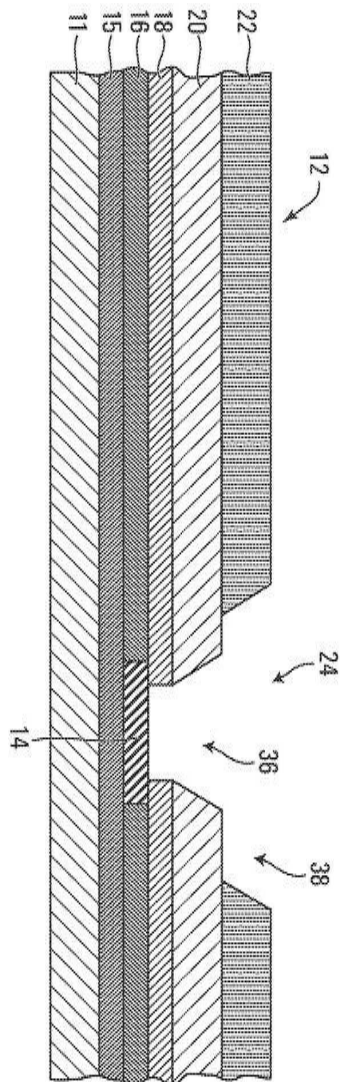
도면5d



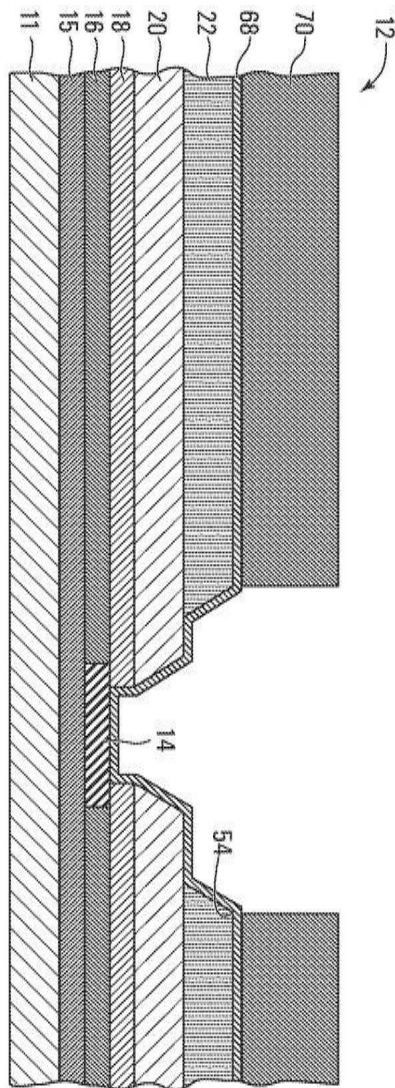
도면5e



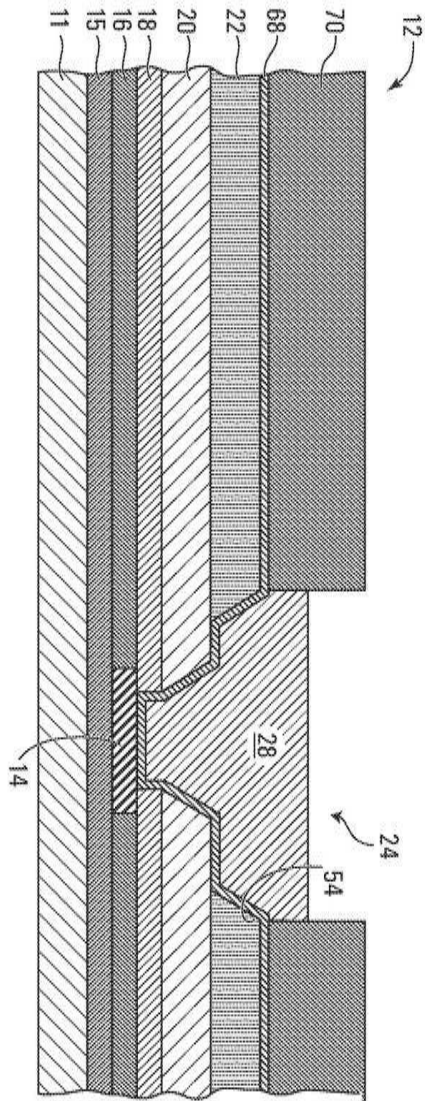
도면5f



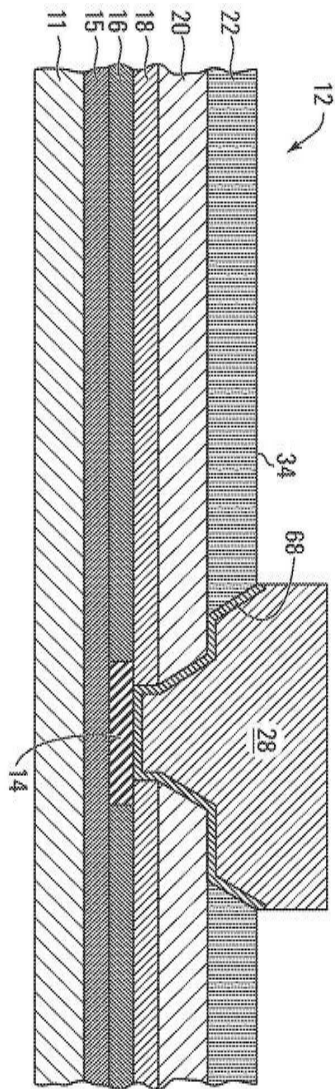
도면5g



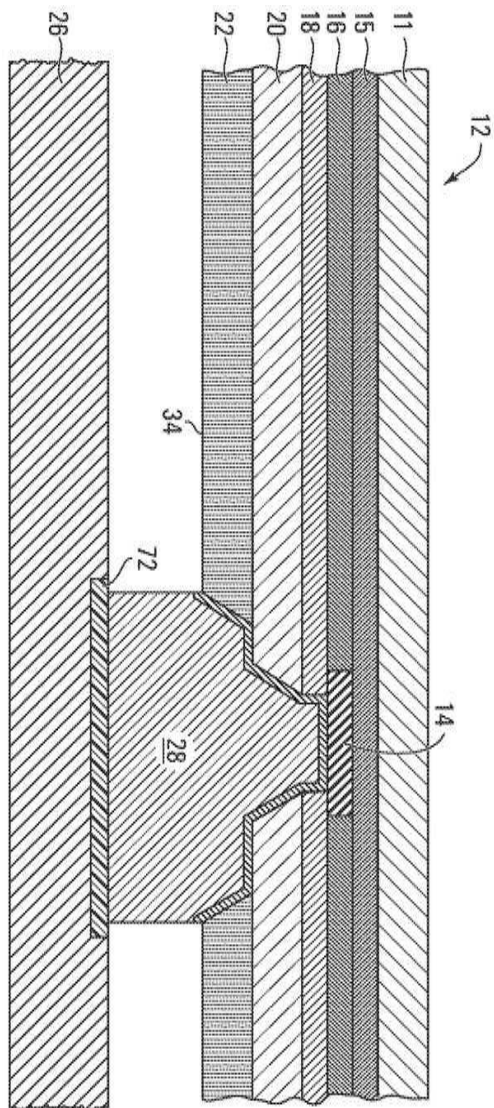
도면5h



도면5i



도면5j



도면5k

