



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월23일
(11) 등록번호 10-1098406
(24) 등록일자 2011년12월19일

(51) Int. Cl.

G06K 19/077 (2006.01) G06K 19/07 (2006.01)

H01L 27/105 (2006.01) B42D 15/10 (2006.01)

(21) 출원번호 10-2006-7019997

(22) 출원일자(국제출원일자) 2005년03월09일

심사청구일자 2010년02월26일

(85) 번역문제출일자 2006년09월27일

(65) 공개번호 10-2007-0008607

(43) 공개일자 2007년01월17일

(86) 국제출원번호 PCT/JP2005/004584

(87) 국제공개번호 WO 2005/088532

국제공개일자 2005년09월22일

(30) 우선권주장

JP-P-2004-00068450 2004년03월11일 일본(JP)

(56) 선행기술조사문헌

JP11020360 A*

JP2000020665 A*

JP2000035991 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

교야마 준

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시키가이샤한도오파이 에네루기 켄큐쇼 내

(74) 대리인

황의만

전체 청구항 수 : 총 23 항

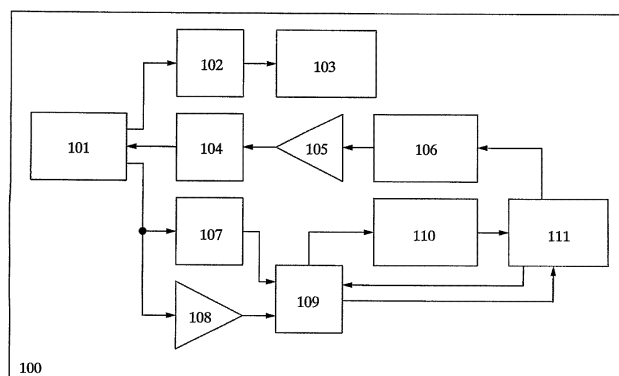
심사관 : 임은정

(54) 반도체장치, 무선 칩, IC 카드, IC 태그, 트랜스폰더, 지폐, 유가증권, 여권, 전자 기기, 가방 및 의류

(57) 요약

본 발명은, 안테나로부터 무선으로 신호가 입력되는 비접촉형 ID 칩으로서, 높은 보안성을 얻기 위해 1회만 데이터 기입이 가능한 ID 칩을 제공한다. 비접촉형 ID 칩은 칩 내부에 불휘발성 FeRAM을 가지고, FeRAM에 데이터 기입이 행해졌는지의 여부를 나타내는 데이터가 개체 데이터의 기입 시에 기입되고, 이것에 의해, 일단 데이터가 기입되었으면 ID 칩의 FeRAM에 데이터가 추가로 기입될 수 없게 된다.

대표도



특허청구의 범위

청구항 1

변조회로;

복조회로;

상기 복조회로에 접속된 논리회로;

상기 변조회로 및 상기 복조회로에 전기적으로 접속된 안테나 회로;

상기 논리회로의 출력 신호를 기억하기 위한 제1 메모리 회로; 및

데이터가 상기 제1 메모리 회로에 한번 만 기입되도록 상기 제1 메모리 회로의 데이터 기입을 제한하는 제어회로를 포함하고;

상기 논리회로는 제2 메모리 회로와, 신호가 상기 복조회로로부터 입력되는 디코드 회로와, 신호가 상기 디코드 회로로부터 입력되는 딜레이 회로와, 상기 제2 메모리 회로 내에 기억된 신호에 따라 상기 딜레이 회로로부터 상기 제1 메모리 회로로의 입력을 제어하는 스위치를 포함하고,

상기 제1 메모리 회로는 강유전체 용량소자를 포함하는, 반도체장치.

청구항 2

변조회로;

복조회로;

상기 복조회로에 접속된 논리회로;

상기 변조회로 및 상기 복조회로에 전기적으로 접속된 안테나 회로;

상기 논리회로의 출력 신호를 기억하기 위한 제1 메모리 회로; 및

데이터가 상기 제1 메모리 회로에 한번 만 기입되도록 상기 제1 메모리 회로의 데이터 기입을 제어하는 수단을 포함하고;

상기 논리회로는 제2 메모리 회로와, 신호가 상기 복조회로로부터 입력되는 디코드 회로와, 신호가 상기 디코드 회로로부터 입력되는 딜레이 회로와, 상기 제2 메모리 회로 내에 기억된 신호에 따라 상기 딜레이 회로로부터 상기 제1 메모리 회로로의 입력을 제어하는 스위치를 포함하고,

상기 제1 메모리 회로는 강유전체 용량소자를 포함하는, 반도체장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제1 메모리 회로를 구성하는 메모리 셀은 2개의 트랜지스터와 2개의 강유전체 용량소자를 포함하는, 반도체장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제1 메모리 회로를 구성하는 메모리 셀은 하나의 트랜지스터와 하나의 강유전체 용량소자를 포함하는, 반도체장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 변조회로, 상기 복조회로, 상기 논리회로, 및 상기 제1 메모리 회로 중 적어도 하나는 박막트랜지스터로

구성된, 반도체장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 안테나 회로, 상기 변조회로, 상기 복조회로, 상기 논리회로, 및 상기 제1 메모리 회로는 동일한 절연 기판 위에 구비되어 있는, 반도체장치.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 변조회로, 상기 복조회로, 상기 논리회로, 및 상기 제1 메모리 회로는 동일한 절연 기판 위에 일체로 형성되고,

상기 안테나 회로는 다른 절연 기판 위에 구비되어 있는, 반도체장치.

청구항 8

제 6 항에 있어서,

상기 절연 기판은 유리 기판인, 반도체장치.

청구항 9

제 6 항에 있어서,

상기 절연 기판은 플라스틱 기판인, 반도체장치.

청구항 10

제 6 항에 있어서,

상기 절연 기판은 필름 형상의 절연체인, 반도체장치.

청구항 11

제 1 항 또는 제 2 항에 있어서,

상기 안테나 회로는 상기 변조회로, 상기 복조회로, 상기 논리회로, 및 상기 제1 메모리 회로 중 적어도 하나 위에 구비되어 있는, 반도체장치.

청구항 12

제 1 항 또는 제 2 항에 있어서,

상기 안테나 회로에 입력되는 신호는 무선 신호인, 반도체장치.

청구항 13

제 1 항 또는 제 2 항에 기재된 반도체장치를 가지는 전자기기로서,

상기 전자기기는 무선 칩, IC 카드, IC 태그, 트랜스폰더, 지폐, 유가 증권, 여권, 가방. 의류로 이루어진 군에서 선택되는, 전자기기.

청구항 14

제 1 항 또는 제 2 항에 기재된 반도체장치를 가지는 전자기기로서,

상기 전자기기는 전자 장치인, 전자기기.

청구항 15

절연 기판 위의, 강유전체 용량소자를 포함하는 제1 메모리 회로와;

상기 절연 기관 위의, 데이터가 상기 제1 메모리 회로에 한번 만 기입되도록 상기 제1 메모리 회로의 데이터 기입을 제한하는 제어회로와,

제2 메모리 회로와, 디코드 회로와, 신호가 상기 디코드 회로로부터 입력되는 딜레이 회로와, 상기 제2 메모리 회로 내에 기억된 신호에 따라 상기 딜레이 회로로부터 상기 제1 메모리 회로의 입력을 제어하는 스위치를 포함하는 논리회로를 구비하는, 반도체장치.

청구항 16

절연 기관 위의, 강유전체 용량소자를 포함하는 제1 메모리 회로와;

상기 절연 기관 위의, 데이터가 상기 제1 메모리 회로에 한번 만 기입되도록 상기 제1 메모리 회로의 데이터 기입을 제어하는 수단과,

제2 메모리 회로와, 디코드 회로와, 신호가 상기 디코드 회로로부터 입력되는 딜레이 회로와, 상기 제2 메모리 회로 내에 기억된 신호에 따라 상기 딜레이 회로로부터 상기 제1 메모리 회로의 입력을 제어하는 스위치를 포함하는 논리회로를 구비하는, 반도체장치.

청구항 17

제 15 항 또는 제 16 항에 있어서,

상기 제1 메모리 회로를 구성하는 메모리 셀은 2개의 트랜지스터와 2개의 강유전체 용량소자를 포함하는, 반도체장치.

청구항 18

제 15 항 또는 제 16 항에 있어서,

상기 제1 메모리 회로를 구성하는 메모리 셀은 하나의 트랜지스터와 하나의 강유전체 용량소자를 포함하는, 반도체장치.

청구항 19

제 15 항 또는 제 16 항에 있어서,

상기 제1 메모리 회로는 박막트랜지스터로 구성되어 있는, 반도체장치.

청구항 20

제 15 항 또는 제 16 항에 있어서,

상기 절연 기관은 유리 기관인, 반도체장치.

청구항 21

제 15 항 또는 제 16 항에 있어서,

상기 절연 기관은 플라스틱 기관인, 반도체장치.

청구항 22

제 15 항 또는 제 16 항에 있어서,

상기 절연 기관은 필름 형상의 절연체인, 반도체장치.

청구항 23

제 15 항 또는 제 16 항에 기재된 반도체장치를 가진 전자기기로서,

상기 전자기기는 전자 장치인, 전자기기.

명세서

기술분야

[0001] 본 발명은 무선 통신 등 비접촉 수단에 의해, 메모리 회로에 필요한 데이터를 기억시키거나 또는 데이터를 관독할 수 있는 IC 칩(이하, "ID 칩"이라고도 칭함)으로서 사용되는 반도체장치에 관한 것이다. 특히, 본 발명은 유리, 플라스틱 기판 등의 절연 기판 위에 형성된 ID 칩으로서 사용되는 반도체장치에 관한 것이다.

배경기술

[0002] 컴퓨터 기술의 발전 및 화상 인식 기술의 향상에 따라, 바코드 등의 매체를 사용한 데이터 인식이 상품 데이터의 인식 등에 널리 사용되고 있다. 앞으로는 더욱 다량의 데이터 인식이 실시될 것으로 예상된다. 다른 한편, 바코드에 의한 데이터 인식 등에서는, 바코드 리더(reader)가 바코드와의 접촉을 필요로 하는 것과 바코드에 기록되는 데이터량이 그다지 많지 않다는 결점이 있으므로, 비접촉 데이터 인식 및 매체의 기억 용량 증대가 요구되고 있다.

[0003] 상기의 관점에서, 근년, IC를 사용한 ID 칩이 개발되고 있다. ID 칩이란, IC 칩 내의 메모리 회로에 필요한 데이터를 기억하고, 비접촉 수단, 일반적으로는 무선 수단을 사용하여 내부의 데이터를 관독하는 것이다. 이와 같은 ID 칩의 실용화에 따라 상품 유통 등의 간소화, 저비용화, 높은 보안성의 확보가 가능하게 될 것으로 기대되고 있다.

[0004] ID 칩을 사용한 개체 인증 시스템에 대하여 도 4를 참조하여 간단히 설명한다. 도 4는 가방의 개체 데이터를 비접촉으로 얻는 것을 목적으로 한 개체 인증 시스템의 개요를 나타내는 도면이다. 특정 개체 데이터를 기억한 ID 칩(401)이 가방(404)에 부착되거나 또는 묻혀 있다. 이 ID 칩(401)에 대하여 질문기(interrogator)(리더/라이터라고도 칭함)(403)의 안테나 유닛(402)으로부터 전자파가 발신된다. 그 전자파를 받으면, ID 칩(401)은 그 ID 칩이 가지고 있는 개체 데이터를 안테나 유닛(402)으로 반송한다. 안테나 유닛(402)은 받은 개체 데이터를 질문기(403)로 보내고, 질문기(403)는 개체 데이터의 판별을 행한다. 이와 같이 하여, 가방(404)의 데이터를 질문기(403)가 얻을 수 있게 된다. 또한, 이 시스템을 사용함으로써, 물류 관리, 집계, 위조품의 제거 등이 가능하게 된다.

[0005] 이와 같은 ID 칩은, 예를 들어, 도 2에 도시한 구성을 가진다. ID 칩으로서 사용되는 반도체장치(200)는 안테나 정류회로(202), 안정화 전원회로(203), 변조회로(204), 증폭기(205), 논리회로(206), 복조회로(207), 증폭기(208), 논리회로(209), 메모리 제어회로(210), 메모리 회로(211)를 포함한다. 또한, 안테나 회로(201)는 안테나 코일(301)과 동조 커패시터(tuning capacitor)(302)를 포함한다(도 3(A)). 또한, 정류회로(202)는 다이오드(303, 304)와 평활화 커패시터(smoothing capacitor)(305)를 포함한다(도 3(B)).

[0006] 이와 같은 ID 칩의 동작을 아래에 설명한다. 안테나 회로(201)에 의해 수신된 교류 신호는 다이오드(303, 304)에 의해 반파 정류되고, 평활화 커패시터(305)에 의해 평활화된다. 이 평활화된 전압은 다수의 리플(ripple)을 가지고 있기 때문에, 안정화 전원회로(203)에 의해 안정화되고, 안정화된 후의 전압은 변조회로(204), 증폭기(205), 논리회로(206), 복조회로(207), 증폭기(208), 논리회로(209), 메모리 제어회로(210), 메모리 회로(211)에 공급된다. 한편, 안테나 회로(201)에 의해 수신된 신호는 증폭기(208)를 통하여 클록 신호로서 논리회로(209)에 입력된다. 또한, 안테나 회로(201)로부터 입력된 신호는 복조회로(207)에 의해 복조되고, 데이터로서 논리회로(209)에 입력된다.

[0007] 논리회로(209)에 입력된 데이터는 디코딩된다. 질문기가 변형 미러(mirror) 코드, NRZ-L 코드 등에 의해 데이터를 엔코딩하고, 그 데이터를 논리회로(209)가 디코딩한다. 디코딩된 데이터는 메모리 제어회로(210)에 보내지고, 그것에 의해, 메모리 회로(211)에 기억된 데이터가 관독된다. 메모리 회로(211)는 전원이 끊겨도 데이터를 유지할 수 있는 마스크 ROM 등의 불휘발성 메모리 회로일 필요가 있다. 메모리 회로(211)는, 예를 들어, ID 칩 계열을 나타내는 4 바이트 패밀리 코드, 4 바이트 애플리케이션 코드, 사용자에 의해 설정되는 2종류의 4 바이트 유저 코드를 가지는 16 바이트 데이터를 기억한다(도 12(A) 참조).

[0008] 송수신되는 신호의 주파수는 125 kHz, 13.56 MHz, 915 MHz, 2.45 GHz 등이고, 각각 ISO 규격 등을 가진다. 또한, 신호를 송수신하기 위한 변조·복조 방식도 규격화되어 있다. 그러한 ID 칩의 일 예가 일본국 공개특허공고 2001-250393호 공보에 개시되어 있다.

[0009] 이상 설명한 종래의 ID 칩용 반도체장치는 아래와 같은 문제점들을 가진다. 메모리 회로에 마스크 ROM을 사용한 경우, 칩 제조 시 이외에는 데이터의 기입이 행해질 수 없다. 따라서, 칩 제조 시 이외에 데이터의 기입을

행할 수 있는 ID 칩이 요구되고 있다.

- [0010] 또한, 메모리 회로에 EEPROM을 사용한 경우, 사용자가 데이터를 자유롭게 다시 쓸 수 있는 반면, 본래 사용자 이외의 사람은 인증용으로서 다시 쓸 수 있으면 안되는 데이터를 다시 쓸 수 있게 되어, 위조가 행해질 수도 있다. 따라서, 그와 같은 위조를 방지하기 위해, 1회만의 기입이 가능한 ID 칩이 요구되고 있다.

발명의 상세한 설명

- [0011] 상기의 관점에서, 본 발명은 1회만 데이터의 다시 쓰기가 가능한 ID 칩으로서 사용되는 반도체장치를 제공하는 것을 과제로 한다. 또한, 본 발명은 칩 제조 시 이외에 데이터의 기입을 행할 수 있는 ID 칩으로서 사용되는 반도체장치를 제공하는 것을 과제로 한다.

- [0012] 본 발명에 따르면, 메모리 회로는 강유전체를 이용한 불휘발성 메모리로 구성되고, 그 메모리 회로에 데이터가 1회만 기입할 수 있는 제어회로가 제공되어 있다. 강유전체를 이용한 불휘발성 메모리를 사용함으로써, 소위 플래시 메모리와 비교하여 고속으로 데이터의 읽고 쓰기가 가능하게 하고, 또한, 신뢰성을 향상시킬 수도 있다.

- [0013] 본 발명에 따르면, 절연 기판 위에 변조회로, 복조회로, 논리회로, 메모리 회로가 형성되고, 변조회로 및 복조회로에는 안테나 회로가 전기적으로 접속되고, 복조회로에는 논리회로가 접속되고, 메모리 회로는 논리회로의 출력 신호를 기억하고, 메모리 회로는 강유전체 용량소자를 가지는 FeRAM 회로이고, 메모리 회로에 1회만의 데이터 기입이 가능한 제어회로를 가진다.

- [0014] 또한, 본 발명에 따르면, 절연 기판 위에 변조회로, 복조회로, 논리회로, 메모리 회로가 형성되고, 변조회로 및 복조회로에는 안테나 회로가 전기적으로 접속되고, 복조회로에는 논리회로가 접속되고, 메모리 회로는 논리회로의 출력 신호를 기억하고, 메모리 회로는 강유전체 용량소자를 가지는 FeRAM 회로이고, 논리회로는 메모리 회로에 기억된 데이터에 기초하여 메모리 회로에의 데이터 기입을 제어한다.

- [0015] 또한, 반도체장치는 메모리 셀들로 구성되는 메모리 회로를 포함하고, 각각의 메모리 셀은 2개의 트랜지스터와 2개의 강유전체 용량소자를 포함한다.

- [0016] 또한, 반도체장치는 메모리 셀들로 구성되는 메모리 회로를 포함하고, 각각의 메모리 셀은 1개의 트랜지스터와 1개의 강유전체 용량소자를 포함한다.

- [0017] 또한, 반도체장치는 변조회로, 복조회로, 논리회로, 및 메모리 회로를 포함하고, 상기 회로들 중 적어도 하나는 박막트랜지스터(이하, "TFT"라고도 칭함)로 구성되어 있다.

- [0018] 또한, 반도체장치는 동일한 절연 기판 위에 일체 형성된 안테나 회로, 변조회로, 복조회로, 논리회로, 및 메모리 회로를 포함하고, 또는, 변조회로, 복조회로, 논리회로, 및 메모리 회로가 동일한 절연 기판 위에 일체로 형성되지만, 안테나 회로는 다른 절연 기판 위에 형성될 수도 있다.

- [0019] 또한, 반도체장치는 상기 변조회로, 복조회로, 논리회로, 및 메모리 회로 중 적어도 하나 위에 형성되어 있는 안테나 회로를 포함한다.

- [0020] 본 발명에 따르면, ID 칩이란, 개체 인식에 사용되는 반도체 칩을 말하는 것으로, 무선 태그(tag) 및 RFID와 같은 무선 칩, IC 칩, IC 카드, 트랜스폰더(transponder) 등에 사용되는 것으로 한다.

- [0021] 이상 설명한 바와 같이, 본 발명에 의하면, ID 칩 중의 메모리 회로에 데이터를 1회만 기입하는 것이 가능하게 된다. 이와 같이 하여, ID 칩의 데이터 위조를 방지할 수 있고, 보안성을 확보한 ID 칩으로서 사용되는 반도체장치를 형성할 수 있다. 또한, 칩 제조 시 이외에 데이터 기입을 행할 수 있는 ID 칩으로서 사용되는 반도체장치를 제공할 수 있다.

실시예

- [0051] 이하, 본 발명의 실시형태에 대하여 도면을 참조하여 설명하지만, 본 발명은 많은 다른 형태로 실시될 수 있고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명이 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 나타내는 도면에서 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 붙이고, 그의 반복 설명은 생략한다.

- [0052] 본 발명의 반도체장치에 대하여 설명한다. 이하의 설명에서는, 강유전체를 사용한 RAM을 FeRAM(FerroelectricRAM)이라 칭한다.
- [0053] 도 1에서, ID 칩으로서 사용되는 반도체장치(100)는 안테나 회로(101), 정류회로(102), 안정화 전원회로(103), 변조회로(104), 증폭기(105), 논리회로(106), 복조회로(107), 증폭기(108), 논리회로(109), FeRAM 제어회로(110), 및 FeRAM 회로(111)를 포함한다. 또한, 안테나 회로(101)는 도 3(A)에 도시한 종래 기술과 유사하다. 정류회로(102)는 도 3(B)에 도시한 종래 기술과 유사하다. 본 실시형태에서는, 안테나 회로가 반도체장치(100) 위에 형성되어 있지만, 본 발명이 이것에 한정되지 않고, 안테나 회로가 반도체장치(100)의 외부에 접속될 수도 있다. 안테나를 실장한 본 발명의 칩을 무선 칩이라고도 한다.
- [0054] 이와 같은 ID 칩의 동작을 이하에 설명한다.
- [0055] 안테나 회로(101)에 의해 수신된 교류 신호는 정류회로(102)에 의해 정류되고 평활화된다. 이 평활화된 전압은 다수의 리플을 포함하고 있기 때문에, 안정화 전원회로(103)에 의해 안정화되고, 안정화된 후의 전압이 증폭기(105), 복조회로(107), 증폭기(108), 및 논리회로(109)에 공급된다.
- [0056] 안테나 회로(101)로부터 입력된 신호는 논리회로(109)에 의해 논리 연산화된 후, FeRAM 회로(111)에 입력된다. 또한, 논리회로(109)는 FeRAM 제어회로(110)에 대한 기입의 유무, 어드레스 등을 결정한다. FeRAM 회로(111)에는, FeRAM 제어회로(110)의 지시에 기초하여 데이터가 기입된다.
- [0057] FeRAM 회로(111)에 기억된 데이터를 질문기가 불러내는 경우에는, 이하와 같은 동작이 실행된다. 안테나 회로(101)에 의해 수신된 교류 신호는 정류회로(102)에 의해 정류되고 평활화된다. 이 평활화된 전압은 다수의 리플을 포함하고 있기 때문에, 안정화 전원회로(103)에 의해 안정화되고, 안정화된 후의 전압은 변조회로(104), 증폭기(105), 논리회로(106), 복조회로(107), 증폭기(108), 논리회로(109), FeRAM 제어회로(110), 및 FeRAM 회로(111)에 공급된다. 한편, 안테나 회로에 의해 수신된 교류 신호는 증폭기(108)를 통하여 논리회로(109)에 입력되고, 논리 연산이 행해진다. 그 다음, 논리회로(109)로부터의 신호를 사용하여, FeRAM 제어회로(110)를 제어하여, FeRAM 회로(111)에 기억되어 있는 데이터를 불러낸다. 다음에, FeRAM 회로(111)로부터 불러낸 데이터를 논리회로(106)에 의해 가공하고, 증폭기(105)에 의해 증폭한 후, 변조회로(104)를 동작시킨다. 데이터는 ISO 14443, ISO 15693, ISO 18000 등의 규격에 정해진 방식에 따라 가공되지만, 질문기와와의 정합성이 확보된다면, 상기 규격 이외의 규격을 사용하여 가공될 수도 있다.
- [0058] 변조회로(104)가 동작하면, 안테나 회로(101)의 인피던스가 변화한다. 이것에 의해, 안테나 회로(101)에 의해 반사되는 질문기로부터의 신호에 변화가 생긴다. 이 변화를 질문기가 판독함에 따라, 반도체장치(100)의 FeRAM 회로(111)에 기억된 데이터를 얻을 수 있다. 이와 같은 변조 방식을 부하 변조 방식이라고 한다.
- [0059] 이하, FeRAM 회로의 동작에 대하여 도 5를 참조하여 설명을 한다. 도 5에서는, FeRAM 회로가 2T2C 방식(하나의 메모리 셀이 2개의 트랜지스터와 2개의 강유전체 용량소자(커패시터)로 구성되어 있는 방식)으로 형성되어 있다. 도 5의 FeRAM 회로는 설명을 간략화하기 위해, 4비트 메모리 회로를 포함하지만, 4비트에 한정되는 것은 아니다. 도 5에 나타난 FeRAM 회로는 비트선(bit line) 디코더(501), 워드선(word line) 디코더(502), 플레이트선(plate line) 디코더(503), 프리차지(precharge) 회로(504), n채널형 메모리 트랜지스터(505~512)(이하, 트랜지스터(505~512)라 약칭함), 강유전체 용량소자(513~520), 비트선(521~524), 워드선(525, 526), 플레이트선(527, 528), 센스 증폭기(529, 530), 센스 증폭기 선택 스위치(531, 532), 프리차지 스위치(533~536), 비트선 선택 스위치(537~540), 입력 단자(541, 542), 출력 단자(543)를 포함한다.
- [0060] 메모리 셀에 포함되는 강유전체 용량소자는 도 6에 나타내는 바와 같은 3층 구조, 즉, Pt/IrO₂ 등으로 형성된 하부 전극층, PZT(PbZrTiO₃) 등으로 형성된 강유전체층, 및 Ir/IrO₂ 등으로 형성된 상부 전극층을 가진다. PZT를 양호하게 성막하기 위해서는, 마지막의 격자 정수는 PZT의 것에 가까운 것이 바람직하다. 이와 같은 이유에서 Pt/IrO₂가 선택된다.
- [0061] 강유전체 용량소자는 도 8에 도시한 바와 같은, 전압에 따른 히스테리시스 분극 특성을 가진다. 이것을 다. FeRAM은 이 히스테리시스를 이용하여 불휘발성 메모리를 형성한다. 이하, 트랜지스터(505, 506)에 의해 구성되는 메모리 셀(500)의 한가지 대표예를 설명한다.
- [0062] 여기서, 메모리 셀이 2값 디지털 신호 중 하나를 출력하는 경우를 설명한다. 이하의 설명에서는, 고전위 신호를 "1"로 표기하고, 저전위 신호를 "0"으로 표기한다. 먼저, 메모리 셀(500)이 "1"을 출력하도록 데이터를 기입한다. 입력 단자(541)에는 고전위(예를 들어, VDD)가 인가되고, 입력 단자(542)에는 저전위(예를 들어

GND)가 인가된다. 다음에, 비트선 디코더(501)를 동작시켜, 비트선 선택 스위치(537, 538)를 온(on)으로 한다. 이것에 의해, 비트선(521)에는 고전위가 공급되고, 비트선(522)에는 저전위가 공급된다. 이때, 플레이트선(527)의 전위는 중간 전위(예를 들어, $VDD/2$)로 하여 둔다. 다음에, 워드선 디코더(502)를 동작시켜, 워드선(525)을 선택하고, 그것에 의해, 트랜지스터(505, 506)가 온으로 되어, 비트선(521)과 강유전체 용량소자(513)가 단락(短絡)되고, 비트선(522)과 강유전체 용량소자(514)도 단락된다. 따라서, 강유전체 용량소자(513, 514)에는 각각 $VDD/2$ 및 $-VDD/2$ 의 전압이 인가된다.

[0063] 강유전체 용량소자(513, 514)의 상기 상태는 도 8에서의 점 B 및 점 D에 각각 대응한다. 다음에, 입력 단자(541, 542)에 플레이트선(527)과 동일한 전위(여기서는 $VDD/2$)를 인가한다. 트랜지스터(505, 506)가 온(on)인 채로 있으므로, 강유전체 용량소자(513, 514)의 단자들 사이에 가하는 전압은 "0"이 된다. 이것에 의해, 강유전체 용량소자(513, 514)의 상태는 도 8에서의 점 C 및 점 E에 각각 대응하게 된다. 그 다음, 워드선 디코더(502)를 동작시켜, 트랜지스터(505, 506)를 오프(off)시킨다. 이와 같이 하여, 메모리 셀(500)에 데이터가 기억된다.

[0064] 메모리 셀(500)의 데이터를 판독하는 경우에는, 비트선 선택 스위치(537, 538)를 오프로 하고, 입력 단자(541, 542)와 비트선(521, 522)을 단절한다. 다음에, 프리차지 스위치(533, 534)를 온으로 하고, 비트선(521, 522)을 프리차지 회로(504)에 의해 동일 전위로 프리차지한다. 이 전위는, 예를 들어, $VDD/2$ 일 수도 있다. 프리차지 종료 후, 프리차지 스위치(533, 534)를 오프로 한다. 다음에, 워드선 디코더(502)를 동작시켜 트랜지스터(505, 506)를 온으로 한다. 그 다음, 플레이트선 디코더(503)를 동작시켜 플레이트선(527)에 고전위(VDD)를 인가한다.

[0065] 플레이트선(527)에 접속되어 있는 쪽의, 강유전체 용량소자(513, 514)의 단자의 전위가 상승하기 때문에, 트랜지스터(505, 506)를 통하여 비트선(521, 522)의 전위도 상승한다. 그러나, 강유전체 용량소자에 기억되어 있는 분극량이 다르기 때문에, 비트선(521, 522)에서는 상승하는 전위가 다르다. 그 전압차를 센스 증폭기(529)에 의해 증폭하고, 센스 증폭기 선택 스위치(531)를 통하여 출력 단자(543)에 출력할 수 있다.

[0066] 기입 시에 입력 단자(541, 542)에 반대 전압을 인가함으로써, "0"의 전위의 기입이 가능하다. 또한, 판독은 상기와 같은 방식으로 행해진다. 이와 같이 하여, FeRAM이 동작한다.

[0067] 다음에, 1회만의 데이터 기입을 행하는 실시형태에 대하여 설명한다. 이 실시형태에서는, 도 12(B)에 도시된 바와 같이, 본래 메모리 회로를 필요로 하는 메모리 에어리어(area)(도 12(B)에서는 16 바이트) 후에, 기입 상태를 나타내는 비트를 추가하고 있다. 이 비트는 데이터가 기입되었는지 아닌지를 나타내는 데이터를 기억한다.

[0068] 다음에, 그 동작에 대하여 도 13을 참조하여 설명한다. 도 13은 논리회로(109)의 내부 블록을 나타낸다. 논리회로(109)는 디코더 회로(1301), 딜레이 회로(1302), 스위치(1303), 및 휘발성 메모리 회로(1304)에 의해 구성되어 있다. 초기 상태에서는, 도 12(B)에 도시한 기입 기억 비트가 데이터 기입이 되어 있지 않은 상태를 나타낸다. 이것을 여기서는 "0"이 기억되어 있는 것으로 한다(설명 상, "0"이 기억되는 것으로 하지만, "1"이 기억되는 것으로 하여도 좋다). 안테나 회로로부터 신호가 입력되고, 안정화 전원이 작동하면, FeRAM 회로(111)는 이 값을 논리회로(109) 내부의 휘발성 메모리 회로(1304)에 출력한다. 그 다음, 휘발성 메모리 회로는 이 값을 기억한다. 이 휘발성 메모리 회로(1304)는 데이터 기억이 가능한 것이면 DRAM, SRAM, 레지스터 등의 어떠한 회로 구성이라도 상관없다.

[0069] 한편, 복조회로(107)로부터 입력된 신호는 디코더 회로(1301)에서 디코딩되고, 딜레이 회로(1302)를 거쳐 스위치(1303)에 입력된다. 스위치(1303)는 휘발성 메모리 회로(1304)에 의해 제어되고, 휘발성 메모리 회로(1304)의 데이터가 상기한 바와 같이 "0"이라면, 스위치(1303)를 온으로 한다. 스위치(1303)가 온일 때, 신호는 FeRAM 회로(111)로 출력되어 FeRAM 회로(111)에 기입된다. 기입이 종료하면, 도 12(B)에 도시된 기입 기억 비트에 "1"이 기억된다(초기값이 "1"인 경우에는 "0"을 기억). 딜레이 회로(1302)는, 안정화 전원이 작동하고 스위치(1303)의 상태가 확정되기 전에, 데이터가 스위치(1303)를 통과하여 FeRAM 회로로 출력되지 않도록 하기 위해 제공되어 있다. 딜레이 회로 이외의 수단을 사용하여, 스위치의 확정 전의 오동작을 방지하여도 좋다.

[0070] 도 12(B)에 도시된 기입 기억 비트에 "1"의 데이터가 기억되면, 휘발성 메모리 회로(1304)는 스위치(1303)를 오프로 하도록 동작한다. 이와 같이 하여, 2회째 이후에 기입되는 데이터는 스위치(1303)를 통과할 수 없기 때문에, FeRAM 회로에의 기입은 1회만으로 한정된다.

[0071] 다음에, 도 13과는 다른 1회 기입을 위한 실시형태를 도 9를 참조하여 설명한다. 도 9는 논리회로(109)의 내부

블록을 나타낸다. 논리회로(109)는 디코드 회로(901), 딜레이 회로(902), 스위치(903), 1비트 FeRAM 회로(904)로 구성되어 있다. 도 12(B)에 나타난 기입 기억 비트는 1비트 FeRAM 회로(904)에 기억되고, 초기 상태에서는, 기입이 되지 않은 상태를 나타낸다. 이것을 여기서는 "0"이 기억되어 있는 것으로 한다(설명 상, "0"이 기억되는 것으로 하였으나, "1"이 기억되는 것으로 하여도 좋다).

[0072] 안테나 회로로부터 신호가 입력되고, 안정화 전원이 작동하면, 안테나 회로를 거쳐 복조회로(107)로부터 입력된 신호는 디코드 회로(901)에서 디코딩되고, 딜레이 회로(902)를 거쳐 스위치(903)에 입력된다. 스위치(903)는 1비트 FeRAM 회로(904)에 의해 제어되고, 1비트 FeRAM 회로(904)의 데이터가 상기한 바와 같이 "0"이라면, 스위치(903)를 온으로 한다. 스위치(903)가 온일 때, 신호는 FeRAM 회로(111)로 출력되어 FeRAM 회로(111)에 기입된다. 기입이 종료하면, 도 12(B)에 나타난 기입 기억 비트(1비트 FeRAM 회로(904)내의)에 "1"이 기억된다(초기값이 "1"인 경우에는 "0"을 기억). 딜레이 회로(902)는, 안정화 전원이 작동하고 스위치(903)의 상태가 확정되기 전에, 데이터가 스위치(903)를 통과하여 FeRAM 회로로 출력되지 않도록 하기 위해 제공되어 있다. 딜레이 회로 이외의 수단을 사용하여, 스위치의 확정 전의 오동작을 방지하여도 좋다.

[0073] 도 12(B)에 나타난 기입 기억 비트에 "1"이 기억되면, 1비트 FeRAM 회로(904)는 스위치(903)를 오프로 하도록 동작한다. 이와 같이 하여, 2회째 이후의 데이터는 스위치(903)를 통과할 수 없기 때문에, FeRAM 회로(111)에의 데이터 기입은 1회만으로 한정된다.

[0074] 이상 설명한 바와 같이, FeRAM을 사용함으로써, 고속으로 데이터를 기입 및 판독할 수 있고, 또한, 신뢰성을 향상시킬 수 있다. 또한, 메모리 회로에 데이터가 1회만 기입될 수 있게 하는 제어회로를 제공함으로써, ID 칩 내의 메모리 회로에 데이터를 1회만 기입하는 것이 가능하게 된다. 이와 같이 하여, ID 칩의 데이터 위조를 방지할 수 있고, 보안성을 확보한 ID 칩을 제공할 수 있다.

[0075] [실시예 1]

[0076] 이하, 실시형태와는 다른 FeRAM 회로의 동작에 대하여 도 7을 참조하여 설명을 한다. 도 7에서는, FeRAM 회로를 1T1C 방식(하나의 메모리 셀이 하나의 트랜지스터와 하나의 강유전체 용량소자로 구성되어 있는 방식)으로 형성한 예이다. 도 7의 FeRAM 회로는 설명의 간략화를 위해, 4비트 메모리 회로로 하고 있지만, 4비트에 한정되는 것은 아니다. 도 7에 나타난 FeRAM 회로는 비트선 디코더(701), 워드선 디코더(702), 플레이트선 디코더(703), 프리차지 회로(704), n채널형 메모리 트랜지스터(705~708)(이하, 트랜지스터(705~708)라고 약칭하기도 함), 강유전체 용량소자(709~712), 비트선(713, 714), 워드선(715, 716), 플레이트선(717, 718), 센스 증폭기(719, 720), 센스 증폭기 선택 스위치(721, 722), 프리차지 스위치(723, 724), 비트선 선택 스위치(725, 726), 입력 단자(727), 및 출력 단자(728)를 포함한다.

[0077] 이하, 트랜지스터(705)에 의해 구성되는 메모리 셀(700)을 대표로 하여 설명한다.

[0078] 먼저, 메모리 셀(700)이 "1"을 출력하도록 데이터가 기입된다. 입력 단자(727)에 고전위(예를 들어 VDD)가 인가된다. 다음에, 비트선 디코더(701)를 동작시켜, 비트선 스위치(725)를 온으로 한다. 이것에 의해, 비트선(713)에는 고전위가 공급된다. 이때, 플레이트선(717)의 전위는 중간 전위(예를 들어, VDD/2)로 하여 둔다. 다음에, 워드선 디코더(702)를 동작시켜 워드선(715)을 선택한다. 그것에 따라, 트랜지스터(705, 706)는 온으로 되고, 비트선(713)과 강유전체 용량소자(709)는 단락(短絡)된다. 따라서, 강유전체 용량소자(709)에는 VDD/2의 전압이 인가된다.

[0079] 이 상태는 도 8에서의 점 B에 대응한다. 다음에, 입력 단자(727)에 플레이트선(717)과 동일한 전위(여기서는 VDD/2)를 인가한다. 트랜지스터(705, 706)는 온으로 된 채이므로, 강유전체 용량소자(709)의 단자들 사이에 인가되는 전압은 "0"이 된다. 이것에 의해, 강유전체 용량소자(709)의 상태는 도 8에서의 점 C에 대응한다. 그 다음, 워드선 디코더(702)를 동작시켜, 트랜지스터(705, 706)를 오프로 한다. 이와 같이 하여, 데이터가 메모리 셀(700)에 기억된다.

[0080] 메모리 셀(700)의 데이터를 판독하는 경우에는, 비트선 선택 스위치(725)를 오프로 하고, 입력 단자(727)와 비트선(713)을 단절한다. 다음에, 프리차지 스위치(723)를 온으로 하고, 비트선(713)을 프리차지 회로(704)에 의해 VDD/2로 프리차지한다. 프리차지 종료 후, 프리차지 스위치(723)를 오프로 한다. 다음에, 워드선 디코더(702)를 동작시켜 트랜지스터(705, 706)를 온으로 한다. 그 다음, 플레이트선 디코더(703)를 동작시켜 플레이트선(717)의 전위를 고전압(VDD)으로 한다.

[0081] 플레이트선(717)에 접속되어 있는 쪽의, 강유전체 용량소자(709)의 단자의 전위가 상승하기 때문에, 트랜지스터(705)를 통하여 비트선(713)의 전위도 상승한다. 그러나, 강유전체 용량소자에 기억되어 있는 분극량이 다르기

때문에, 상승 전위가 다르다. 기준전압과 비트선 전압의 차이를 센스 증폭기(719)에 의해 증폭하고, 센스 증폭기 선택 스위치(721)를 통하여 출력 단자(728)에 출력할 수 있다.

[0082] 기입 시에 입력 단자(727)에 반대 전압을 인가함으로써, "0"의 전위가 기입될 수 있다. 또한, 판독은 상기에 설명한 바와 동일한 방식으로 행해진다. 이와 같이 하여, 본 실시예의 FeRAM이 동작한다.

[0083] [실시예 2]

[0084] 안정화 전원회로의 예에 대하여 도 20을 참조하여 설명한다. 안정화 전원회로는 기준전압 회로와 버퍼 증폭기로 구성된다. 기준전압 회로는 저항기(2201)와 다이오드 접속의 트랜지스터(2202, 2203)를 포함하고, VGS 2개분의 기준전압을 발생시킨다. 버퍼 증폭기는 트랜지스터(2205, 2206)로 구성되는 차동(差動) 회로, 트랜지스터(2207, 2208)로 구성되는 전류 미러 회로, 전류 공급용 저항기(2204), 트랜지스터(2209), 및 저항기(2210)로 구성되는 공통 소스 증폭기로 구성된다.

[0085] 출력 단자로부터 흐르는 전류가 클 때는, 트랜지스터(2209)로 흐르는 전류가 적어지고, 한편, 출력 단자로부터 흐르는 전류가 작을 때는, 트랜지스터(2209)로 흐르는 전류가 많아져, 저항기(2210)로 흐르는 전류는 거의 일정하게 된다. 또한, 출력 단자의 전위는 기준전압 회로의 전위와 거의 같은 값이 된다. 여기서는, 기준전압 회로와 버퍼 증폭기로 이루어지는 안정화 전원회로를 설명하지만, 본 발명에 사용하는 안정화 전원회로는 상기에 한정되지 않고, 다른 형식의 회로이어도 좋다.

[0086] [실시예 3]

[0087] 절연 기판 위에, 실시형태에서 설명한 메모리 소자, 및 디코더 등의 논리회로부에 사용되는 TFT를 동시에 제조하는 방법에 대하여 도 14~도 17을 참조하여 설명한다. 또한, 본 실시예에서는, 강유전체 재료를 사용한 커패시터와, 반도체 소자로서의 n채널형 TFT 및 p채널형 TFT를 예로 들어 나타내지만, 본 발명에서 메모리부 및 논리회로부에 포함되는 반도체 소자는 이것에 한정되지 않는다. 또한, 이 제조방법은 일 예일 뿐이고, 절연 기판 위에서의 TFT의 제조방법을 한정하는 것은 아니다.

[0088] 먼저, 도 14(A)에서, 기판(4000)으로서는, 예를 들어, 바륨 붕규산 유리나, 알루미늄 붕규산 유리 등의 유리 기판, 석영 기판, 스테인리스 기판 등을 사용할 수 있다. 또한, 플라스틱 등의 가요성 합성 수지로 된 기판은 일반적으로 상기한 기판과 비교하여 내열 온도가 낮은 경향이 있지만, 제조공정에서의 처리 온도에 견딜 수 있는 것이라면 사용하는 것이 가능하다.

[0089] 기판(4000) 위에, 산화규소막, 질화규소막 또는 산화질화규소막 등의 절연막으로 된 하지막(4001, 4002)을 형성한다. 예를 들어, 하지막(4001)으로서 플라즈마 CVD법에 의해 SiH_4 , NH_3 , N_2O 로 형성된 산화질화규소막을 10~200 nm(바람직하게는 50~100 nm)의 두께로 형성하고, 그 위에 하지막(4002)으로서 SiH_4 , N_2O 로 형성된 산화질화수소화규소막을 50~200 nm(바람직하게는 100~150 nm)의 두께로 적층형성한다. 본 실시예에서는, 하지막을 2층 구조로 하여 나타냈지만, 상기 절연막의 단층막 또는 2층 이상 적층시킨 구조로 하여 형성하여도 좋다. 또한, 석영 기판을 사용하는 경우와 같이 불순물의 확산이 그다지 문제가 되지 않는 경우에는, 하지막을 반드시 마련할 필요는 없다.

[0090] 섬 형상의 반도체층(4003~4005)은 비정질 반도체막을 레이저 결정화나 공지의 열 결정화법에 의해 결정화하여 얻어진 결정질 반도체막으로 형성된다(도 14(B)). 이 섬 형상의 반도체층(4003~4005)은 25~100 nm(바람직하게는 30~60 nm)의 두께로 형성된다. 또한, 섬 형상의 반도체층(4003~4005)은 비정질 반도체 또는 다결정 반도체로 형성될 수도 있다. 또한, 반도체에는, 규소뿐만 아니라 규소 게르마늄도 사용할 수 있다. 규소 게르마늄을 사용하는 경우, 게르마늄의 농도는 0.01~4.5 원자% 정도인 것이 바람직하다.

[0091] 레이저 결정화법에 의해 결정질 반도체막을 형성할 때는, 펄스 발진형 또는 연속 발진형의 엑시머 레이저나 YAG 레이저, 또는 YVO_4 레이저를 사용한다. 이들 레이저를 사용하는 경우에는, 레이저 발진기로부터 방사된 레이저광을 광학계에 의해 선 형상으로 집광하여 반도체막에 조사하는 방법을 사용하면 좋다. 결정화의 조건은 실시자가 적절히 선택하는 것이지만, 엑시머 레이저를 사용하는 경우에는 펄스 발진 주파수를 30 Hz로 하고, 레이저 에너지 밀도를 100~400 mJ/cm^2 (대표적으로는 200~300 mJ/cm^2)로 한다. 또한, YAG 레이저를 사용하는 경우에는, 그의 제2 고조파를 사용하여 펄스 발진 주파수를 1~10 kHz로 하고, 레이저 에너지 밀도를 300~600 mJ/cm^2 (대표적으로는 350~500 mJ/cm^2)로 하면 좋다. 그 다음, 폭 100~1000 μm , 예를 들어, 400 μm 로 선 형상으로 집광한 레이저광을 기판 전면(全面)에 걸쳐 조사하고, 이때의 선 형상 레이저광의 중첩률(오버랩률)을 80~98%로 하여 행한다.

- [0092] 이어서, 섬 형상의 반도체층(4003~4005)을 덮는 게이트 절연막(4006)을 형성한다(도 14(C)). 이 게이트 절연막(4006)은 플라즈마 CVD법 또는 스퍼터링법에 의해 40~150 nm의 두께로, 규소를 포함하는 절연막으로 형성된다. 본 실시예에서는 게이트 절연막을 120 nm의 두께의 산화질화규소막으로 형성한다. 물론, 게이트 절연막(4006)은 이와 같은 산화질화규소막에 한정되는 것은 아니고, 규소를 함유하는 다른 절연막을 단층 또는 적층 구조로 하여 사용하여도 좋다. 예를 들어, 산화규소막을 사용하는 경우에는, 플라즈마 CVD법에 의해 TEOS(Tetraethyl Ortho Silicate)와 O₂의 혼합 가스를 사용하여, 반응 압력 40 Pa, 기판 온도 300~400℃로 하고, 고주파(13.56 MHz), 전력 밀도 0.5~0.8 W/cm²으로 방전시켜 산화규소막을 형성할 수 있다. 이와 같이 하여 형성된 산화규소막은 그 후 400~500℃의 열 어닐에 의해 절연막으로서 양호한 특성을 나타낼 수 있다.
- [0093] 다음에, 도 15(A)에 도시한 바와 같이, 게이트 절연막(4006) 위에 게이트 전극(4100~4102)을 형성한다. 게이트 전극(4100~4102)은 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 상기 원소를 주성분으로 하는 합금, 또는 다결정 규소 등으로 형성하면 좋다. 먼저, 게이트 절연막(4006)의 표면에 도전층을 형성하고, 레지스트 마스크(도시하지 않음)를 사용하여 그 도전층을 에칭함으로써, 게이트 전극(4100~4102)이 형성된다.
- [0094] 그 후, N형을 부여하는 불순물 원소를 도핑한다. 이렇게 하여, 반도체 활성층 내에 저농도 n형 불순물 영역(4103~4108)이 형성된다.
- [0095] 이어서, 게이트 전극(4102)을 덮도록 레지스트 마스크(도시하지 않음)를 형성하고, 게이트 전극(4101)과 이 레지스트 마스크를 마스크로 하여 자기정합적으로 n형 불순물 원소를 첨가하고, 또한, 게이트 전극(4101)을 마스크로 하여 자기정합적으로 p형 불순물 원소를 첨가한다.
- [0096] 이렇게 하여, n채널형 TFT의 소스 영역 또는 드레인 영역으로서 기능하는 고농도 n형 불순물 영역(4111, 4112, 4113, 4114), 및 p채널형 TFT의 소스 영역 또는 드레인 영역으로서 기능하는 고농도 p형 불순물 영역(4109, 4110)이 형성된다. n형을 부여하는 불순물 원소에는 인(P) 또는 비소(As)를 사용하고, p형을 부여하는 불순물 원소에는 붕소(B)를 사용한다.
- [0097] 그 후, n형 및 p형 불순물 원소의 활성화를 행한다. 활성화를 위해서는, 노 어닐, 레이저 어닐, 램프 어닐, 또는 이들을 조합시킨 방법을 사용하면 좋다. 열 어닐법에서는, 산소 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하인 질소 분위기 내에서 400~700℃의 온도로 행한다.
- [0098] 그 다음, 도 15(C)에 도시한 바와 같이, 게이트 전극(4100~4102) 위에, 질화규소막 또는 산화질화규소막으로 형성된 제1 층간절연막(4115)을 형성한다.
- [0099] 이상과 같이 하여, 화소부를 구성하는 스위칭용 TFT와, 구동회로나 다른 논리회로를 구성하는 TFT가 동일 기판 위에 형성된다. 다음에, 제1 층간절연막(4115) 위에 강유전체 재료를 사용한 커패시터를 형성한다.
- [0100] 먼저, 하부 전극층(4201)을 형성한다(도 16(A)). 그의 형성 방법은 CVD법, 스퍼터링법, 이온 빔 스퍼터링법, 레이저 제거법 등에서 선택하면 좋다. 하부 전극층(4201)의 재료로는 Pt/IrO₂, Pt-Ta/SiO₂ 등을 사용할 수 있다. 강유전체 박막의 전기적 특성은 결정의 배향에 크게 의존하기 때문에, 하부 전극의 표면에는 배향 제어에 용이한 Pt를 사용하는 것이 특히 바람직하다. 금속막 형성 후, 불필요한 부분을 플라즈마 에칭 등에 의해 제거하여 하부 전극층(4201)을 형성한다.
- [0101] 다음에, 하부 도전층(4201) 위에 강유전체층(4202)을 형성한다(도 16(B)). 강유전체는 PZT, PbTiO₃ 등의 납 함유 페로브스카이트(perovskite), Bi₄Ti₃O₁₂ 등의 비스무스 층 형상 화합물, 또는 LiNbO₃, LiTaO₃ 등의 일메나이트 계 화합물일 수 있다. 이들 중, 납 함유 페로브스카이트를 사용한 강유전체, 특히 PZT는 넓은 조성 범위에서 강유전체의 성질을 나타내기 때문에 바람직하다.
- [0102] 강유전체층(4202)의 형성 방법은 CVD법, 스퍼터링법, 이온 빔 스퍼터링법, 레이저 제거법 등에서 선택하면 좋다. 특히, CVD법은 막 조성이나 결정성의 제어성이 높고, 대면적화나 양산화에 우수하기 때문에 바람직하다. CVD법으로 형성하는 경우, 재료의 조건으로서, 비교적 저온에서 큰 증기압을 가지고, 장시간에 걸쳐 안정한 것, 퇴적 온도 범위 내에서 석출 속도가 원료의 공급량에 따라 결정되는 것, 기상(氣相)에서의 핵 생성 반응이 일어나지 않는 것 등을 들 수 있지만, PZT는 이들 점에서도 우수하다.
- [0103] CVD법에 의한 강유전체층 형성 공정은 공지의 수순을 따르면 좋다. 예를 들어, 압력 660 Pa, 기판 온도 500~650℃에서 PZT로 된 강유전체층을 형성할 수 있다.
- [0104] 다음에, 강유전체층(4202) 위에 상부 전극층(4203)을 형성한다(도 16(C)). 그의 형성 방법은 하부 전극층

(4201)과 마찬가지로, CVD법, 스퍼터링법, 이온 빔 스퍼터링법, 레이저 제거법 등에서 선택할 수 있다. 상부 전극층(4203)의 재료에는, 하부 전극층(4201)에서 사용한 재료 외에 Ir/IrO₂ 등을 사용할 수 있다.

[0105] 다음에, 도 17(A)에 도시한 바와 같이, 질화규소막 또는 산화질화규소막으로 된 제2 층간절연막(4307)을 성막한 후, 콘택트 홀을 형성하고, 이 콘택트 홀을 통하여 배선(4300~4306)을 형성한다. 또한, 배선(4300~4306)과 TFT와의 전기적 접속의 형태는 본 실시예에 설명된 것에 한정되지 않는다.

[0106] 마지막으로, 도 17(B)에 도시한 바와 같이, 제2 층간절연막(4307) 위에 보호층(4308)을 형성한다. 보호층(4308)의 재료로서는, 폴리이미드나 아크릴 수지 등의 광 경화형 또는 열 경화형의 유기 수지 재료를 사용할 수 있다.

[0107] 이와 같은 수순을 거쳐, 화소부를 구성하는 TFT와 구동회로나 다른 논리회로를 구성하는 TFT, 및 불휘발성의 래치 회로를 구성하는 강유전체 재료를 사용한 커패시터를 동일 기판 위에 동시에 제조할 수 있다.

[0108] 또한, 본 실시예에서는, 화소를 구성하는 스위칭용 TFT는 게이트 전극과 겹치지 않는 LDD 영역을 가지는 구조로 하고, 구동회로 및 논리회로를 구성하는 TFT는 단일 드레인 구조로 하는 경우를 나타냈지만, 본 실시예는 이 구조에 한정되는 것은 아니다. 필요에 따라, GOLD 구조나 다른 LDD 구조 등의 용도에 적합한 TFT 구조를 공지의 방법에 따라 제조하면 된다.

[0109] [실시예 4]

[0110] 박리 공정을 이용하여 가요성의 ID 태그를 형성하는 경우의 예에 대하여 도 21(A) 및 도 21(B)를 참조하여 설명한다. ID 태그는 가요성 보호층(2301, 2303)(이하, 보호층(2301, 2303)이라고 약칭함), 및 박리 공정을 사용하여 형성된 ID 칩(2302)을 포함한다. 본 실시예에서, 안테나(2304)는 ID 칩(2302) 위가 아니라, 보호층(2303) 위에 형성되고, ID 칩(2302)에 전기적으로 접속되어 있다. 도 21(A)에서는, 안테나(2304)가 보호층(2303) 위에만 형성되어 있지만, 보호층(2301) 위에도 안테나(2304)를 형성할 수도 있다. 안테나는 은, 구리, 또는 이들로 도금된 금속으로 형성되는 것이 바람직하다. ID 칩(2302)과 안테나(2304)는 이방성 도전막에 의해 UV 처리를 행하여 접속되지만, 그 접속 방법은 이것에 한정되지 않는다.

[0111] 도 21(B)는 도 21(A)의 단면을 나타내는 것이다. ID 칩(2302)은 5 μm 이하, 바람직하게는 0.1 μm ~3 μm 의 두께를 가진다. 또한, 보호층(2301, 2303)을 적층했을 때의 보호층(2301, 2303)의 두께를 d라 할 때, 그 두께는 $(d/2) \pm 30 \mu\text{m}$ 로 되어 있는 것이 바람직하고, 특히 $(d/2) \pm 10 \mu\text{m}$ 가 가장 좋다. 보호층(2301, 2303)의 두께는 10 μm ~200 μm 인 것이 바람직하다. ID 칩(2302)은 5 mm 평방 이하, 바람직하게는 0.3 mm 평방~4 mm 평방의 면적을 가진다.

[0112] 보호층(2301, 2303)은 유기 수지 재료로 형성되고, 접어 구부리는 것에 대하여 강한 구조를 가지고 있다. 박리 공정을 사용하여 형성된 ID 칩(2302) 자체도 단결정 반도체에 비하여, 접어 구부리는 것에 대하여 강하기 때문에, 보호층(2301, 2303)과 밀착시킬 수 있다. 이와 같은 보호층(2301, 2303)으로 둘러싸인 ID 칩을 다른 개체물의 표면 또는 내부에 배치하여도 좋다. 또한, 종이 내에 파묻어도 좋다.

[0113] [실시예 5]

[0114] ID 칩을 곡면에 붙이는 경우, 즉, ID 칩이 호를 그리고 있는 방향에 대하여 수직으로 TFT를 배치한 경우에 대하여 도 19를 참조하여 설명한다. 도 19의 ID 칩에 포함되는 TFT에서는, 전류가 흐르는 방향, 즉, 드레인 전극-게이트 전극-소스 전극의 위치는 직선 형상이고, 응력의 영향이 적어지는 배치로 되어 있다. 이와 같은 배치를 행함으로써, TFT 특성의 변동을 억제할 수 있다. 또한, TFT를 구성하는 결정은 전류가 흐르는 방향으로 정렬되어 있고, 이들 결정을 CWLC 등으로 형성함으로써, S값이 0.35 V/dec 이하(바람직하게는 0.09~0.25 V/dec)로 될 수 있고, 이동도는 100 cm^2/Vs 이상으로 될 수 있다.

[0115] 이와 같은 TFT를 사용하여 19단(段) 링 오실레이터를 구성한 경우, 전원 전압 3~5 V에서 그의 발진 주파수는 1 MHz 이상, 바람직하게는 100 MHz 이상일 수 있다. 전원 전압 3~5 V에서, 인버터 1단당 지연 시간은 26 ns, 바람직하게는 0.26 ns 이하이다.

[0116] 또한, 응력에 의해 TFT 등의 액티브 소자를 파괴시키지 않기 위해서는, TFT 등의 액티브 소자의 활성 영역(실리콘 섬 부분)의 면적이 전체 면적의 5%~50%인 것이 바람직하다.

[0117] TFT 등의 액티브 소자가 존재하지 않는 영역에는 하지 절연 재료, 층간절연 재료 및 배선 재료가 주로 제공되어 있다. TFT의 활성 영역 이외의 면적은 전체 면적의 60% 이상인 것이 바람직하다.

- [0118] 액티브 소자의 활성 영역의 두께는 20~200 nm, 대표적으로는 40~170 nm인 것이 바람직하다. 또한, 활성 영역을 넓게 취하는 경우에는 활성 영역의 두께를 45~55 nm으로 하고, 활성 영역을 좁게 취하는 경우에는 활성 영역의 두께를 145~155 nm으로 하는 것이 바람직하다.
- [0119] [실시예 6]
- [0120] 본 실시예에서는, 본 발명을 사용한 회로를 위한 외부 안테나를 제공하는 예에 대하여 도 10 및 도 11을 참조하여 설명한다.
- [0121] 도 10(A)에서는, 회로의 주위가 일 면의 안테나로 덮여 있다. 안테나(1001)가 기판(1000) 위에 형성되고, 본 발명을 사용한 회로(1002)에 접속된다. 도 10(A)에서는 회로(1002)의 주위를 안테나(1001)로 덮는 구성으로 되어 있지만, 기판의 전면(全面)을 안테나(1001)로 덮고, 그 위에, 전극이 형성된 회로(1002)를 부착하는 구조를 취하여도 좋다.
- [0122] 도 10(B)에서는, 가느다란 안테나가 회로의 주위에 감기도록 배치되어 있다. 안테나(1004)가 기판(1003) 위에 형성되고, 본 발명을 사용한 회로(1005)에 접속된다. 또한, 안테나의 배선의 배치는 일 예일 뿐이고, 본 발명이 이것에 한정되는 것은 아니다.
- [0123] 도 10(C)는 고주파수의 전자파를 수신하기 위한 안테나의 형상들 중 하나를 나타낸다. 안테나(1007)가 기판(1006) 위에 형성되고, 본 발명을 사용한 회로(1011)에 접속된다.
- [0124] 도 10(D)는 180° 무지향성 안테나(어느 방향에서도 동일하게 전파를 수신할 수 있는)를 나타낸다. 안테나(1010)가 기판(1009) 위에 형성되고, 본 발명을 사용한 회로(1011)에 접속된다.
- [0125] 도 10(E)는 봉 형상으로 형성된 안테나를 나타낸다. 안테나(1013)가 기판(1012) 위에 형성되고, 본 발명을 사용한 회로(1014)에 접속된다.
- [0126] 본 발명을 사용한 회로와 이들 안테나의 접속은 공지의 방법으로 행할 수 있다. 예를 들어, 안테나와 회로를 와이어 본딩 접속이나 범프 본딩 접속을 사용하여 접속할 수도 있다. 또는, 칩으로 형성된 회로의 일 면을 전극으로 사용하여 안테나에 부착하는 방법을 취하여도 좋다. 이 방식에서는, ACF(Anisotropic Conductive Film: 이방성 도전성 필름)를 사용하여 회로를 안테나에 부착시킬 수 있다.
- [0127] 안테나에 필요한 길이는 수신에 사용하는 주파수에 따라 적정 길이가 다르다. 일반적으로는 파장의 정수분의 1의 길이로 하는 것이 좋다고 알려져 있다. 예를 들어, 주파수가 2.45 GHz인 경우에는, 안테나의 길이를 약 60 mm(1/2 파장) 또는 약 30 mm(1/4 파장)으로 하면 좋다.
- [0128] 또한, 본 발명의 회로에 다른 기판을 부착하고, 그 위에 안테나를 형성하여도 좋다. 도 11(A)~도 11(C)는 회로 위에 기판(1100)(상부 기판)을 부착하고, 그 위에 나선 형상의 안테나(1101)(안테나 배선)를 배치한 상면도 및 단면도를 나타낸다.
- [0129] 또한, 본 실시예에서 설명한 안테나는 일 예일 뿐이고, 안테나의 형상이 이것에 한정되는 것은 아니다. 모든 형상의 안테나에 대하여 본 발명은 실시될 수 있다. 이 실시예는 실시형태 및 상기 실시예 1~5와 조합하여 실현될 수 있다.
- [0130] [실시예 7]
- [0131] 본 실시예에서는, TFT를 포함하는 박막 집적회로 장치를 제조하는 방법에 대하여 도 22~도 24를 참조하여 상세히 설명한다. 여기서는 간단하게 하기 위해 n채널형 TFT와 p채널형 TFT를 사용한 CPU 및 메모리부의 단면 구조를 나타냄으로써 그 제조방법에 대하여 설명한다.
- [0132] 먼저, 기판(60) 위에 박리층(61)을 형성한다(도 22(A)). 여기서는 박리층(61)을 유리 기판(예를 들어, 코닝사 제품 1737 기판) 위에 두께 50 nm(500 Å)의 a-Si막(비정질 규소막)을 사용하여 감압 CVD법에 의해 형성하였다. 기판(60)으로서는, 유리 기판 외에도, 석영 기판, 알루미늄 등의 절연 재료로 된 기판, 실리콘 웨이퍼 기판, 후속 공정의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기판 등을 사용할 수 있다.
- [0133] 또한, 박리층(61)은, 비정질 규소 외에, 다결정 규소, 단결정 규소, SAS(세미아모르퍼스 실리콘(미(微)결정 규소라고도 칭함))와 같은, 규소를 주성분으로 하는 막으로 형성되는 것이 바람직하지만, 본 발명이 이들에 한정되는 것은 아니다. 박리층(61)은 감압 CVD법 외에도 플라즈마 CVD법, 스퍼터링법 등에 의해 형성될 수도 있다. 또한, 인 등의 불순물을 도핑한 막을 사용하여도 좋다. 박리층(61)의 막 두께는 50~60 nm로 하는 것이 바람직

하다. SAS를 사용하는 경우에는 30~50 nm로 하여도 좋다.

- [0134] 다음에, 박리층(61) 위에 보호막(55)(하지막 또는 하지 절연막이라고도 칭함)을 형성한다(도 22(A)). 여기서, 보호막(55)을, 박리층(61) 측으로부터 순차적으로 막 두께 100 nm의 SiON(산화질화규소: 질소를 함유하는 산화규소)막, 막 두께 50 nm의 SiNO(질화산화규소: 산소를 포함하는 질화규소)막, 막 두께 100 nm의 SiON막의 3층 구조로 하였지만, 재질, 막 두께, 적층수가 이것에 한정되는 것은 아니다. 예를 들어, 하층의 SiON막 대신에, 막 두께 0.5~3 μm 의 실록산 등의 내열성 수지를 스핀 코팅법, 슬릿 코팅법, 액적 토출법 등에 의해 형성하여도 좋다. 또는, 질화규소막(SiN, Si₃N₄ 등)을 사용하여도 좋다. 또한, 상층의 SiON막 대신에, 산화규소막을 사용하여도 좋다. 또한, 각 층의 막 두께를 0.05~3 μm 로 하는 것이 바람직하고, 그 범위에서 자유롭게 선택할 수 있다.
- [0135] 여기서, 산화규소막은 SiH₄/O₂, TEOS(테트라에톡시 실란)/O₂ 등의 혼합 가스를 사용하여 열 CVD법, 플라즈마 CVD법, 상압 CVD법, 바이어스 ECRCVD법 등의 방법에 의해 형성될 수 있다. 또한, 질화규소막은 대표적으로는 SiH₄/NH₃의 혼합 가스를 사용하여 플라즈마 CVD법에 의해 형성될 수 있다. 또한, SiON막 또는 SiNO막은 대표적으로는 SiH₄/N₂O의 혼합 가스를 사용하여 플라즈마 CVD법에 의해 형성될 수 있다.
- [0136] 또한, 박리층(61) 및 섬 형상의 반도체막(57)으로서, a-Si 등의 규소를 주성분으로 하는 재료를 사용하는 경우에는, 그들에 접하는 보호막(55)을, 밀착성 확보의 점에서 SiO_xN_y로 형성하여도 좋다.
- [0137] 다음에, 보호막(55) 위에, 박막 집적회로 장치의 CPU 및 메모리부를 구성하는 박막트랜지스터(TFT)를 형성한다. 또한, TFT 이외에도, 유기 TFT, 박막 다이오드 등의 다른 박막 능동 소자를 형성하는 것도 가능하다.
- [0138] TFT의 제조방법으로서, 먼저, 보호막(55) 위에 섬 형상의 반도체막(57)을 형성한다(도 22(B)). 섬 형상의 반도체막(57)은 비정질 반도체, 결정성 반도체, 또는 세미아모르퍼스 반도체로 형성된다. 이들 반도체는 어느 것이나 규소, 규소 게르마늄(SiGe) 등을 주성분으로 한다.
- [0139] 본 실시예에서는, 막 두께 70 nm의 비정질 규소막을 형성하고, 그의 표면을 니켈 함유 용액으로 처리하였다. 또한, 500~750℃의 온도에서 열 결정화를 행하여, 결정질 규소 반도체막을 얻고, 레이저 결정화를 행하여 결정성의 개선을 실시하였다. 또한, 그의 성막 방법으로서, 플라즈마 CVD법, 스퍼터링법, LPCVD법 등을 사용하여도 좋다. 결정화 방법으로서, 레이저 결정화법, 열 결정화법, 촉매(Fe, Ru, Rh, Pd, Os, Ir, Pt, Cu, Au 등)를 사용한 열 결정화법을 이용할 수 있고, 또는 그들 방법을 번갈아 다수회 행하여도 좋다.
- [0140] 또는, 비정질 반도체막을 연속 발진 레이저를 사용하여 결정화하여도 좋고, 결정화 중에 큰 입경의 결정을 얻기 위해서는, 연속 발진이 가능한 고체 레이저를 사용하고, 기본파의 제2 고조파 내지 제4 고조파를 적용하는 것이 바람직하다(이 경우의 결정화를 CWLC라고 한다). 대표적으로는, Nd:YVO₄ 레이저(기본파 1064 nm)의 제2 고조파(532 nm)나 제3 고조파(355 nm)를 적용하면 좋다. 연속 발진 레이저를 사용하는 경우에는, 출력 10 W의 연속 발진 YVO₄ 레이저로부터 사출된 레이저광을 비선형 광학소자에 의해 고조파로 변환한다. 또한, 공진기 내에 YVO₄ 결정 또는 GdVO₄ 결정과 비선형 광학소자를 넣어, 고조파를 출사하는 방법도 있다. 그 다음, 바람직하게는, 광학계에 의해 조사면에서 직사각형 형상 또는 타원 형상의 레이저광으로 성형하여, 피처리처에 조사한다. 이 때의 에너지 밀도는 0.01~100 MW/cm² 정도(바람직하게는 0.1~10 MW/cm²)가 필요하다. 그 다음, 10~2000 cm/sec 정도의 속도로 레이저광에 대하여 상대적으로 반도체막을 이동시키면서 반도체막에 레이저광을 조사하면 좋다.
- [0141] 또한, 펄스 발진 레이저를 사용하는 경우, 통상은, 수 십 Hz 내지 수 백 Hz의 주파수대를 가지는 펄스 레이저를 사용하지만, 그것보다도 현저하게 높은 10 MHz 이상의 발진 주파수를 가지는 펄스 레이저를 사용하여도 좋다(이 경우의 결정화를 MHzLC라고 한다). 펄스 발진 레이저광을 반도체막에 조사한 후 반도체막이 완전히 고화할 때까지 걸리는 시간은 수 십 nsec 내지 수 백 nsec라고 알려져 있다. 펄스 발진 레이저가 10 MHz 이상의 발진 주파수를 가지는 경우, 이전의 레이저광에 의해 반도체막이 용융되고 나서 고화하기 전에 다음의 펄스 레이저광을 조사할 수 있다. 따라서, 종래의 펄스 발진 레이저를 사용하는 경우와 달리, 반도체막 중에서 고액(固液) 계면을 연속적으로 이동시킬 수 있으므로, 주사 방향을 따라 연속적으로 성장한 결정립을 가지는 반도체막이 형성될 수 있다. 구체적으로는, 각각의 결정립이 주사 방향으로 10~30 μm 의 폭과, 주사 방향에 대하여 수직인 방향으로 1~5 μm 정도의 폭을 가지는 결정립들의 집합을 형성할 수 있다. 주사 방향을 따라 길게 늘어난 단결정의 결정립을 형성함으로써, TFT의 적어도 채널 방향에는 결정립계가 거의 존재하지 않는 반도체막을 형성할 수 있

게 된다.

- [0142] 또한, 보호막(55)의 일부에 내열성 유기 수지인 실록산을 사용한 경우에는, 상기 결정화 시에, 반도체막으로부터 열이 누출되는 것을 방지할 수 있어, 효율 좋게 결정화를 행할 수 있다.
- [0143] 상기 공정들을 통해 결정성 규소 반도체막이 얻어진다. 그의 결정은 소스, 채널, 드레인과 동일한 방향으로 정렬되어 있는 것이 바람직하다. 또한, 결정층의 두께는 20~200 nm(대표적으로는 40~170 nm, 더욱 바람직하게는 50~150 nm)인 것이 바람직하다. 그 후, 산화막을 사이에 두고 반도체막 위에, 금속 촉매를 게터링하기 위한 비정질 규소막을 형성하고, 500~750℃의 열처리에 의해 게터링 처리를 행하였다. 또한, TFT 소자로서의 스레시홀드 값을 제어하기 위해, 결정성 규소 반도체막에 $10^{13}/\text{cm}^2$ 으로부터 $10^{14}/\text{cm}^2$ 이하까지의 도즈량으로 붕소 이온을 주입하였다. 그 후, 레지스트를 마스크하여 에칭을 행하여, 섬 형상의 반도체막(57)을 형성하였다.
- [0144] 또는, 디실란(Si_2H_6)과 불화 게르마늄(GeF_4)의 원료 가스를 사용하여 LPCVD(감압 CVD)법에 의해 다결정 반도체막을 직접 형성함으로써, 결정성 반도체막을 얻을 수도 있다. 가스 유량비는 $\text{Si}_2\text{H}_6/\text{GeF}_4 = 20/0.9$, 성막 온도는 400~500℃, 캐리어 가스로서 He 또는 Ar을 사용하였지만, 본 발명이 이것에 한정되는 것은 아니다.
- [0145] 또한, TFT, 특히, 그의 채널 영역에는 $1 \times 10^{19} \sim 1 \times 10^{22} \text{ cm}^{-3}$, 바람직하게는 $1 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 의 수소 또는 할로젠이 첨가되어 있는 것이 좋다. SAS의 경우에는, $1 \times 10^{19} \sim 2 \times 10^{21} \text{ cm}^{-3}$ 의 수소 또는 할로젠이 첨가되는 것이 바람직하다. 어떻게 하든, 수소 또는 할로젠의 함유량을 IC 칩에 사용되는 단결정에 함유되는 것보다 크게 하는 것이 바람직하다. 이것에 의해, TFT부에 국부 크랙(crack)이 발생하여도, 그것이 수소 또는 할로젠에 의해 중단될 수 있다.
- [0146] 다음에, 섬 형상의 반도체막(57) 위에 게이트 절연막(58)을 형성한다(도 22(B)). 게이트 절연막(58)은 플라즈마 CVD법 또는 스퍼터링법 등의 박막 형성방법에 의해, 질화규소, 산화규소, 질화산화규소 또는 산화질화규소를 함유하는 막의 단층 또는 적층으로 형성되는 것이 바람직하다. 적층하는 경우에는, 예를 들어, 기판 측으로부터 산화규소막, 질화규소막, 산화질화규소막이 차례로 적층된 3층 구조로 하는 것이 좋다.
- [0147] 다음에, 게이트 전극(56)을 형성한다(도 22(C)). 본 실시예에서는, Si와 W(텅스텐)을 스퍼터링법에 의해 적층 형성한 후에, 레지스트(62)를 마스크로 하여 에칭을 행함으로써, 게이트 전극(56)을 형성하였다. 물론, 게이트 전극(56)의 재료, 구조, 형성방법은 이것에 한정되는 것은 아니고, 적절히 선택될 수 있다. 예를 들어, n형 불순물이 도핑된 Si와 NiSi(니켈 실리사이드)의 적층 구조나, TaN(질화 탄탈)과 W(텅스텐)의 적층 구조가 사용될 수도 있다. 또는, 각종 도전성 재료를 사용한 단층으로 게이트 전극(56)을 형성하여도 좋다.
- [0148] 또한, 레지스트 마스크 대신에 SiO_x 등의 마스크를 사용하여도 좋다. 이 경우, SiO_x , SiON 등의 마스크(하드 마스크라고 칭함)의 패터닝 공정이 추가로 요구되지만, 에칭 시에 있어서의 마스크 막 감소가 레지스트보다 적기 때문에, 원하는 폭의 게이트 전극층을 형성할 수 있다. 또는, 레지스트(62)를 사용하지 않고, 액적 토출법에 의해 선택적으로 게이트 전극(56)을 형성할 수도 있다.
- [0149] 도전성 재료로서는, 도전막의 기능에 따라 각종 재료를 선택할 수 있다. 또한, 게이트 전극과 안테나를 동시에 형성하는 경우에는, 그들의 기능을 고려하여 재료를 선택하면 좋다.
- [0150] 또한, 게이트 전극을 에칭할 때의 에칭 가스로서는, 여기서는 CF_4 , Cl_2 , O_2 의 혼합 가스나 Cl_2 가스를 사용하지만, 본 발명이 이것에 한정되는 것은 아니다.
- [0151] 다음에, p채널형 TFT(70, 72)가 되는 부분을 덮도록 레지스트(63)를 형성한다. 게이트 전극을 마스크로 하여, n채널형 TFT(69, 71)의 섬 형상 반도체막에 n형 불순물 원소(64)(대표적으로는 P(인) 또는 As(비소))를 저농도로 도핑한다(제1 도핑 공정(n형 불순물 원소의 저농도 도핑))(도 22(D)). 제1 도핑 공정의 조건은 도즈량을 $1 \times 10^{13} \sim 6 \times 10^{13}/\text{cm}^2$, 가속 전압을 50~70 keV로 하였지만, 본 발명이 이것에 한정되는 것은 아니다. 이 제1 도핑 공정에서는, 게이트 절연막(58)을 통하여 스루 도핑(through doping)이 이루어져, 한 쌍의 저농도 불순물 영역(65)이 형성된다. 또한, 제1 도핑 공정은 p채널형 TFT 영역을 레지스트로 덮지 않고 전면에 행하여도 좋다.
- [0152] 다음에, 레지스트(63)를 애싱(ashing) 등에 의해 제거한 후, n채널형 TFT 영역을 덮도록 다른 레지스트(66)를 형성하고, 게이트 전극을 마스크로 하여, p채널형 TFT(70, 72)의 섬 형상 반도체막에 p형 불순물 원소(67)(대표적으로는 B(붕소))를 고농도로 도핑한다(제2 도핑 공정(p형 불순물 원소의 고농도 도핑))(도 22(E)). 제2 도핑

공정의 조건은 도즈량을 $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$, 가속 전압을 20~40 keV로 하여 행한다. 이 제2 도핑 공정에서는, 게이트 절연막(58)을 통하여 스루 도핑이 이루어져, 한 쌍의 p형 고농도 불순물 영역(68)이 형성된다.

[0153] 다음에, 레지스트(66)를 애싱 등에 의해 제거한 후, 기관의 전면에서 절연막(75)을 형성한다(도 23(A)). 본 실시예에서는, 막 두께 100 nm의 SiO_2 막을 플라즈마 CVD법에 의해 형성하였다. 그 후, 에치백(etch back)법에 의해, 절연막(75)과 게이트 절연막(58)을 제거하여, 사이드월(sidewall)(76)을 자기정합적으로 형성하였다(도 23(B)). 에칭 가스로서는, CHF_3 과 He의 혼합 가스를 사용하였다. 사이드월을 형성하는 공정은 이것에 한정되는 것은 아니다.

[0154] 또한, 사이드월(76)의 형성 방법은 상기에 한정되는 것은 아니고, 예를 들어, 도 24(A) 및 도 24(B)에 도시한 방법을 사용할 수도 있다. 도 24(A)는 절연막(75)을 2층 또는 그 이상의 적층 구조로 한 예를 나타내고 있다. 절연막(75)은, 예를 들어, 막 두께 100 nm의 SiON (산화질화규소)막과, 막 두께 200 nm의 LTO막(Low Temperature Oxide, 저온 산화막)의 2층 구조를 가진다. 본 실시예에서는, SiON 막이 플라즈마 CVD법에 의해 형성되고, LTO막은 SiO_2 막을 감압 CVD법으로 형성함으로써 얻어졌다. 그 후, 에치백을 행하여, L자 형상과 원호 형상으로 이루어진 사이드월(76)이 형성된다.

[0155] 도 24(B)는 에치백 시에 게이트 절연막(58)이 제거되지 않도록 에칭을 행한 예를 나타낸다. 이 경우의 절연막(75)은 단층 구조이어도 좋고, 적층 구조이어도 좋다.

[0156] 상기 사이드월(76)은, 후속 공정에서 고농도의 n형 불순물을 도핑하여, 사이드월(76) 아래에 저농도 불순물 영역 또는 도핑되지 않은 오프셋 영역을 형성할 때의 마스크로서 기능하는 것이지만, 상술한 사이드월 형성방법의 어느 것에서도, 형성하고자 하는 저농도 불순물 영역 또는 오프셋 영역의 폭에 따라, 에치백의 조건을 적절히 변경할 수 있다.

[0157] 다음에, p채널형 TFT 영역을 덮도록 다른 레지스트(77)를 새로 형성하고, 게이트 전극(56) 및 사이드월(76)을 마스크로 하여, n형 불순물 원소(78)(대표적으로는 P 또는 As)를 고농도로 도핑한다(제3 도핑 공정(n형 불순물 원소의 고농도 도핑))(도 23(C)). 제3 도핑 공정의 조건은 도즈량을 $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$, 가속 전압을 60~100 keV로 하여 행한다. 이 제3 도핑 공정에서는, 한 쌍의 n형 고농도 불순물 영역(79)이 형성된다.

[0158] 그 다음, 레지스트(77)를 애싱 등에 의해 제거한 후, 불순물 영역의 열 활성화를 행할 수도 있다. 예를 들어, 두께 50 nm의 SiON 막을 성막한 후, 질소 분위기에서 550℃로 4시간 가열처리를 행한다. 또는, 수소를 함유하는 SiN_x 막을 100 nm의 막 두께로 형성한 후, 질소 분위기에서 410℃로 1시간 가열처리를 행한다. 이것에 의해, 결정성 반도체막의 결함을 개선할 수 있다. 이 공정은, 예를 들어, 결정성 규소 중에 존재하는 땀글링 본드(dangling bond)를 종단시키는 것으로, 수소화 처리 공정 등으로 불린다. 이 후, TFT를 보호하는 캡(cap) 절연막으로서, 막 두께 600 nm의 SiON 막을 형성한다. 상기 수소화 처리 공정은 이 SiON 막 형성 후에 행하여도 좋다. 이 경우, SiN_x 과 SiON 막이 연속적으로 성막될 수 있다. 이와 같이, TFT 위에는, 기관 측으로부터 차례로 SiON , SiN_x , SiON 을 적층하여 이루어지는 3층의 절연막이 형성되게 되지만, 그 구조나 재료는 이들에 한정되는 것은 아니다. 또한, 그러한 절연막은 TFT를 보호하는 기능도 가지고 있기 때문에, 가능한 한 형성하여 두는 것이 바람직하다.

[0159] 다음에, TFT 위에 층간막(53)을 형성한다(도 23(D)). 이 층간막(53)으로서, 폴리이미드, 아크릴, 폴리아미드, 실록산 등의 내열성 유기 수지를 사용할 수 있다. 층간막(53)의 형성 방법으로서, 그의 재료에 따라 스핀 코팅법, 딥핑(dipping)법, 스프레이 도포법, 액적 토출법(잉크젯법, 스크린 인쇄법, 오프셋 인쇄법 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 채용할 수 있다. 또는, 산화규소, 질화규소, 산화질화규소, PSG(포스포실리케이트 유리), BPSG(붕소 포스포실리케이트 유리), 알루미늄 등의 무기 재료를 사용할 수도 있다. 이들 절연막을 적층시켜, 층간막(53)을 형성하여도 좋다.

[0160] 층간막(53) 위에 보호막(54)을 형성할 수도 있다. 이 보호막(54)으로서, DLC(다이아몬드 라이크(diamond-like) 카본) 및 질화탄소(CN) 등의 탄소를 함유하는 막, 산화규소막, 질화규소막 또는 질화산화규소막 등을 사용할 수 있다. 보호막(54)의 형성 방법으로서, 플라즈마 CVD법이나 대기압 플라즈마 등을 사용할 수 있다. 또는, 폴리이미드, 아크릴, 폴리아미드, 레지스트, 벤조시클로부텐 등의 감광성 또는 비감광성의 유기 재료나 실록산 등의 내열성 유기 재료를 사용하여도 좋다.

- [0161] 또한, 층간막(53) 또는 보호막(54)과, 후에 형성되는 배선을 구성하는 도전성 재료 등과의 열 팽창률의 차이에 의해 생기는 응력에 의해, 이들 막이 박리되거나 균열되는 것을 방지하기 위해, 층간막(53) 또는 보호막(54) 내에 충전제(filler)를 혼입시켜 두어도 좋다.
- [0162] 다음에, 레지스트를 형성한 후, 에칭에 의해 콘택트 홀을 형성하고, TFT들을 서로 접속하는 배선(51) 및 외부 안테나와 접속하기 위한 접속 배선(21)을 형성한다(도 23(D)). 콘택트 홀을 형성하기 위한 에칭 가스로서는, CHF_3 과 He의 혼합 가스를 사용하지만, 본 발명이 이것에 한정되는 것은 아니다. 또한, 배선(51)과 접속 배선(21)은 동일 재료를 사용하여 동시에 형성되어도 좋고, 따로따로 형성되어도 좋다. 본 실시예에서는, TFT에 접속되는 배선(51)은 스퍼터링 및 패터닝에 의해 Ti, TiN, Al-Si, Ti, TiN을 순차적으로 적층 형성한 5층 구조를 가진다.
- [0163] 또한, Al층에 Si를 혼입시킴으로써, 배선의 패터닝 시의 레지스트 베이킹(baking)에 있어서의 힐록의 발생을 방지할 수 있다. 또한, Si 대신에, 0.5% 정도의 Cu를 혼입시켜도 좋다. 또한, Ti과 TiN 사이에 Al-Si층을 끼움으로써, 내hil록성이 더욱 향상될 수 있다. 또한, 패터닝 시에는, SiON 등으로 이루어지는 상기 하드 마스크를 사용하는 것이 바람직하다. 또한, 배선의 재료나 형성 방법은 이들에 한정되는 것은 아니고, 게이트 전극에 사용되는 상술한 재료를 채용하여도 좋다.
- [0164] 또한, 본 실시예에서는, CPU(73), 메모리(74) 등을 구성하는 TFT 영역과, 안테나에 접속되는 단자부(80)를 일체로 형성하는 경우에 대하여 나타냈지만, TFT 영역과 안테나를 일체로 형성하는 경우에도 본 실시예를 적용할 수 있다. 이 경우에는, 층간막(53) 또는 보호막(54) 위에 안테나를 형성하고, 그 다음, 다른 보호막으로 덮어도 좋다. 안테나의 도전성 재료로서는, Ag, Au, Al, Cu, Zn, Sn, Ni, Cr, Fe, Co, Ti, 또는 그들을 함유하는 합금을 사용할 수 있지만, 본 발명이 이들에 한정되는 것은 아니다. 또한, 배선과 안테나가 서로 다른 재료로 형성될 수도 있다. 또한, 배선 및 안테나는 전성(展性) 및 연성(延性)이 풍부한 금속 재료로 형성되는 것이 바람직하고, 더욱 바람직하게는, 막 두께를 두껍게 하여 변형에 의한 응력에 견딜 수 있도록 하는 것이 바람직하다.
- [0165] 또한, 형성 방법으로서, 스퍼터링법에 의해 전면에 막을 형성한 후, 레지스트 마스크를 이용하여 패터닝을 행하여도 좋고, 또는 액적 토출법에 의해 노즐을 사용하여 선택적으로 형성하여도 좋다. 여기에서 말하는 액적 토출법에는, 잉크젯법 뿐만 아니라, 오프셋 인쇄법이나 스크린 인쇄법 등도 포함된다. 배선과 안테나는 동시에 형성되어도 좋고, 또는 한쪽을 먼저 형성한 후에, 다른 쪽을 그 위에 형성하여도 좋다.
- [0166] 이상의 공정들을 거쳐, TFT로 이루어지는 박막 집적회로 장치가 완성된다. 본 실시예에서는 탑 게이트 구조로 하였지만, 보텀 게이트 구조(역 스테거 구조)로 하여도 좋다. 또한, TFT와 같은 박막 액티브 소자가 존재하지 않는 영역에는 하지 절연막 재료, 층간절연막 재료, 배선 재료가 주로 마련되어 있는데, 이 영역은 박막 집적회로 장치 전체의 50% 이상, 바람직하게는 70~95%를 차지하는 것이 바람직하다. 이것에 의해, ID 칩이 쉽게 구부러질 수 있어, ID 라벨 등의 완성품의 취급이 용이하게 된다. 이 경우, TFT부를 포함하는 액티브 소자의 섬형상 반도체 영역(아일랜드)이 박막 집적회로 장치 전체의 1~30%, 바람직하게는 5~15%를 차지하는 것이 좋다.
- [0167] 또한, 도 23(D)에 도시한 바와 같이, 박막 집적회로 장치에서의 보호막 또는 층간막의 두께는, TFT의 반도체층과 하부의 보호막 사이의 거리(t_{under})가 반도체층과 상부의 층간막(또는 보호막이 형성되어 있는 경우에는 그 보호막) 사이의 거리(t_{over})와 같거나 또는 대략 같게 될 수 있도록 제어되는 것이 바람직하다. 이와 같이 하여 반도체층을 박막 집적회로 장치의 중앙에 배치시킴으로써, 반도체층에의 응력을 완화할 수 있어, 크랙의 발생을 방지할 수 있다.
- [0168] [실시예 8]
- [0169] 본 발명의 반도체장치는 무선 칩, IC 카드, IC 태그, ID 칩, 트랜스폰더, 지폐, 유가증권, 여권, 전자 기기, 가방 및 의류에 사용될 수 있다. 본 실시예에서는, IC 카드, ID 태그 및 ID 칩 등의 적용예에 대하여 도 18(A)~도 18(H)를 참조하여 설명한다.
- [0170] 도 18(A)는, 개인 식별용 외에, 내장된 다시 쓰기 가능한 메모리 회로를 이용하여 현금을 사용하지 않고 대금 결제가 가능한 신용카드 또는 전자 머니에도 사용될 수 있는 IC 카드를 나타낸다. IC 카드(2000)에는 본 발명을 사용한 회로부(2001)를 내장하고 있다.
- [0171] 도 18(B)는, 개인 식별용 외에, 소형화가 가능하므로 특정 장소에서의 입장 관리 등에도 사용될 수 있는 ID 태

그를 나타낸다. ID 태그(2010)에는 본 발명을 사용한 회로부(2011)를 내장하고 있다.

- [0172] 도 18(C)는, 슈퍼마켓 등의 소매점에서 상품을 취급할 때의 상품 관리에 사용되는 ID 칩(2022)을 부착한 상품(2020)을 나타낸다. 본 발명은 ID 칩(2022) 내의 회로에 적용된다. 이와 같이 ID 칩을 사용함으로써, 재고 관리가 용이하게 될 뿐만 아니라, 도난 등의 피해를 방지하는 것도 가능하다. 도면에서는 ID 칩(2022)이 벗겨져 나가는 것을 방지하기 위해 접착제로도 기능하는 보호막(2021)을 사용하고 있지만, ID 칩(2022)을 별도의 접착제에 의해 상품(2020)에 직접 접착하는 구조를 취하여도 좋다. 또한, 상품(2020)에 용이하게 부착되도록, 실시예 4에서 설명한 가요성 기판을 사용하여 ID 칩(2022)을 형성하는 것이 바람직하다.
- [0173] 도 18(D)는, 상품 제조 시에 상품에 조립한 식별용 ID 칩을 나타낸다. 도면에서는, 예로서 디스플레이의 케이스(2030)에 ID 칩(2031)이 내장되어 있다. 본 발명은 ID 칩(2031) 내의 회로에 적용된다. 이와 같은 구조를 취함으로써, 제조원의 식별, 상품의 유통 관리 등을 용이하게 행할 수 있다. 또한, 도면에서는 디스플레이의 케이스를 예로서 든 것이지만, 본 발명은 이것에 한정되는 것은 아니고, 다양한 전자 기기 및 물품에 적용될 수 있다.
- [0174] 도 18(E)는 물품 운반용의 집표를 나타낸다. 도면에서는, 집표(2040) 내에 ID 칩(2041)이 내장되어 있다. 본 발명은 ID 칩(2041) 내의 회로에 적용된다. 이와 같은 구조를 취함으로써, 반송처의 선별이나 상품의 유통 관리 등을 용이하게 행할 수 있다. 또한, 도면에서는 집표가 물품을 묶는 끈에 부착되는 것으로 형성되어 있지만, 본 발명은 이것에 한정되는 것은 아니고, 시일재와 같은 것을 사용하여 집표를 물품에 직접 부착하는 구조를 취하여도 좋다.
- [0175] 도 18(F)는 서적(2050)에 내장된 ID 칩(2052)을 나타낸다. 본 발명은 ID 칩(2052) 내의 회로에 적용된다. 이와 같은 구조를 취함으로써, 서점에서의 유통 관리나 도서관 등에서의 대출 처리 등을 용이하게 행할 수 있다. 도면에서는 ID 칩(2052)이 벗겨져 나가는 것을 방지하기 위해 접착제로도 기능하는 보호막(2051)을 사용하고 있지만, ID 칩(2052)을 접착제에 의해 서적(2050)에 직접 접착하는 구조를 취하거나 또는 서적(2050)의 표지에 묻는 구조를 취하여도 좋다.
- [0176] 도 18(G)는 지폐(2060)에 결합된 ID 칩(2061)을 나타낸다. 본 발명은 ID 칩(2061) 내의 회로에 적용된다. 이와 같은 구조를 취함으로써, 위폐의 유통을 저지하는 것이 용이하게 행해진다. 또한, 지폐의 성질상, ID 칩(2061)이 벗겨져 나가는 것을 방지하기 위해 ID 칩(2061)을 지폐(2060)에 묻는 구조를 취하면 더욱 바람직하다. 본 발명은 지폐에 한정되지 않고, 유가증권, 여권 등, 종이를 재질로 한 것에 적용할 수 있다.
- [0177] 도 18(H)는 구두(2070)에 결합된 ID 칩(2072)을 나타낸다. 본 발명은 ID 칩(2072) 내의 회로에 적용된다. 이와 같은 구조를 취함으로써, 제조원의 식별, 상품의 유통 관리 등을 용이하게 행할 수 있다. 도면에서는 ID 칩(2072)이 벗겨지는 것을 방지하기 위해 접착제로도 기능하는 보호막(2071)을 사용하고 있지만, ID 칩(2072)을 접착제에 의해 구두(2070)에 직접 접착하는 구조를 취하거나 또는 구두(2070)에 묻는 구조를 취하여도 좋다. 본 발명은 구두에 한정되지 않고, 가방, 의류 등, 몸에 걸치는 것에 적용할 수 있다.
- [0178] 다음에, 보안성 확보를 목적으로 하여, 다양한 물품에 ID 칩을 실장하는 경우를 설명한다. 보안성 확보란, 도난 방지 및 위조 방지를 고려하는 것이다.
- [0179] 도난 방지의 예로서, 가방에 ID 칩을 실장하는 경우를 설명한다. 도 25에 도시한 바와 같이, 가방(2501)에 ID 칩(2502)을 실장한다. 예를 들어, 가방(2501)의 바닥 또는 측면의 일부 등에 ID 칩(2502)을 실장할 수 있다. ID 칩(2502)은 매우 얇고 작기 때문에, 가방(2501)의 디자인성을 저하시키지 않고 실장할 수 있다. 또한, ID 칩(2502)은 투광성을 가지기 때문에, 도난자는 ID 칩(2502)이 실장되어 있는지를 판단하기 어렵다. 따라서, 도난자에 의해 ID 칩(2502)이 떼어질 염려가 없다.
- [0180] 이와 같이 ID 칩을 실장한 가방이 도난된 경우, 예를 들어, GPS(Global Positioning System)를 사용하여 가방의 현재 위치에 관한 데이터를 얻을 수 있다. GPS란 GPS용 위성으로부터 보내진 신호를 취하여 그 시간차를 구하고, 그것을 기본으로 측위하는 시스템이다.
- [0181] 또한, 도난된 물품 이외에도, 잊은 물건이나 분실물을 GPS를 사용하여 현재 위치에 관한 정보를 얻을 수 있다.
- [0182] 또한, 가방 이외에도, 자동차, 자전거 등의 탈것, 시계나 악세사리에 ID 칩을 실장할 수 있다.
- [0183] 다음에, 위조 방지의 예로서, 여권이나 면허증 등에 ID 칩을 실장하는 경우를 설명한다.
- [0184] 도 26(A)는 ID 칩을 실장한 여권(2601)을 나타낸다. 도 26(A)에서는 ID 칩(2602)이 여권(2601)의 표지에 실장

되어 있지만, 그 외의 페이지에 실장하여도 좋다. ID 칩(2602)은 투광성을 가지기 때문에, 표지의 표면에 실장하여도 좋다. 또한, ID 칩(2602)을 표지 등의 재료에 끼워 넣도록 하여, 표지의 내부에 실장하는 것도 가능하다.

- [0185] 도 26(B)는 ID 칩을 실장한 면허증(2603)을 나타낸다. 도 26(B)에서는 ID 칩(2604)이 면허증(2603)의 내부에 실장되어 있다. 또한, ID 칩(2604)은 투광성을 가지기 때문에, 면허증(2603)의 인쇄면 위에 실장하여도 상관없다. 예를 들어, ID 칩(2604)은 면허증(2603)의 인자면 위에 실장되고, 라미네이트 필름으로 덮일 수 있다. 또는, ID 칩(2604)을 면허증(2603)의 재료에 끼우도록 하여, 내부에 실장할 수도 있다.
- [0186] 이상과 같은 물품에 ID 칩을 실장함으로써, 위조를 방지할 수 있다. 또한, 상술한 가방에 ID 칩을 실장하여 위조를 방지할 수 있다. 또한, 매우 얇고 작은 ID 칩을 사용하기 때문에, 여권이나 면허증 등의 디자인성을 손상시키는 일이 없다. 또한, ID 칩은 투광성을 가지기 때문에, 표면에 실장하여도 상관없다.
- [0187] 또한, ID 칩에 의해 여권이나 면허증 등의 관리를 간편하게 행할 수 있다. 또한, 여권이나 면허증 등에 직접 데이터를 기입하지 않고, ID 칩에 보존할 수도 있기 때문에, 프라이버시를 보호할 수 있다.
- [0188] 안전 관리를 행하기 위해 식료품 등의 상품에 ID 칩을 실장하는 경우를 도 27에 나타낸다.
- [0189] 도 27은 ID 칩(2703)을 실장한 라벨(2702)과, 이 라벨(2702)이 부착된 고기의 패키지(2701)를 나타낸다. ID 칩(2703)은 라벨(2702)의 표면에 실장하여도 좋고, 라벨(2702) 내부에 실장하여도 좋다. 또한, 야채 등의 신선 식품의 경우, 신선 식품을 덮는 랩에 ID 칩을 실장하여도 좋다.
- [0190] ID 칩(2703)에는 상품의 생산지, 생산자, 가공 연월일, 유통기한 등의 상품에 관한 기본 사항, 또는 상품을 사용한 조리예 등의 응용 사항을 기록할 수 있다. 이와 같은 기본 사항은 다시 쓰기가 필요없기 때문에 MROM 등의 다시 쓰기 불가능한 메모리를 사용하여 기록하여도 좋다. 또한, 이와 같은 응용 사항은 EEPROM 등의 다시 쓰기 및 소거할 수 있는 메모리를 사용하여 기록할 수도 있다.
- [0191] 또한, 식료품의 안전 관리를 행하기 위해서는, 가공 전의 동식물의 상태를 알 수 있는지가 중요하다. 따라서, 동식물 내에 ID 칩을 묻어, 리더(reader) 장치에 의해 동식물에 관한 정보를 취득하면 좋다. 동식물에 관한 정보란, 사육지, 사료, 사육자, 전염병의 감염 유무 등이다.
- [0192] 또한, ID 칩에 상품의 가격이 기록되어 있다면, 종래의 바코드를 사용한 방식보다 간편하고 단시간에 상품의 정산을 행할 수 있게 된다. 즉, ID 칩이 실장된 다수의 상품을 한꺼번에 정산할 수 있다. 이와 같이 다수의 ID 칩을 판독하는 경우, 동시 인식(anti-collision) 기능을 리더 장치에 탑재할 필요가 있다.
- [0193] 또한, ID 칩의 통신 거리에 따라서는, 레지스트와 상품과의 거리가 멀어도, 상품의 정산을 가능하게 할 수 있다. 또한, ID 칩은 도난 방지 등에도 쓸모가 있다.
- [0194] 또한, ID 칩은 바코드, 자기 테이프 등의 다른 정보 매체와 조합하여 사용될 수도 있다. 예를 들어, ID 칩에는 다시 쓰기가 불필요한 기본 사항을 기록하고, 바코드에는 갱신해야 하는 정보, 예를 들어, 할인 가격이나 특가 정보를 기록하면 좋다. 바코드는 ID 칩과 달리, 정보의 수정을 간편하게 행할 수 있기 때문이다.
- [0195] 이와 같이 ID 칩을 실장함으로써, 소비자에게 제공할 수 있는 정보량을 증대시킬 수 있기 때문에, 소비자는 안심하고 상품을 구입할 수 있다.
- [0196] 다음에, 물류 관리를 행하기 위해, 맥주병 등의 상품에 ID 칩을 실장하는 경우를 설명한다. 도 28(A)에 도시한 바와 같이, 예를 들어, 라벨(2801)을 사용하여 맥주병에 ID 칩(2802)을 실장한다.
- [0197] ID 칩(2802)에는 제조일, 제조 장소, 사용 재료 등의 기본 사항을 기록한다. 이와 같은 기본 사항은 다시 쓸 필요가 없기 때문에 MROM 등의 다시 쓰기 불가능한 메모리를 사용하여 기록하면 좋다. 또한, ID 칩에는 각 맥주병의 배송지, 배송일시 등의 개별 사항을 기록한다. 예를 들어, 도 28(B)에 도시한 바와 같이, 각 맥주병(2803)이 컨베이어 벨트(2806)에 의해 움직이고,ライター(writer) 장치(2805)를 통과할 때, 라벨(2804)에 내장된 ID 칩(2807)에 각 배송지, 배송일시를 기록할 수 있다. 이와 같은 개별 사항은 EEPROM 등의 다시 쓰기 및 소거 가능한 메모리를 사용하여 기록할 수도 있다.
- [0198] 또한, 배송지로부터 구입된 상품 정보가 네트워크를 통하여 물류 관리 센터로 반송되면, 이 상품 정보에 기초하여,ライター 장치 또는 이ライター 장치를 제어하는 퍼스널 컴퓨터 등이 배송지나 배송일시를 산출하고, ID 칩에 기록하도록 시스템을 구축할 수도 있다.

- [0199] 또한, 병의 배달은 케이스마다 행해지기 때문에, 케이스마다 또는 다수의 케이스마다 ID 칩을 실장하여 개별 사항을 기록할 수도 있다.
- [0200] 이와 같은 다수의 배달지가 기록될 수 있는 식료품에 ID 칩을 실장함으로써, 수작업으로 행하는 입력에 걸리는 시간을 삭감할 수 있고, 그것에 기인한 입력 실수를 저감할 수 있다. 또한, 물류 관리의 분야에서 가장 비용이 드는 인건비를 삭감할 수 있다. 따라서, ID 칩을 실장함으로써, 실수가 적은 저비용의 물류 관리를 행할 수 있다.
- [0201] 또한, 배달지에서, 맥주에 어울리는 식료품, 맥주를 사용한 요리법 등의 응용 사항을 기록하여도 좋다. 그 결과, 식료품 등의 선전을 겸할 수 있고, 소비자의 구매 의욕을 고조시킬 수 있다. 이와 같은 응용 사항은 EEROM 등의 다시 쓰기, 소거 가능한 메모리를 사용하여 기록하면 좋다. 이와 같이 ID 칩을 실장함으로써, 소비자에게 제공할 수 있는 정보를 증대시킬 수 있기 때문에, 소비자는 안심하고 상품을 구입할 수 있다.
- [0202] 제조 관리를 행하기 위해 ID 칩을 실장한 제조품과 이 ID 칩의 데이터에 기초하여 제어되는 제조장치(제조 로봇)에 대하여 설명한다.
- [0203] 현재, 오리지널 상품을 생산하는 것이 많이 보여지고, 이와 같은 경우, 생산 라인에서는 이 상품의 오리지널 데이터에 기초하여 생산한다. 예를 들어, 문의 도장색을 자유롭게 선택할 수 있는 자동차의 생산 라인에 있어서는 자동차의 일부에 ID 칩을 실장하고, 이 ID 칩으로부터의 데이터에 기초하여 도장 장치를 제어한다. 이에 따라, 오리지널 자동차를 생산할 수 있다.
- [0204] ID 칩을 실장한 결과, 사전에 생산 라인에 투입되는 자동차의 순서나 동일 색을 가지는 수를 조정할 필요가 없다. 따라서, 자동차의 순서나 수, 그것에 어울리도록 도장 장치를 제어하는 프로그램을 설정하지 않아도 된다. 즉, 제조 장치는 자동차에 실장된 ID 칩의 데이터에 기초하여 개별적으로 동작할 수 있다.
- [0205] 이와 같이, ID 칩은 다양한 장소에서 사용할 수 있다. 그리고, ID 칩에 기록된 데이터에 의해, 제조에 관한 고유 데이터를 얻을 수 있고, 이 데이터에 기초하여 제조 장치를 제어할 수 있다.
- [0206] 다음에, 본 발명의 ID 칩을 사용한 ID 카드를 전자 머니로서 이용하는 형태에 대하여 설명한다. 도 29는 IC 카드(2901)를 사용하여 결제를 하는 양태를 나타낸다. IC 카드(2901)는 본 발명의 ID 칩(2902)을 가지고 있다. IC 카드(2901)의 사용 시에는 현금 등록기(2903)와 리더/라이터(2904)가 필요하다. ID 칩(2902)에는 IC 카드(2901)에 입금되어 있는 금액의 데이터가 기록되어 있고, 리더/라이터(2904)는 그 금액의 데이터를 비접촉으로 판독하고, 현금 등록기(2903)에 송신할 수 있다. 현금 등록기(2903)에서는 IC 카드(2901)에 입금되어 있는 금액이 결제하는 금액 이상인 것을 확인하고 결제를 한다. 그리고, 리더/라이터(2904)에 결제 후의 잔액 데이터를 송신한다. 리더/라이터(2904)는 그 잔액 데이터를 IC 카드(2901)의 ID 칩(2902)에 기입할 수 있다.
- [0207] 또한, 리더/라이터(2904)에 비밀 번호 등을 입력할 수 있는 키(2905)를 부가하여, 제삼자에 의해 IC 카드(2901)를 사용한 결제가 무단으로 행해지는 것을 제한할 수 있도록 할 수도 있다.
- [0208] 또한, 본 실시예에서 나타낸 예는 극히 일 예일 뿐이고, 본 발명이 이들 용도에 한정하는 것은 아니다.
- [0209] 이상과 같이, 본 발명의 적용 범위는 극히 넓어, 모든 물품의 개체 인식용으로 본 발명의 ID 칩이 적용될 수 있다. 또한, 본 실시예는 실시형태, 실시예 1~8과 조합하여 실현될 수 있다.

산업상 이용 가능성

- [0210] 본 발명의 ID 칩은 무선 태그(tag) 및 RFID와 같은 무선 칩, IC 칩, IC 카드, 트랜스폰더 등에 사용된다. 본 발명에 의하면, ID 칩 중의 메모리 회로에 데이터를 1회만 기입하는 것이 가능하게 된다. 이와 같이 하여, ID 칩의 데이터 위조를 방지할 수 있고, 보안성을 확보한 ID 칩으로서 사용되는 반도체장치를 형성할 수 있다. 또한, 칩 제조 시 이외에 데이터 기입을 행할 수 있는 ID 칩으로서 사용되는 반도체장치를 제공할 수 있다.

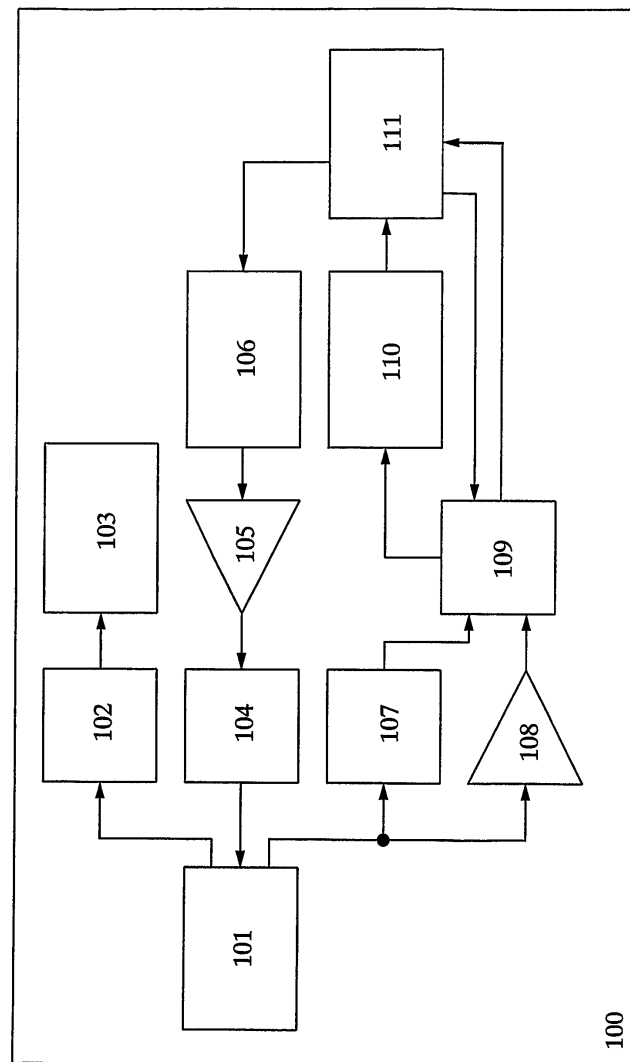
도면의 간단한 설명

- [0022] 도 1은 본 발명의 반도체장치의 구성을 나타내는 블록도.
- [0023] 도 2는 종래의 반도체장치의 구성을 나타내는 블록도.
- [0024] 도 3(A) 및 도 3(B)는 종래의 반도체장치의 구성을 나타내는 블록도.

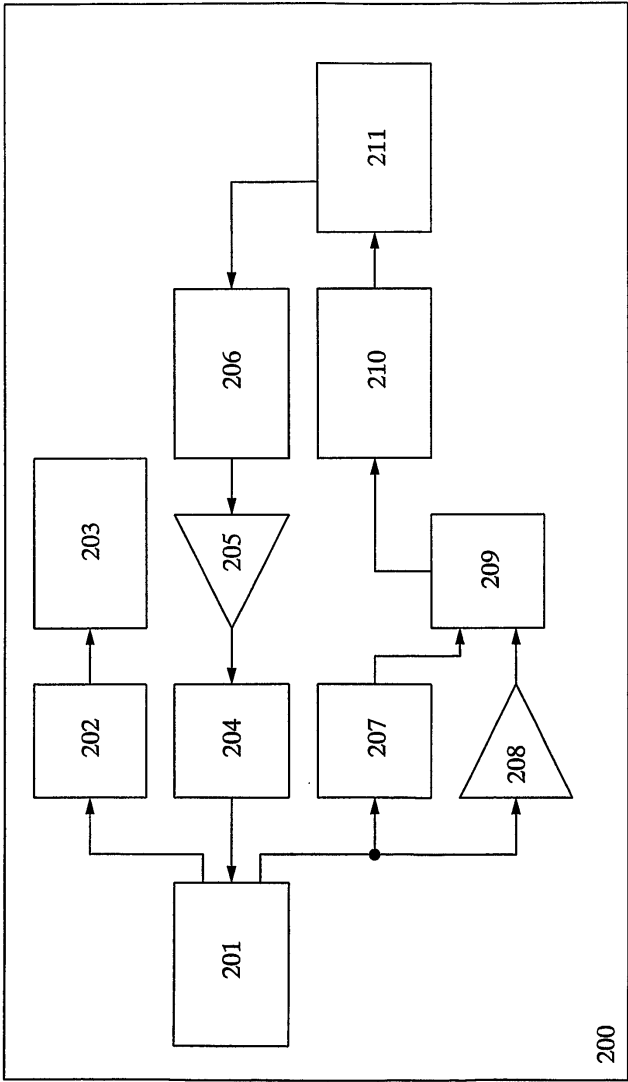
- [0025] 도 4는 RF 태그 시스템의 개요를 나타내는 도면.
- [0026] 도 5는 2T2C 방식의 FeRAM의 회로 구성을 나타내는 도면.
- [0027] 도 6은 FeRAM의 구성을 나타내는 도면.
- [0028] 도 7은 1T1C 방식의 FeRAM의 회로 구성을 나타내는 도면.
- [0029] 도 8은 강유전체 재료의 히스테리시스(hysteresis)를 나타내는 도면.
- [0030] 도 9는 본 발명의 논리회로의 블록도.
- [0031] 도 10(A)~도 10(E)는 본 발명의 안테나의 실시예들을 나타내는 도면.
- [0032] 도 11(A)~도 11(C)는 본 발명의 안테나의 실시예들을 나타내는 도면.
- [0033] 도 12(A) 및 도 12(B)는 메모리 회로에 기억되는 데이터의 예들을 나타내는 도면.
- [0034] 도 13은 본 발명의 논리회로의 블록도.
- [0035] 도 14(A)~도 14(C)는 본 발명의 제조공정을 나타내는 단면도.
- [0036] 도 15(A)~도 15(C)는 본 발명의 제조공정을 나타내는 단면도.
- [0037] 도 16(A)~도 16(C)는 본 발명의 제조공정을 나타내는 단면도.
- [0038] 도 17(A) 및 도 17(B)는 본 발명의 제조공정을 나타내는 단면도.
- [0039] 도 18(A)~도 18(H)는 본 발명의 응용예들을 나타내는 도면.
- [0040] 도 19는 본 발명에 따른 TFT의 배치를 나타내는 도면.
- [0041] 도 20은 본 발명의 안정화 전원회로의 예를 나타내는 도면.
- [0042] 도 21(A) 및 도 21(B)는 본 발명의 반도체장치와 보호층의 조합을 나타내는 도면.
- [0043] 도 22(A)~도 22(E)는 본 발명의 제조공정을 나타내는 단면도.
- [0044] 도 23(A)~도 23(D)는 본 발명의 제조공정을 나타내는 단면도.
- [0045] 도 24(A) 및 도 24(B)는 본 발명의 제조공정을 나타내는 단면도.
- [0046] 도 25는 본 발명을 사용한 가방을 나타내는 도면.
- [0047] 도 26(A) 및 도 26(B)는 본 발명을 사용한 증명서를 나타내는 도면.
- [0048] 도 27은 본 발명을 사용한 식료품 관리를 설명하는 도면.
- [0049] 도 28(A) 및 도 28(B)는 본 발명을 사용한 물류 관리를 설명하는 도면.
- [0050] 도 29는 본 발명을 사용한 IC 카드 결제를 설명하는 도면.

도면

도면1

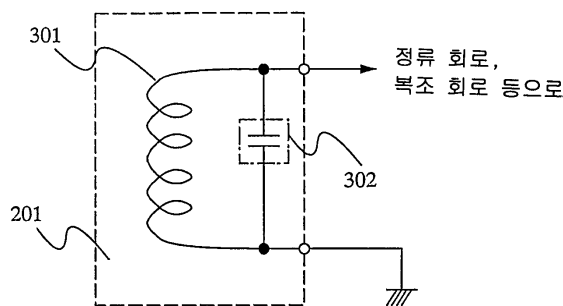


도면2

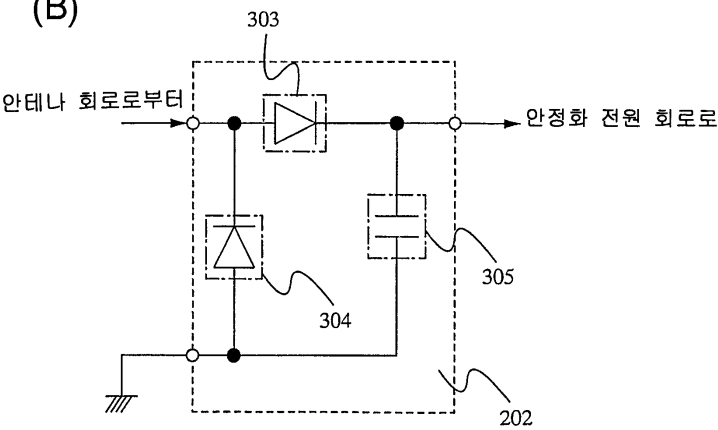


도면3

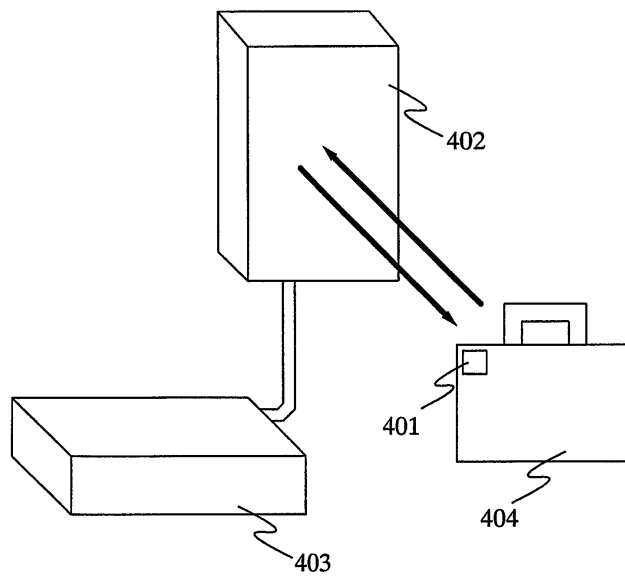
(A)



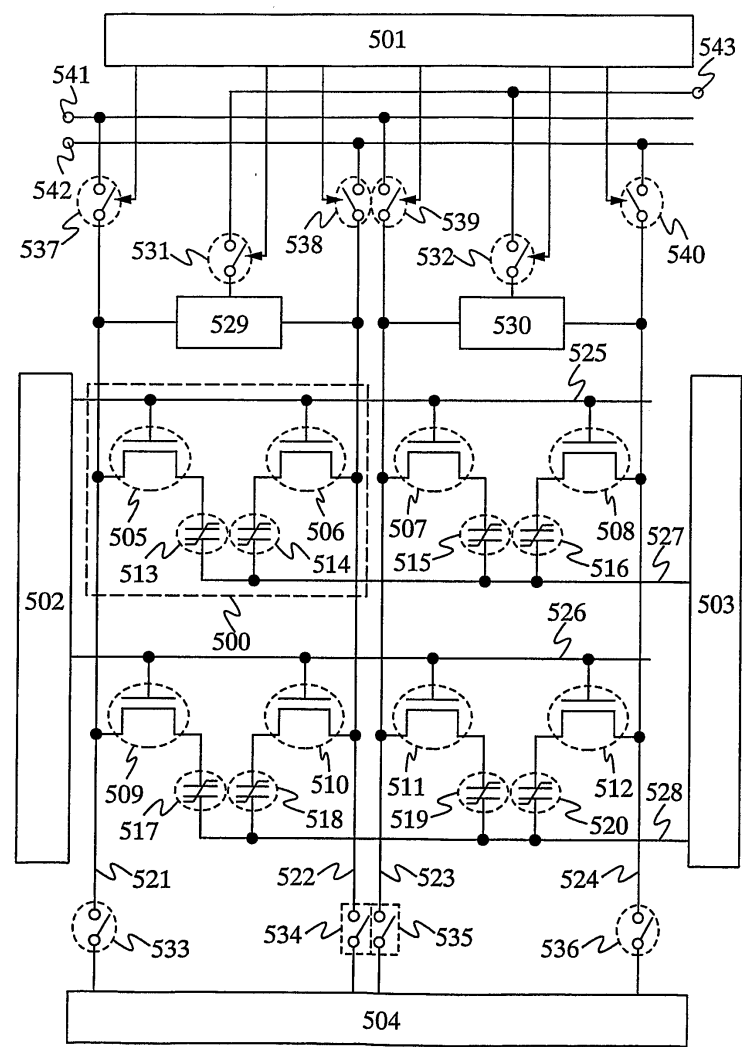
(B)



도면4



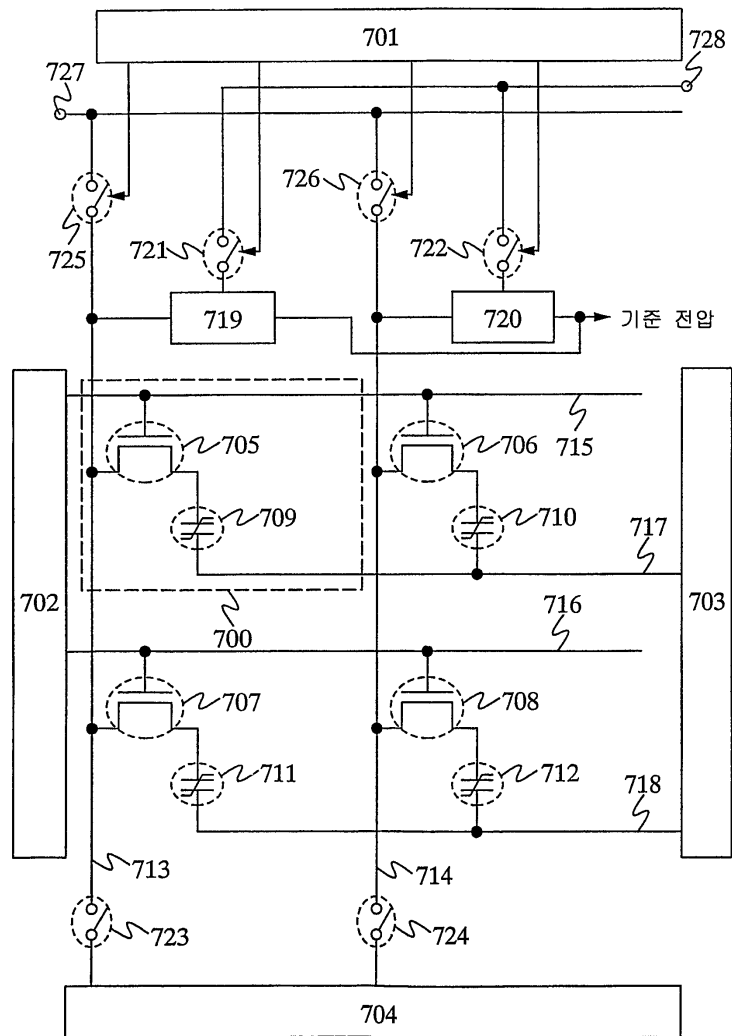
도면5



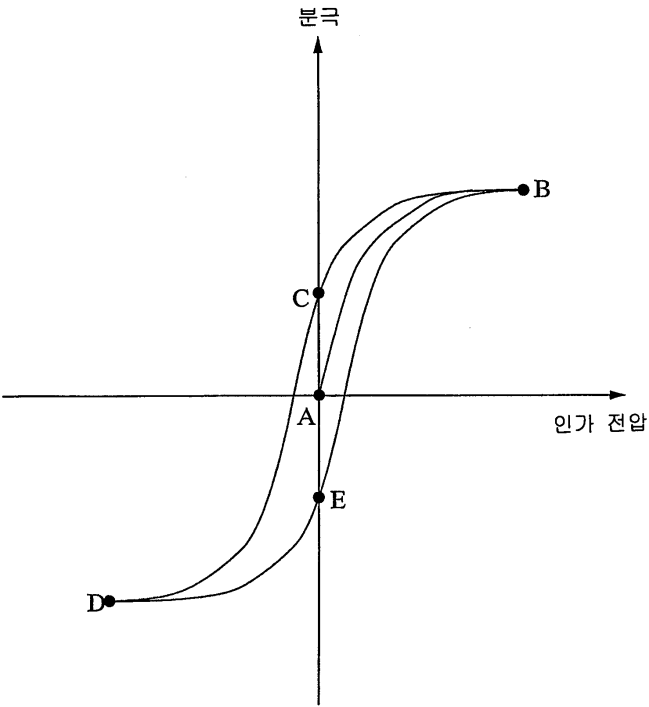
도면6

상부 전극층 (Ir/IrO ₂ 등)
강유 전체층 (PZT 등)
하부 전극층 (Pt/IrO ₂ 등)

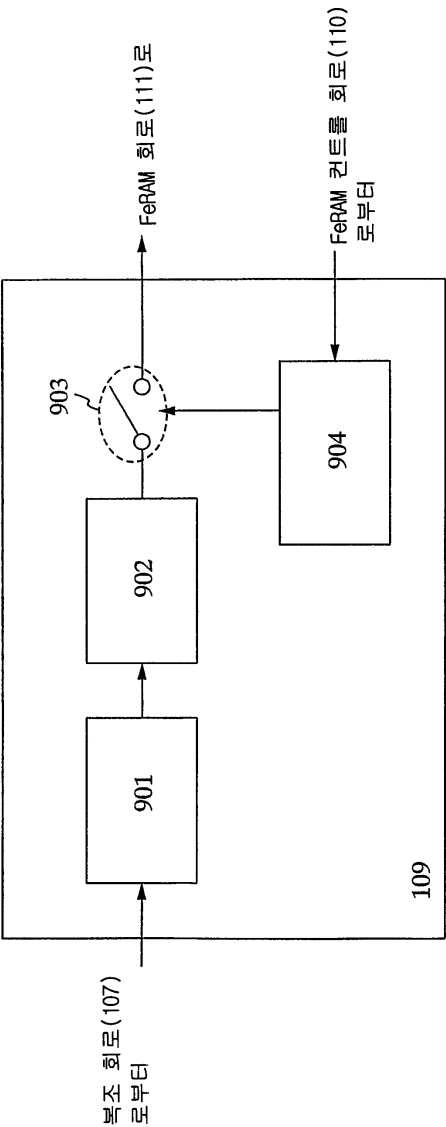
도면7



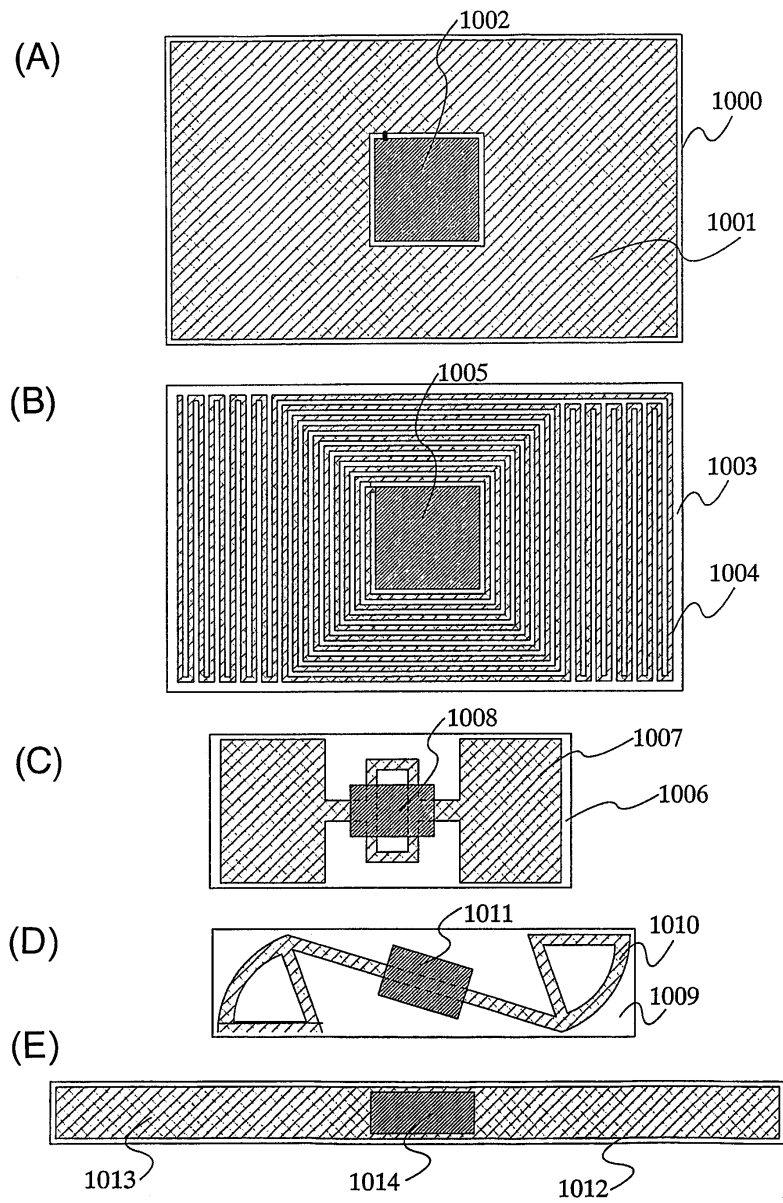
도면8



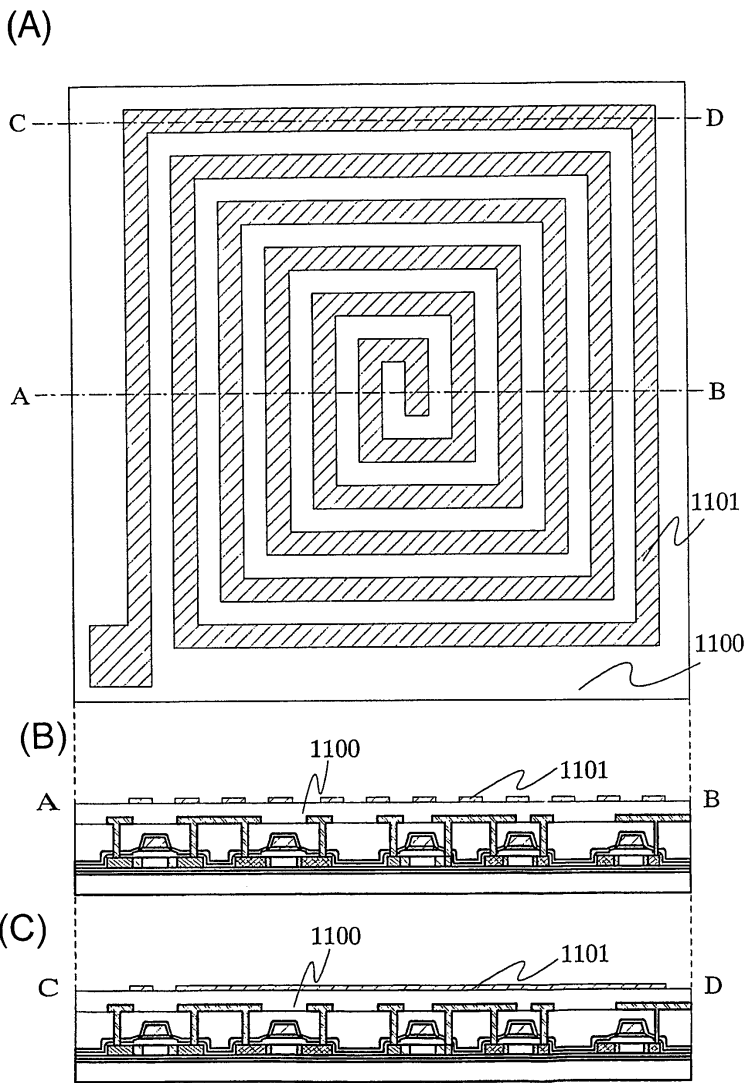
도면9



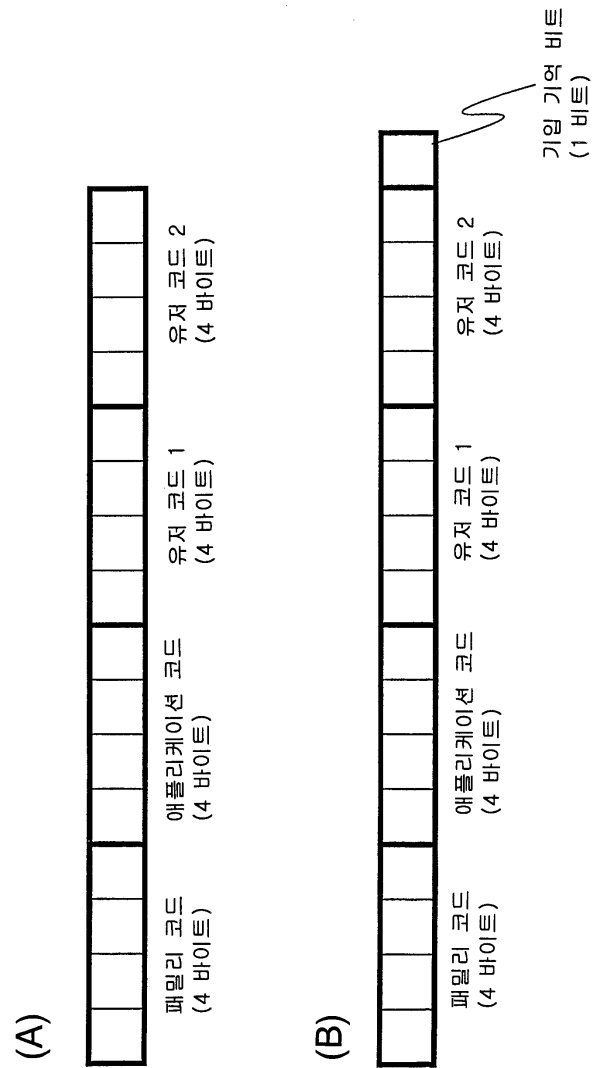
도면10



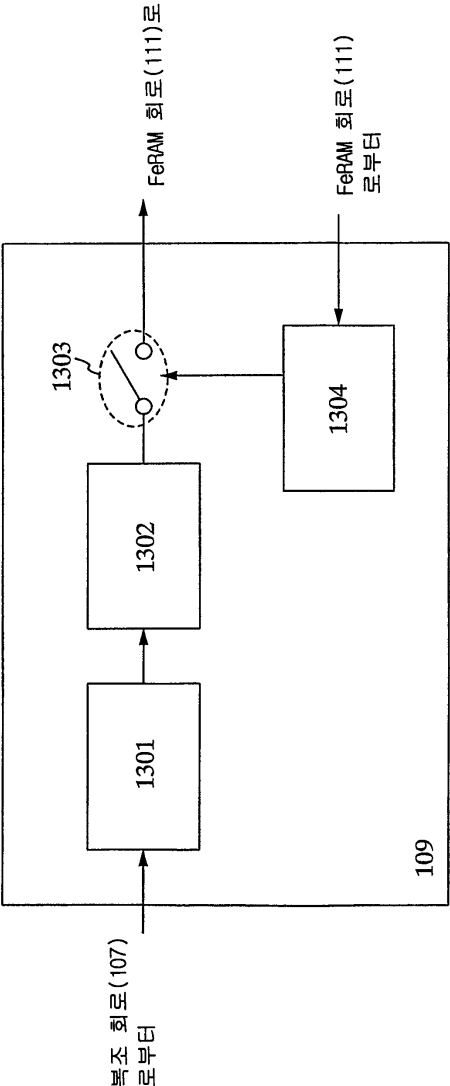
도면11



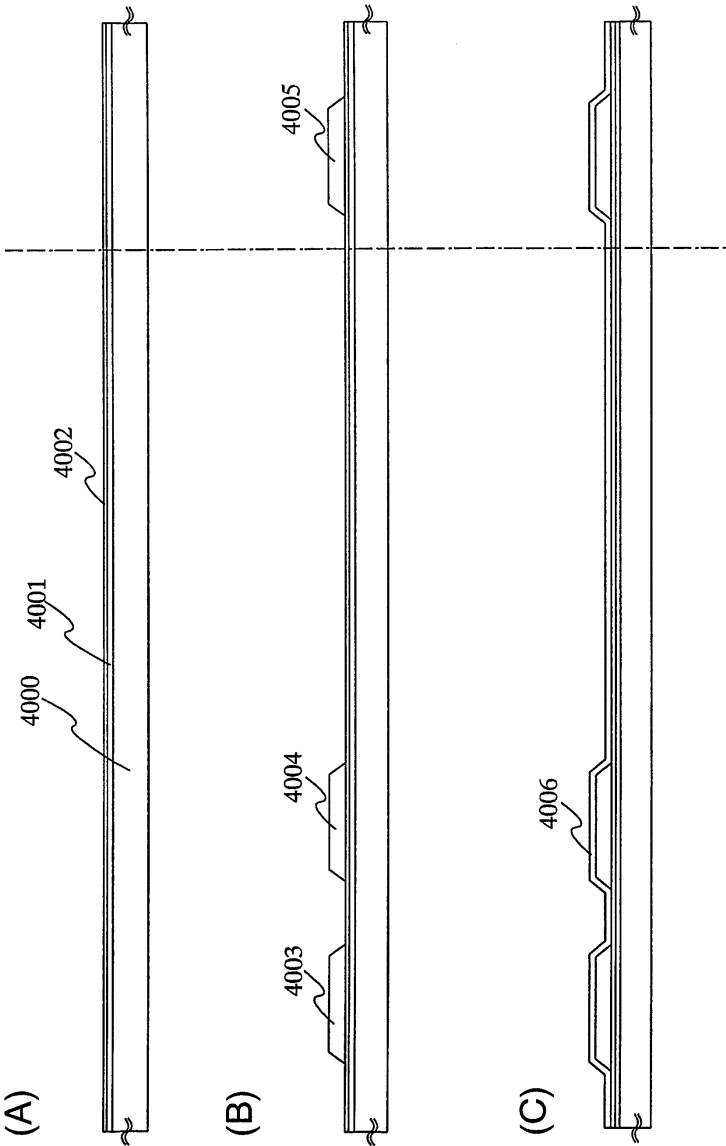
도면12



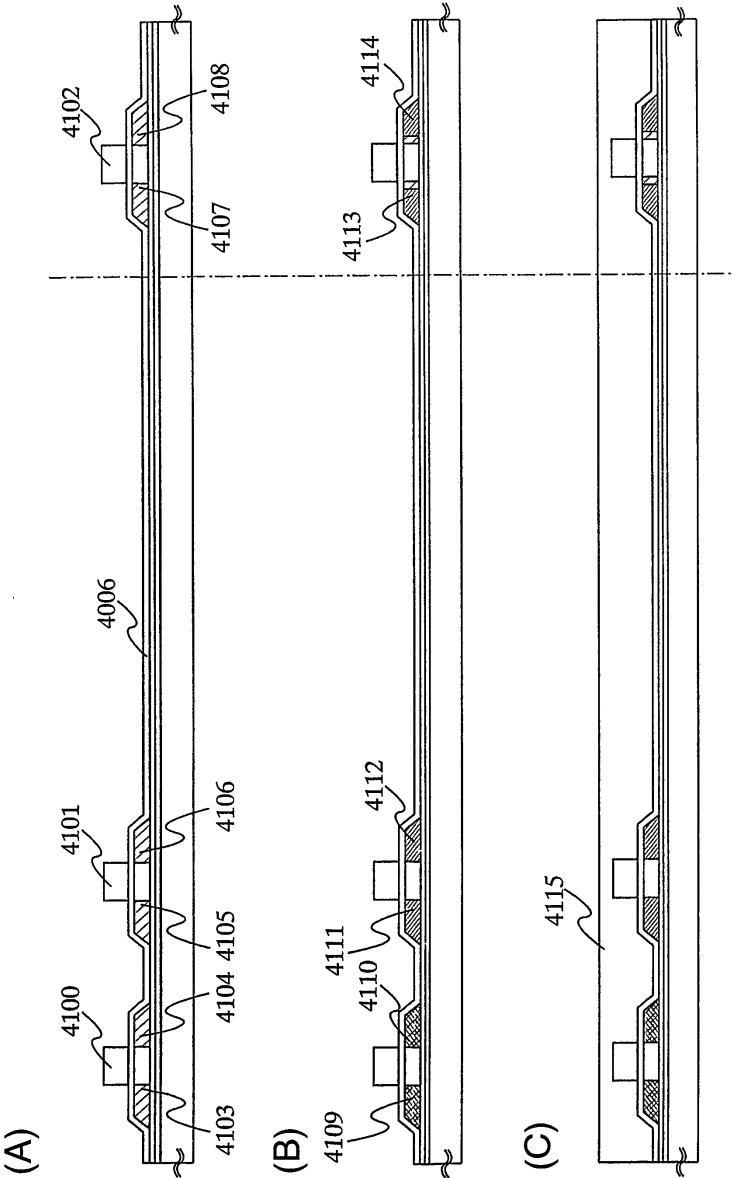
도면13



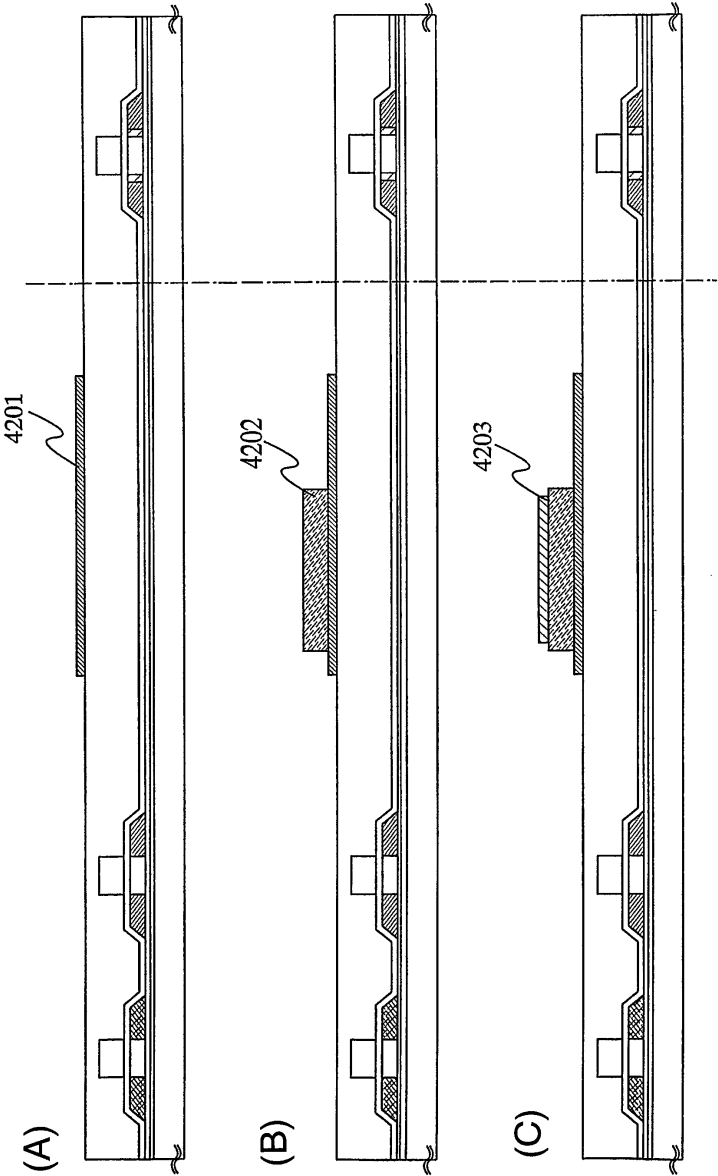
도면14



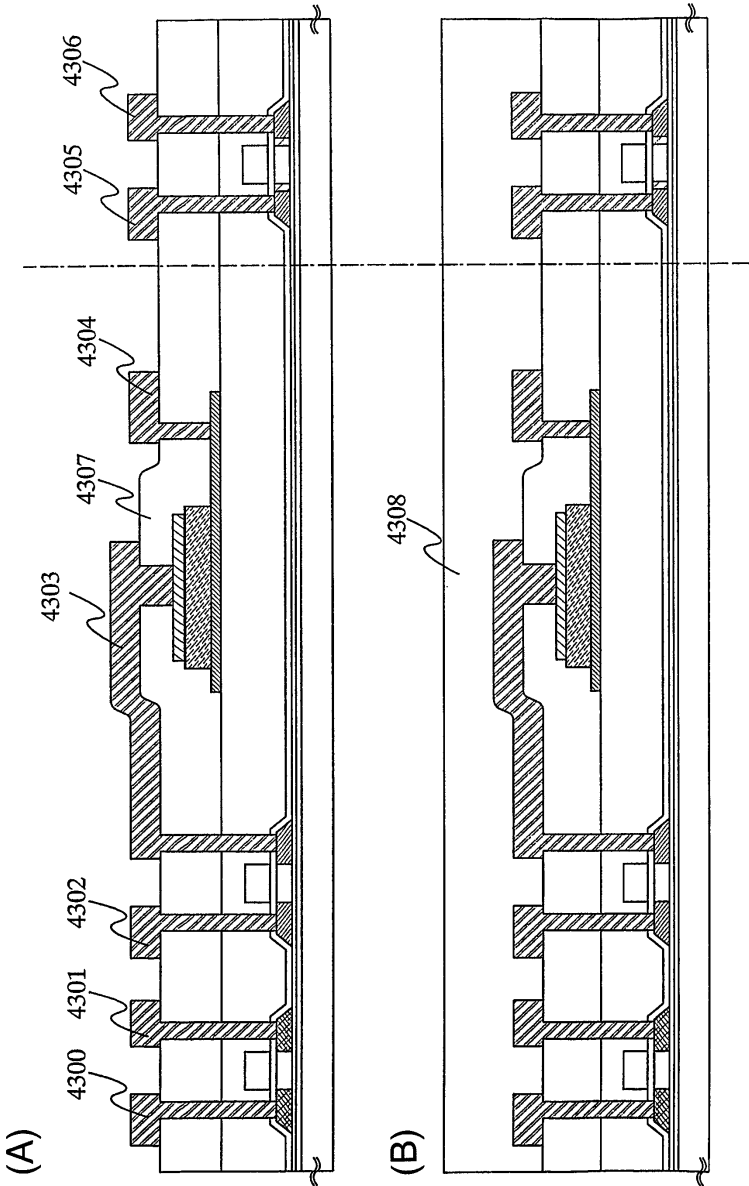
도면15



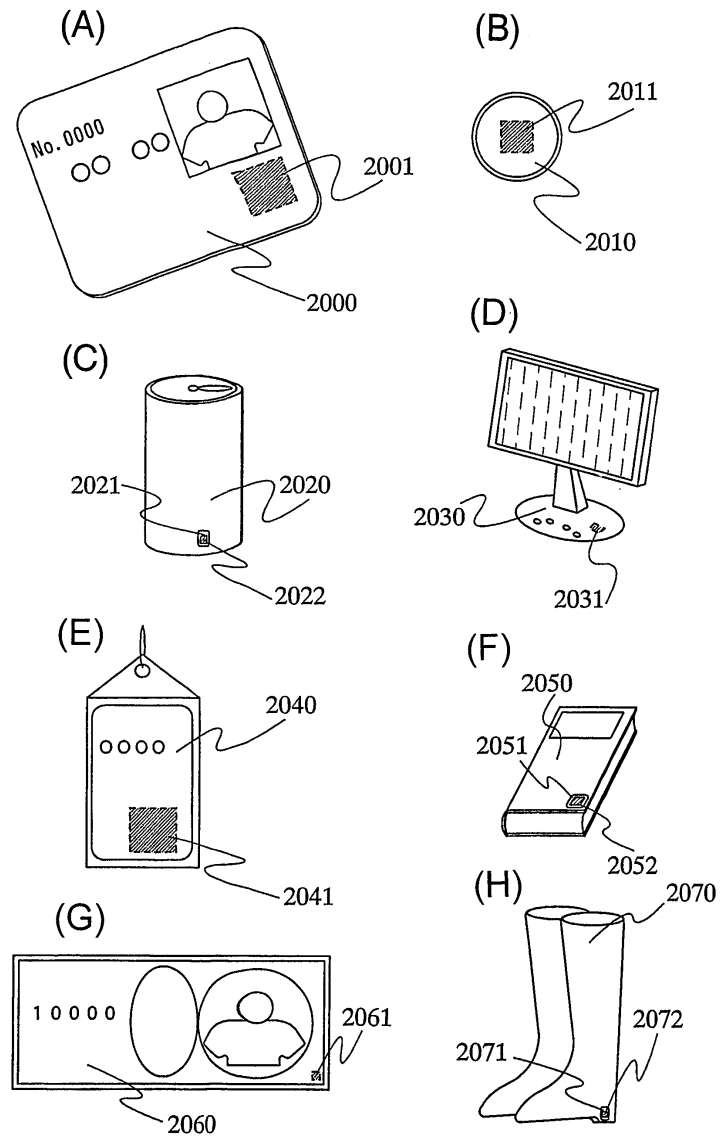
도면16



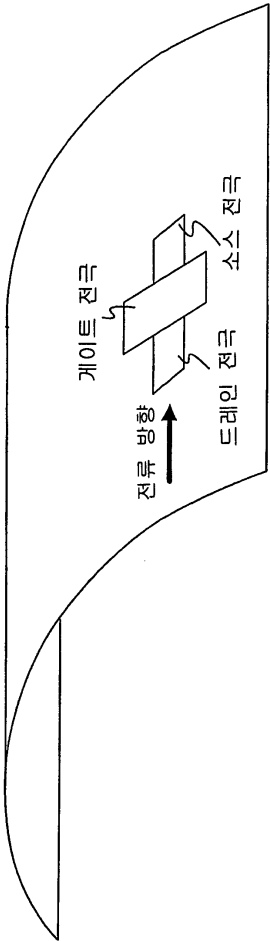
도면17



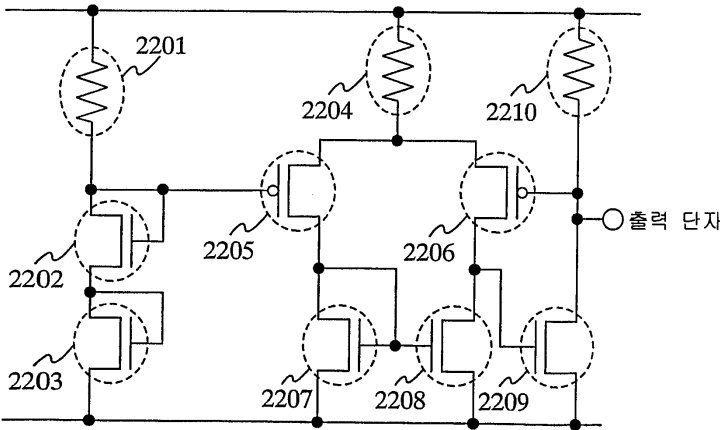
도면18



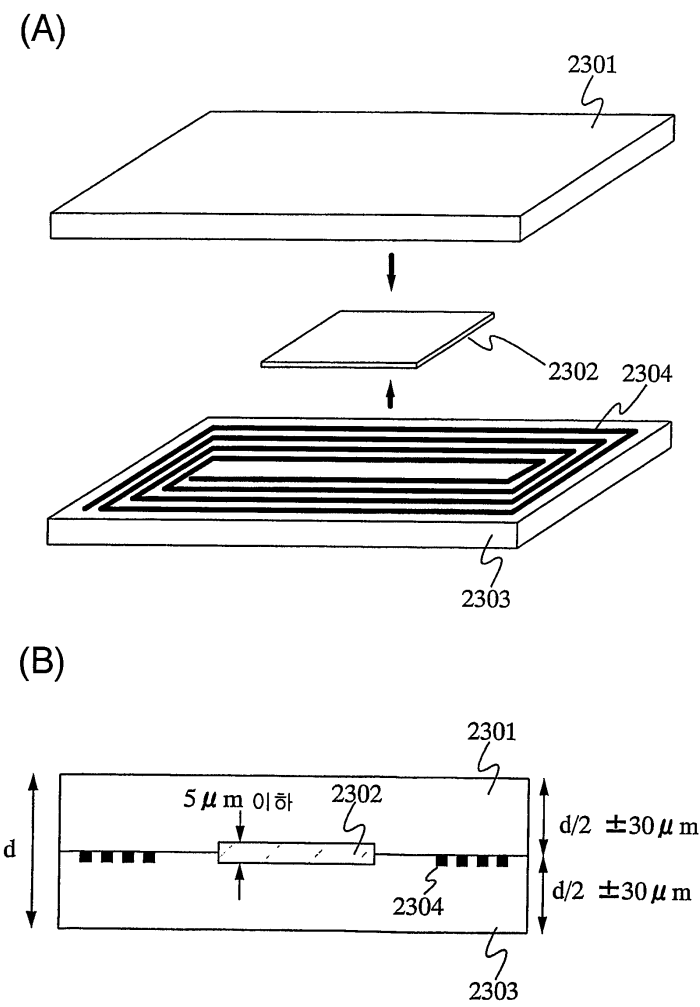
도면19



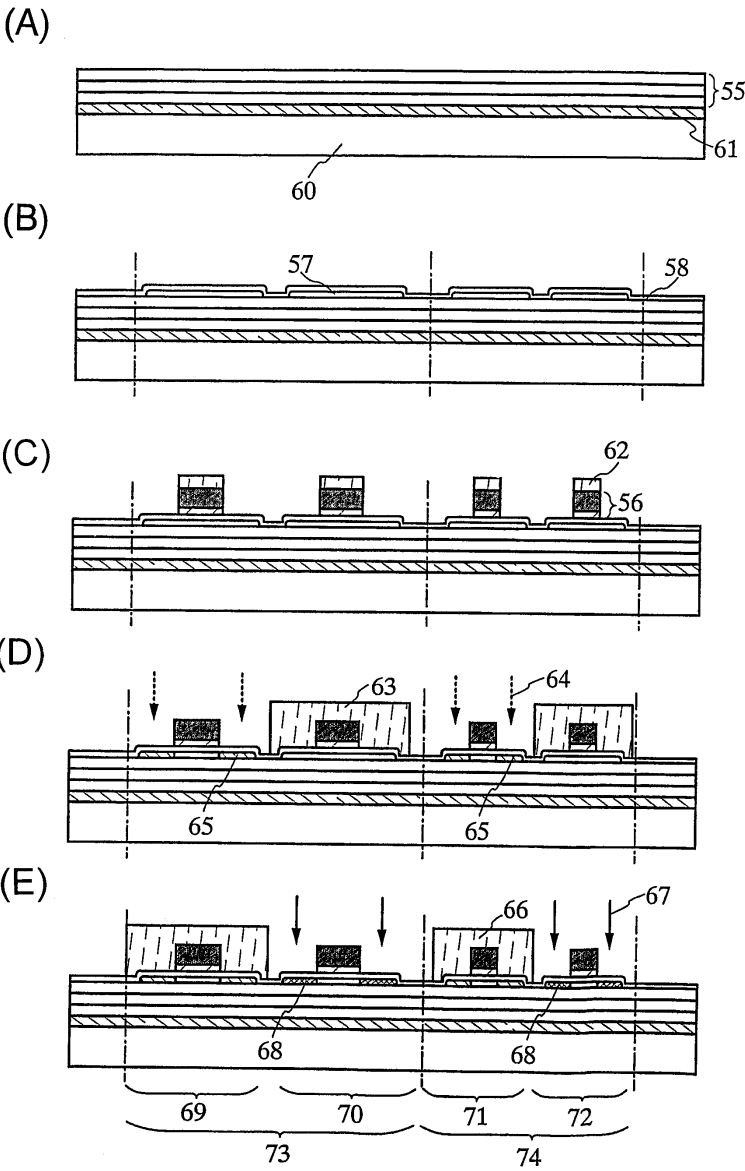
도면20



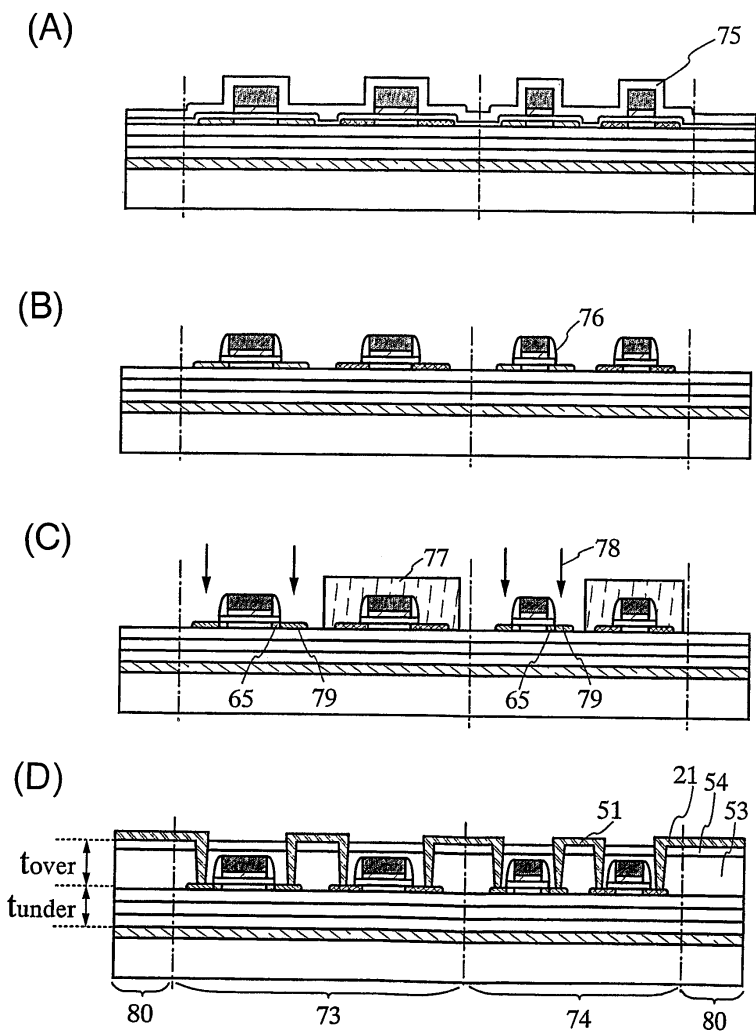
도면21



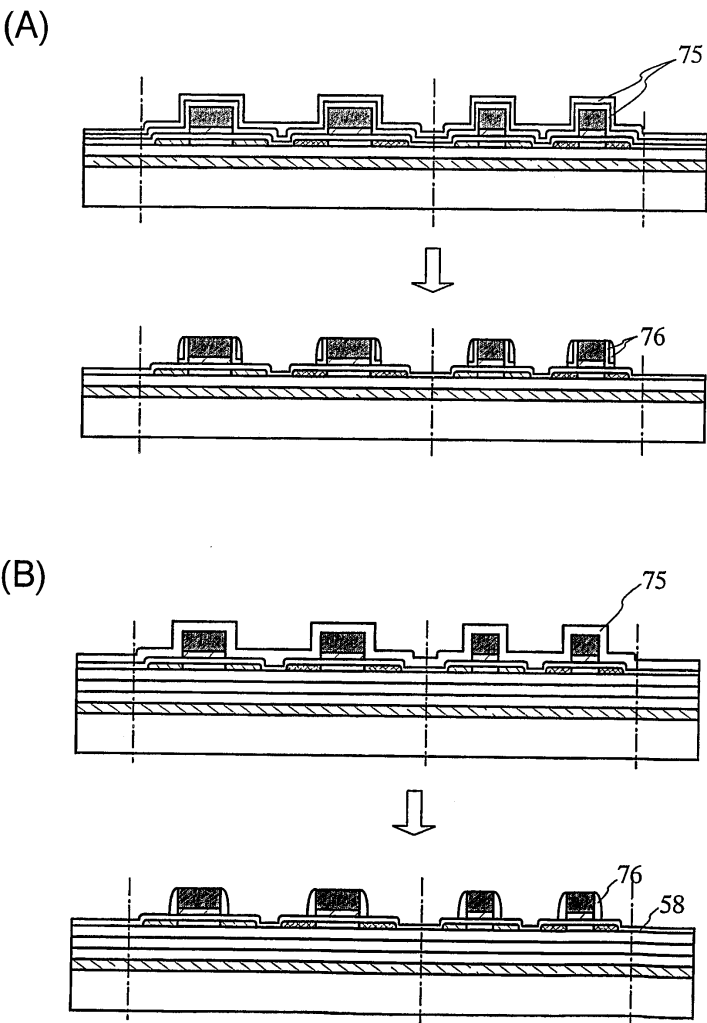
도면22



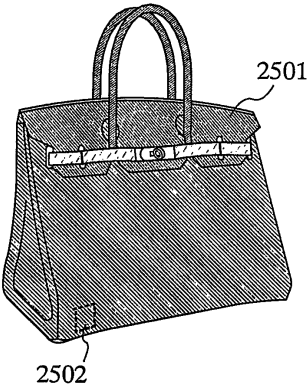
도면23



도면24

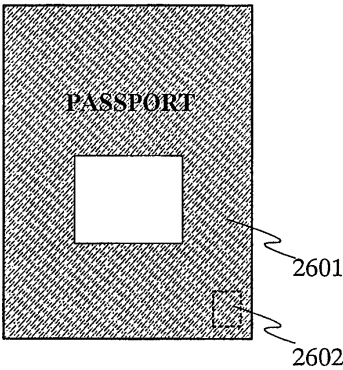


도면25

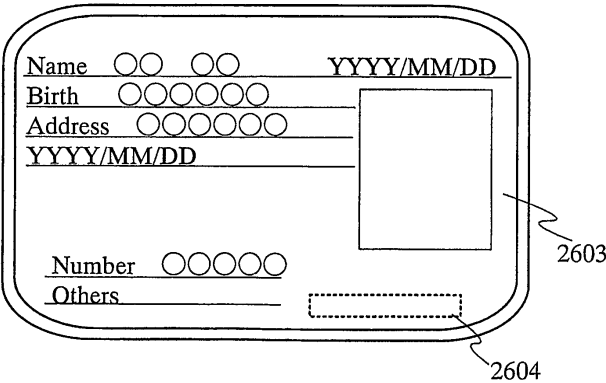


도면26

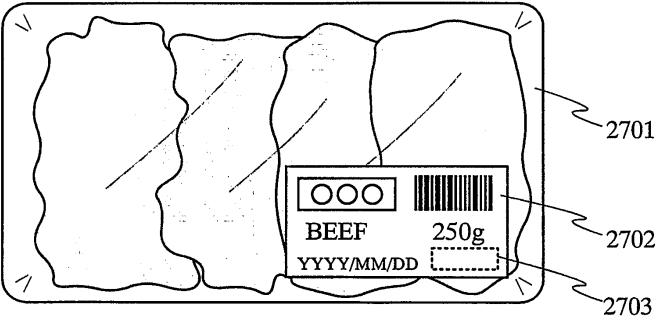
(A)



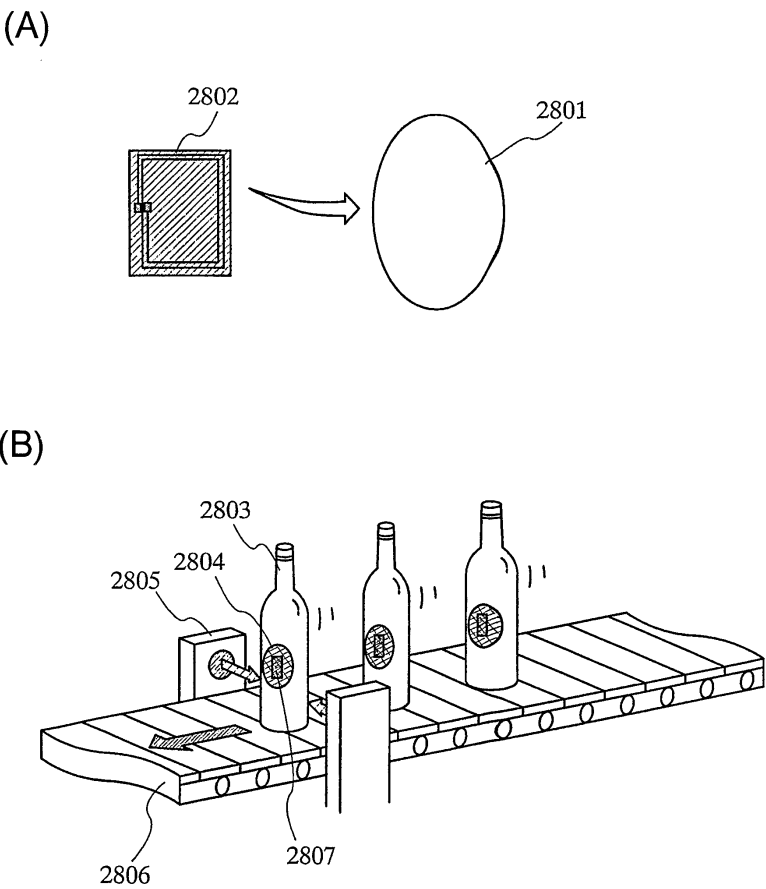
(B)



도면27



도면28



도면29

