

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6089733号
(P6089733)

(45) 発行日 平成29年3月8日(2017.3.8)

(24) 登録日 平成29年2月17日(2017.2.17)

(51) Int.Cl.		F I			
HO 1 L	29/861	(2006.01)	HO 1 L	29/91	D
HO 1 L	29/868	(2006.01)	HO 1 L	29/06	3 O 1 G
HO 1 L	29/06	(2006.01)	HO 1 L	29/06	3 O 1 V

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2013-15971 (P2013-15971)	(73) 特許権者	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22) 出願日	平成25年1月30日(2013.1.30)	(74) 代理人	100161562 弁理士 阪本 朗
(65) 公開番号	特開2014-146765 (P2014-146765A)	(72) 発明者	百田 聖自 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(43) 公開日	平成26年8月14日(2014.8.14)	審査官	棚田 一也
審査請求日	平成27年11月16日(2015.11.16)	(56) 参考文献	特開平04-127540 (JP, A) 特開2008-251772 (JP, A) 最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板の表面層に配置される第2導電型の第1半導体領域と、該第1半導体領域を取り囲んで配置される耐圧構造である第2導電型のガードリング領域と、前記第1半導体領域の端部上から前記ガードリング領域に延在する絶縁膜と、前記第1半導体領域の端部と前記ガードリング領域の端部間に挟まれた前記半導体基板上と前記ガードリング領域上に前記絶縁膜を介して配置される導電膜と、前記第1半導体領域上に配置され、前記導電膜と離して配置される主電極と、を備え、
オン時に半導体基板の表面層に反転層が形成される電圧を前記導電膜に印加し、オフ時に前記反転層が消滅する電圧を前記導電膜に印加することを特徴とする半導体装置。

【請求項2】

前記ガードリング領域が複数で高濃度の第2導電型の第2半導体領域からなり、前記導電膜がリング状に分割され、該分割されたリング状の導電膜が前記第1半導体領域と前記ガードリング領域の間に挟まれた前記半導体基板上、隣接する前記第2半導体領域の間に挟まれた前記半導体基板上の前記絶縁膜を介してそれぞれ配置されることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記半導体基板の一部が前記主電極とショットキー接合を形成することを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

10

20

前記半導体基板がn型半導体基板であり、前記第1半導体領域がp型アノード領域であり、前記ガードリング領域がp型ガードリング領域であり、前記第2半導体領域が高濃度のp型領域であり、前記導電膜がプレート電極であることを特徴とする請求項1～3のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電力用ダイオードなどの半導体装置に関する。

【背景技術】

【0002】

図8は、従来の電力用ダイオード500の構成図であり、同図(a)は要部平面図、同図(b)は同図(a)のX-X線で切断した要部断面図である。この電力用ダイオード(以下、単にダイオードと称す)は縦型ダイオードである。

【0003】

このダイオード500は、pアノード領域2からなる活性領域11と、この活性領域11を囲む耐圧構造16を構成するpガードリング領域3と、pガードリング領域3上に保護膜である絶縁膜4(例えば、酸化膜)を備える。さらに詳しく説明すると、このダイオード500は、n半導体基板1のおもて面に配置されるpアノード領域2と、このpアノード領域2を取り囲むように配置されるpガードリング領域3と、このpガードリング領域3上に配置される絶縁膜4と、裏面に配置されるnカソード領域6と、pアノード領域2上に配置されるアノード電極7と、nカソード領域6上カソード電極8とを備える。このpガードリング領域3はリング状のp⁺領域3aで構成され、n半導体基板1の拡散領域が形成されない領域はnドリフト領域1aとなる。ここで、拡散領域とは、pアノード領域2、p⁺領域3a、およびnカソード領域6などの、n半導体基板1の表面から不純物を拡散あるいは注入して形成する領域を指す。

【0004】

このダイオード500をオン状態にすると、pアノード領域2から正孔がnドリフト領域1aに注入され、この正孔を中和するようにnカソード領域6から電子がnドリフト領域1aに注入されて、nドリフト領域1a内で伝導度変調が起こり、ダイオードのオン抵抗が減少して、オン電圧は低い値になる。ここでは、ダイオードの順電圧降下のことをオン電圧と称す。

【0005】

また、このダイオード500をオフ状態にするため、順電流を打ち消す逆電流を流すと、nドリフト領域1aに蓄積した正孔と電子は外部に掃き出され、逆回復電流が流れ、ダイオード500には逆電圧が印加されてオフ状態になる。

【0006】

この逆電圧により、pアノード領域2とnドリフト領域1aのpn接合からnドリフト領域1aに空乏層が広がる。横方向に広がった空乏層はpガードリング領域3に達するとこのpガードリング領域3を構成するp⁺領域3aを次々に跳び越して広がる。このように、横方向に伸びた空乏層の幅は広がるため、表面の電界強度が小さくなり、表面での耐圧は安定して維持される。

【0007】

また、特許文献では、アノード領域がショットキー接合とpn接合からなる電力用pinダイオードにおいて、pアノード領域に隣接してpフローティング領域を活性領域内に設け、pアノード領域とpフローティング領域の間にMOSゲート構造を設ける。オン時にはMOSゲートにマイナス電圧を印加してpチャンネル領域を形成して、pアノード領域とpフローティング領域を繋げて通電領域を広げて、オン電圧を小さくする。電力用pinダイオードをオフさせるときは、オフに先立って、MOSゲートをオフし、pフローティング領域をpアノード領域から切り離し、その後、順電流を打ち消すための逆電流を流し、ダイオードをオフさせる。この逆電流により順電流が減少し、過剰な正孔と電子は外

10

20

30

40

50

部に掃き出されて減少する。さらに逆電流を流すことで、pn接合とショットキー接合には逆回復電流が流れて過剰な正孔と電子が消滅してオフ状態になる。ショットキー接合の逆回復電流は小さいため、活性領域全域がpn接合で形成される電力用pinダイオードに比べて逆回復電流および逆回復損失は小さくなる。このように、特許文献には、電力用pinダイオードにおいて、オン電圧と逆回復損失の両方を小さくできる方策が開示されている。

【先行技術文献】

【特許文献】

【0008】

特開平6-77506号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかし、前記の図8の従来のダイオード500では、特に、高耐圧にすると、半導体チップに占めるpガードリング領域3の割合が大きくなり、その分、チップ面積を同じにした場合は活性領域11が小さくなりオン電圧は高くなる。

【0010】

また、特許文献では、活性領域内にフローティング領域を設けるため、アノード電流はアノード領域を介してアノード電極に接続しないフローティング領域へ流れて行く。このフローティング領域に流れた電流はフローティング領域内を横方向に流れながら伝導度変調層へ流れるため、活性領域全域をアノード領域とした場合に比べてオン電圧は高くなる。つまり、特許文献の構造は、活性領域全域をアノード領域とした場合に比べて、等価的に導通面積が小さくなる。

20

【0011】

また、特許文献では、活性領域の外周部に設けられるガードリングをアノード領域と繋げてオン電圧を低下させることについては記載されていない。

この発明の目的は、前記の課題を解決して、オン時に導通領域を広げてオン電圧を低下させることができる半導体装置を提供することである。

【課題を解決するための手段】

【0012】

前記の目的を達成するために、特許請求の範囲の請求項1に記載の発明によれば、第1導電型の半導体基板の表面層に配置される第2導電型の第1半導体領域と、該第1半導体領域を取り囲んで配置される耐圧構造である第2導電型のガードリング領域と、前記第1半導体領域の端部上から前記ガードリング領域に延在する絶縁膜と、前記第1半導体領域の端部と前記ガードリング領域の間に挟まれた前記半導体基板上と前記ガードリング領域上に前記絶縁膜を介して配置される導電膜と、前記第1半導体領域上に配置され、前記導電膜と離して配置される主電極と、備える構成であり、オン時に半導体基板の表面層に反転層が形成される電圧を前記導電膜に印加し、オフ時に前記反転層が消滅する電圧を前記導電膜に印加するとよい。

30

【0013】

また、特許請求の範囲の請求項2に記載の発明によれば、請求項1に記載の発明において、前記ガードリング領域が複数で高濃度の第2導電型の第2半導体領域からなり、前記導電膜がリング状に分割され、該分割されたリング状の導電膜が、前記第1半導体領域と前記ガードリング領域の間に挟まれた前記半導体基板上と、隣接する前記第2半導体領域の間に挟まれた前記半導体基板上と、に前記絶縁膜を介してそれぞれ配置される構成とする

40

【0014】

また、特許請求の範囲の請求項3に記載の発明によれば、請求項1または2に記載の発明において、前記第1半導体領域の一部が前記主電極とショットキー接合を形成するとよい。

50

【0015】

また、特許請求の範囲の請求項4に記載の発明によれば、請求項1～3のいずれか一項に記載の発明において、前記半導体基板がn型半導体基板であり、前記第1半導体領域がp型アノード領域であり、前記ガードリング領域がp型ガードリング領域であり、前記第2半導体領域が高濃度のp型領域であり、前記導電膜がプレート電極であるとよい。

【発明の効果】

【0017】

この発明によると、半導体装置のオン時に、ガードリング領域とアノード領域を反転層で繋げることにより、導通領域を広げてオン電圧の低下を図ることができる。

【図面の簡単な説明】

10

【0018】

【図1】この発明の実施の形態1に係る半導体装置100の構成図であり、(a)は要部平面図、(b)は(a)のX-X線で切断した要部断面図である。

【図2】図1(b)のF部拡大図である。

【図3】この発明のダイオードの動作を説明する図であり、(a)はオン状態の図、(b)はオフ状態移行時の図、(c)はオフ状態の図である。

【図4】このダイオードの動作波形図である。

【図5】この発明の実施例1に係る半導体装置200の要部断面図である。

【図6】この発明の実施例2に係る半導体装置300の要部断面図である。

【図7】この発明の実施例3に係る半導体装置400の要部断面図である。

20

【図8】従来の電力用ダイオード500の構成図であり、(a)は要部平面図、(b)は(a)のX-X線で切断した要部断面図である。

【発明を実施するための形態】

【0019】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を説明する。以下の説明では、第1導電型はn型であり、第2導電型はp型である。また、第1半導体領域はpアノード領域であり、第2半導体領域は高濃度のp領域である。また、pは導電型がp型、nは導電型がn型を表し、これらの肩に記載される+は不純物濃度が高濃度であることを表す。また、従来と同一部位には同一の符号を付した。

(実施の形態1)

30

図1および図2は、この発明の実施の形態1に係る半導体装置100の構成図であり、図1(a)は要部平面図、図1(b)は図1(a)のX-X線で切断した要部断面図、図2は図1(b)のF部拡大図である。この半導体装置100は電力用ダイオードであり、縦型のダイオード100aである。

【0020】

このダイオード100aは、pアノード領域2からなる活性領域11と、この活性領域11を囲む耐压構造16を構成するpガードリング領域3と、pガードリング領域3上に絶縁膜4(例えば、酸化膜)を介して配置されるプレート電極5と、を備える。このプレート電極5は、例えば、ポリシリコンで形成される。つぎに、さらに詳しく説明すると、このダイオード100aは、n半導体基板1のおもて面に配置されるpアノード領域2と、このpアノード領域2を取り囲むように配置されるpガードリング領域3と、このpガードリング領域3上にpアノード領域2の端部上から延びた絶縁膜4を介して配置されるプレート電極5と、裏面に配置されるnカソード領域6と、pアノード領域2上に配置されるアノード電極7と、nカソード領域6上にカソード電極8とを備える。このpガードリング領域3はリング状のp⁺領域3aで構成され、n半導体基板1の拡散領域が形成されない領域はnドリフト領域1aとなる。前記の絶縁膜4はMOSゲート構造のゲート酸化膜、プレート電極5はゲート電極のような働きをする。

40

【0021】

また、pアノード領域2とpガードリング領域3の拡散深さは同じ場合や異なる場合がある。それぞれの最適設計により決められる。

50

図3および図4は、図1のダイオード100aの動作を説明する図であり、図3(a)はオン状態の図、図3(b)はオフ状態移行時の図、図3(c)はオフ状態の図であり、図4は、図1のダイオード100aの動作波形図である。図3および図4を用いて動作を説明する。

【0022】

図3(a)および図4において、オン状態のときは、 t_1 の時点で、ダイオード100aのアノード端子Aを基準電位(GND(グランド電位)または0V)として、カソード端子Kにマイナス電圧を印加することで、ダイオード100aを順バイアスし、プレート電極5にアノード端子Aの電位を基準にしてマイナス電圧を印加する。順バイアスの時点とプレート電極5にマイナス電圧を印加する時点は必ずしも一致させる必要はない。プレート電極5にマイナス電圧を印加させることで、pアノード領域2とpガードリング領域3、pガードリング領域3を構成する隣接する p^+ 領域3aのそれぞれの間には挟まれたnドリフト領域1aの表面層に反転層12(pチャンネル層)が形成される。この反転層12の形成によって、pアノード領域2とpガードリング領域3とを接続する。pアノード領域2とpガードリング領域3から正孔13がnドリフト領域1aに注入され、この正孔13を中和するようにnカソード領域6から電子14がnドリフト領域1aに注入されて、nドリフト領域1a内で伝導度変調が起こり、オン電圧は低い値になる。特に、pガードリング領域3にもアノード電流 I_A が流れるため、通電領域15が広がり、オン電圧は大幅に低下する。この通電領域15の広がり等は価的に活性領域11を広げることになる。尚、前記の正孔13の注入は反転層12(pチャンネル層)からも多少ある。

【0023】

つぎに、図3(b)および図4において、オフ状態に移行するときは、 t_2 の時点で、プレート電極5に印加しているマイナス電圧を0Vもしくはプラス電圧にして、反転層12を消滅させてpガードリング領域3をpアノード領域2から切り離す。pガードリング領域3がpアノード領域2から切り離されたことで、pガードリング領域3は本来の耐压構造16として動作するようになる。また、この状態では通電領域15は活性領域11まで縮小されるため、オン電圧は多少高くなる。 t_3 の時点で、ダイオード100aに流れる順電流 I_{AF} を打ち消すための逆電流 I_{AR} を流すと、nドリフト領域1aに蓄積した正孔13と電子14は外部に掃き出され、アノード電流 $I_A (= I_{AF} - I_{FR})$ は減少する。 t_4 の時点から逆回復電流 I_{RR} が流れると、蓄積した正孔13はpアノード領域2へ流れ、電子14はnカソード領域6へ流れて減少する。逆回復電流 I_{RR} がピークになった時点でダイオード100aには逆電圧 V_R (アノード電極Aの電位を基準にしてカソード電極Kがプラス電圧)が印加される。この逆電圧 V_R によって、nドリフト領域1aに空乏層17が広がり、残留した正孔13はpアノード領域2に、電子14はnカソード領域6にそれぞれ掃き出されて消滅する。勿論、これに再結合も加わる。

【0024】

つぎに、図3(c)および図4において、 t_5 の時点で定常的なオフ状態になり、空乏層17の広がり等は停止する。

この逆電圧 V_R の印加により、pアノード領域2とnドリフト領域1aのpn接合からnドリフト領域1aに縦方向と横方向に空乏層17が広がる。横方向に広がった空乏層17aはpガードリング領域3を構成する p^+ 領域3aに達すると、 p^+ 領域3aを跳び越して次々と横方向へ広がる。このように、横方向に伸びた空乏層17aの幅は広くなるため、表面での電界強度は小さくなり、表面での耐压は安定して維持される。

【0025】

このように、pガードリング領域3をオン時にpアノード領域2と接続し、オフ時にpアノード領域2から切り離すことで、耐压に影響を与えずにオン電圧を低下させることができる。

【0026】

また、オフ状態の移行に先立ってプレート端子Gを介してプレート電極5の印加電圧を0Vもしくはプラス電圧に切替えその後でオフ状態に移行することで、活性領域11にの

10

20

30

40

50

みアノード電流 I_A を流した場合の逆回復電流 I_{RR} と同程度にできる。そのため、本発明のダイオード 100a は逆回復電流 I_{RR} を大きくすることなく、オン電圧を低減できるので、オン電圧と逆回復電流（逆回復損失）のトレードオフを改善できる。

【0027】

尚、高耐圧ダイオードにおいては、図3(c)に示した空乏層17の横方向端部付近（チップの端部付近）は高い電圧となる。そのため、プレート電極5と空乏層17の端部付近（図示されていない）の間にある絶縁膜4には高い電圧が印加されるので、絶縁膜4が絶縁破壊する場合が発生する。それを防止するために、空乏層17の端部付近の p^+ 領域3a上にはプレート電極5を形成しないことが多い。例えば、プレート電極5の外周側の端部をアノード電極7側から2～3本目の p^+ 領域3a上に位置させ、それより離れた外周部の p^+ 領域3a上にはプレート電極5を形成しないようにすると良い。

10

【0028】

また、このダイオード100aは、インバータ回路などを構成する、例えば、IGBT（絶縁ゲート型バイポーラトランジスタ）などと組み合わせられるフリーホイールダイオードとして用いられることが多い。

【実施例1】

【0029】

実施例1は、実施の形態1を耐圧600Vのダイオードに適用した例である。図5に、この発明の実施例1に係る半導体装置200の要部断面図を示す。この半導体装置200は、 p アノード領域2からなる活性領域11と、この活性領域11を囲む耐圧構造16からなる電力用ダイオードである。

20

【0030】

耐圧構造16は、例えば7本の p^+ 領域3aからなる p ガードリング領域3と、該 p ガードリング領域3から離れて最外周に設置される p 型のチャンネルストッパー領域9と、 p ガードリング領域3上およびチャンネルストッパー領域9上の酸化膜からなる絶縁膜4と、絶縁膜4を介して配置されるプレート電極5と、からなる。

【0031】

ここで、上述したように、チャンネルストッパー領域9に近い外周側の絶縁膜4には高い電圧が印加されるために、プレート電極5の外周側の端部は活性領域11から3本目の p^+ 領域3a上とした。また、今回、チャンネルストッパー領域9は p 型としているが、 n 型としても良い。また、チャンネルストッパー領域上に、フィールドプレートを設けることも可能である。また、耐圧をあげる場合、 p^+ 領域3aの本数を増やして p ガードリング領域3の幅を広げる事で対応可能である。

30

【0032】

このダイオードにおいて、アノード端子Aを0Vとしてカソード端子Kにマイナス電圧を印加することでダイオードをオン状態にし、更にプレート端子Gにマイナス電圧を印加する事により、ダイオードのオン電圧が低下する事を確認した。また、カソード端子Kのマイナス電圧をプラス電圧に切り替えてオフ状態とする際に、これに先立ってプレート端子Gの印加電圧をプラス電圧に切替えることで、逆回復電流 I_{RR} は活性領域11にのみアノード電流 I_A を流した場合と同程度であることが確認できた。

40

【実施例2】

【0033】

図6は、この発明の実施例2に係る半導体装置300の要部断面図である。この半導体装置300と図5の半導体装置200との違いは、絶縁膜4の活性領域11から3本目の p^+ 領域3aより外周側を厚くしている点である。 n ドリフト領域1aは逆バイアス時に外周側ほど電位が高くなり、プレート電極5の外周側で絶縁膜4が破壊する可能性が生じた時に、このような構造とすることで外周側の絶縁膜4にかかる電界を緩和できる。また、プレート電極5は活性領域11から5本目の p^+ 領域3aまで伸ばした。

【0034】

実施例2において、絶縁膜4が薄くなっている領域にのみ反転層が形成されるような電

50

圧をプレート端子Gに印加したところ、実施例1と同様の効果があることが確認できた。ここで、プレート端子Gは必ずしも1つである必要はなく、プレート電極5を絶縁膜4の膜厚に対応した複数の領域に分け、それぞれ個別に複数のプレート端子Gを設けることも可能である。

【実施例3】

【0035】

図7は、この発明の実施例3に係る半導体装置400の要部断面図である。この半導体装置400と図5の半導体装置200との違いは、活性領域11内のnドリフト領域1aとアノード電極7とがショットキー接合18を形成し、pアノード領域2とnドリフト領域1aとからなるpn接合と並列接続されている点である。この場合は、実施例1と同様の効果があると共に、ショットキー接合18を設けることで、逆回復電流 I_{RR} を小さくすることができる。この構造は図6の半導体装置300にも適用できることは勿論である。

10

【符号の説明】

【0036】

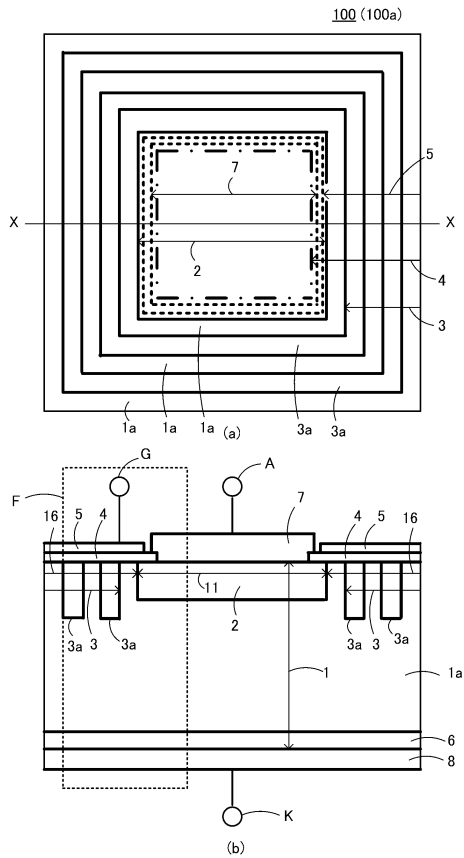
- 1 n半導体基板
- 1a nドリフト領域
- 2 pアノード領域
- 3 pガードリング領域
- 3a p⁺領域
- 4 絶縁膜
- 5 プレート電極
- 6 nカソード領域
- 7 アノード電極
- 8 カソード電極
- 9 チャンネルストッパー領域
- 11 活性領域
- 12 反転層
- 13 正孔
- 14 電子
- 15 通電領域
- 16 耐圧構造
- 17 空乏層
- 17a 横方向に広がる空乏層
- 18 ショットキー接合
- 100, 200, 300, 400 半導体装置
- 100a 本発明のダイオード(電力用ダイオード)
- 500 従来のダイオード(電力用ダイオード)
- A アノード端子
- K カソード端子
- G プレート端子
- I_A アノード電流
- I_{AF} 順電流
- I_{AR} 逆電流
- I_{RR} 逆回復電流
- V_R 逆電圧
- GND グランド電位

20

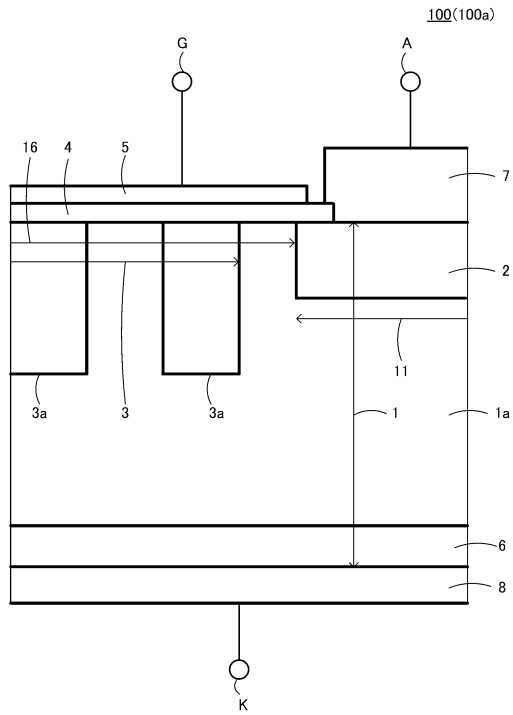
30

40

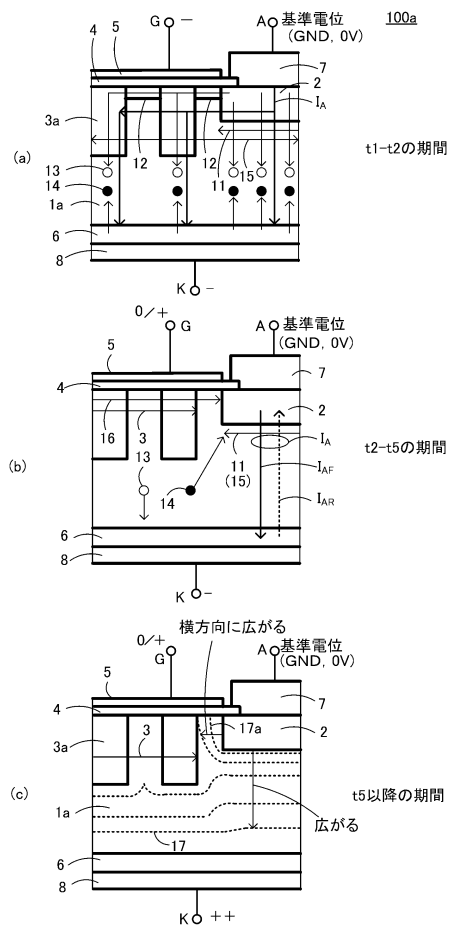
【図1】



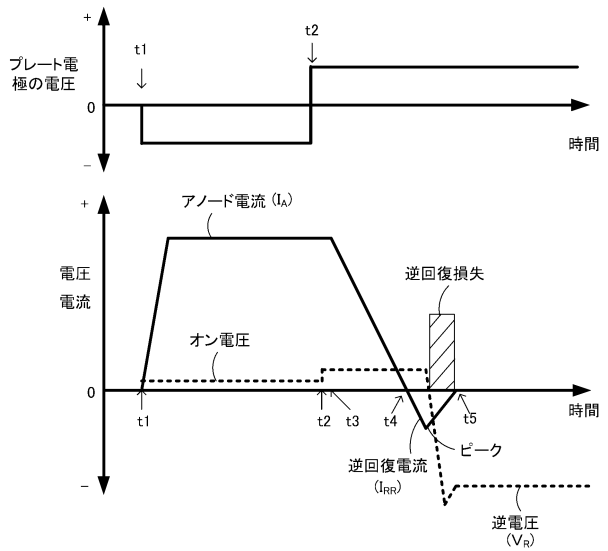
【図2】



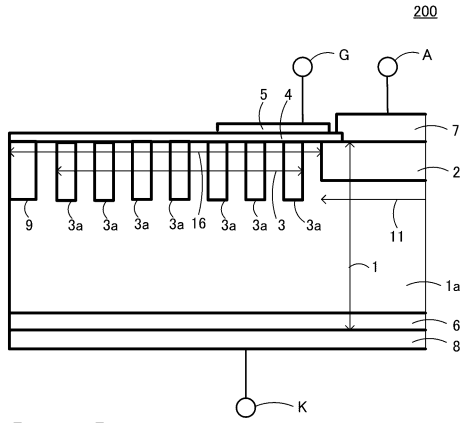
【図3】



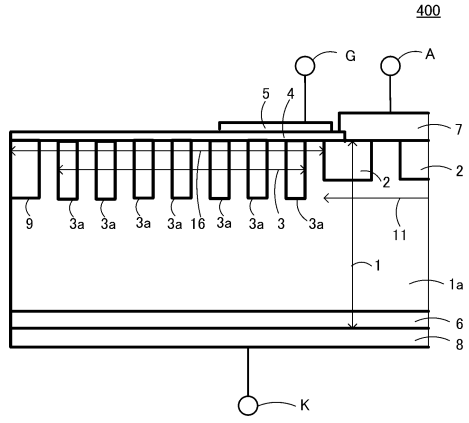
【図4】



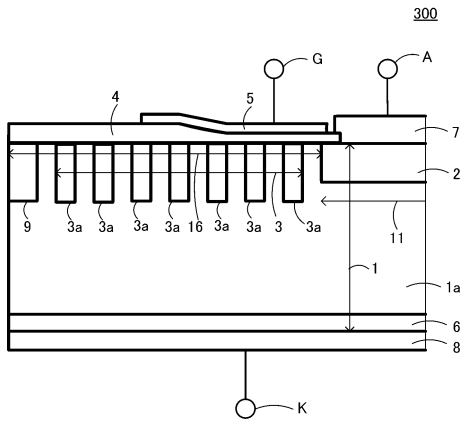
【図5】



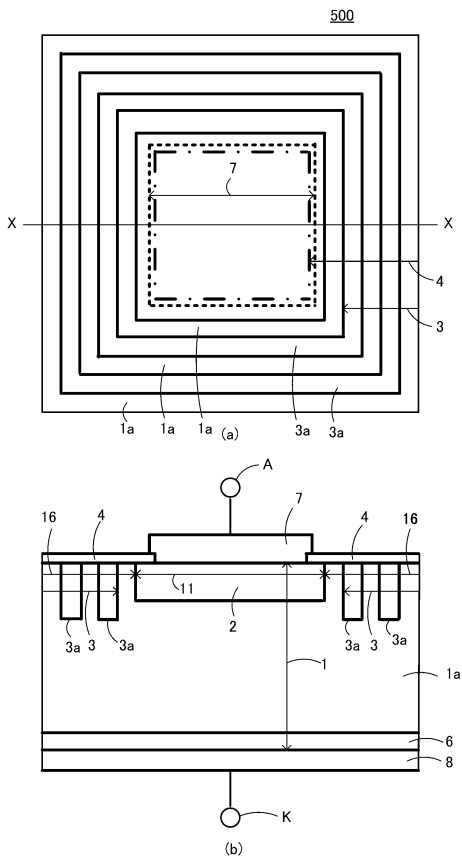
【図7】



【図6】



【図8】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H01L 29/86 - 96

H01L 29/06