

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-141791

(P2010-141791A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int.Cl. F I テーマコード(参考)  
**HO4N 5/335 (2006.01)** HO4N 5/335 P 5C024  
 HO4N 5/335 E

審査請求 未請求 請求項の数 12 O L (全 20 頁)

(21) 出願番号 特願2008-318290 (P2008-318290)  
 (22) 出願日 平成20年12月15日 (2008.12.15)

(71) 出願人 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100125254  
 弁理士 別役 重尚  
 (72) 発明者 岸 隆史  
 東京都大田区下丸子3丁目30番2号 キ  
 ヤノン株式会社内  
 Fターム(参考) 5C024 CX03 CX04 CX06 CX27 CX31  
 CX43 GY31 HX18 HX21 HX23  
 HX29

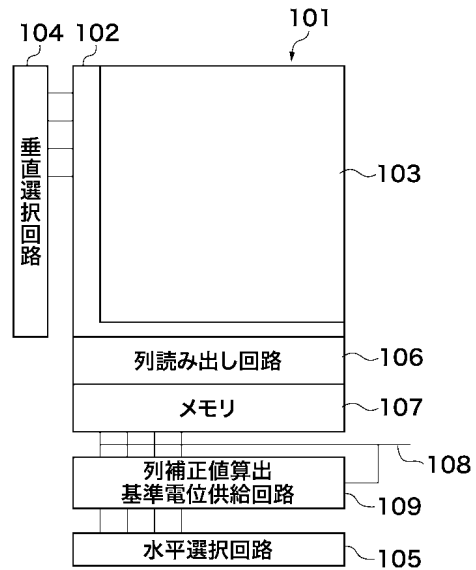
(54) 【発明の名称】 撮像装置

(57) 【要約】

【課題】 撮像素子の各画素で発生する暗電流のオフセット等によって撮像素子の回路のダイナミックレンジを圧迫することなく、低ノイズの画像を得ることができる撮像装置を提供する。

【解決手段】 撮像装置は、複数の画素が行方向及び列方向に配置され、入射光量に応じて電荷を発生する受光部101を有する撮像素子を備える。撮像素子は、受光部101のうちの特定画素の出力に応じて列毎のノイズデータを生成する列補正值算出回路109と、受光部101の列毎に配置され、受光部101の信号から基準信号を減算するゲインアンプと、前記基準信号を前記ノイズデータに応じて列毎に供給する基準電位供給回路109と、を有する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

複数の画素が行方向及び列方向に配置され、入射する光の量に応じて電荷を発生する受光部を有する撮像素子を備える撮像装置であって、

前記受光部のうちの特定画素の出力に応じて列毎のノイズデータを生成する生成手段を備え、

前記撮像素子は、前記受光部の列毎に配置され、前記受光部の信号から基準信号を減算する減算手段と、前記基準信号を前記ノイズデータに応じて列毎に供給する供給手段と、を有する、ことを特徴とする撮像装置。

**【請求項 2】**

前記撮像素子は、前記受光部の電荷を一時的に蓄積する蓄積部と、  
該蓄積部の電荷をリセットするリセット手段と、

前記蓄積部の電荷をリセットしたりリセット信号と前記受光部で発生した電荷を前記蓄積部に転送した後の画素信号との差分をとることでノイズを低減する低減手段と、を備えることを特徴とする請求項 1 に記載の撮像装置。

**【請求項 3】**

前記ノイズデータは、前記低減手段によりノイズが低減された信号から生成される、ことを特徴とする請求項 2 に記載の撮像装置。

**【請求項 4】**

前記低減手段の出力が、前記減算手段の入力に接続される、ことを特徴とする請求項 2 又は 3 に記載の撮像装置。

**【請求項 5】**

前記減算手段は、ゲインアンプであり、該ゲインアンプの基準電位は、前記リセット信号を読み出すときは第 1 基準電位であり、前記画素信号を読み出すときは第 2 基準電位であり、該第 2 基準電位は、前記基準信号に応じて設定される、ことを特徴とする請求項 1 ~ 4 のいずれか一項に記載の撮像装置。

**【請求項 6】**

前記減算手段の出力をデジタルデータに変換する変換手段を備えることを特徴とする請求項 1 ~ 5 のいずれか一項に記載の撮像装置。

**【請求項 7】**

前記生成手段は、デジタルデータを基準電位に変更する変更手段を備えることを特徴とする請求項 6 に記載の撮像装置。

**【請求項 8】**

前記生成手段は、前記撮像素子に含まれる、ことを特徴とする請求項 1 ~ 7 のいずれか一項に記載の撮像装置。

**【請求項 9】**

前記生成手段は、前記撮像素子の出力を処理する撮像信号処理回路に含まれる、ことを特徴とする請求項 1 に記載の撮像装置。

**【請求項 10】**

前記ノイズデータは、前記受光部の特定画素の出力に対する、行方向、及びノ又は列方向の平均値、中央値、または上下の特定割合を除いた平均値である、ことを特徴とする請求項 1 ~ 9 のいずれか一項に記載の撮像装置。

**【請求項 11】**

前記受光部は、遮光された O B 画素を有し、前記特定画素は、前記 O B 画素である、ことを特徴とする請求項 1 ~ 10 のいずれか一項に記載の撮像装置。

**【請求項 12】**

前記受光部を遮光する遮光手段を有し、前記特定画素は、前記遮光手段により遮光された状態の前記受光部の一部または全部である、ことを特徴とする請求項 11 に記載の撮像装置。

**【発明の詳細な説明】**

10

20

30

40

50

## 【技術分野】

## 【0001】

本発明は、例えば、デジタルカメラやデジタルビデオカメラ等の撮像装置に関する。

## 【背景技術】

## 【0002】

CMOSAPSを撮像素子として使用し、撮影した画像を記録するデジタルカメラやデジタルビデオカメラなどの撮像装置がある。これらの撮像装置では、撮像素子が有している、暗時のノイズを出力信号から取り除く事で、低ノイズな画質を提供している。

## 【0003】

図14及び図15を参照して、具体的に説明すると、図14において、撮像素子1300は、画素アレイ1301、垂直選択回路1302、水平選択回路1304、及び読み出し回路1303を備える。

10

## 【0004】

画素アレイ1301は、2次元の画像を提供するために、複数の画素を行方向及び列方向に2次元アレイ状に配列して構成される。

## 【0005】

垂直選択回路1302は、画素アレイ1301における行を選択する回路であり、水平選択回路1304は、画素アレイ1301における列を選択する回路である。読み出し回路1303は、画素アレイ1301中の画素のうち、垂直選択回路1302及び水平選択回路1304によって選択される画素の信号を読み出す回路である。なお、撮像素子1300は、図示された構成要素以外にも、例えば、垂直選択回路1302、水平選択回路1304、読み出し回路1303等にタイミングを提供するタイミングジェネレータ或いは制御回路等を備える。

20

## 【0006】

垂直選択回路1302は、画素アレイ1301の複数の行を順番に選択し、水平選択回路1304は、垂直選択回路1302によって選択されている行を構成する複数の画素を順番に選択するように画素アレイ1301の複数の列を順番に選択する。

## 【0007】

図15は、従来撮像素子における1画素の構成及びその画素から信号を読み出す回路の構成を示す図である。

30

## 【0008】

画素1401は、フォトダイオード(PD)1402、転送スイッチ1403、フローティングディフュージョン部(FD)1404、リセットスイッチ1407、増幅MOSアンプ1405、及び選択スイッチ1406を備える。

## 【0009】

PD1402は、光学系を通して入射する被写体像を受光して光電変換する光電変換部として機能する。転送スイッチ1403は、そのゲート端子に入力される転送パルスTXによって駆動され、PD1402で発生した電荷をFD1404に転送する。FD1404は、電荷を一時的に蓄積するとともに蓄積した電荷を電圧信号に変換する電荷電圧変換部として機能する。

40

## 【0010】

増幅MOSアンプ1405は、ソースフォロアとして機能し、そのゲートにはFD1404で電荷電圧変換された信号が入力される。選択スイッチ1406は、そのゲートに入力される垂直選択パルスSELによって駆動される。垂直選択パルスSELがアクティブレベル(ハイレベル)になると、画素アレイ1301の該当する行に属する画素の選択スイッチ1406が導通状態になり、増幅MOSアンプ1405のソースが垂直信号線1408に接続される。

## 【0011】

リセットスイッチ1407は、そのゲートに入力されるリセットパルスRESによって駆動されて、FD204に蓄積されている電荷を除去する。

50

## 【 0 0 1 2 】

F D 1 4 0 4 及び増幅 M O S アンプ 1 4 0 5 の他、垂直信号線 1 4 0 8 に定電流を供給する定電流源によってフローティングディフュージョンアンプ ( F D アンプ ) が構成される。選択スイッチ 1 4 0 6 で選択された行を構成する各画素において、F D 1 4 0 4 に転送される電荷が F D 1 4 0 4 で電圧信号に変換されて、F D アンプを通じて対応する信号読み出し部に出力される。

## 【 0 0 1 3 】

ここで、リセットスイッチ 1 4 0 7 を開閉し、F D 1 4 0 4 をリセットした後の信号をリセット信号として読み出し回路 1 3 0 3 が取得する。その後、転送スイッチ 1 4 0 3 を開閉し、P D 1 4 0 2 の信号を F D 1 4 0 4 に転送した後の信号を画素信号として読み出し回路 1 3 0 3 が取得する。

10

## 【 0 0 1 4 】

読み出し回路 1 3 0 3 で画素信号とリセット信号の差分をとることで、画素毎に有する F D アンプのばらつきによる固定パターンノイズと、リセットスイッチ 1 4 0 7 の開閉に伴うリセットノイズを低減し、低ノイズな画質を提供している。

## 【 0 0 1 5 】

しかし、上記従来の撮像素子では、暗電流ノイズなどの P D 1 4 0 2 で発生するノイズを取り除くことができないため、例えば、遮光状態で得た撮像素子の信号を画像信号から差分することで、暗電流ノイズを低減する技術が提案されている ( 特許文献 1 ) 。

## 【 0 0 1 6 】

ところで、最近では高感度化の要求に応えるため、高いゲインをかけ、被写体が暗いときでも撮影可能な撮像装置が提供されている。ゲインは、D S P や A D コンバータなどでかけてもよいが、撮像素子内で高いゲインをかける方が望ましい。なぜなら、システムの前段でゲインをかけた方がシステムの後段で発生するノイズをゲイン倍しなくてもすむので、撮像素子内でゲインをかける方が低ノイズの画像を提供できるからである。

20

【特許文献 1】特開平 8 - 3 0 7 7 7 5 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【 0 0 1 7 】

しかし、上述したように、撮像素子内でゲインをかけると、各画素に発生する暗電流のオフセットや暗電流むらによるシェーディングのため、撮像素子の回路のダイナミックレンジを圧迫するという問題が発生する。

30

## 【 0 0 1 8 】

そこで、本発明は、撮像素子の各画素で発生する暗電流のオフセット等によって撮像素子の回路のダイナミックレンジを圧迫することなく、低ノイズの画像を得ることができる撮像装置を提供することを目的とする。

## 【課題を解決するための手段】

## 【 0 0 1 9 】

上記目的を達成するために、本発明の撮像装置は、複数の画素が行方向及び列方向に配置され、入射する光の量に応じて電荷を発生する受光部を有する撮像素子を備える撮像装置であって、前記受光部のうちの特定画素の出力に応じて列毎のノイズデータを生成する生成手段を備え、前記撮像素子は、前記受光部の列毎に配置され、前記受光部の信号から基準信号を減算する減算手段と、前記基準信号を前記ノイズデータに応じて列毎に供給する供給手段と、を有することを特徴とする。

40

## 【発明の効果】

## 【 0 0 2 0 】

本発明によれば、撮像素子の各画素で発生する暗電流のオフセット等によって該撮像素子の回路のダイナミックレンジを圧迫することなく、低ノイズの画像を得ることができる。

## 【発明を実施するための最良の形態】

50

## 【0021】

以下、本発明の実施形態を図面を参照して説明する。

## 【0022】

(第1の実施形態)

図1は、本発明の第1の実施形態である撮像装置における撮像素子を説明するための概略図である。

## 【0023】

図1に示すように、本実施形態の撮像装置における撮像素子は、画素アレイ(受光部)101、垂直選択回路104、水平選択回路105、列読み出し回路106、メモリ107、出力線108、及び列補正值算出・基準電位供給回路109を備える。

10

## 【0024】

画素アレイ101は、2次元の画像を提供するために、複数の画素を行方向及び列方向に2次元アレイ状に配列して構成される。また、画素アレイ101は、垂直方向及び水平方向に、それぞれオプティカルブラック画素(OB画素)102及び開口画素103を有する。

## 【0025】

開口画素103は、被写体の信号を有するが、OB画素102は、光学的に遮光されているため、被写体の信号は有しない。ただし、暗電流や固定パターンノイズなどのノイズは、開口画素103と同様にOB画素102も有する。OB画素102は、画面の垂直方向に有するOB部を特にVOBと呼び、水平方向に有するOB部をHOBと呼ぶ。

20

## 【0026】

垂直選択回路104は、画素アレイ101における行を選択する回路であり、水平選択回路105は、画素アレイ101における列を選択する回路である。

## 【0027】

列読み出し回路106は、各列に配置され、画素アレイ101の画素のうち、垂直選択回路104によって選択される画素の信号を読み出す補正回路・ゲイン回路である。列読み出し回路106の出力は、メモリ107に蓄積される。出力線108は、水平選択回路105によって選択したメモリ107に蓄積された信号を出力する。

## 【0028】

列補正值算出・基準電位供給回路109は、VOBの出力を出力線108から読み取り、垂直方向、もしくは水平方向に平滑化して、その出力を基準電位として列読み出し回路106に供給する。

30

## 【0029】

なお、撮像素子は、図示された構成要素以外にも、例えば、垂直選択回路104、水平選択回路105、列読み出し回路106等にタイミングを提供するタイミングジェネレータ或いは制御回路等を備える。

## 【0030】

一般的には、垂直選択回路104は、画素アレイ101の複数の行を順番に選択し、選択した画素の信号を列毎に列読み出し回路106によってメモリ107に読み出す。水平選択回路105は、メモリ107を順番に選択することによって、画素の信号を順番に出力する。

40

## 【0031】

図2(a)は、図1に示す撮像素子における1画素の構成及びその画素から信号を読み出す回路の構成例を示す図である。

## 【0032】

図2(a)に示すように、画素201は、フォトダイオード(PD)202、転送スイッチ203、フローティングディフュージョン部(FD)204、リセットスイッチ207、増幅MOSアンプ205、及び選択スイッチ206を備える。

## 【0033】

PD202は、光学系を通して入射する光を受光して光電変換する光電変換部として機

50

能する。PD202のアノードは、接地ラインに接続され、カソードは、転送スイッチ203のソースに接続される。

【0034】

転送スイッチ203は、そのゲート端子に入力される転送パルス TXによって駆動され、PD202で発生した電荷をFD204に転送する。FD(蓄積部)204は、電荷を一時的に蓄積するとともに蓄積した電荷を電圧信号に変換する電荷電圧変換部として機能する。

【0035】

増幅MOSアンプ205は、ソースフォロアとして機能し、そのゲートにはFD204で電荷電圧変換された信号が入力される。また、増幅MOSアンプ205は、そのドレインが第1電位を提供する第1電源線VDD1に接続され、そのソースが選択スイッチ206に接続されている。

10

【0036】

選択スイッチ206は、そのゲートに入力される垂直選択パルス SELによって駆動され、そのドレインが増幅MOSアンプ205に接続され、そのソースが垂直信号線208に接続される。

【0037】

垂直選択パルス SELがアクティブレベル(ハイレベル)になると、画素アレイ101の該当する行に属する画素の選択スイッチ206が導通状態になり、増幅MOSアンプ205のソースが垂直信号線208に接続される。

20

【0038】

リセットスイッチ207は、そのドレインが第2電位(リセット電位)を提供する第2電源線VDD2に接続される。リセットスイッチ207は、そのソースがFD204に接続されていて、そのゲートに入力されるリセットパルス RESによって駆動されて、FD204に蓄積されている電荷を除去する。

【0039】

FD204及び増幅MOSアンプ205の他、垂直信号線208に定電流を供給する定電流源209によってフローティングディフュージョンアンプ(FDアンプ)が構成される。

【0040】

選択スイッチ206で選択された行を構成する各画素において、FD204に転送された電荷がFD204で電圧信号に変換され、FDアンプを通じて対応する読み出し回路に出力される。

30

【0041】

読み出し回路において、容量210は、FD204のリセット電位をリセットレベル信号(リセット信号)としてクランプするためのクランプコンデンサであり、垂直信号線208に接続される。容量210は、コンデンサ212及びゲインアンプ(減算手段)211と合わせて垂直信号線208から読み出した基準信号にゲインをかける。また、容量210は、クランプスイッチ213とクランプパルス Cと合わせてクランプ動作を行う。具体的には、クランプパルス Cがオンのときに、クランプ電位Vrefの電位に垂直信号線208の電位をクランプする。

40

【0042】

容量214は、ゲインアンプ211のリセット電位をリセットレベル信号としてクランプするためのクランプコンデンサである。容量214は、コンデンサ214、ゲインアンプ215と合わせてゲインアンプ211から読み出した信号にゲインをかける。ここで、ゲインアンプ211でかけるゲインに比べてゲインアンプ215でかけるゲインの方を高くする。また、容量214は、クランプスイッチ217とクランプパルス Cとあわせてクランプ動作を行う。具体的には、クランプパルス Cがオンのときに、クランプ電位Vrefの電位にゲインアンプ211の電位をクランプする。

【0043】

50

スイッチ 218 は、ゲインアンプ 215 のオフセット信号を読み出すためのスイッチであり、オフセット読み出しパルス TN により駆動される。オフセット蓄積容量 219 には、画素信号の読み出しの直前にゲインアンプ 215 のオフセット信号が蓄積される。

【0044】

スイッチ 220 は、PD 202 で発生した電荷信号から補正回路で低減したノイズ信号の差分に応じた電圧信号を読み出すためのスイッチであり、信号読み出しパルス TS により駆動される。信号レベル蓄積容量 221 には、画素信号の読み出し時に、その画素信号からノイズを低減した信号が蓄積される。

【0045】

差動アンプ 223 は、オフセット蓄積容量 219 に蓄積された信号のレベルと信号レベル蓄積容量 221 に蓄積された信号のレベルとの差分を出力線 224 に出力するアンプである。スイッチ 225, 226 は、水平信号選択パルス Hi によって駆動されて、それぞれ容量 219, 221 の電位を差動アンプ 223 に伝達する。

10

【0046】

ここで、差動アンプ 223 の入力端子に接続された共通出力線 227a, 227b には、一般に、水平信号選択パルス H1 ~ H(i-1), H(i+1) ~ Hn (n: 画素アレイ 101 の列数) で駆動される他の列のスイッチ 225, 226 が接続される。

【0047】

図 3 は、図 2 (a) に示す撮像素子の駆動パターンとクランプ電位 Vref を示すタイムチャート図である。図 2 (a) および図 3 を参照して、撮像素子の駆動方法について説明する。

20

【0048】

期間 t301 において、パルス RES とパルス TX が印加されてリセットスイッチ 207 と転送スイッチ 203 がオンし、PD 202 と FD 204 の電位が初期電位にリセットされ、そのリセットの終了とともに新たな露光期間が開始される。

【0049】

その後、パルス SEL が印加されて選択スイッチ 206 をオンすることによって、読み出し行が選択される。読み出し行が選択されると、垂直信号線 208 が FD 204 のリセットレベルに応じた電位に充電される。

【0050】

期間 t302 において、パルス C1 とパルス C2 が印加されてスイッチ 213 とスイッチ 217 がオンする。これにより、ゲインアンプ 211 の出力では、FD 204 のリセット電位に応じた値が、容量 (クランプコンデンサ) 210 を介してクランプ電位 VREF1 にクランプされ、また、ゲインアンプ 215 の出力では、クランプ電位 VREF3 にクランプされる。

30

【0051】

期間 t303 において、パルス TN が印加されてスイッチ 218 がオンすることによって、FD 204 のリセットレベルと等価であるクランプ電位 VREF3 がオフセット蓄積容量 219 に書き込まれる。

【0052】

期間 t304 において、パルス TX が印加されるが印加されることによってスイッチ 203 がオンし、PD 202 に蓄積されていた電荷が FD 204 に転送されるとともに FD 204 の電位に応じた電位に垂直信号線 208 が充電される。

40

【0053】

ここで、容量 210 の出力側 (垂直信号線 208 と接続していない側) の電位は、VREF1 と PD 202 の信号に応じた電位となる。すなわち、クランプ回路によって、画素毎の増幅 MOS アンプ 205 が有する固定パターンノイズやリセットスイッチ 207 のリセットノイズが取り除かれている。

【0054】

期間 t305 において、ゲインアンプ 211 の基準電位を VREF2 に変更し、パルス

50

T Sを印加してスイッチ216がオンすることによって、ゲインアンプ211とゲインアンプ215を通して、信号が信号レベル蓄積容量221に書き込まれる。

【0055】

このときのゲインアンプ211の出力は、PD202の信号に応じた信号をS、容量210と容量212で決まるゲインをQとすると、 $S * Q + V_{REF1} + (V_{REF1} - V_{REF2}) * (Q + 1)$ の信号となる。

【0056】

期間t306において、パルスHが印加されると、スイッチ225、スイッチ226がオンし、容量221に格納された信号と容量219に格納された信号との差分が差動アンプ223によって増幅されて出力線224に出力される。

【0057】

出力される信号は、ゲインアンプ215でかけるゲインをFとすると、 $S * Q + (V_{REF1} - V_{REF2}) * (Q + 1) * F$ となる。

【0058】

次に、シェーディング補正について説明する。

【0059】

VOB画素を読み出す際、PD202の信号には、被写体の情報は存在しないが、期間t307の間に画素部で発生する暗電流等のシェーディングが存在し、列毎にオフセットが異なっている。

【0060】

VOB画素を読み出す際は、VREF2をVREF1と同じ電位に設定し、その際の差動アンプ223の出力は、 $S * Q + (V_{REF1} - V_{REF2}) * (Q + 1) = S * Q * F$ となる。この場合のSは、VOBで発生したノイズデータと等価であり、この出力を列補正值算出・基準電位供給回路109に供給する。

【0061】

列補正值算出回路は、VOBの出力を行方向、および/または列方向に保持するメモリを有し、その平均値、中央値、上下の特定割合(数%)を除いた平均値などの演算を行い、列毎に補正值として保有する。これらの演算は、一般的な回路で実現可能である。

【0062】

図4を用いて、N行m列のVOBがある場合に、N行m列目の画素の出力をP(N)(m)としてm列目の補正值について説明する。

【0063】

例えば、m列目の補正值を行方向に3行の平均値、列方向に3列の平均値をとった場合は、m列目の補正值は、 $(P(N-1)(m-1) + P(N-1)(m) + P(N-1)(m+1) + P(N)(m-1) + P(N)(m) + P(N)(m+1) + P(N+1)(m-1) + P(N+1)(m) + P(N+1)(m+1)) / 9$ となる。

【0064】

このようにVOBの出力に対して、演算処理をすることで、欠陥画素の影響を取り除くことが可能となる。また、特定画素のオフセット量が大ききときには、通常の暗電流ではなく、欠陥画素とみなし、欠陥の出力レベルを強制的に一定以下までさげるクリップを行ってもよい。

【0065】

開口画素103の信号を読み出す際には、PD202の信号には、期間t307の間に画素で発生するオフセット信号と被写体の情報が含まれる。

【0066】

その際の差動アンプ223の出力は、 $S * Q + (V_{REF1} - V_{REF2}) * (Q + 1) * F$ となる。しかし、ここで列補正值算出回路で求めた補正值が示す列毎のオフセット量が、 $-(V_{REF1} - V_{REF2}) * (Q + 1)$ となるように、VREF2を基準電位供給回路で設定する。

【0067】

そうすることで、差動アンプ223の出力は、 $(S - \text{オフセット量}) * Q * F$ となる。

10

20

30

40

50

従って、開口画素 103 の S は、被写体成分とオフセット成分であるので、差動アンプ 223 の出力は、被写体成分にゲインをかけた値となり、列毎のオフセットをキャンセルすることが可能となる。

【0068】

基準電位供給回路は、列補正值算出回路で求めた列毎の補正值に応じた値を VREF2 として列毎に供給する。

【0069】

図5は、基準電位供給回路が列補正值算出回路から補正值を受け取り、各列毎の基準電位を出力する処理を説明するための図である。

【0070】

図5において、列補正值算出回路501は、列毎の補正值を算出する。補正值伝達線502は、列毎の補正值を基準電源供給回路に受け渡す。基準電位供給回路503は、列補正值算出回路501からの補正值を列毎に受け取り、基準電位 VREF504 として供給する。

【0071】

基準電位 VREF は、前述のように、VREF1 (第1基準電位) と VREF2 (第2基準電位) があり、VREF1 は各列共通の電圧であり、VREF2 は列毎に異なる電圧である。基準電位供給回路503は、前述のように、補正值 = - (VREF1 - VREF2) \* (Q + 1) となるような VREF2 を列毎に列読み出し回路106に供給する。

【0072】

以上説明したように、本実施形態では、撮像素子の固定パターンノイズや画素のリセットスイッチのばらつきによるノイズだけでなく、VOBで求めた列方向のオフセットもアンプ211の後段回路でダイナミックレンジを圧迫することなく低減することができる。

【0073】

また、本実施形態では、オフセットの補正值は画素アレイ101の列毎に有する場合を説明したが、これはオフセット量が列方向に一様でなく、シェーディングを有する場合に有効である。更に、列補正值算出回路を有することで、欠陥画素の影響を受けずに列方向にオフセットの補正をすることができる。

【0074】

なお、オフセット量が画素アレイ101の列方向に一様であれば、列毎に補正值を持たず、補正值は全列同じであってもよい。また、列補正值算出回路で求めるオフセット量は、VOBの全領域であってもよいし、一部領域でもよい。

【0075】

図2(b)は、図2(a)に対して読み出し回路を変更した例を示す回路図である。図2(b)では、ゲインアンプ211で高いゲインをかけることを想定し、ゲインアンプ215の役割をゲインアンプ211が兼ねている。回路の動作については、前述のとおりである。

【0076】

(第2の実施形態)

次に、図6及び図7を参照して、本発明の第2の実施形態である撮像装置について説明する。なお、上記第1の実施形態に対して重複又は相当する部分については、図に同一符号を付してその説明を省略する。

【0077】

本実施形態の撮像装置における撮像素子は、上記第1の実施形態の構成(図1)に加えて、図6に示すように、列毎にAD変換器を有するAD回路610を備える。

【0078】

図7は、図6に示す撮像素子における1画素の構成及びその画素から信号を読み出す回路の構成を示す図である。

【0079】

図7において、AD回路610を構成するAD変換器720でA/D変換されたデジタ

10

20

30

40

50

ルデータは、メモリ721に保持される。AD変換器720は、図2(a)の容量211から容量215の信号の差分をとる構成にすることが可能であり、また、ゲインをかけることも可能である。

【0080】

出力線722は、メモリ721のデータを外部に取り出し、信号線723は、メモリ721のデータを列補正值算出回路に取り出す。この場合、列補正值算出回路は、デジタルの信号処理回路でよいため、半導体の微細化に伴い、回路の面積を縮小することが可能となる。

【0081】

列補正值算出回路でのデジタル信号処理により、VOBの全領域、または一部領域の行および/または列方向の平均値、中央値、上下の特定割合(数%)を除いた平均値などを求め、列毎に補正值として保有する。

【0082】

列毎の補正值は、基準電位供給回路中の列毎に有する不図示のDA変換器でアナログの電圧に変換され、 $-(V_{REF1} - V_{REF2}) * (Q + 1)$ となるような $V_{REF2}$ が、列毎に列読み出し回路106に供給される。

【0083】

以上説明したように、本実施形態では、列補正值算出回路の回路面積を小さくすることができるので、撮像素子の回路規模を縮小することができる。その他の構成および作用効果は、上記第1の実施形態と同様である。

【0084】

(第3の実施形態)

次に、図8~図10を参照して、本発明の第3の実施形態である撮像装置について説明する。なお、上記第1及び第2の実施形態に対して重複又は相当する部分については、図に同一符号を付してその説明を省略する。

【0085】

本実施形態の撮像装置における撮像素子は、図8に示すように、上記第2の実施形態(図6)の列補正值算出回路・基準電位供給回路109が、列毎の補正值を算出する列補正值算出回路811及び全列共通の基準電位供給回路812に変更されている。

【0086】

基準電位供給回路812は、列補正值算出回路811から出力される列毎の補正值に応じた基準電位を列読み出し回路106に順次出力する。

【0087】

図9は、図8に示す撮像素子における1画素の構成及びその画素から信号を読み出す回路の構成を示す図である。

【0088】

電源線923は、前述の基準電位 $V_{REF1}$ が供給され、電源線924は、前述の基準電位 $V_{REF2}$ が供給されている。スイッチ925は、水平選択回路105からのパルスHRにより制御され、アクティブ時に電源線924の電位をコンデンサ926に蓄積する。

【0089】

スイッチ927は、REFによって制御され、アクティブ時にゲインアンプ211の基準電源として $V_{REF1}$ を供給する。スイッチ928は、REFの反転信号であるNREFによって制御され、アクティブ時にゲインアンプ211の基準電源としてコンデンサ926に蓄積された $V_{REF2}$ を供給する。

【0090】

なお、図示は省略するが、コンデンサ926とスイッチ928との間に電圧増幅率が1であるアンプを挿入することで、安定的にゲインアンプ211の基準電源として $V_{REF2}$ を伝達することが可能である。

【0091】

10

20

30

40

50

図10は、図9に示す撮像素子の駆動パターンを説明するためのタイムチャート図である。図9及び図10を参照して、撮像素子の駆動方法について説明する。図10(a)は、VOB画素を読み出す際の駆動パターンである。

【0092】

期間t1001において、パルスRESとパルスTXが印加されてリセットスイッチ207と転送スイッチ203がオンし、PD202とFD204の電位が初期電位にリセットされて、そのリセットの終了とともに新たな露光期間が開始される。

【0093】

その後、パルスSELが印加されて選択スイッチ206をオンすることによって読み出し行が選択され、読み出し行が選択されると、垂直信号線208がFD204のリセットレベルに応じた電位に充電される。

10

【0094】

このタイミングでREFが印加されて選択スイッチ827をオンすることによって、ゲインアンプ211の基準電位にVREF1が印加される。

【0095】

期間t1002において、パルスCが印加されてスイッチ213がオンすることによって、FD204のリセット電位に応じた値がクランプコンデンサ210を介してクランプ電位VREF1にクランプされる。

【0096】

期間t1003において、ゲインアンプ211の出力をAD変換器720で読み込むことによって、FD204のリセットレベルと等価である電位VREF1が読み込まれる。

20

【0097】

期間t1004において、パルスTXが印加されることによってスイッチ203がオンし、PD202に蓄積されていた電荷がFD204に転送されるとともにFD204の電位に応じた電位に垂直信号線208が充電される。

【0098】

時刻t1005の間にゲインアンプ211の出力をAD変換器720で読み込むことによって、PD202で発生した信号とFD204のリセットレベルが読み込まれ、その出力は、 $S * Q + VREF1$ となる。

【0099】

時刻t1003の間に読み込んだ信号を時刻t1005の間に読み込んだ信号から差分をとることで、AD変換器720の出力は $S * Q$ となる。

30

【0100】

期間t1006において、パルスHが印加されると、AD変換器720の出力を保持したメモリ721から信号が出力線722を介し出力される。信号線723は、メモリ721から信号を読み出し、列補正值算出回路811にて前述のVOBの演算処理を行う。

【0101】

列毎に補正值を作成した後は、基準電位供給回路812で各列に対応した補正值から算出した値をDA変換して、列読み出し回路106にVREF2を供給する。

【0102】

その際、水平選択回路105でHRをアクティブにすることでコンデンサ926に各列に対応したVREF2を供給する。

40

【0103】

例えば、基準電位供給回路812がm列目の補正值に対応したVREF2を出力している際は、m列目の読み出し回路のHRをアクティブにしスイッチ925をオンし、それ以外の列はネガティブにする。これを各列毎に行うことで、各列のオフセット量に対応したVREF2がコンデンサ926に書き込まれる。

【0104】

この際、水平選択回路105は、通常行う水平選択よりも動作クロックを遅くすることで、VREF2がコンデンサ926に書き込まれる時間を十分確保することが可能である

50

。また、D A 変換する際に、隣の列や周りの列の V R E F 2 の電圧との差に制限をかければ、ローパスフィルタを構成することも可能である。

【0105】

図10(b)は、開口画素103を読み出す際の駆動パターンを説明するためのタイムチャート図である。

【0106】

期間 t 1 0 0 1 において、パルス R E S とパルス T X が印加されてリセットスイッチ 2 0 7 と転送スイッチ 2 0 3 がオンし、P D 2 0 2 と F D 2 0 4 の電位が初期電位にリセットされて、そのリセットの終了とともに新たな露光期間が開始される。

【0107】

その後、パルス S E L が印加されて選択スイッチ 2 0 6 をオンすることによって読み出し行が選択され、読み出し行が選択されると、垂直信号線 2 0 8 が F D 2 0 4 のリセットレベルに応じた電位に充電される。

【0108】

時刻 t 1 0 0 8 の間に R E F が印加されて選択スイッチ 9 2 7 をオンすることによって、ゲインアンプ 2 1 1 の基準電位に V R E F 1 が印加される。

【0109】

期間 t 1 0 0 2 において、パルス C が印加されてスイッチ 2 1 3 がオンすることによって、F D 2 0 4 のリセット電位に応じた値がクランプコンデンサ 2 1 0 を介してクランプ電位 V R E F 1 にクランプされる。

【0110】

期間 t 1 0 0 3 において、ゲインアンプ 2 1 1 の出力を A D 変換器 7 2 0 で読み込むことによって、F D 2 0 4 のリセットレベルと等価である V R E F 1 が読み込まれる。

【0111】

期間 t 1 0 0 9 の間に、N R E F によってスイッチ 9 2 8 をオンし、V R E F 2 をゲインアンプ 2 1 1 の基準電源として供給する。

【0112】

期間 t 1 0 0 4 において、パルス T X が印加されることによってスイッチ 2 0 3 がオンし、P D 2 0 2 に蓄積されていた電荷が F D 2 0 4 に転送されるとともに F D 2 0 4 の電位に応じた電位に垂直信号線 2 0 8 が充電される。

【0113】

時刻 t 1 0 0 5 の間にゲインアンプ 2 1 1 の出力を A D 変換器 7 2 0 で読み込むことによって、P D 2 0 2 で発生した信号と F D 2 0 4 のリセットレベルが読み込まれ、その出力は  $S * Q + V R E F 1 + (V R E F 1 - V R E F 2) * (Q + 1)$  となる。

【0114】

時刻 t 1 0 0 3 の間に読み込んだ信号を時刻 t 1 0 0 5 の間に読み込んだ信号から差分をとることで、A D 変換器 7 2 0 の出力は、 $S * Q + (V R E F 1 - V R E F 2) * (Q + 1)$  となる。

【0115】

前述のように、 $-(V R E F 1 - V R E F 2) * (Q + 1)$  が各列のオフセット成分と等価になるような V R E F 2 が設定されているので、A D 変換器 7 2 0 の出力は、 $S * Q -$  オフセットとなる。

【0116】

以上説明したように、本実施形態では、基準電位供給回路 8 1 2 中の D A 変換器は 1 つですむので、撮像素子の回路規模を縮小することができる。その他の構成及び作用効果は、上記第 1 及び第 2 の実施形態と同様である。

【0117】

(第 4 の実施形態)

次に、図 1 1 ~ 図 1 3 を参照して、本発明の第 4 の実施形態である撮像装置について説明する。なお、上記第 1 ~ 第 3 の実施形態に対して重複又は相当する部分については、図

10

20

30

40

50

に同一符号を付してその説明を省略する。

【0118】

本実施形態の撮像装置における撮像素子は、図11に示すように、上記第3の実施形態(図8)の列補正值算出回路811が省略され、代わりに、I/F11aを介して撮像信号処理回路1006(図12)によって求めた補正值データを受け取る。そして、受け取った補正值データは、基準電位供給回路812に伝達される。

【0119】

撮像信号処理回路1006は、撮影者が撮影を行う以前に画像の全領域、もしくは一部の領域のデータを取得し、あらかじめ補正值データを作成して外部メモリに保持する。

【0120】

撮像信号処理回路1006は、撮影時には外部メモリに保有する補正值データを温度、時間、設定ゲインなどに応じて加工し、加工したデータをI/F11aを介して基準電位供給回路812に伝達することで前述のように列毎に補正を行う。この場合、補正值は既知であり、VOB領域についても図10(a)と同様の駆動を行うことが可能である。

【0121】

次に、図12を参照して、図11に示す撮像素子を備える撮像装置の構成例について説明する。

【0122】

図12において、レンズ部1001は、レンズ駆動装置1002によってズーム制御、フォーカス制御、絞り制御などが行われ、被写体の光学像を撮像素子1005に結像させる。メカニカルシャッタ1003は、シャッタ駆動装置1004によって制御される。撮像素子1005は、レンズ部1001で結像された被写体像を光電変換して画像信号を出力する。

【0123】

撮像信号処理回路1006は、撮像素子1005より出力される画像信号に各種の補正を行ったり、データを圧縮したりする。また、撮像信号処理回路1006は、前述の補正值データの生成を行い、画像信号の補正処理を行う。タイミング発生部1007は、撮像素子1005、撮像信号処理回路1006に各種タイミング信号を出力する。

【0124】

制御回路1009は、測光装置1013や測距装置1014が接続され、各種演算と撮像装置全体を制御する。メモリ部1008は、画像データを一時的に記憶する為のメモリである。

【0125】

記録媒体制御I/F部1010は、着脱自在な記録媒体1011に画像データを記録または記録媒体1011から画像データの読み出しを行うためのインターフェースである。外部I/F1012は、外部コンピュータ等と通信する為のインターフェースである。

【0126】

次に、図12に示す撮像装置における撮影時の動作例について説明する。

【0127】

メイン電源がオンされると、コントロール系の電源がオンし、更に撮像信号処理回路1006などの撮像系回路の電源がオンされる。

【0128】

次に、不図示のリリースボタンが押されると、制御回路1009は、測距装置1014から出力された信号を基に、高周波成分を取り出し、被写体までの距離を演算する。

【0129】

その後、制御回路1009は、レンズ駆動装置1002によりレンズ部1001を駆動して合焦か否かを判断し、合焦していないと判断した場合は、再びレンズ部1001を駆動し測距を行う。

【0130】

そして、制御回路1009は、合焦が確認された後に撮影動作を開始し、撮影信号処理

10

20

30

40

50

回路 1006 から条件に応じた補正值データを撮像素子 1005 に送信する。撮像素子 1005 は、I/F 11a を介して、補正值データに基づいた VREF2 を列毎に設定し、図 10 (b) で示される駆動を行い、画像信号を出力する。

【0131】

撮影動作が終了すると、固体撮像素子 1005 から出力された画像信号は撮影信号処理回路 1006 で画像処理をされ、制御回路 1009 によりメモリ部 1008 に書き込まれる。

【0132】

メモリ 1008 に蓄積されたデータは、制御回路 1009 の制御により、記録媒体制御 I/F 部 1010 を介して記録媒体 1011 に記録される。

【0133】

撮像信号処理回路 1006 で生成される補正值データは、撮影前に生成して、前もって撮像素子が取得することも可能であるし、メイン電源がオンされた後に撮像素子が取得することも可能である。

【0134】

次に、図 13 を参照して、メイン電源がオンされた後の撮像装置の処理例について説明する。図 13 での各処理は、撮像素子 1005 又は制御回路 1009 の CPU により実行される。制御回路 1009 の CPU は、不図示の ROM 等に記憶された制御プログラムが RAM にロードされることにより、処理を実行する。

【0135】

まず、ステップ S1201 では、制御回路 1009 は、メイン電源がオンされると、ステップ S1202 に進む。

【0136】

ステップ S1202 では、制御回路 1009 は、撮影者が撮影を開始するまでの間に撮像素子 1005 の遮光状態で撮影 (図 10 (a)) された画像データを取得し、ステップ S1203 に進む。

【0137】

ステップ S1203 では、制御回路 1009 は、ステップ S1202 で取得した画像データをメモリ部 1008 に取り込み、ステップ S1204 に進む。

【0138】

この場合、補正值データを求める領域は、VOB 領域に限定する必要はない。撮像素子 1005 を遮光した状態で取得した画像データであれば、画像の全部の領域、もしくは一部の領域の画像データを取得することが可能であるので、特定領域の画像データをメモリ部 1008 に取り込む。

【0139】

ステップ S1204 では、制御回路 1009 は、撮像信号処理回路 1006 を制御して、メモリ部 1008 に取り込まれた画像データに対して欠陥画素の補間を行い、ステップ S1205 に進む。

【0140】

ステップ S1205 では、制御回路 1009 は、撮像信号処理回路 1006 を制御して、画面の全部の領域、または一部の領域に対して行方向に平均値、中央値、上下数%を除いた平均値などの演算を行う。この演算処理により 1 列分のノイズデータを生成し、ステップ S1206 に進む。

【0141】

ステップ S1206 では、制御回路 1009 は、撮像信号処理回路 1006 を制御して、ノイズデータに対し列方向にも平均値、中央値、上下数%を除いた平均値などの演算を行う。

【0142】

これにより、撮像信号処理回路 1006 により、欠陥画素の影響や各画素のランダムノイズの影響をうけない列オフセットの補正值データが生成され、その後、制御回路 100

10

20

30

40

50

9は、補正值データを不図示のメモリに保持し、ステップS1208に進む。

【0143】

ステップS1208では、制御回路1009は、リリースボタンが押されると、ステップS1209に進む。

【0144】

ステップS1209では、制御回路1009は、撮像信号処理回路1006を制御して、撮影された画像に補正が必要か否かを判断し、補正が必要な場合は、ステップS1211に進み、補正が必要でない場合は、ステップS1210に進む。

【0145】

ステップS1210では、制御回路1009は、VREF2をVREF1と同電圧にして撮像素子を駆動し、処理を終了する。

【0146】

ステップS1211では、制御回路1009は、不図示のメモリから補正值データを撮像信号処理回路1006に読み込み、ステップS1212に進む。

【0147】

ステップS1212では、制御回路1009は、撮像信号処理回路1006を制御して、温度、撮影時蓄積時間、設定ゲインに応じて、補正值データに係数をかけ、最適な補正值データに展開して、ステップS1213に進む。

【0148】

ステップS1213では、制御回路1009は、撮像信号処理回路1006で展開した補正值データを撮像素子に転送する。

【0149】

ステップS1214では、撮像素子は、撮像信号処理回路1006から転送された補正值データに応じたVREF2を列毎に設定し、撮影を行い、処理を終了する。

【0150】

なお、本実施形態では、撮像素子の遮光時の特定領域からオフセットを列毎に求めたが、行毎に求めることも可能である。この場合には、撮像素子の遮光時の特定領域もしくはHOBから同様に撮像信号処理回路1006で補正值データを求める。

【0151】

撮像信号処理回路1006から1行毎に補正值データを撮像素子に送り、撮像素子は1行毎にVREF2を変更することで、行方向のオフセット成分を補正することができる。また、1行毎に1列毎の補正值データを更新することで、全画面の各画素のデータに基づく補正も可能である。

【0152】

以上説明したように、本実施形態では、暗電流を含む画素オフセットの補正を行うことで、AD変換時のダイナミックレンジを損なうことなく、低ノイズの画像を取得することができる。その他の構成及び作用効果は、上記第1～第3の実施形態と同様である。

【0153】

なお、本発明は、上記各実施形態に例示したものに限定されるものではなく、本発明の要旨を逸脱しない範囲において適宜変更可能である。

【0154】

また、本発明の目的は、以下の処理を実行することによっても達成される。即ち、上述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システム或いは装置に供給し、そのシステム或いは装置のコンピュータ（またはCPUやMPU等）が記憶媒体に格納されたプログラムコードを読み出す処理である。

【0155】

この場合、記憶媒体から読み出されたプログラムコード自体が前述した実施の形態の機能を実現することになり、そのプログラムコード及び該プログラムコードを記憶した記憶媒体は本発明を構成することになる。

【0156】

10

20

30

40

50

また、プログラムコードを供給するための記憶媒体としては、次のものを用いることができる。例えば、フロッピー（登録商標）ディスク、ハードディスク、光磁気ディスク、CD-ROM、CD-R、CD-RW、DVD-ROM、DVD-RAM、DVD-RW、DVD+RW、磁気テープ、不揮発性のメモ리카ード、ROM等である。または、プログラムコードをネットワークを介してダウンロードしてもよい。

【0157】

また、コンピュータが読み出したプログラムコードを実行することにより、上記実施形態の機能が実現される場合も本発明に含まれる。加えて、そのプログラムコードの指示に基づき、コンピュータ上で稼動しているOS（オペレーティングシステム）等が実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれる。

10

【0158】

更に、前述した実施形態の機能が以下の処理によって実現される場合も本発明に含まれる。即ち、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれる。その後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPU等が実際の処理の一部または全部を行う場合である。

【図面の簡単な説明】

【0159】

【図1】本発明の第1の実施形態である撮像装置における撮像素子を説明するための概略図である。

20

【図2】(a)は図1に示す撮像素子における1画素の構成及びその画素から信号を読み出す回路の構成を示す図、(b)は(a)の変形例を示す図である。

【図3】図2(a)に示す撮像素子の駆動パターンとクランプ電位を示すタイムチャート図である。

【図4】撮像素子の画素の配列例を概略的に示す図である。

【図5】基準電位供給回路が列補正值算出回路から補正值を受け取り、各列毎の基準電位を出力する処理を説明するための図である。

【図6】本発明の第2の実施形態である撮像装置における撮像素子を説明するための概略図である。

30

【図7】図6に示す撮像素子における1画素の構成及びその画素から信号を読み出す回路の構成を示す図である。

【図8】本発明の第3の実施形態である撮像装置における撮像素子を説明するための概略図である。

【図9】図8に示す撮像素子における1画素の構成及びその画素から信号を読み出す回路の構成を示す図である。

【図10】(a)はVOB画素を読み出す際の駆動パターンを説明するためのタイムチャート図、(b)は開口画素を読み出す際の駆動パターンを説明するためのタイムチャート図である。

【図11】本発明の第4の実施形態である撮像装置における撮像素子を説明するための概略図である。

40

【図12】撮像装置の構成例を説明するためのブロック図である。

【図13】メイン電源がオンされた後の撮像装置の処理例について説明するためのフローチャート図である。

【図14】従来の撮像装置における撮像素子の構成を概略的に示す図である。

【図15】図14に示す撮像素子における1画素の構成及びその画素から信号を読み出す回路の構成を示す図である。

【符号の説明】

【0160】

101 画素アレイ

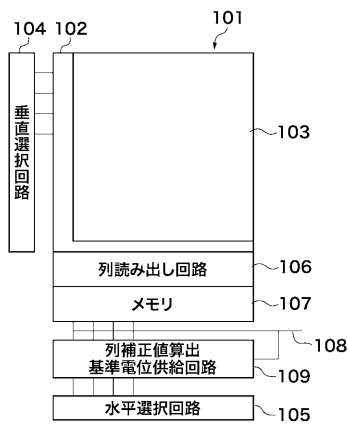
50

- 1 0 2     O B 画 素
- 1 0 3     開 口 画 素
- 1 0 4     垂 直 選 択 回 路
- 1 0 5     水 平 選 択 回 路
- 1 0 6     列 読 み 出 し 回 路
- 1 0 7     メ モ リ
- 1 0 8     出 力 線
- 1 0 9     列 補 正 値 算 出 ・ 基 準 電 位 供 給 回 路
- 2 0 2     P D
- 2 0 4     F D
- 2 0 7     リ セ ッ ト ス イ ッ チ
- 2 1 1     ゲ イ ン ア ン プ
- 2 1 5     ゲ イ ン ア ン プ
- 6 1 0     A D 回 路
- 8 1 1     列 補 正 値 算 出 回 路
- 8 1 2     基 準 電 位 供 給 回 路
- 7 2 0     A D 変 換 器
- 1 0 0 5   撮 像 素 子
- 1 0 0 6   撮 像 信 号 処 理 回 路
- 1 0 0 9   制 御 回 路

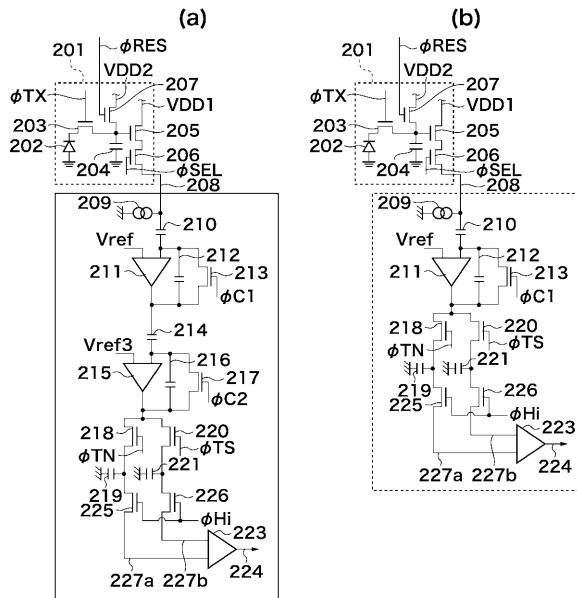
10

20

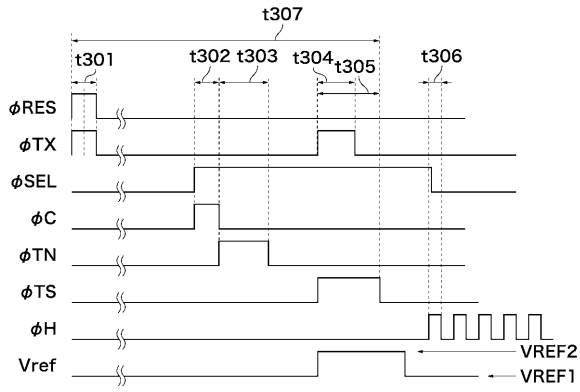
【 図 1 】



【 図 2 】



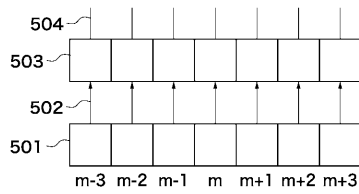
【 図 3 】



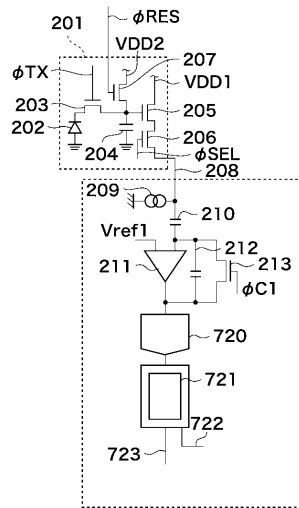
【 図 4 】



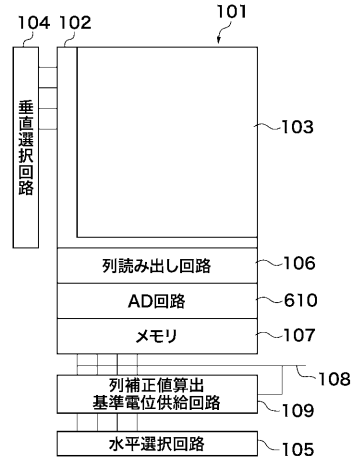
【 図 5 】



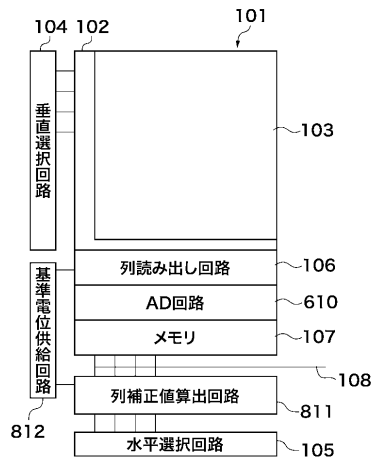
【 図 7 】



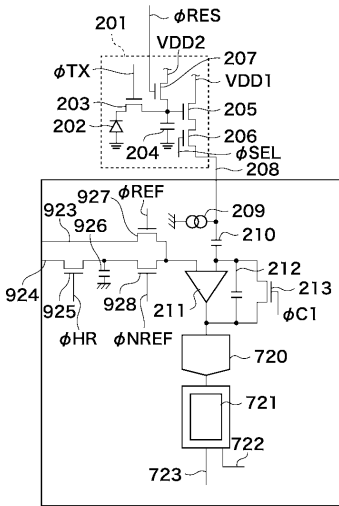
【 図 6 】



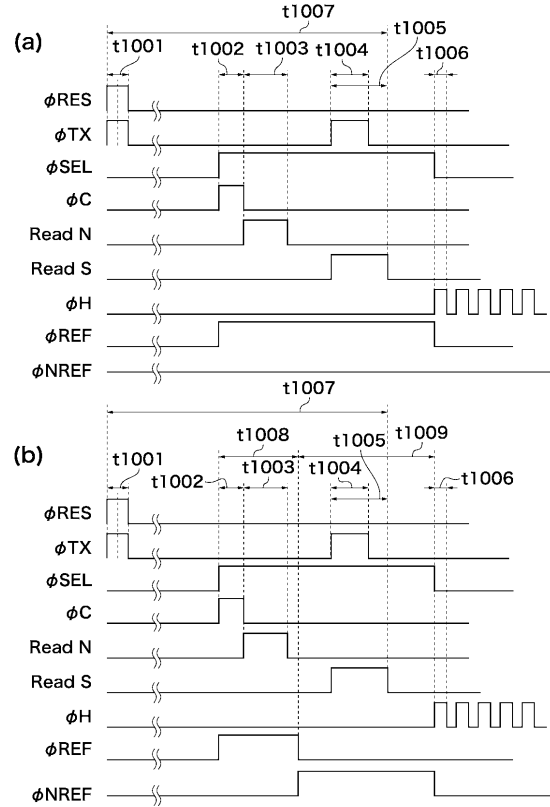
【 図 8 】



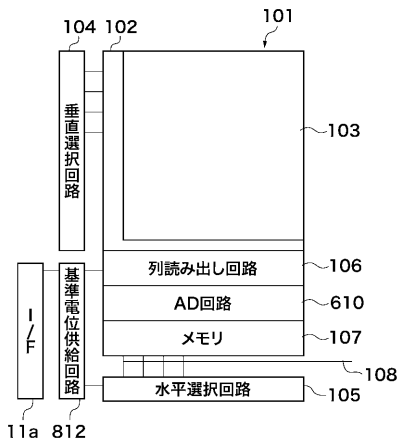
【 図 9 】



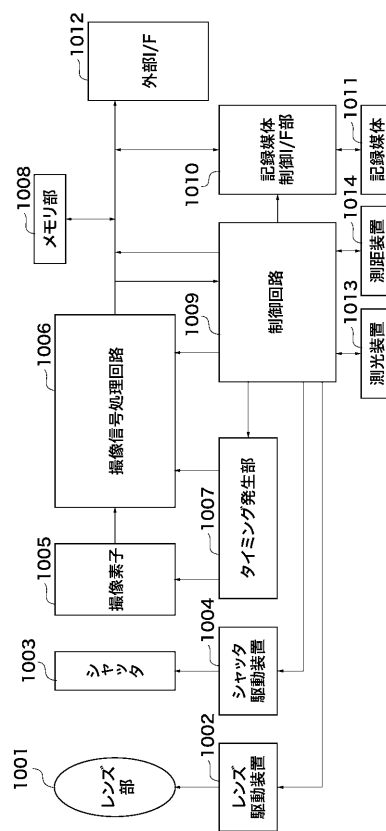
【 図 1 0 】



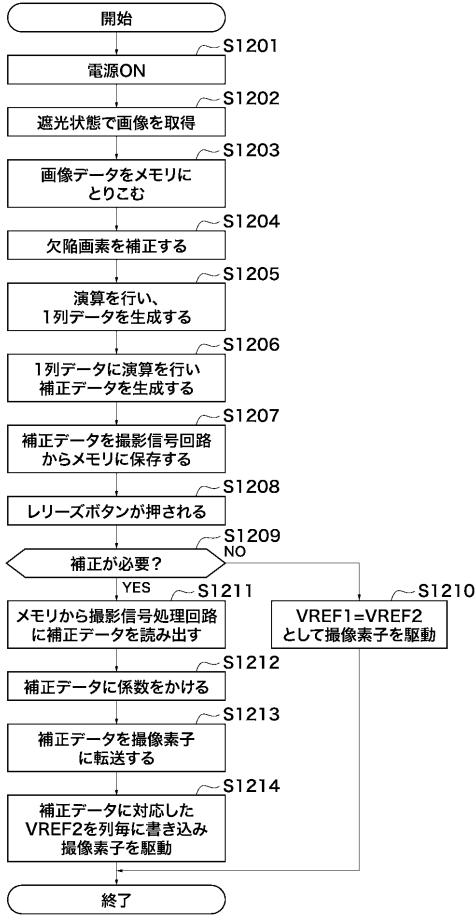
【 図 1 1 】



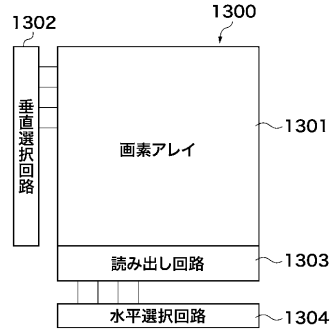
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



【 図 1 5 】

