

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 27 日(27.09.2012)



(10) 国際公開番号

WO 2012/127956 A1

- (51) 国際特許分類:
H03F 3/45 (2006.01) *G09G 3/36* (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2012/053937
- (22) 国際出願日: 2012 年 2 月 20 日(20.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-062032 2011 年 3 月 22 日(22.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 西村 浩一 (NISHIMURA Kouichi) [JP/JP]; 〒2118668 神奈川県

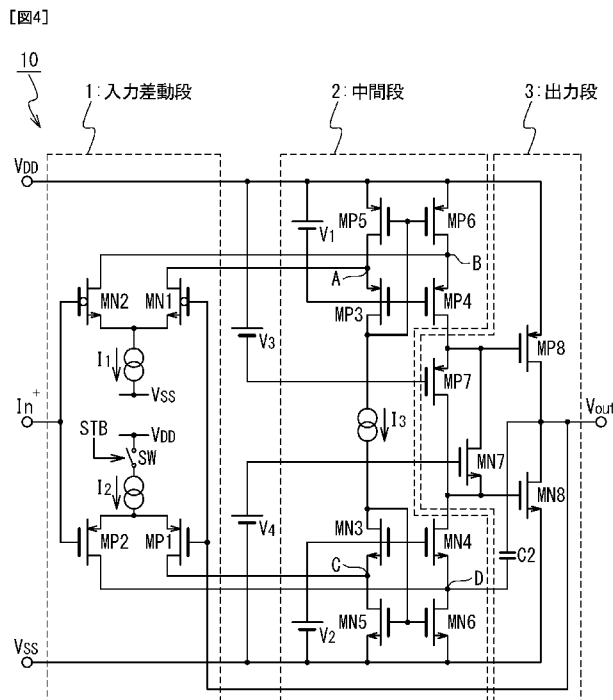
川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).

- (74) 代理人: 工藤 実(KUDOH Minoru); 〒1400013 東京都品川区南大井六丁目 2 4 番 1 0 号カドヤビル 6 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー

[続葉有]

(54) Title: COMPUTATION AMPLIFIER CIRCUIT, AND DISPLAY PANEL DRIVER AND DISPLAY DEVICE EMPLOYING SAME

(54) 発明の名称: 演算増幅器回路並びにそれを用いた表示パネルドライバ及び表示装置



- 1 INPUT DIFFERENTIAL STAGE
2 INTERMEDIATE STAGE
3 OUTPUT STAGE

(57) Abstract: A computation amplifier circuit comprises: an input differential stage, further comprising a P-channel differential pair which includes a pair of P-channel MOS transistors which receives an input voltage, an N-channel differential pair which includes a pair of depression-type N-channel MOS transistors which receives an input voltage, and a switch means; and an output unit which outputs an output voltage in response to the current which flows through the P-channel differential pair and the N-channel differential pair. The switch means interrupts the bias current which flows through the P-channel differential pair in response to a control signal which synchronizes with a change of the input voltage.

(57) 要約: 演算増幅器回路が、入力電圧を受け取る一対のPチャネルMOSトランジスタを含むPチャネル差動対と、入力電圧を受け取る一対のディプレッション型のNチャネルMOSトランジスタを含むNチャネル差動対と、スイッチ手段とを備える入力差動段と、Pチャネル差動対とNチャネル差動対に流れる電流に応答して出力電圧を出力する出力部とを具備する。スイッチ手段は、入力電圧の変化に同期した制御信号に応答してPチャネル差動対に流れるバイアス電流を遮断する。



ロツパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

演算増幅器回路並びにそれを用いた表示パネルドライバ及び表示装置

技術分野

[0001] 本発明は、演算増幅器回路並びにそれを用いた表示パネルドライバ及び表示装置に関し、特に、演算増幅器回路の過渡特性の改善に関する。

背景技術

[0002] 最近の液晶表示装置その他のパネル表示装置において、表示画像の画質に顕著に影響を及ぼす回路の一つが出力アンプとして使用される演算増幅器回路である。表示画像の画質の向上のためには、例えば、偏差特性や、出力信号の立ち上がり及び立ち下りの対称性が良好であることが望ましく、このような特性を持つ演算増幅器回路の提供が望まれる。

[0003] パネル表示装置の出力アンプとして、入力電圧及び出力電圧のいずれもが負電源電圧から正電源電圧までの任意の電圧をとることを許容する、いわゆる R a i l - t o - R a i l 動作に対応した演算増幅器回路が使用されることがある。R a i l - t o - R a i l 動作を実現するための回路構成としては、2つが知られている：一つは、入力差動段に P チャンネル MOS トランジスタの差動対（「P チャンネル差動対」ともいう。）と N チャンネル MOS トランジスタの差動対（「N チャンネル差動対」ともいう。）の両方を設ける回路構成であり、もう一つは、ディプレッションタイプの N チャンネル MOS トランジスタの差動対のみを設ける構成である。

[0004] 図 1 は、入力差動段に P チャンネル MOS トランジスタの差動対と N チャンネル MOS トランジスタ差動対の両方を設ける、典型的な R a i l - t o - R a i l アンプの回路構成を示す回路図である。図 1 のような回路構成は、例えば、米国特許第 5, 3 1 1, 1 4 5 号に開示されており、この特許文献以外にも CMOS アナログ回路の教科書や著名な文献等に、参考回路として記載されている。図 1 を参照すると、この演算増幅器の回路構成は、入力差動

段（初段）、中間段及び最終段と大きく3つに分けられる。

[0005] 図1を参照すると、入力差動段は、NチャネルMOSトランジスタMN1、MN2で構成されたNチャネル差動対と、PチャネルMOSトランジスタMP1、MP2で構成されたPチャネル差動対とを備えている。NチャネルMOSトランジスタMN1、MN2は、ソースが共通に接続され、共通接続されたソースと負電源電圧 V_{SS} の端子（接地端子）との間に、定電流源I1が接続されている。一方、PチャネルMOSトランジスタMP1、MP2は、ソースが共通接続され、共通接続されたソースと正電源電圧 V_{DD} の電源端子との間に、定電流源I2が接続されている。PチャネルMOSトランジスタMP1のゲートとNチャネルMOSトランジスタMN1のゲートは、入力端子IN-に共通接続されており、PチャネルMOSトランジスタMP2のゲートとNチャネルMOSトランジスタMN2のゲートは、入力端子IN+に共通接続されている。

[0006] 中間段は、能動負荷として機能する2つのフォールデッドカスコード型カレントミラーと、浮遊電流源I3とを有する。PチャネルMOSトランジスタMP3～MP6は、第1のフォールデッドカスコード型カレントミラーを構成しており、NチャネルMOSトランジスタMN3～MN6は、第2のフォールデッドカスコード型カレントミラーを構成している。定電圧源V1は、PチャネルMOSトランジスタMP5、MP6に電圧バイアスを供給し、定電圧源V2は、NチャネルMOSトランジスタMN5、MN6に電圧バイアスを供給している。中間段のノードAは差動段のNチャネルMOSトランジスタMN1のドレインに接続され、ノードBは、NチャネルMOSトランジスタMN2のドレインに接続されている。同様に、中間段のノードCは差動段のPチャネルMOSトランジスタMP1のドレインに接続され、ノードDは、PチャネルMOSトランジスタMP2のドレインに接続されている。

[0007] 最終段は、定電圧源V3、V4で制御されたAB級増幅器として構成されており、NチャネルMOSトランジスタMN7、MN8とPチャネルMOSトランジスタMP7、MP8とを備えている。PチャネルMOSトランジスタ

タMP 7とNチャネルMOSトランジスタMN 7は、浮遊定電流源（Floating Current Source）として機能する。PチャネルMOSトランジスタMP 7のソースとNチャネルMOSトランジスタMN 7のドレインはPチャネルMOSトランジスタMP 6のドレインに接続され、PチャネルMOSトランジスタMP 7のドレインとNチャネルMOSトランジスタMN 7のソースはNチャネルMOSトランジスタMN 6のドレインに接続されている。PチャネルMOSトランジスタMP 8は、ソースが正電源電圧 V_{DD} の電源端子に接続され、ゲートがPチャネルMOSトランジスタMP 7のソースに接続され、ドレインが出力端子OUTに接続されている出力トランジスタである。NチャネルMOSトランジスタMN 8は、ソースが負電源電圧 V_{SS} の電源端子に接続され、ゲートがNチャネルMOSトランジスタMN 7のソースに接続され、ドレインが出力端子OUTに接続されている出力トランジスタである。位相補償容量C 1は、一端が中間段のノードBに接続され、他端が出力端子OUTに接続されている。位相補償容量C 2は、一端が中間段のノードDに接続され、他端が出力端子OUTに接続されている。このAB級増幅器のアイドルリング電流は、浮遊定電流源（MP 7、MN 7）を流れる電流と第3と第4の定電圧源から供給される電圧バイアスで決定される。

[0008] 図1の演算増幅器回路は、以下のように動作してRail-to-Rail動作を実現している。入力電圧が低い時には、Pチャネル差動対（MP 1、MP 2）が動作する。反対に入力電圧が高い時にはNチャネル差動対（MN 1、MN 2）が動作する。その中間の入力電圧では、Pチャネル差動対（MP 1、MP 2）及びNチャネル差動対（MN 1、MN 2）がともに動作する。すなわち、負電源電圧 V_{SS} 近傍の動作においては、Pチャネル差動対（MP 1、MP 2）のみが動作し、Nチャネル差動対（MN 1、MN 2）は動作しない。これは、NチャネルMOSトランジスタは、一般的には、エンハンスメントタイプのトランジスタ特性であるため、動作するためには、ゲートソース間電圧がトランジスタの閾値電圧（ V_T ）よりも高くなる必要があるためである。しかし、入力電圧が負電源電圧 V_{SS} 近傍の電圧である場合、

すなわち、入力差動トランジスタのゲート電圧が0 V近辺である場合には、そのソース電位も0 V近辺となり、Nチャネル差動対（MN 1、MN 2）が動作しないことが理解できる。また、入力電圧が正電源電圧 V_{DD} 近傍の電圧である場合、すなわち、入力差動トランジスタのゲート電圧が V_{DD} 近辺である場合には、そのソース電位も正電源電圧 V_{DD} 近辺となり、Pチャネル差動対（MP 1、MP 2）が動作しないことが理解できる。入力電圧が約 $V_{TN} \sim V_{DD} - V_{TP}$ （ V_{TN} ：NチャネルMOSトランジスタの閾値電圧、 V_{TP} ：PチャネルMOSトランジスタの閾値電圧）の時は、Pチャネル差動段（MP 1、MP 2）、Nチャネル差動段（MN 1、MN 2）の両方が動作する。したがって、図1の演算増幅器回路は、負電源電圧 V_{SS} から正電源電圧 V_{DD} の全範囲で動作可能である。

[0009] 一方、図2は、ディプレッション型のNチャネルMOSトランジスタの差動対のみを設けた演算増幅器回路の構成を示す回路図である。このような構成は、例えば、特開2007-202127号公報に開示されている。図2を参照すると、入力差動段は、ソースが共通接続され、各々のゲートが入力端子 I_{n-} 、 I_{n+} に接続されたディプレッション型のNチャネルMOSトランジスタMN 1、MN 2と、NチャネルMOSトランジスタMN 1、MN 2の共通接続されたソースと負電源電圧 V_{SS} の電源端子との間に接続された定電流源I 1を備えている。ここで、図2においては、NチャネルMOSトランジスタMN 1、MN 2がディプレッション型であることを明示するために、NチャネルMOSトランジスタを示す記号に丸が付されていることに留意されたい。NチャネルMOSトランジスタMN 1、MN 2のバックゲートは、負電源端子（ V_{SS} ）に接続されている。

[0010] 中間段は、浮遊電流源I 3と、NチャネルMOSトランジスタMN 3、MN 4と、PチャネルMOSトランジスタMP 3、MP 4、MP 5、MP 6、MP 7とを備えている。NチャネルMOSトランジスタMN 3、MN 4はカレントミラーを構成しており、また、PチャネルMOSトランジスタMP 3、MP 4、MP 5、MP 6は、フォールデッドカスコード型カレントミラー

を構成している。定電圧源 V_1 は、PチャネルMOSトランジスタMP5、MP6に電圧バイアスを供給している。

[0011] 最終段は、NチャネルMOSトランジスタMN7、MN8とPチャネルMOSトランジスタMP7、MP8とを備えている。PチャネルMOSトランジスタMP7とNチャネルMOSトランジスタMN7は、浮遊定電流源 (Floating Current Source) として機能する。NチャネルMOSトランジスタMN8、PチャネルMOSトランジスタMP8は、出力端子OUTを駆動する出力トランジスタである。最終段は、更に、位相補償容量としてC2を備えている。

[0012] 図2の演算増幅器回路は、差動対にディプレッション型Nチャネルトランジスタを用い、その能動負荷としてフォールデッドカスコード型カレントミラーを用いることで、Rail-to-Rail動作を実現している。以下、この詳細な説明を行う。

[0013] PチャネルMOSトランジスタMP3、MP4の共通接続されたゲートとPチャネルMOSトランジスタMP5のドレインを共通接続して、フォールデッドカスコード型カレントミラーの入力端子が構成されている。そして、PチャネルMOSトランジスタMP3、MP4の共通接続されたソースが、フォールデッドカスコード型カレントミラーの共通端子となり、PチャネルMOSトランジスタMP6のドレインが、カスコードカレントミラー回路の出力端子となる。このフォールデッドカスコード型カレントミラーは、入力差動段の出力に接続された能動負荷の働きをする。一般のカスコード型カレントミラーを通常の能動負荷として動作させる時は、カスコード型カレントミラーの入力端子と出力端子を使用するが、フォールデッドカスコード型カレントミラーの場合は、縦積みされたカレントミラーの中間ノード、すなわち、PチャネルMOSトランジスタMP3、MP4の各々のドレインに差動段の出力が接続される。これにより、以下に詳述されるように、入力差動段の入力電圧範囲を広くすることが可能となる。図2のように構成された演算増幅器回路は、入力電圧範囲が、ほぼ負電源電圧 V_{SS} からほぼ正電源電圧 V_D

V_{DD} までとなり、いわゆるRail-to-Rail動作が可能な回路となる。このように、Nチャネルディプレッション型MOSトランジスタの差動段と、フォールデッドカスコード型カレントミラーとを組み合わせることにより、負電源電圧 V_{SS} から正電源電圧 V_{DD} までの全電源範囲の入力電圧で動作することを、図2を参照して説明する。

[0014] まず、1つの差動対でRail-to-Rail動作が実現できる理由について説明する。図2の演算増幅器回路において、反転入力端子 I_n^- を出力端子OUTに接続する、いわゆるボルテージフォロワ接続がなされているとして、正転入力端子 I_n^+ に輸入される電圧を V_{in} とすると、入力できる電圧範囲は、次式(1)で与えられる：

$$V_{DD} - (V_{DS(sat)(MP1/2)} + V_{DS(sat)(MN1/2)} - V_{GS(MN1/2)}) > V_{in} > V_{GS(MN1/2)} + V_{DS(sat)(I2)} \quad \dots(1)$$

ここで、 $V_{DS(sat)(MP1/2)}$ は、Pチャネル型MOSトランジスタMP1、MP2の飽和点でのドレインソース間電圧であり、 $V_{DS(sat)(MN1/2)}$ はNチャネル型MOSトランジスタMN1/2の飽和点でのドレインソース間電圧であり、 $V_{DS(sat)(I2)}$ は定電流源I2を構成するNチャネル型MOSトランジスタの飽和点でのドレインソース間電圧（5極管領域で動作するぎりぎりの電圧）であり、 $V_{GS(MN1/2)}$ はNチャネル型MOSトランジスタMN1/2のゲートソース間電圧である。

[0015] また、MOSトランジスタのゲートソース間電圧 V_{GS} は、基板バイアス効果を考慮すると、次式(2)で与えられる：

$$V_{GS} = \sqrt{\frac{2I_D}{\beta}} + V_{T0} + \gamma\sqrt{V_B}, \quad \dots(2)$$

$$\beta = \frac{W}{L}\mu C_0, \quad \gamma = \sqrt{\frac{2\varepsilon_0\varepsilon_s q N_A}{C_0}}, \quad C_0 = \frac{\varepsilon_0\varepsilon_s}{t},$$

ただし、 μ は移動度であり、 C_0 は単位面積当たりのゲート絶縁膜容量（F/cm²）であり、 ε_0 は、自由空間の誘電率（8.86×10⁻¹⁴F/cm）で

あり、 ϵ_s は、半導体の比誘電率（3.9）であり、 q は電子の電荷量（ $1.6 \times 10^{-12} \text{C}$ ）であり、 V_{T0} は、基板バイアス V_B が0Vである場合の閾値電圧であり、 I_D は、ドレインソース間電流であり、 β は利得係数であり、 γ は基板バイアス効果を表す係数である。

- [0016] 仮にNチャンネルMOSトランジスタの閾値が -0.15V であり、ディプレッション特性を示すとする。入力 V_{in} が0V近辺の時は、NチャンネルMOSトランジスタMN1、MN2の共通ソースとバックゲート（この場合は、サブストレート）間の電圧は、 0.1V 程度で、基板バイアス効果がほとんどない。従って、式（2）を式（1）の右辺に代入すると、 $V_{DS(sat)(I1)}$ が 0.1V であるとして、 $V_{GS(MN1/2)}$ が約 -0.1V になるから、次式が成立する：

$$V_{in} > V_{GS(MN1/2)} + V_{DS(sat)(I2)} = -0.1V + 0.1V = 0V.$$

これは、入力電圧 V_{in} の許容される最低電圧がほぼ0V（ V_{SS} ）であることを意味している。

- [0017] 一方、正電源電圧 V_{DD} 近辺の入力電圧が入力された場合には、差動段のNチャンネルMOSトランジスタMN1、MN2の共通ソースとバックゲートの間に正電源電圧 V_{DD} 近くの電圧がかかる。LCDデータ線ドライバの場合は、正電源電圧 V_{DD} が10V以上になり、式（2）の第3項のバックゲート効果により、ゲートソース間電圧は約 $+0.5 \text{V}$ にもなる。これを式（1）の左辺に代入すると、

$$\begin{aligned} V_{DD} - (V_{DS(sat)(MP1/2)} + V_{DS(sat)(MN1/2)} - V_{GS(MN1/2)}) \\ = V_{DD} - (0.1V + 0.1V - 0.5V) > V_{in}, \end{aligned}$$

となり、入力電圧の許容される最高電圧がほぼ正電源電圧 V_{DD} であることがわかる。

- [0018] このように、MOSトランジスタのバックゲートソース間の電圧の増加による顕著な基板バイアス効果の影響と、入力差動段の出力を（通常の能動

負荷となるカレントミラー回路で受けるのではなく) フォールデッドカスコード型カレントミラーで受けることにより、ディプレッション型のトランジスタを使った差動段でも、入力電圧範囲を V_{DD} まで拡大することが可能となる。

[0019] 中間段と出力段の動作に関しては、前述の図1の演算増幅器回路の場合とほぼ同じなので、その説明を省略する。

[0020] 特開2007-202127号公報における演算増幅器回路では、差動段のNチャンネル型ディプレッションMOSトランジスタをノンドープトランジスタ構造で実現している。以下、このノンドープ構造のディプレッション型NチャンネルMOSトランジスタについて説明する。図3は、エンハンスメント型の通常のNチャンネルMOSトランジスタと、ディプレッション型のノンドープ構造のNチャンネルMOSトランジスタの構成の断面を模式的に示す図である。右側の通常のNチャンネルMOSトランジスタにおいては、P型の半導体基板にP型の不純物をイオン注入してPウェル(HV (high voltage) P_well)が形成され、そのPウェルにN型のソース及びドレインが形成される。一方、ノンドープ型のNチャンネルMOSトランジスタにおいては、チャンネル領域に対してPウェルを形成するための不純物注入を行わず、チャンネル領域の不純物濃度は基板不純物濃度のままである。ソース不純物濃度と基板不純物濃度にもよるが、ノンドープ型のNチャンネルMOSトランジスタは、ディプレッション特性を示し、このときの閾値電圧は、約 -0.15 V となる。さらに、NチャンネルMOSトランジスタのバックゲートを負電源端子(V_{SS})に接続することで、基板バイアス効果が得られる。NチャンネルMOSトランジスタのバックゲートには負電源電圧 V_{SS} を印加しているので、ソース電圧が 10 V 程度に上昇した場合、顕著な基板バイアス効果が生じ、閾値電圧が約 -0.15 V から約 $+0.数\text{ V}$ に変化する。上述のように、ノンドープ型のNチャンネルディプレッションMOSトランジスタにおいて基板バイアス効果によって閾値電圧が変化することが、Rail-to-Rail動作を実現する上で重要である。

先行技術文献

特許文献

[0021] 特許文献1：米国特許第5, 311, 145号

特許文献2：特開2007-202127号公報

発明の概要

[0022] しかし、図1のPチャネル差動対とNチャネル差動対の両方を差動段に備えた演算増幅器回路は、出力電圧の立ち上がり／立ち下がり特性の対称性には優れるが、チップサイズが大きくなり、更に負電源電圧 V_{SS} 及び正電源電圧 V_{DD} 近辺の電圧領域の偏差特性が問題である。一方、図2のディプレッション型（ノンドープ型）のNチャネルMOSトランジスタ差動段のみを差動段に備えた演算増幅器回路は偏差特性とチップサイズに優れるが、立ち上がり／立ち下がり特性の対称性に問題がある。図1、図2の演算増幅器回路は一長一短であり、出力電圧の偏差特性と立ち上がり／立ち下がり特性の両方が向上された演算増幅器回路の提供が望まれている。

[0023] 本発明の一の観点においては、演算増幅器回路が、入力電圧を受け取る一対のPチャネルMOSトランジスタを含むPチャネル差動対と、入力電圧を受け取る一対のディプレッション型のNチャネルMOSトランジスタを含むNチャネル差動対と、スイッチ手段とを備える入力差動段と、Pチャネル差動対とNチャネル差動対に流れる電流に応答して出力電圧を出力する出力部とを具備する。スイッチ手段は、入力電圧の変化に同期した制御信号に応答してPチャネル差動対を流れるバイアス電流を遮断する。

[0024] 本発明の他の観点では、表示パネルのデータ線を駆動するための表示パネルドライバが、デジタルデータである表示データに対応する階調電圧を生成するD/A変換回路と、階調電圧に対応する駆動電圧をデータ線に出力する演算増幅器回路とを備えている。演算増幅器回路は、階調電圧を受け取る一対のPチャネルMOSトランジスタを含むPチャネル差動対と、階調電圧を受け取る一対のディプレッション型のNチャネルMOSトランジスタを含むNチャネル差動対と、スイッチ手段とを備える入力差動段と、Pチャネル差

動対とNチャネル差動対に流れる電流に応答して駆動電圧を出力する出力部とを具備している。スイッチ手段は、階調電圧の変化に同期した制御信号に応答してPチャネル差動対を流れるバイアス電流を遮断する。

[0025] 本発明の更に他の観点では、表示装置が、データ線を備える表示パネルと、データ線を駆動する表示パネルドライバとを具備する。表示パネルドライバは、デジタルデータである表示データに対応する階調電圧を生成するD/A変換回路と、階調電圧に対応する駆動電圧をデータ線に出力する演算増幅器回路とを備えている。演算増幅器回路は、階調電圧を受け取る一対のPチャネルMOSトランジスタを含むPチャネル差動対と、階調電圧を受け取る一対のディプレッション型のNチャネルMOSトランジスタを含むNチャネル差動対と、スイッチ手段とを備える入力差動段と、Pチャネル差動対とNチャネル差動対に流れる電流に応答して駆動電圧を出力する出力部とを具備する。スイッチ手段は、階調電圧の変化に同期した制御信号に応答してPチャネル差動対を流れるバイアス電流を遮断する。

[0026] 本発明によれば、出力電圧の偏差特性と立ち上がり／立ち下がり特性の対称性の両方が向上された演算増幅器回路が提供される。

図面の簡単な説明

[0027] [図1]従来の演算増幅器回路の構成を示す回路図である。

[図2]従来の演算増幅器回路の他の構成を示す回路図である。

[図3]ノンドープ型のNチャネルMOSトランジスタの構造を示す断面図である。

[図4]本発明の一実施形態の演算増幅器回路の構成を示す回路図である。

[図5A]演算増幅器回路を用いたボルテッジフォロアを示す回路図である。

[図5B]Nチャネル差動対を入力差動段に用いた場合、及びPチャネル差動対を入力差動段に用いた場合、それぞれの出力波形を示す図である。

[図6]Nチャネル差動対を入力差動段に用いた演算増幅器回路の出力電圧の立ち下がり時の動作を説明する回路図である。

[図7]Nチャネル差動対を入力差動段に用いた演算増幅器回路の出力電圧の立

ち上がり時の動作を説明する回路図である。

[図8A] Nチャネル差動対及びPチャネル差動対の両方を入力差動段において動作させた場合の出力偏差特性を示す図である。

[図8B] Nチャネル差動対及びPチャネル差動対の両方を備えた入力差動段において、Pチャネル差動対のバイアス電流を遮断した場合の出力偏差特性を示す図である。

[図9] 本発明の一実施形態の演算増幅器回路を出力アンプとして用いたデータ線ドライバの構成を示すブロック図である。

[図10] 図9のデータ線ドライバにおいて、演算増幅器回路の入力差動段のスイッチの制御の一例を示すタイミングチャートである。

[図11] 本発明の他の実施形態の演算増幅器回路の構成を示す回路図である。

発明を実施するための形態

[0028] (演算増幅器回路の回路構成)

図4は、本発明の一実施形態の演算増幅器回路10の構成を示す回路図である。本実施形態の演算増幅器回路10は、ボルテッジフォロアとして構成されており、概略的には、入力差動段1と、中間段2と、出力段3とで構成される。

[0029] 入力差動段1は、Nチャネル差動対を構成するディプレッション型のNチャネルMOSトランジスタMN1、MN2と、Pチャネル差動対を構成するPチャネルMOSトランジスタMP1、MP2と、スイッチSWと、定電流源I1、I2とを備えている。ここで、図4においても図2と同様に、NチャネルMOSトランジスタを示す記号に丸を付すことにより、NチャネルMOSトランジスタMN1、MN2がディプレッション型であることを明示されていることに留意されたい。NチャネルMOSトランジスタMN1、MN2は、そのソースが共通接続されており、共通接続されたソースと負電源電圧 V_{SS} の端子（接地端子）の間に定電流源I1が接続されている。ディプレッション型であるNチャネルMOSトランジスタMN1、MN2は、図3に図示されている、ノンドープ型のNチャネルMOSトランジスタとして構成

されてもよい。定電流源 I 1 は、NチャネルMOSトランジスタMN 1、MN 2 にバイアス電流を供給する。PチャネルMOSトランジスタMP 1、MP 2 も同様に、そのソースが共通接続されており、共通接続されたソースと正電源電圧 (V_{DD}) の端子の間に定電流源 I 2 が接続されている。定電流源 I 2 は、PチャネルMOSトランジスタMP 1、MP 2 にバイアス電流を供給する。NチャネルMOSトランジスタMN 1 と、PチャネルMOSトランジスタMP 1 のゲートは、出力端子OUTに共通接続されており、NチャネルMOSトランジスタMN 2 とPチャネルMOSトランジスタMP 2 のゲートは、入力端子 I_{n+} に共通接続されている。加えて、PチャネルMOSトランジスタMP 1、MP 2 の共通接続ソースと正電源電圧 (V_{DD}) の端子の間に、定電流源 I 2 と直列にスイッチSWが、接続されている。

[0030] 図4の演算増幅器回路の入力差動段1の構成は、図1の演算増幅器回路の入力差動段と比較すると、NチャネルMOSトランジスタMN 1、MN 2 がディプレッション型である点、及び、スイッチSWが追加されている点で異なることを強調しておく。スイッチSWは、入力端子 I_{n+} に入力される入力電圧が変化するタイミングに同期してオンされ、入力電圧が安定した後にオフされる。後述されるように、このような動作が、出力電圧の偏差特性と立ち上がり／立ち下がり特性の両方を向上するために重要である。

[0031] 中間段2は、PチャネルMOSトランジスタMP 3～MP 6 と、NチャネルMOSトランジスタMN 3～MN 6 と、浮遊電流源 I 3 とを備えている。

[0032] PチャネルMOSトランジスタMP 3～MP 6 は、入力差動段1のNチャネル差動対の能動負荷として機能するフォールデッドカスコード型カレントミラーを構成している。PチャネルMOSトランジスタMP 5、MP 6 は、ソース同士及びゲート同士が共通接続されており、共通接続されたソースは正電源電圧 V_{DD} の端子に接続され、共通接続されたゲートはPチャネルMOSトランジスタMP 3のドレインに接続されている。PチャネルMOSトランジスタMP 5のドレインとPチャネルMOSトランジスタMP 3のソースは、ノードAに接続されており、そのノードAにNチャネル差動対のNチャ

ネルMOSトランジスタMN1のドレインが接続される。同様に、PチャネルMOSトランジスタMP6のドレインとPチャネルMOSトランジスタMP4のソースは、ノードBに接続されており、そのノードBにNチャネル差動対のNチャネルMOSトランジスタMN2のドレインが接続される。PチャネルMOSトランジスタMP3、MP4は、ゲート同士が共通接続されており、その共通接続されたゲートには、定電圧源V1からバイアス電圧が供給されている。

[0033] 同様に、NチャネルMOSトランジスタMN3～MN6は、入力差動段1のPチャネル差動対の能動負荷として機能するフォールデッドカスコード型カレントミラーを構成している。NチャネルMOSトランジスタMN5、MN6は、ソース同士及びゲート同士が共通接続されており、共通接続されたソースは負電源電圧 V_{SS} の端子に接続され、共通接続されたゲートはNチャネルMOSトランジスタMN3のドレインに接続されている。NチャネルMOSトランジスタMN5のドレインとNチャネルMOSトランジスタMN3のソースは、ノードCに接続されており、そのノードCにPチャネル差動対のPチャネルMOSトランジスタMP1のドレインが接続される。同様に、NチャネルMOSトランジスタMN6のドレインとNチャネルMOSトランジスタMN4のソースは、ノードDに接続されており、そのノードDにPチャネル差動対のPチャネルMOSトランジスタMP2のドレインが接続される。NチャネルMOSトランジスタMN3、MN4は、ゲート同士が共通接続されており、その共通接続されたゲートには、定電圧源V2からバイアス電圧が供給されている。浮遊電流源I3は、PチャネルMOSトランジスタMP3のドレインとNチャネルMOSトランジスタMN3のドレインの間に接続される。

[0034] 出力段3は、PチャネルMOSトランジスタMP7、MP8と、NチャネルMOSトランジスタMN7、MN8と、位相補償容量 C_2 とを備えている。PチャネルMOSトランジスタMP7、NチャネルMOSトランジスタMN7は、浮遊電流源を構成している。PチャネルMOSトランジスタMP7は

、ソースがPチャネルMOSトランジスタMP4のドレインに接続され、ドレインがNチャネルMOSトランジスタMN4のドレインに接続されている。NチャネルMOSトランジスタMN7は、ドレインがPチャネルMOSトランジスタMP4のドレインに接続され、ソースがNチャネルMOSトランジスタMN4のドレインに接続されている。PチャネルMOSトランジスタMP7、NチャネルMOSトランジスタMN7のゲートには、それぞれ、定電圧源V3、V4からバイアス電圧が供給される。

[0035] 出力段3において、NチャネルMOSトランジスタMN3～MN6で構成されたフォールデッドカスケード型カレントミラーのノードDとNチャネルMOSトランジスタMN8の間に位相補償容量 C_2 が接続されている一方で、PチャネルMOSトランジスタMP3～MP6で構成されたフォールデッドカスケード型カレントミラーのノードBとPチャネルMOSトランジスタMP8の間には位相補償容量が接続されていないことに留意されたい。後述のように、本実施形態の演算増幅器回路10では、フォールデッドカスケード型カレントミラーのノードBとPチャネルMOSトランジスタMP8の間に位相補償容量を設ける必要がない。

[0036] (演算増幅器回路の定常動作)

以下、本実施形態の演算増幅器回路10の動作について詳細に説明する。本実施形態の演算増幅器回路10(図4)が、図1の従来の演算増幅器回路と決定的に異なる点は、Nチャネル差動対(MN1、MN2)がディプレッション型のNチャネルMOSトランジスタで構成されていることと、Pチャネル差動対(MP1、MP2)を流れるバイアス電流がスイッチSWでオン／オフ制御される回路構成になっていることである。

[0037] スイッチSWがオフした状態、即ち、Pチャネル差動対(MP1、MP2)を流れるバイアス電流が遮断されている状態においても、ディプレッション型のNチャネルMOSトランジスタで構成されたNチャネル差動対(MN1、MN2)を動作させることでRail-to-Rail特性が得られる。これは、図2の回路を参照して説明した通りである。すなわち、Nチャ

ネルMOSトランジスタの閾値 V_T が -0.15 V と仮定すると、入力電圧が負電源電圧 V_{SS} (GND) レベルの時にはNチャネルMOSトランジスタMN1、MN2のソース電圧が約 0.1 V の正電圧となり、Nチャネル差動対にバイアス電流を供給する定電流源I1がぎりぎり動作する。即ち、入力電圧が負電源電圧 V_{SS} 近傍でも、Nチャネル差動対が動作する。

- [0038] 一方、入力電圧が正電源電圧 V_{DD} の場合には、基板バイアス効果の影響（上述した式（2）の第3項）でゲートソース間電圧が正の電圧（例えば $+0.5\text{ V}$ ）となる。このことと中間段2でフォールデッドカスコード型カレントミラーが使用されている効果により、Nチャネル差動対を構成するNチャネルMOSトランジスタMN1、MN2のソースドレイン間電圧が 0.3 V 以上確保でき、5極管領域で動作させることが可能になる。従って、入力電圧が正電源電圧 V_{DD} 近傍でも入力差動段として正常な動作をする。以上のことより、入力電圧が負電源電圧 V_{SS} (GND) から正電源電圧 V_{DD} の全範囲において正常に動作する、いわゆるRail-to-Rail動作が可能となる。従って、定常状態の動作においては、Pチャネル差動対がオフした状態でも、何ら問題ない。

- [0039] （演算増幅器回路の過渡特性）

しかしながら、入力電圧が過渡的に変化する場合には、Nチャネル差動対（MN1、MN2）のみを動作させると、出力電圧の立ち上がり／立ち下がり特性（立ち上がり時間 t_r 、立ち下がり時間 t_f ）が対称にならないという問題が発生する。このことはNチャネル差動対の共通接続されたソースと基板間に生じる寄生容量によるものである。以下にその説明を行う。

- [0040] まず、図5Aを参照して、入力差動段にNチャネル差動対のみを使用した演算増幅器回路及びPチャネル差動対のみを使用した演算増幅器回路にパルス入力を入れる場合について議論する。当該演算増幅器回路は、ボルテージフォロワとして構成されているものとする。図5Bに図示されているように、Nチャネル差動対のみが入力差動段として使用される場合に、入力電圧が立ちあげられると、出力電圧は、瞬時にステップ状に立ち上がり、その後、

比較的速いスルーレート（ SR^+ ）で出力電圧が上昇する。一方、立ち下がり時は、遅いスルーレート（ SR^- ）で出力電圧がだだら低下する。Pチャネル差動対のみが使用される場合は全くこの逆で、立ち上がり時は出力電圧がだだら上がり、立ち下がり時は出力電圧が瞬時にステップ状に立ち下がり、その後、比較的速いスルーレートで立ち下がる。

[0041] 上述した現象は、初段の共通ソースと定電流源に付加される寄生容量（ $C_{s:input\ tail\ capacitance}$ ）の影響によるものでありIEEE J.Solid-State Circuits, vol.S C-9, PP314-332, Dec. 1974に詳細が示されている。以下では、この文献に従って、図6のNチャネル差動対を有する差動増幅器回路を例にとって解析を行う。

[0042] （１）立ち下がり波形解析

まず、立ち下がり波形の解析を行う。前述したように入力差動段（M1、M2）の共通ソースと定電流源（電流値 $2I_1$ ）に付加される寄生容量 C_s が立ち下がり波形に影響するので、この寄生容量 C_s を加味して解析を行う必要がある。立ち下がり時はNチャネルMOSトランジスタM1がオフし、NチャネルMOSトランジスタM2がオンする。この状態ではNチャネルMOSトランジスタM2がソースフォロウとして動作する。従って、NチャネルMOSトランジスタM2のゲートでの信号波形とソースでの信号波形はほぼ同じと考えられる。従って、次の式（３）が成り立つ：

$$\frac{dV_o}{dt} \cong \frac{i_s}{C_s} \cong \frac{i_c}{C_c}. \quad \dots(3)$$

[0043] ここで、PチャネルMOSトランジスタM3、M4で構成されるカレントミラーの動作により、位相補償容量 C_c を流れる電流 i_c は、NチャネルMOSトランジスタM2に流れる電流と同一なので、式（３）と併せて次式（４）、（５）が成り立つ：

$$\frac{i_s}{C_s} \cong \frac{i_c}{C_c}, \quad \dots(4)$$

$$i_c = 2I_1 - i_s. \quad \dots(5)$$

[0044] 式(4)、(5)より、次式(6)が得られる：

$$\frac{i_s}{C_s} \cong \frac{2I_1 - i_s}{C_c}. \quad \dots(6)$$

式(6)を i_s について解くと、式(7)：

$$i_s \cong \frac{2I_1}{1 + \frac{C_c}{C_s}}, \quad \dots(7)$$

が得られる。よって、次式(8)が成り立つ：

$$\left. \frac{dV_o}{dt} \right|_f \cong \frac{i_s}{C_s} \cong \frac{2I_1}{C_s + C_c}. \quad \dots(8)$$

この式(8)は、寄生容量 C_s (tail 容量) の存在により、立ち下がり時のスルーレートが遅くなるということを意味している(見かけの容量が $C_s + C_c$ になる)。

[0045] (2) 立ち上がり波形解析

一方、図7に図示されているように、入力に高さ V_{ip} 、立ち上がり時間 t_1 のパルス波形を入力したとすると、この期間、位相補償容量 C_c に流れる電流は tail 容量に流れる電流 i_s が加算されて $2I_1 + i_s$ となるから、出力電圧 $V_o(t)$ は、次式(9)で得られる：

$$V_o(t) \cong \frac{1}{C_c} \int_0^t [2I_1 + i_s(t)] dt. \quad \dots(9)$$

立ち上がり時は、NチャネルMOSM1がonしているのでM1がソースフォロワの働きをし、基本的にはゲートに入力された波形 ($v_{in}(t)$) とソ

ースの波形が同じになる。従って、t a i l 容量 (C_s) に流れる電流 i_s (t) は、式 (10) で表わされる：

$$i_s(t) \cong C_s \frac{dV_{in}}{dt} \cong \frac{C_s V_{ip}}{t_1}, \quad \text{for } 0 < t < t_1. \quad \dots (10)$$

[0046] 式 (9) と式 (10) から、式 (11) が得られる：

$$v_o(t) \cong \frac{1}{C_c} \int_0^t 2I_1 dt + \frac{1}{C_c} \int_0^{t_1} \frac{C_s V_{ip}}{t_1} dt. \quad \dots (11)$$

式 (11) を解くと、下記式 (12) が得られる：

$$v_o(t) \cong \frac{C_s V_{ip}}{C_c} + \frac{2I_1 t}{C_c}. \quad \dots (12)$$

[0047] この式 (12) の意味するところは、最初に $C_s V_{ip} / C_c$ の「飛び」があり、それに続き、立ち上がり時のスルーレート SR^+ が (式 (8) で求められる値よりも速い) $2I_1 / C_c$ になることを示している。このように、Nチャネル差動段のみを使用した場合は t a i l 容量の影響により、立ち下がり時間と立ち上がり時間に差が出る。従って、LCDドライバの出力アンプの用途のように、立ち下がりと立ち上がりの対称性を要求される用途には、Nチャネル差動段のみを使用する入力差動段は適さない。

[0048] これに対し、Pチャネル差動段とNチャネル差動段とを両方使用する場合には、上述した特性が互いにキャンセルされ、結果として立ち上がりと立ち下がり特性が対称になることがシミュレーションで確認できている。本実施形態の演算増幅器回路10は、立ち上がり、立ち下がり時に一時的にNチャネル差動段とPチャネル差動段の両方を動作させることにより、立ち上がり／立ち下がり特性の対称性を向上させている。

[0049] ここで、立ち上がり／立ち下がり波形は、Pチャネル差動対を構成するPチャネルMOSトランジスタの駆動能力、即ち、トランジスタサイズにはあまり関係ない。従って、Pチャネル差動対のPチャネルMOSトランジスタ

MP 1、MP 2は、当該演算増幅器回路10を集積化するプロセスにおいて許容される最小のトランジスタサイズ（又は最小のゲート幅）で十分である。最小のトランジスタサイズのPチャネルMOSトランジスタMP 1、MP 2をPチャネル差動対として使用することは、チップサイズの低減の観点で好ましい。

[0050] （演算増幅器回路の偏差特性）

その一方で、出力が安定状態に入った時に、この最小サイズのPチャネルMOSトランジスタで構成されているPチャネル差動対が動作していると、今度は出力電圧の偏差特性が劣化してしまう。従って、出力電圧が安定した後は、出力偏差で悪影響を与える最小サイズのPチャネル差動段の動作を停止させることで、偏差特性の優れたディプレッション型NチャネルMOSトランジスタを使ったNチャネル差動段のみを動作させるように演算増幅器回路10の動作が切り替えられる。これにより偏差特性はNチャネル差動段のみで決定されるので特性が良好となる。

[0051] この偏差特性を実際にシミュレーションした結果が図8A、図8Bである。図8AがPチャネル差動対に接続されたスイッチSWがない場合（即ち、図1の従来の演算増幅器回路）の偏差特性で、図8Bは、Pチャネル差動対を流れるバイアス電流をスイッチSWで遮断した場合の偏差特性である。図8A、図8Bの比較から理解されるように、本実施形態の演算増幅器回路10は、図1の従来の演算増幅器回路と比較すると、偏差特性を飛躍的に改善できることがわかる。またここでは図には示していないが、出力波形の立ち上がり特性と立ち下がり特性についても、本実施形態の演算増幅器回路10の方が、図1の従来の演算増幅器回路と比べてバランスがとれることを確認している。

[0052] 加えて、本実施形態の演算増幅器回路10の構成は、図1の従来の演算増幅器回路と比較すると、位相補償容量の数を低減できるという利点がある。図1の従来の演算増幅器回路では、2つの位相補償容量 C_1 、 C_2 が設けられているが、本実施形態の演算増幅器回路10（図4）は、1つの位相補償容

量 C_2 しか必要でない。これは、スイッチ（SW）がオフする安定状態においては、回路動作が図2の従来の演算増幅器回路と同じになり、位相補償容量は1つで十分だからである。

[0053] （入力差動段のスイッチSWの制御）

本実施形態の演算増幅器回路10において、入力差動段1のスイッチSWは、入力電圧の変化に応答して出力電圧が立ち上がり、又は立ち下がる時のみに選択的にオンされることが望ましい。ここで、演算増幅器回路の多くの用途では、入力電圧が変化するタイミングが予め定まっているので、入力電圧が変化するタイミングに同期した制御信号に応答してスイッチSWを動作させれば、所望の動作を実現できる。例えば、液晶表示装置のデータ線ドライバ（データ線を駆動するドライバ）の出力アンプとして演算増幅器回路が使用される場合、（時分割駆動が行われない場合には）各水平期間の初めにおいて入力電圧が変化する。従って、水平期間の初めに変化する制御信号、例えば、極性信号POL及びストロブ信号STBに応答して入力差動段1のスイッチSWを制御することにより、出力電圧が立ち上がり、又は立ち下がる時のみにスイッチSWを選択的にオンさせることができる。以下では、本実施形態の演算増幅器回路10をデータ線ドライバに適用した液晶表示装置について説明する。

[0054] 図9は、データ線ドライバに本実施形態の演算増幅器回路10が適用された液晶表示装置の概略的な構成の例を示すブロック図である。当該液晶表示装置は、データ線ドライバ20とゲート線ドライバ30と、LCDパネル40とを備えている。データ線ドライバ20は、LCDコントローラ（図示されない）から供給される表示データ S_{IN} （LCDパネル40の各画素の階調を示すデータ）と各種の制御信号とに응答して、LCDパネル40のデータ線41を駆動する。LCDコントローラから送られてくる制御信号は、垂直同期信号 V_{sync} 、水平同期信号 H_{sync} 、極性信号POLを含んでいる。極性信号POLは、データ線ドライバ20が各データ線41に出力する駆動電圧の極性を指定する信号である。本明細書では、駆動電圧の極性が、

液晶表示パネル40の共通電極の電位（共通電位 V_{COM} ）を基準として定義されることに留意されたい。一方、ゲート線ドライバ30は、LCDパネル40のゲート線42を駆動する。LCDパネル40は、データ線41とゲート線42とが交差する位置のそれぞれに画素43を備えており、表示データに対応する画像を表示する。

[0055] データ線ドライバ20は、データレジスタ回路21と、ラッチ回路22と、D/A変換回路23と、出力回路24と、制御回路25とを備えている。データレジスタ回路21は、LCDコントローラ（図示されない）からシリアルに転送される表示データ S_{IN} を順次に受け取り、パラレルに出力する。ラッチ回路22は、制御回路25から供給されるストロブ信号 STB にตอบสนองしてデータレジスタ回路21から表示データ S_{IN} をラッチする。D/A変換回路23は、ラッチ回路22から供給される表示データ S_{IN} に対してD/A変換を行い、各表示データ S_{IN} に対応する階調電圧を発生する。出力される階調電圧の極性は、極性信号 POL に応じて選択される。ここで、階調電圧の極性も、上述の共通電位 V_{COM} を基準として定義されることに留意されたい。出力回路24は、D/A変換回路23から受け取った階調電圧に対してインピーダンス変換を行ってデータ線41に供給される駆動電圧を生成する。上述の演算増幅器回路10は、出力回路24において使用される。即ち、演算増幅器回路10は、D/A変換回路23から階調電圧を入力電圧として受け取る一方で、データ線41に供給される駆動電圧を出力電圧として出力する。

[0056] このような構成のデータ線ドライバ20では、ストロブ信号 STB がアサートされるとラッチ回路22の出力が変化し、D/A変換回路23の出力が変化し、従って、出力回路24の演算増幅器回路10の入力電圧が変化することになる。即ち、ストロブ信号 STB のアサートに応じて演算増幅器回路10の入力差動段1のスイッチ SW を制御すれば、出力電圧が立ち上がり、又は立ち下がる時のみにスイッチ SW を選択的にオンすることができる。

[0057] 図10は、スイッチSWの制御の一例を示すタイミングチャートである。

図10に図示されている制御では、Pチャネル差動対を動作させるスイッチSWが、ストローク信号STBの立ち上がり同期させて、ある一定期間オンされる。これにより、スイッチSWがオンしている間のみPチャネル差動対とNチャネル差動対の両方が動作していることになる。一方、スイッチSWがオフしている期間は、Nチャネル差動対のみが動作していることになる。ここで、ストローク信号STBは、各水平期間の開始に同期した信号であり、例えば、水平同期信号Hsyncを数クロックだけ遅らせて生成することができる。なお、スイッチSWがオンしている期間は、ストローク信号STBのパルス幅と同じである必要はなく、出力電圧が安定した後にスイッチSWがオフされれば、任意に調節可能である。

[0058] ここで、スイッチSWのオン／オフを緩やかに切り替えることによりスイッチSWのオン／オフによる影響を小さく抑えることが望ましい。すなわち、図10の動作においてスイッチSWを断にする時、Pチャネル差動対のバイアス電流が徐々に小さくなるような制御をすることにより、出力波形に及ぼすノイズの影響を小さくすることができる。例えば、スイッチSWとしてPチャネルMOSトランジスタを使用する場合には、当該PチャネルMOSトランジスタのゲート電圧を徐々にLowレベルからHighレベルにプルアップすれば、スイッチSWのオン／オフの影響を低減できる。

[0059] 以上に説明されているように、本実施形態の演算増幅器回路10は、出力が遷移する期間のみPチャネル差動対とNチャネル差動対の両方が動作するように制御することにより、出力電圧の立ち上がり特性と立ち下がり特性のバランスを向上させることができる。その一方で、本実施形態の演算増幅器回路10は、出力が安定した後においてディプレッション型のNチャネルMOSトランジスタで構成されたNチャネル差動対のみを動作させるように制御することにより、偏差特性を向上させることができる。

[0060] また、Pチャネル差動対として最小サイズ（最小のゲート幅）のPチャネルMOSトランジスタを使うことにより、演算増幅器回路10のサイズの増

大を抑制し、コストダウンを図ることができる。

[0061] 加えて、本実施形態の演算増幅器回路 10 は、位相補償容量の数を図 1 の従来の演算増幅器回路に比べて半分にすることができる。位相補償容量が占めるチップサイズへの影響は大きく、位相補償容量が半分になるということはチップサイズを小さくすることにつながる。これは、コストを抑えることができる点で好適である。

[0062] (演算増幅器回路の変形例)

なお、本発明は、上記の実施形態に限定されるものではなく、本発明の演算増幅器回路は、当業者には自明的な様々な変形がなされて実施され得る。

例えば、中間段 2 及び出力段 3 の構成は、様々に変形され得る。

[0063] 図 11 は、本発明の演算増幅器回路の一変形例を示す回路図である。図 4 の演算増幅器回路 10 が、図 1 の従来の演算増幅器回路から派生したものであるのに対し、図 11 の演算増幅器回路は、図 2 の従来の演算増幅器回路から派生したものである。具体的には、図 11 の演算増幅器回路 10A は、図 4 の演算増幅器回路 10 の入力差動段 1 に、図 2 の従来の演算増幅器回路の中間段を接続した構成を有している。

[0064] 図 11 の演算増幅器回路 10A の中間段 2A は、N チャネル MOS トランジスタで構成されたフォールデッドカスコード型カレントミラーの代わりに、N チャネル MOS トランジスタ MN5、MN6 で構成されたウィドラー型カレントミラーを備えている。N チャネル MOS トランジスタ MN5、MN6 のソース同士及びゲート同士は、共通接続されており、共通接続されたソースは負電源電圧 V_{SS} の端子に、共通接続されたゲートは、N チャネル MOS トランジスタ MN5 のドレインに接続されている。N チャネル MOS トランジスタ MN5 のドレインは、ノード C に接続され、N チャネル MOS トランジスタ MN6 のドレインは、ノード D に接続される。ここで、上述の通り、ノード C は、入力差動段 1 の P チャネル MOS トランジスタ MP1 のドレインが接続されるノードであり、ノード D は、P チャネル MOS トランジスタ MP2 のドレインが接続されるノードである。

[0065] 図11の演算増幅器回路10Aの基本的な動作は、図4の演算増幅器回路10と同じであり、スイッチSWのタイミング制御の関係も同じである。図11の演算増幅器回路10Aの、図4の演算増幅器回路10との違いは、中間段2Aに設けられるPチャネル差動対の能動負荷だけである。即ち、図4の演算増幅器回路10では、Pチャネル差動対の能動負荷として、NチャネルMOSトランジスタで構成されたフォールデッドカスコード型カレントミラーが使用されるのに対し、図11の演算増幅器回路10Aでは、簡単なウィドラー型カレントミラーが使用されている。これは、ディプレッションタイプのNチャネルMOSトランジスタで構成されたNチャネル差動対の能動負荷に対しては、Rail-to-Rail動作を実現するためにフォールデッドカスコード型カレントミラーの使用が必須であるが、通常のエンハンスメントタイプのPチャネルMOSトランジスタで構成されるPチャネル差動対の能動負荷としては、フォールデッドカスコード型カレントミラーの使用は必ずしも必要ないからである。これは、エンハンスメント特性を持つPチャネルMOSトランジスタMP1、MP2は上式の式(2)の第3項の基板バイアス効果により十分なゲートソース間電圧が得られ、ゲート電位が負電源電圧 V_{ss} (GND) 近傍になってもゲート電位が3V以上の電位になるからである。この時、PチャネルMOSトランジスタMP1、MP2のドレイン電圧は約1V程度なので、ドレインソース間電圧は2V程度となって、PチャネルMOSトランジスタMP1、MP2は、十分、5極管領域で正常に動作する。従って、Pチャネル差動対の能動負荷としては、図11の演算増幅器回路10Aのように、(フォールデッドカスコード型でなく)ウィドラー型のカレントミラーを使用してもよい。

[0066] 図11の演算増幅器回路10Aでは、Pチャネル差動対に接続される能動負荷がウィドラータイプであることから、図4の演算増幅器回路10のようにフォールデッドカスコード型カレントミラーには必須の定電圧源 V_2 が必要ではない。これは、回路構成が簡単になり、また、低消費電力化が図れるという利点もある。更に、フォールデッドカスコード型カレントミラーの代

わりにウィドラー型カレントミラーを使用することにより、使用素子数が低減され、チップサイズ削減に貢献することができるという効果もある。これは、コストダウンの効果に繋がる。

[0067] 以上、本発明の演算増幅器回路の回路例を2つ挙げたが、いずれの回路においても出力段3（MN7、MN8、MP7、MP8）を変更することができるというまでもない。具体的な実施形態として、出力段の消費電力を下げる目的で例えば出力段3のNチャネルMOSトランジスタMN8のソースに、電源電圧 V_{DD} の代わりに、その半分の電圧 $V_{DD}/2$ を供給することができる。他の実施形態では、出力段3のPチャネルMOSトランジスタMP8のソースに電源電圧 V_{DD} の半分の電圧 $V_{DD}/2$ を供給してもよい。このように出力段のみ電源電圧を下げて供給する回路構成は、例えば特開2009-244830号公報に開示されており、このような回路においても、本発明を適用することが可能である。

[0068] 更に、上記の実施形態では、定電流源I2と正電源電圧 V_{DD} の端子の間にスイッチSWが設けられた構成が図示されているが、スイッチSWの位置は、定電流源I2と正電源電圧 V_{DD} の端子の間に限られず、バイアス電流を遮断可能な様々な位置に変更され得る。例えば、PチャネルMOSトランジスタMP1、MP2の共通接続ソースと定電流源I2の間にスイッチSWが設けられてもよい。また、中間段2のノードCとPチャネルMOSトランジスタMP1のドレインの間、及び、中間段2のノードDとPチャネルMOSトランジスタMP2のドレインの2箇所、に、スイッチが設けられてもよい。

符号の説明

[0069] 10：演算増幅器回路

1：入力差動段

2：中間段

3：出力段

MP1～MP8、M3、M4：PチャネルMOSトランジスタ

MN1～MN8、M1、M2：NチャネルMOSトランジスタ

I 1、I 2 : 定電流源

浮遊電流源 : I 3

V 1 ~ V 4 : 定電圧源

SW : スイッチ

2 0 : データ線ドライバ

2 1 : データレジスタ回路

2 2 : ラッチ回路

2 3 : D / A 変換回路

2 4 : 出力回路

2 5 : 制御回路

3 0 : ゲート線ドライバ

4 0 : L C D パネル

4 1 : データ線

4 2 : ゲート線

請求の範囲

- [請求項1] 入力電圧を受け取る一対のPチャネルMOSトランジスタを含むPチャネル差動対と、前記入力電圧を受け取る一対のディプレッション型のNチャネルMOSトランジスタを含むNチャネル差動対と、スイッチ手段とを備える入力差動段と、
- 前記Pチャネル差動対と前記Nチャネル差動対に流れる電流に応答して出力電圧を出力する出力部
- とを具備し、
- 前記スイッチ手段は、前記入力電圧の変化に同期した制御信号に応答して前記Pチャネル差動対を流れるバイアス電流を遮断する
- 演算増幅器回路。
- [請求項2] 請求項1に記載の演算増幅器回路であって、
- 前記スイッチ手段は、前記入力電圧が変化するタイミングでオンし、前記入力電圧の変化が終了したタイミングにオフする
- 演算増幅器回路。
- [請求項3] 請求項1又は2に記載の演算増幅器回路であって、
- 前記一対のPチャネルMOSトランジスタは、当該演算増幅器回路が集積化されるプロセスにおいて許容される最小のトランジスタサイズを有している
- 演算増幅器回路。
- [請求項4] 請求項1乃至3のいずれかに記載の演算増幅器回路であって、
- 前記出力回路部は、
- 前記Nチャネル差動対に接続された能動負荷を含む中間段と、
- 前記中間段の出力に応答して前記出力電圧を出力する出力段
- とを備え、
- 前記能動負荷は、PチャネルMOSトランジスタで構成されたフォールデッドカスコード型カレントミラーを備える
- 演算増幅器回路。

- [請求項5] 請求項1乃至4のいずれかに記載の演算増幅器回路であって、
 前記スイッチ手段が、前記バイアス電流を遮断する際に、前記バイアス電流を徐々に低減するように構成された
 演算増幅器回路。
- [請求項6] 表示パネルのデータ線を駆動するための表示パネルドライバであって、
 デジタルデータである表示データに対応する階調電圧を生成するD/A変換回路と、
 前記階調電圧に対応する駆動電圧を前記データ線に出力する演算増幅器回路
 とを備え、
 前記演算増幅器回路は、
 前記階調電圧を受け取る一対のPチャネルMOSトランジスタを含むPチャネル差動対と、前記階調電圧を受け取る一対のディプレッション型のNチャネルMOSトランジスタを含むNチャネル差動対と、
 スイッチ手段とを備える入力差動段と、
 前記Pチャネル差動対と前記Nチャネル差動対に流れる電流に応答して駆動電圧を出力する出力部
 とを具備し、
 前記スイッチ手段は、前記階調電圧の変化に同期した制御信号に応答して前記Pチャネル差動対を流れるバイアス電流を遮断する
 表示パネルドライバ。
- [請求項7] データ線を備える表示パネルと、
 前記データ線を駆動する表示パネルドライバ
 とを具備し、
 前記表示パネルドライバは、
 デジタルデータである表示データに対応する階調電圧を生成するD/A変換回路と、

前記階調電圧に対応する駆動電圧を前記データ線に出力する演算増幅器回路

とを備え、

前記演算増幅器回路は、

前記階調電圧を受け取る一対のPチャネルMOSトランジスタを含むPチャネル差動対と、前記階調電圧を受け取る一対のディプレッション型のNチャネルMOSトランジスタを含むNチャネル差動対と、スイッチ手段とを備える入力差動段と、

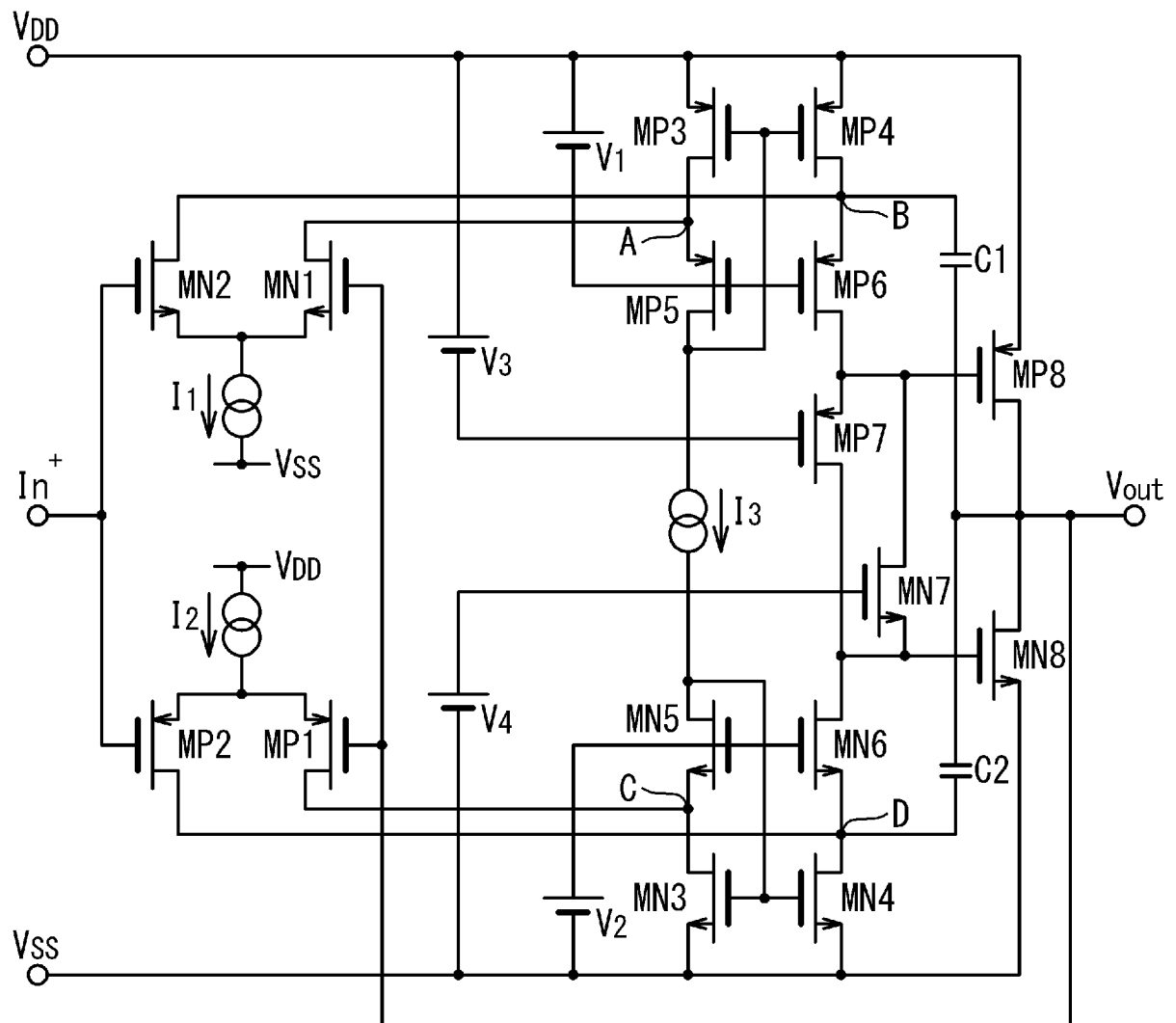
前記Pチャネル差動対と前記Nチャネル差動対に流れる電流に応答して駆動電圧を出力する出力部

とを具備し、

前記スイッチ手段は、前記階調電圧の変化に同期した制御信号に応答して前記Pチャネル差動対を流れるバイアス電流を遮断する

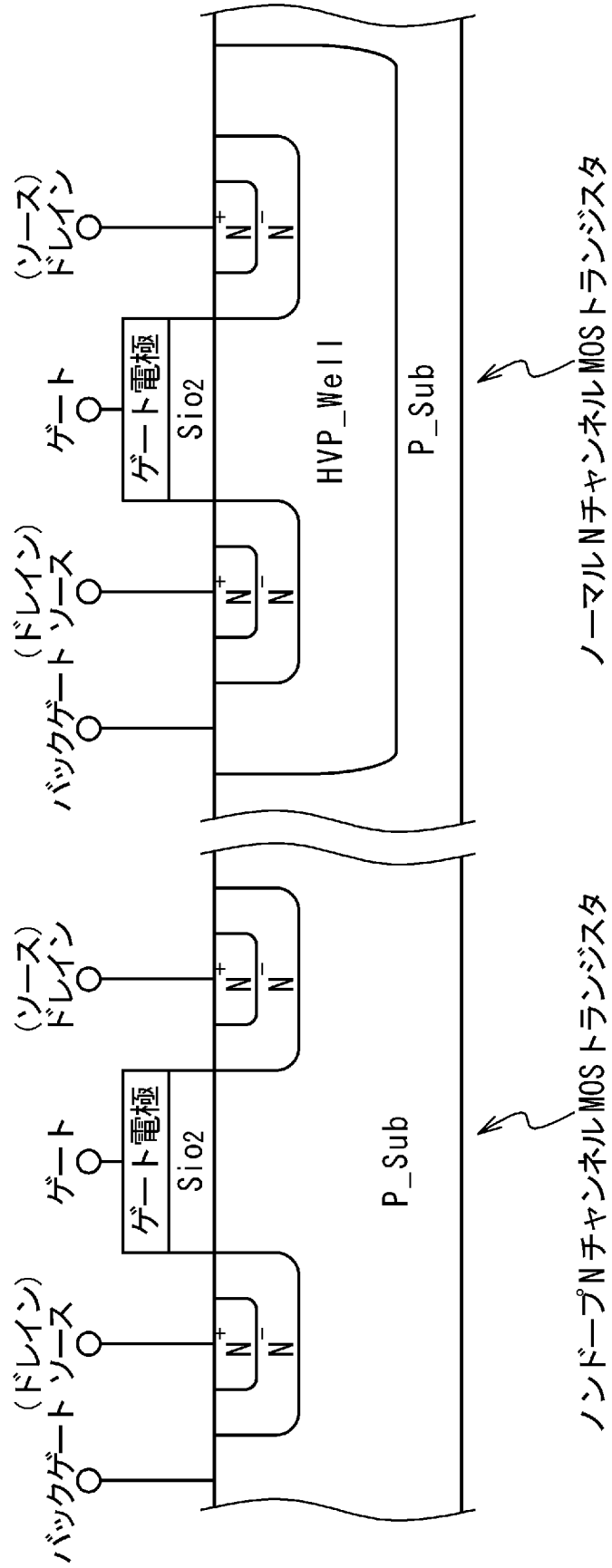
表示装置。

[図1]

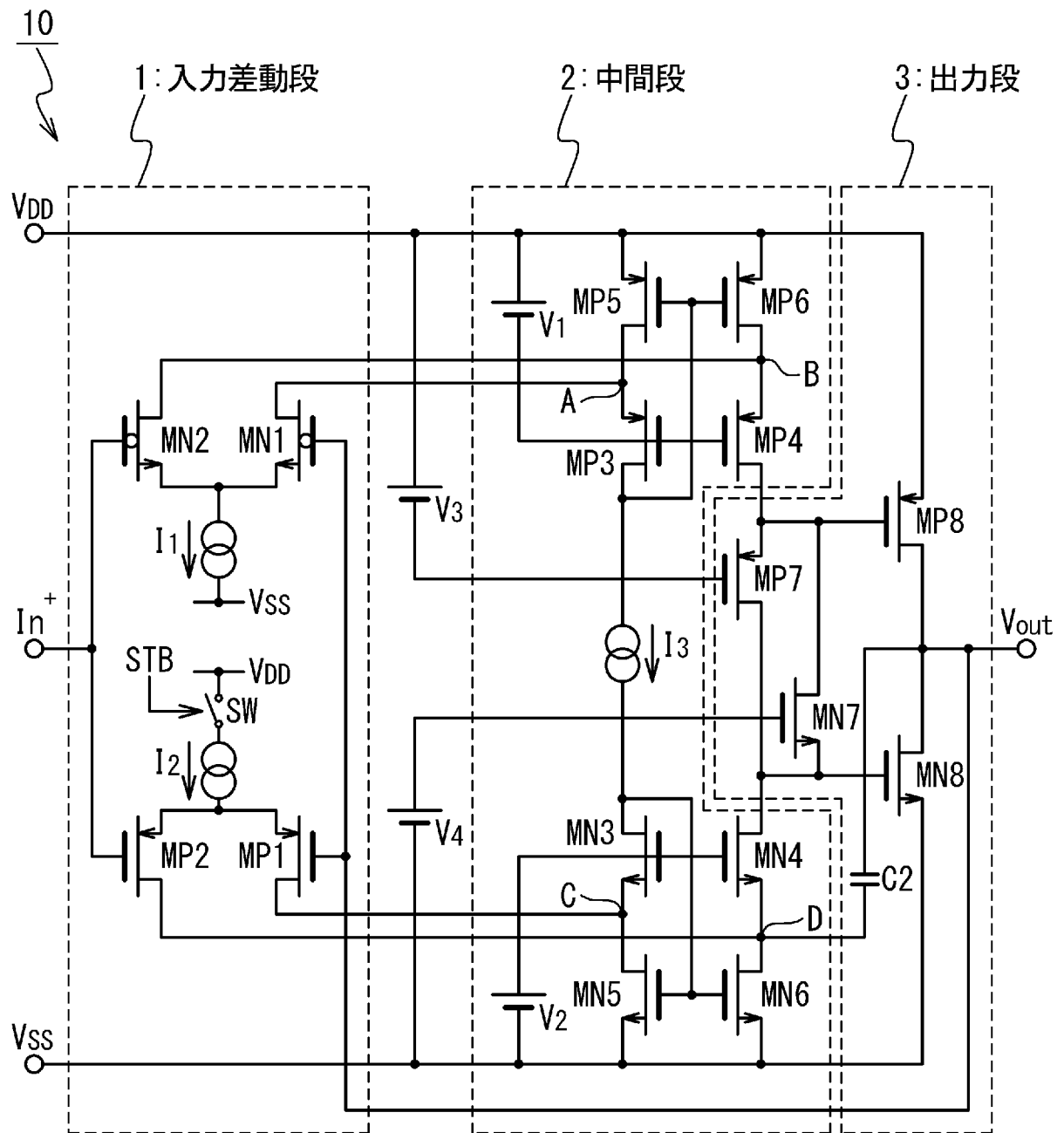


[illegible]

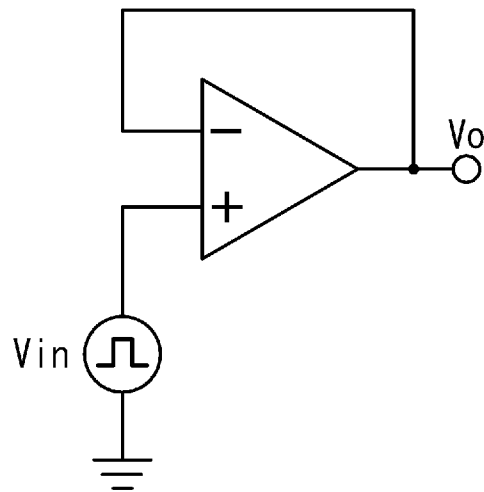
[図3]



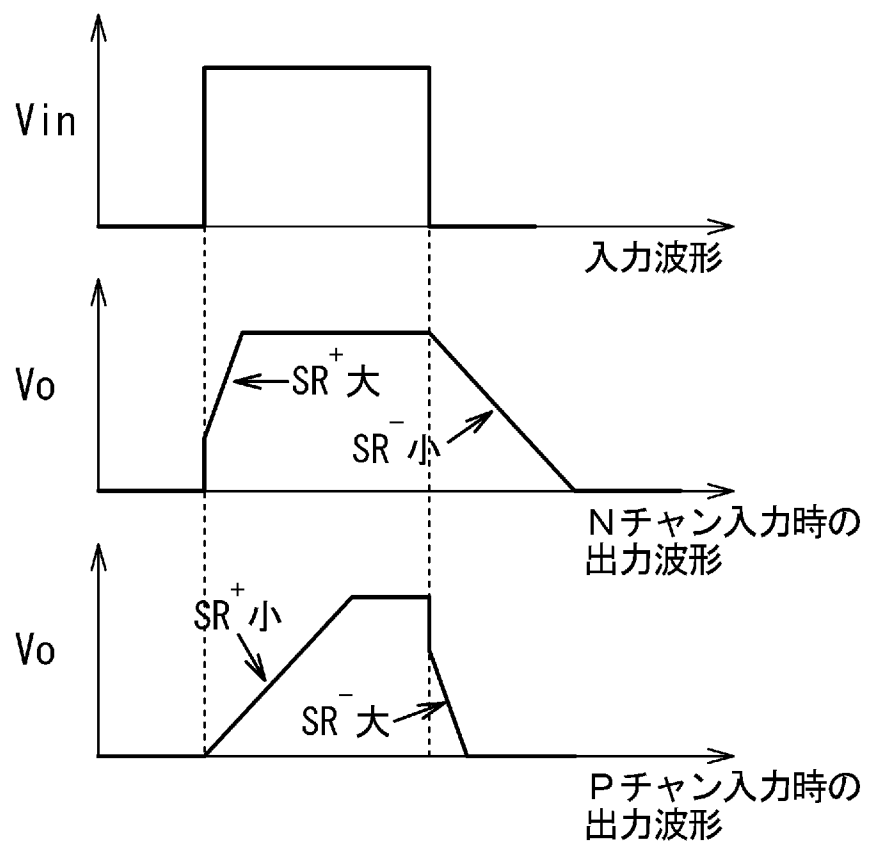
[図4]

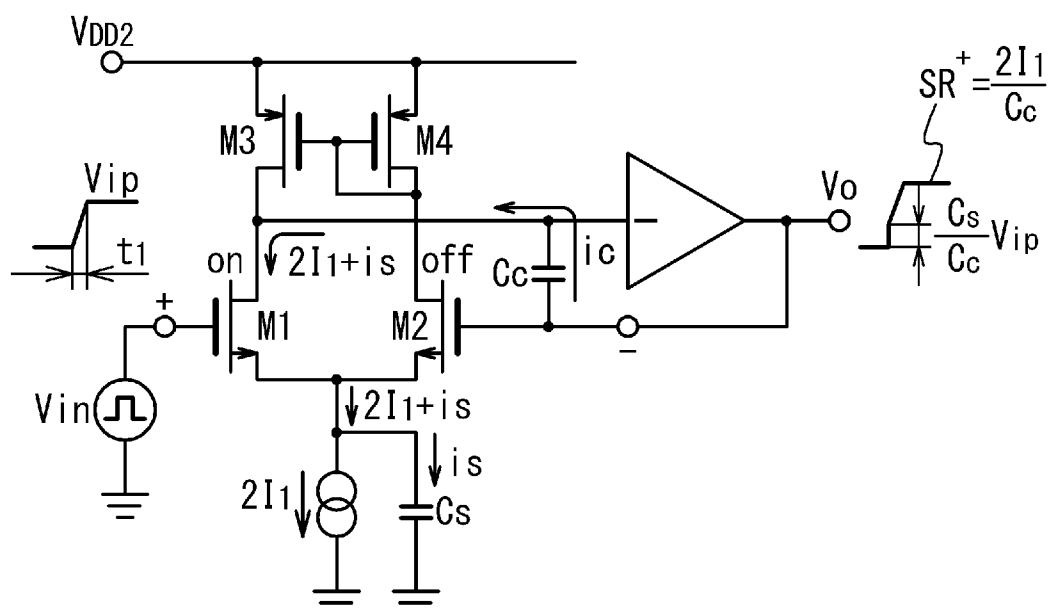
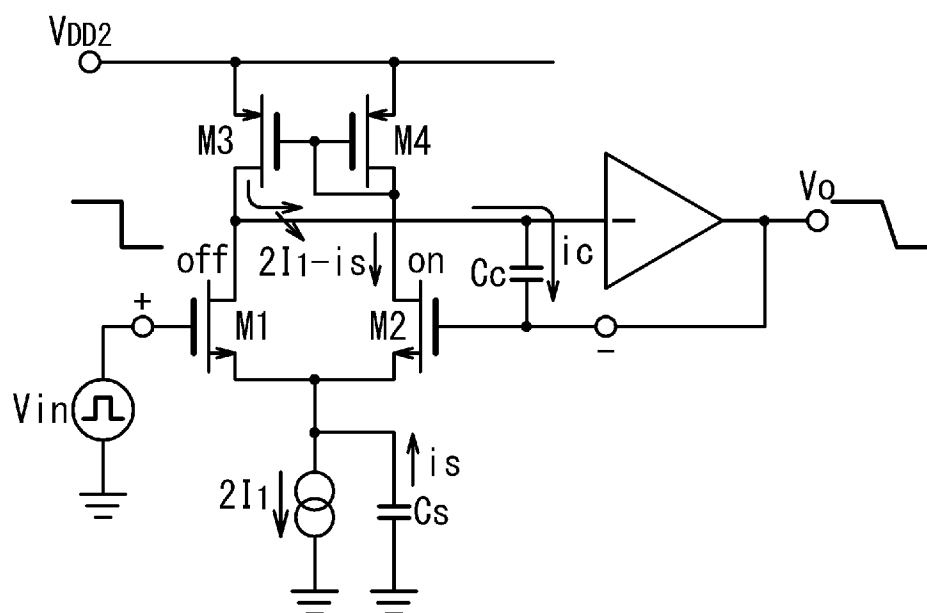


[図5A]

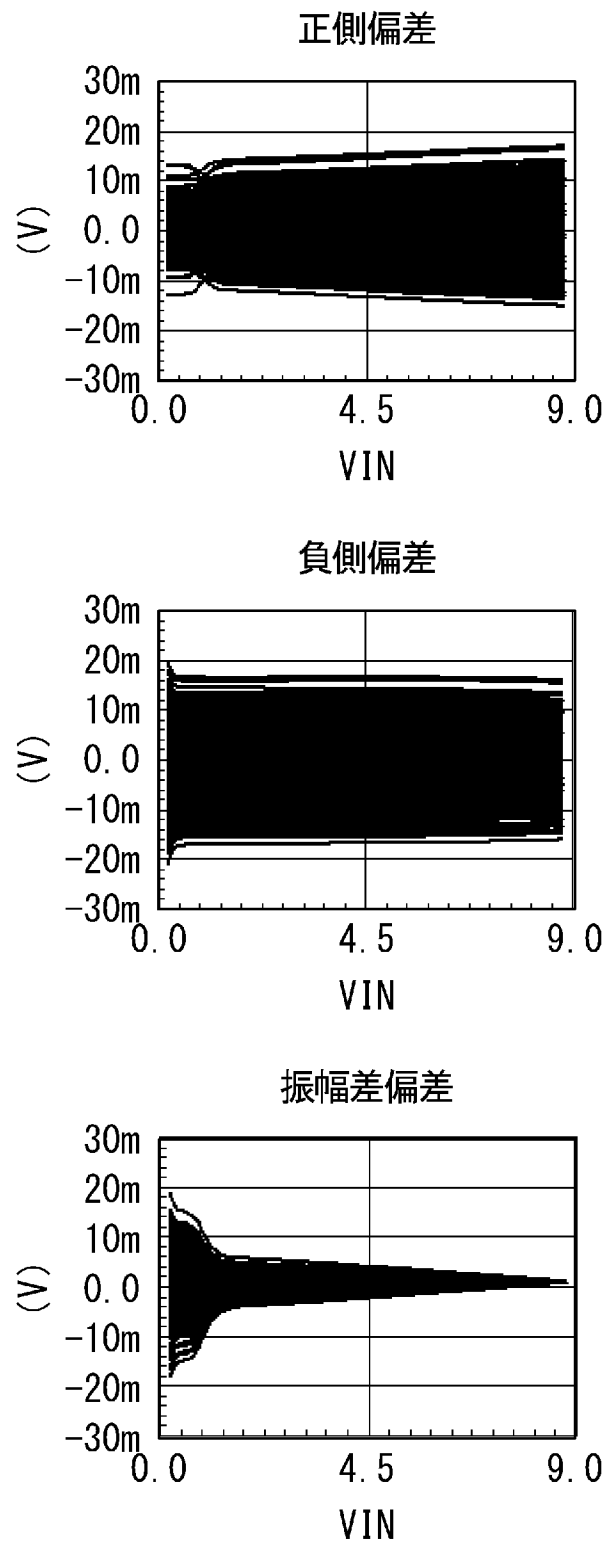


[図5B]

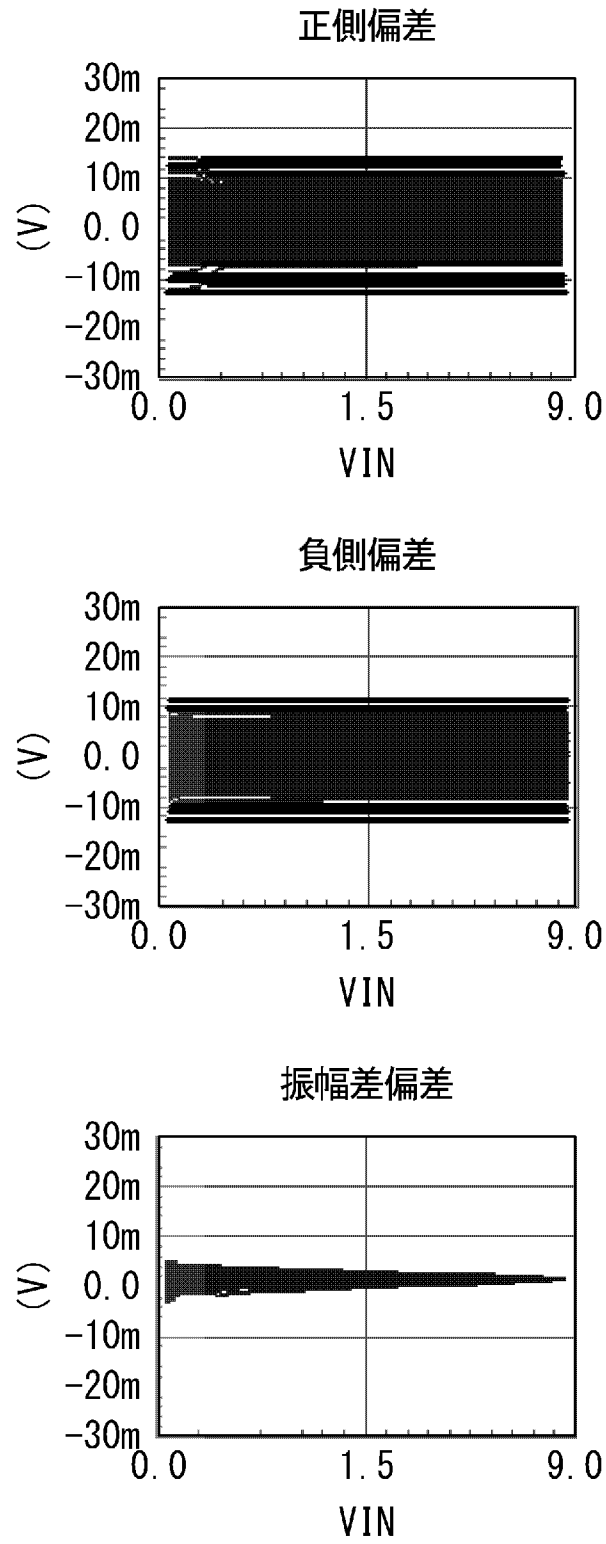




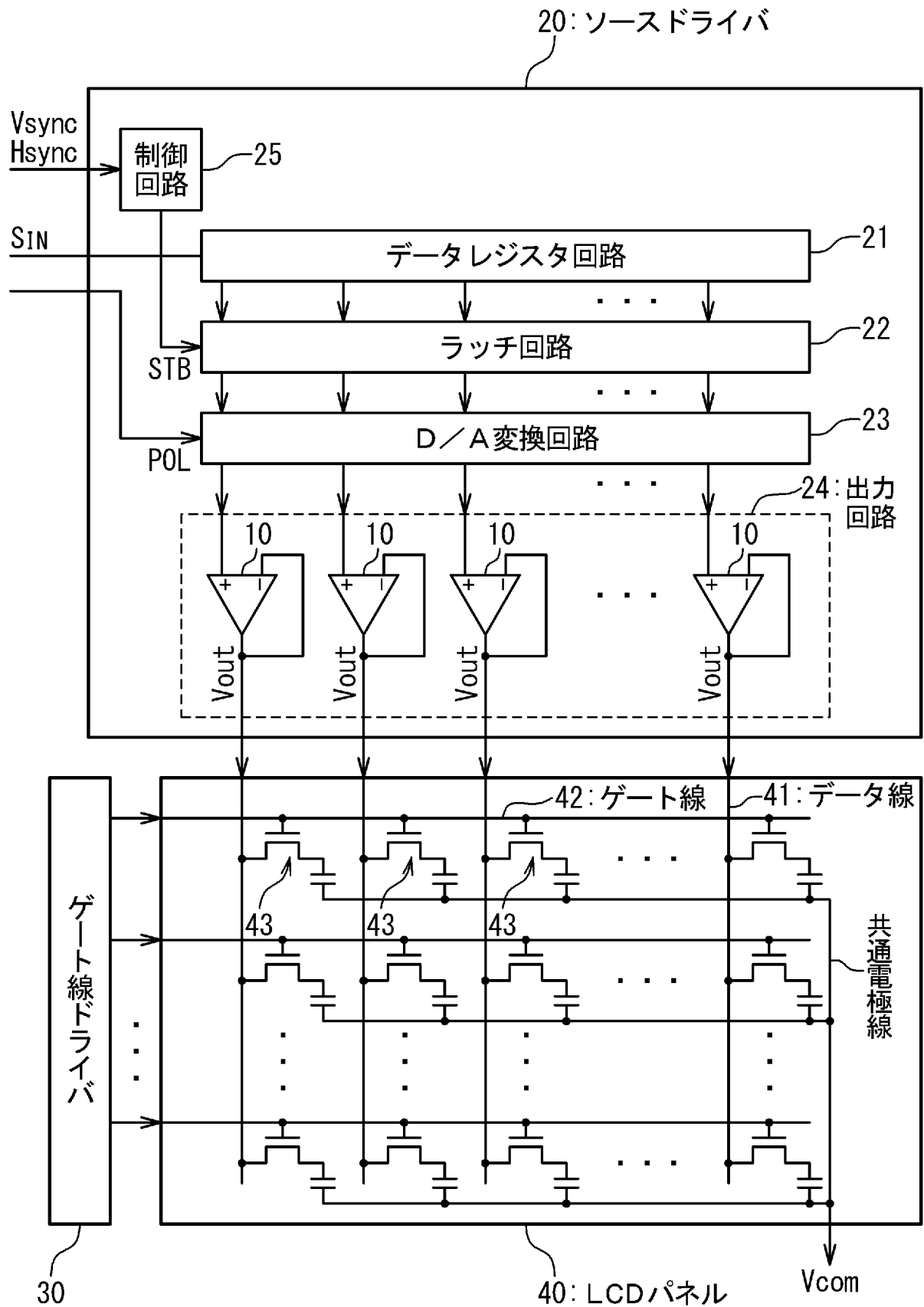
[図8A]



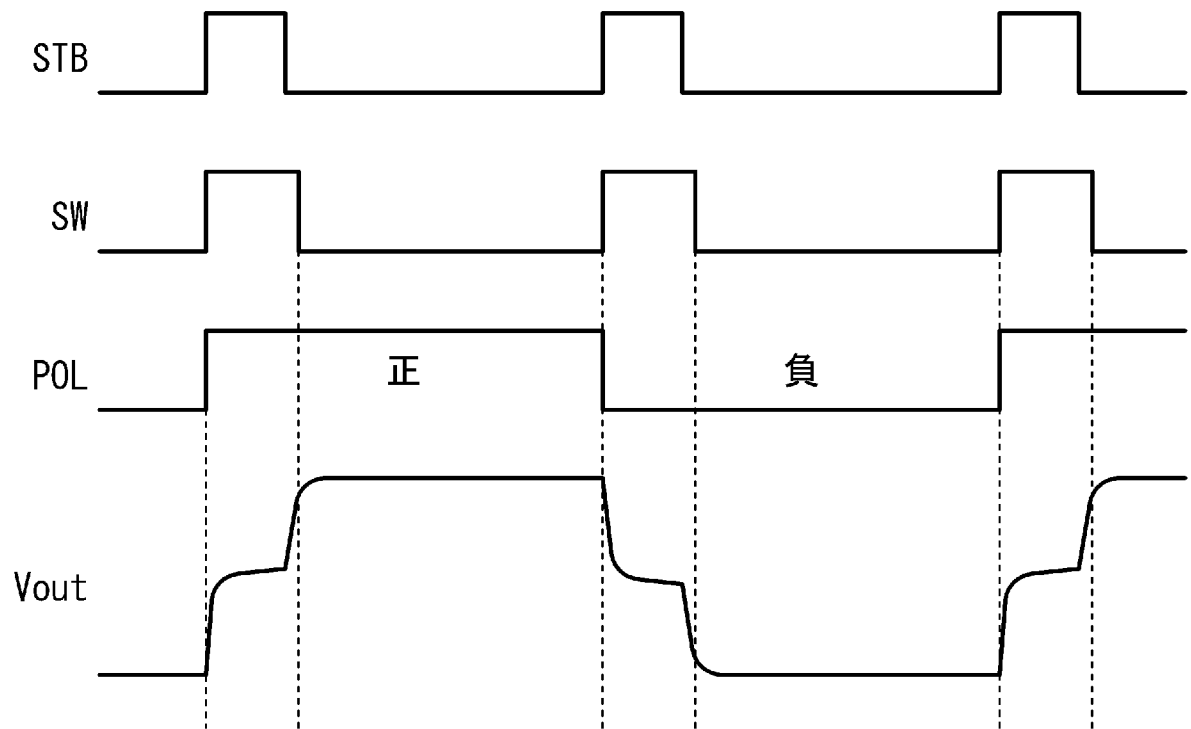
[図8B]



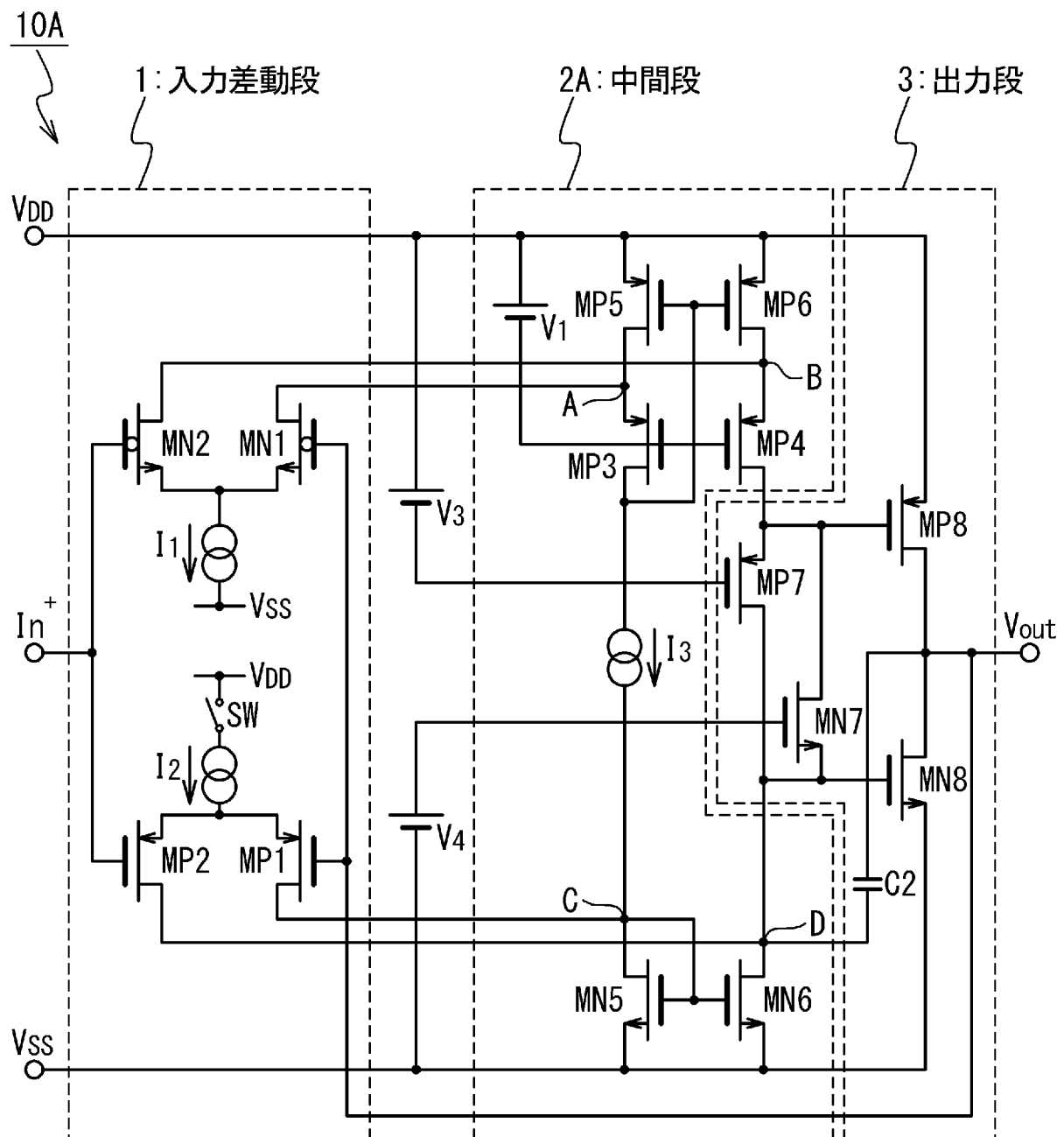
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053937

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/45(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/45, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-35559 A (Renesas Electronics Corp.), 17 February 2011 (17.02.2011), entire text; fig. 5, 10, 11 & US 2011/0025654 A1 & CN 101989841 A	1-7
Y	JP 2011-4309 A (Renesas Electronics Corp.), 06 January 2011 (06.01.2011), paragraphs [0004] to [0010]; fig. 1 & US 2010/0321360 A1 & CN 101931374 A	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06 March, 2012 (06.03.12)

Date of mailing of the international search report
13 March, 2012 (13.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H03F3/45(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H03F3/45, G09G3/20, G09G3/36			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 2 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 2 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 2 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 2011-35559 A (ルネサスエレクトロニクス株式会社) 2011.02.17, 全文, 図5, 10, 11 & US 2011/0025654 A1 & CN 101989841 A	1 - 7	
Y	JP 2011-4309 A (ルネサスエレクトロニクス株式会社) 2011.01.06, 【0004】 - 【0010】, 図1 & US 2010/0321360 A1 & CN 101931374 A	1 - 7	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 0 6 . 0 3 . 2 0 1 2		国際調査報告の発送日 1 3 . 0 3 . 2 0 1 2	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 高橋 義昭 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 8	5 T 4 7 7 6