(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4130486号
(P4130486)

(45)発行日　平成20年8月6日(2008.8.6)　(24)登録日　平成20年5月30日(2008.5.30)

(51)Int.Cl.		F I		
H01L 29/78	***(2006.01)***	H01L	29/78	652G
H01L 29/06	***(2006.01)***	H01L	29/78	652H
		H01L	29/78	301X
		H01L	29/78	301J
		H01L	29/06	301D

請求項の数 10　(全 8 頁)

(21)出願番号　特願平6-76503
(22)出願日　平成6年3月23日(1994.3.23)
(65)公開番号　特開平7-7154
(43)公開日　平成7年1月10日(1995.1.10)
審査請求日　平成13年3月19日(2001.3.19)
(31)優先権主張番号　P4309764.2
(32)優先日　平成5年3月25日(1993.3.25)
(33)優先権主張国　ドイツ(DE)

(73)特許権者　390039413
シーメンス　アクチエンゲゼルシヤフト
Ｓｉｅｍｅｎｓ　Ａｋｔｉｅｎｇｅｓｅｌｌｓｃｈａｆｔ
ドイツ連邦共和国　Ｄ－８０３３３　ミュンヘン　ヴィッテルスバッハープラッツ　２
Ｗｉｔｔｅｌｓｂａｃｈｅｒｐｌａｔｚ　２，　Ｄ－８０３３３　Ｍｕｅｎｃｈｅｎ，　Ｇｅｒｍａｎｙ
(74)代理人　100075166
弁理士　山口　巖
(72)発明者　イエネ　チハニ
ドイツ連邦共和国　８０６８９　ミユンヘン　ハルテルスシユトラーセ　６

最終頁に続く

(54)【発明の名称】パワーＭＯＳＦＥＴ

(57)【特許請求の範囲】

【請求項１】

半導体基体内に、予め定められたドーピング濃度を有する第１の導電形の内部領域と、該内部領域及び半導体基体の上側表面に接する少なくとも１つの第２の導電形のベース領域と、該ベース領域内にそれぞれ埋設された少なくとも１つのソース領域と、半導体基体の他方の表面に接する少なくとも１つのドレイン領域とを設けてなる縦形パワーＭＯＳＦＥＴにおいて、

前記内部領域（１）内の、逆電圧の印加時に広がる空間電荷領域（１３、１４）内に第２の導電形の複数の補助領域（１１）が配置され、これら補助領域（１１）の間に位置して前記内部領域（１）よりも高ドーピングされた少なくとも１つの第１の導電形の補助領域（１２）が設けられ、前記第１および第２導電形の補助領域（１２、１１）のドーピング強さ及び第２の導電形の補助領域（１１）相互間の間隔は、ソース領域（４）とドレイン領域（７）との間に印加された逆電圧が最大逆電圧である際には第１及び第２導電形の補助領域（１２、１１）内において電荷キャリヤが空になっているように設定されたことを特徴とする縦形パワーＭＯＳＦＥＴ。

【請求項２】

第１および第２導電形の補助領域（１２、１１）は板状に形成され、かつベース領域（３）の１つとドレイン領域（７）との間の最短接続線に対して平行に配置されたことを特徴とする請求項１記載の縦形パワーＭＯＳＦＥＴ。

【請求項３】

第２の導電形の補助領域（１８）は棒状に形成され、かつベース領域（３）の１つとドレイン領域（７）との間の最短接続線に対して平行に配置されたことを特徴とする請求項１記載の縦形パワーＭＯＳＦＥＴ。

【請求項４】

ドレイン領域（７）は半導体基体の他方の表面（６）に接し、第１および第２導電形の補助領域（１２、１７および１１、１８）は半導体基体の他方の表面（６）に対して垂直に配置されたことを特徴とする請求項１乃至３の１つに記載の縦形パワーＭＯＳＦＥＴ。

【請求項５】

第２の導電形の補助領域（１１、１８）はベース領域（３）と電気的に接続されたことを特徴とする請求項１乃至４の１つに記載の縦形パワーＭＯＳＦＥＴ。

【請求項６】

半導体基体内に、予め定められたドーピング濃度を有する第２の導電形の内部領域（１）と、この内部領域（１）及び半導体基体の上側表面に接する少なくとも１つの第２の導電形のベース領域（３）と、ベース領域（３）内にそれぞれ埋設された少なくとも１つのソース領域（４）と、前記内部領域（１）及び半導体基体の上側表面に接し、かつ前記ベース領域（４）から隔たった第１導電形のウエル（２２）と、該ウエル（２２）内に設けられ、半導体基体の上側表面に接する少なくとも１つのドレイン領域（２４）とを設けてなる横形パワーＭＯＳＦＥＴにおいて、

前記ウエル（２２）内の、逆電圧の印加時に広がる空間電荷領域内に第２の導電形の複数の補助領域（２６）が配置され、これら補助領域（２６）の間に位置して前記内部領域（１）よりも高ドーピングされた少なくとも１つの第１の導電形の補助領域（２７）が設けられ、前記第１および第２導電形の補助領域（２７、２６）のドーピング強さ及び第２の導電形の補助領域（２６）相互間の間隔は、ソース領域（４）とドレイン領域（２４）との間に印加された逆電圧が最大逆電圧である際には第１及び第２導電形の補助領域（２７、２６）内において電荷キャリヤが空になっているように設定されたことを特徴とする横形パワーＭＯＳＦＥＴ。

【請求項７】

第１および第２導電形の補助領域（２７、２６）は板状に形成され、かつベース領域（３）の１つとドレイン領域（２４）との間の最短接続線に対して平行に配置されたことを特徴とする請求項６記載の横形パワーＭＯＳＦＥＴ。

【請求項８】

第２の導電形の補助領域（２６）は棒状に形成され、かつベース領域（３）の１つとドレイン領域（２４）との間の最短接続線に対して平行に配置されたことを特徴とする請求項６記載の横形パワーＭＯＳＦＥＴ。

【請求項９】

ドレイン領域（２４）と、第１および第２導電形の補助領域（２７、２６）とは半導体基体の上側表面（２）に接し、かつ該上側表面（２）に対し平行に配置されたことを特徴とする請求項６乃至８の１つに記載の横形パワーＭＯＳＦＥＴ。

【請求項１０】

第２の導電形の補助領域（２６）はベース領域（３）と電気的に接続されたことを特徴とする請求項６乃至９の１つに記載の横形パワーＭＯＳＦＥＴ。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、半導体基体に予め定められたドーピング濃度を有する第１の導電形の内部領域と、この内部領域及び半導体基体の表面に接する少なくとも１つの第２の導電形のベース領域と、ベース領域内にそれぞれ埋設する少なくとも１つのソース領域と、半導体基体の表面に接する少なくとも１つのドレイン領域とを有するパワーＭＯＳＦＥＴに関する。

【０００２】

【従来の技術】

この種のパワーＭＯＳＦＥＴはずっと前から知られている。このＭＯＳＦＥＴのユニポーラの伝導機構により、順方向電圧は内部領域のドーピングにほぼ依存する。５００Ｖ以上の逆電圧を有するパワーＭＯＳＦＥＴの場合、順方向抵抗は比較の対象となりうるバイポーラトランジスタの場合よりも高くなる。ドーピングを高めると阻止性能が低下するので、ドーピングを高めることは問題にならない。

【０００３】

【発明が解決しようとする課題】

本発明の課題は、高い逆電圧に適し、しかも順方向では低いバルク抵抗を有するように、上述した種類のパワーＭＯＳＦＥＴを形成することにある。

【０００４】

【課題を解決するための手段】

上述の課題を解決するため、本発明によれば、内部領域内には逆電圧の際に広がる空間電荷領域内に第２の導電形の補助領域が配置され、これらの補助領域の間に位置して内部領域よりも高ドーピングされた少なくとも１つの第１の導電形の補助領域が設けられ、補助領域のドーピング強さ及び第２の導電形の補助領域の間隔は逆電圧が印加された際にその電荷キャリヤが空にされる。

【０００５】

本発明のその他の構成は請求項２以降に記載されている。

【０００６】

【実施例】

本発明を図面に示された実施例に基づいて説明する。

【０００７】

図１に示された縦形ＭＯＳＦＥＴは低ｎドーピングされた内部領域１を有している。半導体基体の上側表面２内には反対の導電形（ｐ）のベース領域３が設けられている。ベース領域３内には第１の導電形（n^+）のソース領域４が埋込まれている。表面２上に絶縁されてゲート電極８が配置されている。他方の表面６には内部領域１と同じ導電形の高ドーピングされたドレイン領域７が設けられている。

【０００８】

内部領域１内には逆電圧の際に広がる空間電荷領域の範囲内に補助半導体領域１１、１２が配置されている。内部領域とは反対の導電形の少なくとも２つの領域１１が設けられている。領域１１間には内部領域１と同じ導電形（ｎ）を有し内部領域よりも高くドーピングされた補助領域１２が配置されている。領域１１、１２は板状、例えば円板状に形成することができる（図２参照）。反対の導電形の補助領域は棒状に形成することもできる（図３の１８参照）。その補助領域は単一の領域１７によってあらゆる側から取囲まれている。この領域１７は領域１２と同様に内部領域と同じ導電形を有しているが、内部領域よりも高ドーピングされている。ｐドーピングされた領域は図４に示されているように三次元格子２１を形成することもできる。ｎドーピング領域は符号２０が付されている。ＭＯＳＦＥＴの導電形は反転させることもできる。

【０００９】

図１に示されたパワーＭＯＳＦＥＴに電圧が順方向に印加されると、このパワーＭＯＳＦＥＴはゲート８を介して導通制御することができる。この場合、ソース領域４から出される電子は補助領域１２において高ドーピングと出会う。それによりパワーＭＯＳＦＥＴのバルク抵抗が減少する。

【００１０】

パワーＭＯＳＦＥＴに逆電圧が印加されると、内部領域１とベース領域３との間のｐｎ接合を起点として空間電荷領域が形成され、その広がりは逆電圧の大きさに応じて大きくなる。空間電荷領域がｐドーピング領域１１に突き当たると、これらのｐドーピング領域１１は内部領域１の電荷キャリヤを空にされた領域を介してベース領域３に高抵抗で接続される。逆電圧がさらに大きくなると、空間電荷領域はさらに広がり、その結果電荷キャリヤの一部分も領域１１、１２から空にされる。このことは破線１３によって示されている

。逆電圧がさらに大きくなると、電荷キャリヤは内部領域１の大部分及び領域１１、１２から完全に空にされる。空間電荷領域は内部領域１内において破線１４によって制限された経路を辿る。最大逆電圧が印加されると、補助領域は空間電荷領域内に完全に位置する。補助領域はブレークダウンが起こる前に電荷キャリヤが空にされなければならない。

【００１１】

電荷キャリヤを空にすることは領域１１、１２がまるで存在していないような効果を奏する。空間電荷領域が最大に広がると第一次近似では専ら内部領域１のドーピングが重要になる。このドーピングが充分に低く、例えば$5\times10^{13}cm^{-3}$に選定されると、このデバイスを用いて容易に１０００Ｖ以上を阻止することができる。それに対して順方向の場合には本発明によるパワーＭＯＳＦＥＴは相当低い電圧を阻止するＭＯＳＦＥＴの抵抗に相当する抵抗を有する。

【００１２】

バルク抵抗は第１の表面２と領域１１、１２との間隔ａによって調整することができる。バルク抵抗はさらに領域１２のドーピングによって調節することができる。しかしながら、領域１１、１２のドーピング及び厚みは、最大逆電圧が印加された際に電荷キャリヤがそれらの領域から完全に空にされるように調整される。

【００１３】

補助領域１１を空間電荷領域を介してベース領域３に接続する代わりに、補助領域はベース領域へ直接に低抵抗で接続することもできる。このことは図１においては接続線１５によって概念的に示されている。この直接接続によって、空間電荷領域が領域１１、１２に到達する前に、電荷キャリヤを空にすることが既に始まる。

【００１４】

補助領域は、例えば、ドレイン領域７（n^+ 基板）を起点として先ず内部領域１が補助領域１１、１２の意図された上縁までエピタキシャルに堆積されることによって作ることができる。その後、例えばメモリ技術により知られているトレンチ技術にて補助領域の垂直寸法に相当する深さを持つ第１の溝がエピタキシャル層内へエッチング形成される。その後、溝内にはこの溝が満たされるまでｐドーピングされた材料がエピタキシャルに堆積される。第２の溝エッチング及びエピタキシャル堆積によってその後同様な方法でｎドーピングされた領域１２を作ることができる。次いで、さらに、半導体基体が予め定められた厚みに達するまで、弱ｎドーピングされた材料がエピタキシャルに堆積される。領域３、４並びに酸化膜、電極等は公知技術によって製作することができる。

【００１５】

図５には横形ＭＯＳＦＥＴの断面が示されている。図１と同時に、内部領域は１、ベース領域は３、ソース領域は４、そしてゲート電極は８で示されている。上記領域は同様に半導体基体の第１の表面２内に埋設されている。同じ表面２内に弱ｎドーピングされたウエル２２が埋込まれ、一方内部領域１は弱ｐドーピングされている。ウエル２２は強ｎドーピングされたドレイン領域２４とドリフト区間２３とを含んでいる。このドリフト区間はゲート電極８の下から始まり、ドレイン領域２４まで延びている。このドリフト領域を使用することは知られている（ドイツ連邦共和国特許第２８５２６２１号明細書参照）。ドリフト領域は横方向に向いたブレークダウン電界強度を高めるために使われている。ウエル２２内にはこのウエル２２とは反対の導電形の少なくとも２つの補助領域２６が配置され、これらの補助領域２６の間にはウエル２２と同じ導電形であるがウエル２２よりも高ドーピングを有する補助領域２７が配置されている。補助領域の平面図が図６に示されている。補助領域はこの例では板状例えば円板状に形成され、ベース領域３とドレイン領域２４との間の最短接続路に対して平行に配置されている。しかしながら、領域２６、２７は表面２に対して平行に配置されている、即ち、水平に積層されていてもよい。

【００１６】

補助領域の他の実施例が図７に示されている。ｎドーピング領域２７はこの例では板状には形成されておらず、その厚みがドレイン領域２４へ向けて拡大されている。このような措置を施すことの意味はドーピング原子の個数がドレイン領域へ向かって増加するように

することにある。それによってブレークダウン電界強度をさらに高めることができる（ドイツ連邦共和国特許第２８５２６２１号明細書参照）。

【００１７】

図５に示された横形ＦＥＴにおいても板状とは異なった他の補助領域を使用することができる。ｎドーピング領域２７によって全体的に又は部分的に囲まれた棒状のｐドーピング領域を設けることもできる。

【図面の簡単な説明】

【図１】本発明による縦形ＭＯＳＦＥＴの一実施例を示す断面図。

【図２】図１に示された補助領域の第１の例を示す概略図。

【図３】図１に示された補助領域の第２の例を示す概略図。

【図４】図１に示された補助領域の第３の例を示す概略図。

【図５】本発明による横形ＭＯＳＦＥＴの一実施例を示す断面図。

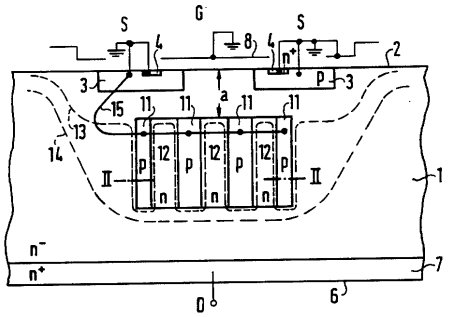
【図６】図５に示された横形ＭＯＳＦＥＴにおける補助領域の第１の例を示す概略図。

【図７】図５に示された横形ＭＯＳＦＥＴにおける補助領域の第２の例を示す概略図。

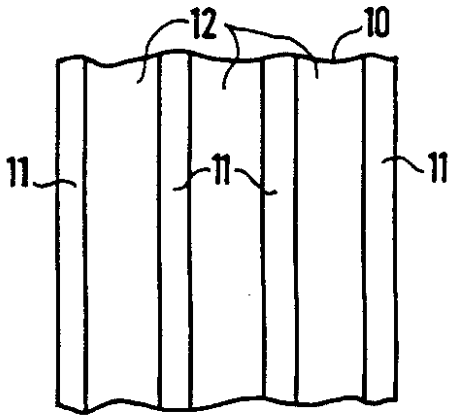
【符号の説明】

１　内部領域
２　上側表面
３　ベース領域
４　ソース領域
６　表面
７　ドレイン領域
８　ゲート電極
１１、１２　補助領域
１３、１４　破線
１５　接続線
１７　領域
１８　棒状領域
２０　ｎドーピングされた領域
２１　三次元格子
２２　ウエル
２４　ドレイン領域
２６、２７　補助領域

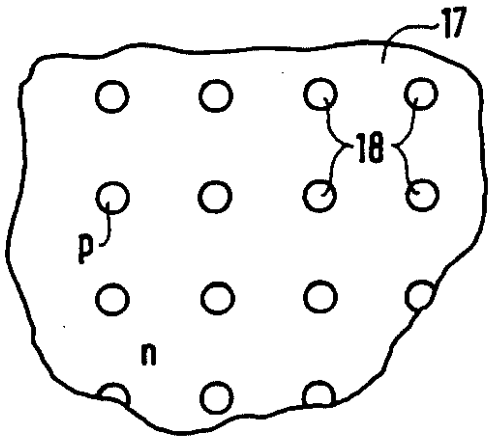
【図１】


S
G
S
4
8
4
2
3
3
15
11
11
a
11
11
13
14
12
12
12
II
II
1
n⁻
n⁺
7
D
G

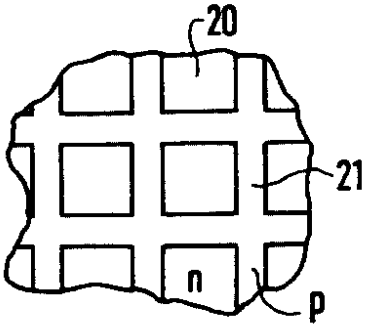
【図２】


12
10
11
11
11

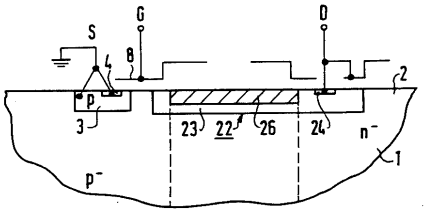
【図３】


17
18
p
n

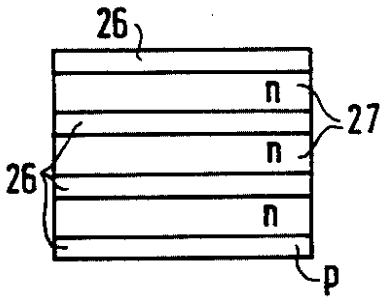
【図４】


20
21
n
p

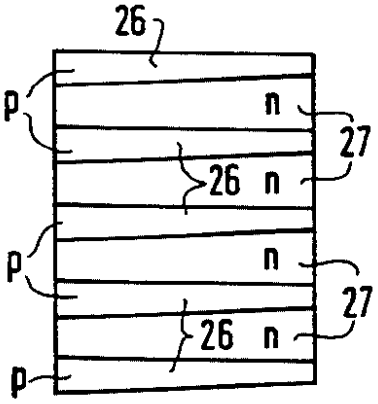
【図５】


S
G
D
4
8
2
p
3
23
22
26
24
n⁻
1
p⁻

【図６】



【図７】



フロントページの続き

審査官　安田　雅彦

(56)参考文献　特開平０４－１０７８６７（ＪＰ，Ａ）
特開平０４－１０７８７０（ＪＰ，Ａ）
特開昭５６－１４２６７３（ＪＰ，Ａ）
特開昭５７－１２４４６９（ＪＰ，Ａ）
特開昭５９－１１９８６４（ＪＰ，Ａ）
実開昭５４－１０８６６１（ＪＰ，Ｕ）
中国特許出願公開第１０５６０１８号明細書

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 29/78
H01L 21/336
H01L 29/06