

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 5 月 1 日 (01.05.2014)



(10) 国际公布号
WO 2014/063403 A1

(51) 国际专利分类号:
H01L 21/00 (2006.01)

(21) 国际申请号: PCT/CN2012/085331

(22) 国际申请日: 2012 年 11 月 27 日 (27.11.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210407807.8 2012 年 10 月 23 日 (23.10.2012) CN

(71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。

(72) 发明人: 朱慧珑 (ZHU, Huilong); 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 梁擎擎 (LIANG, Qingqing); 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。 尹海洲 (YIN, Haizhou); 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。 骆志炯 (LUO,

Zhijiong); 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。

(74) 代理人: 北京汉昊知识产权代理事务所 (普通合伙) (HANHOW INTELLECTUAL PROPERTY PARTNERS); 中国北京市东城区东长安街 1 号东方广场西 1 区 11 层 1111 室朱海波, Beijing 100738 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,

[见续页]

(54) Title: QUASI NANOWIRE TRANSISTOR AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 准纳米线晶体管及其制造方法

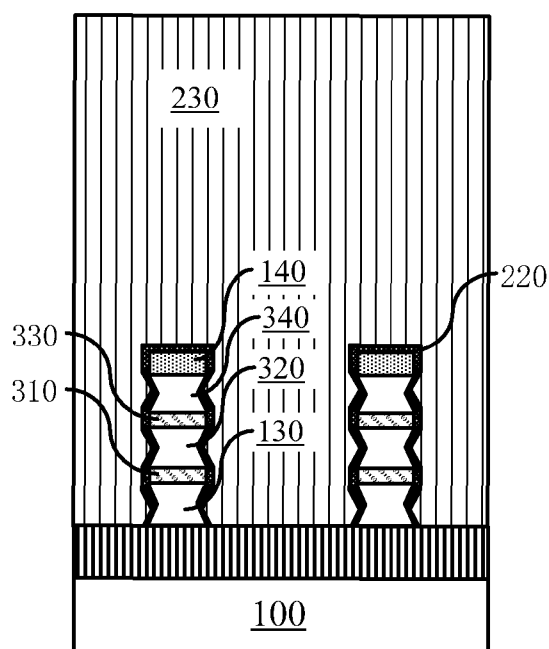


图 16 /Fig.16

(57) Abstract: A quasi nanowire transistor and a manufacturing method thereof. The method comprises: providing an SOI substrate, the SOI substrate comprising a substrate layer (100), a BOX layer (120), and an SOI layer (130); forming a fin substrate on the SOI layer, the fin substrate comprising at least one set of silicon/silicon-germanium stack; forming source and drain regions (110) at two sides of the fin substrate; forming a quasi nanowire fin by using the fin substrate and the SOI layer under the fin substrate; and forming a gate stack by traversing the quasi nanowire fin. By using the method, a gate length characteristic can be effectively controlled. A semiconductor structure formed by using the method is provided.

(57) 摘要: 一种准纳米线晶体管及其制造方法, 该方法包括: 提供 SOI 衬底, 该 SOI 衬底包括基底层 (100), BOX 层 (120) 和 SOI 层 (130); 在 SOI 层上形成鳍片基体, 鳍片基体包括至少一组硅/硅锗叠层; 在鳍片基体的两侧形成源漏区 (110); 由鳍片基体以及其下的 SOI 层形成准纳米线鳍片; 横跨准纳米线鳍片形成栅堆叠。该方法可以有效地控制栅长特性。以及由该方法形成的半导体结构。



BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

准纳米线晶体管及其制造方法

[0001] 本申请要求了2012年10月23日提交的、申请号为201210407807.8、发明名称为“准纳米线晶体管及其制造方法”的中国专利申请的优先权，其全部
5 内容通过引用结合在本申请中。

技术领域

[0002] 本发明涉及半导体技术领域，尤其涉及一种准纳米线晶体管及其制造
方法。

10

背景技术

[0003] 随着MOSFET（金属氧化物场效应晶体管）沟道长度不断缩短，一系列在MOSFET长沟道模型中可以忽略的效应变得愈发显著，甚至成为影响性能的主导因素，这种现象统称为短沟道效应。短沟道效应导致器件的电学性能
15 恶化，如造成栅极阈值电压下降、功耗增加以及信噪比下降等问题。

[0004] 为了改善短沟道效应，业界的主导思路是改进传统的平面型器件技术，想办法减小沟道区的厚度，消除沟道中耗尽层底部的中性层，让沟道中的耗尽层能够填满整个沟道区—这便是所谓的全耗尽型（Fully Depleted: FD）器件，而传统的平面型器件则属于部分耗尽型（Partially Depleted: PD）器
20 件。

[0005] 不过，要制造出全耗尽型器件，要求沟道处的硅层厚度极薄。传统的制造工艺，特别是传统基于体硅的制造工艺很难造出符合要求的结构或造价昂贵，即便对新兴的SOI（绝缘体上硅）工艺而言，沟道硅层的厚度也很难控制在较薄的水平。围绕如何实现全耗尽型器件的整体构思，研发的重心转
25 向立体型器件结构。

[0006] 立体型器件结构（有的材料中也称为垂直型器件）指的是器件的源漏区和栅极的横截面并不位于同一平面内的技术，实质属FinFET（鳍式场效应晶体管）结构。

[0007] 转向立体型器件结构之后，由于沟道区不再包含在体硅或SOI中，而

是从这些结构中独立出来，因此，采取蚀刻等方式可能制作出厚度极薄的全耗尽型沟道。

[0008] 当前，已提出的立体型半导体器件如图1所示，所述半导体器件包括：鳍片020，所述鳍片020位于绝缘层010上；源漏区030，所述源漏区030接于所述鳍片020中相对的第一侧面022；栅极040，所述栅极040位于所述鳍片020中与所述第一侧面022相邻的第二侧面024上（图中未示出所述栅极040及所述鳍片020间夹有的栅介质层和功函数金属层）。其中，为减小源漏区电阻，所述源漏区030的边缘部分可被扩展，即，所述源漏区030的宽度（沿xx'方向）大于所述鳍片020的厚度。立体型半导体结构有望应用22nm技术节点及其以下，随着器件尺寸进一步缩小，立体型半导体器件的短沟道效应也将成为影响器件性能的一大因素。

[0009] 作为一种立体型器件，纳米线MOSFET可以很好地控制短沟道效应，具有很低的随机掺杂波动，因此很有希望用于未来的进一步按比例缩小的MOSFET。然而，目前纳米线器件的制造工艺难度很大。

发明内容

[0010] 本发明的目的在于提供一种准纳米线（quasi-nanowire）晶体管及其制造方法，其可以很好地控制栅长特性，例如栅极长度和底部与顶部的对准等。另外，可以将高k栅介质和金属栅集成到准纳米线晶体管中，提升半导体器件的性能。另外，本发明的目的还在于在准纳米线晶体管中提供具有应力的应变的源漏区。

[0011] 根据本发明的一个方面，提供一种半导体结构的制造方法，其特征在于，包括以下步骤：

[0012] 步骤S101，提供SOI衬底，该SOI衬底包括基底层，BOX层和SOI层；

[0013] 步骤S102，在SOI层上形成鳍片基体，所述鳍片基体包括至少一组硅/硅锗叠层；

[0014] 步骤S103，在鳍片基体的两侧形成源漏区；

[0015] 步骤S104，由鳍片基体以及其下的SOI层形成准纳米线鳍片；

[0016] 步骤S105，横跨所述准纳米线鳍片形成栅堆叠。

[0017] 相应地，本发明还提供了一种半导体结构，该半导体结构包括：

[0018] SOI衬底，包括SOI层、BOX层和基底层；

[0019] 鳍片，由SOI层的一部分以及其上的至少一组硅/硅锗叠层形成；

5 [0020] 位于鳍片两侧在鳍片的宽度方向上延伸的源漏区，所述鳍片位于延伸的源漏区形成的凹陷中，源漏区未与鳍片相连的部分上形成有侧墙；

[0021] 栅介质层，覆盖所述鳍片；

[0022] 栅金属层，覆盖所述栅介质层。

10 [0023] 本发明提供的准纳米线晶体管及其制造方法中，先形成源漏区，后形成准纳米线鳍片，可以很好地控制栅长特性，例如栅极长度和底部与顶部的对准等。另外，本发明通过将高k栅介质和金属栅集成到鳍型准纳米线场效应晶体管中，减小器件的短沟道效应，进而有助于提高半导体器件的性能。另外，取决于器件类型而形成的应变的源漏区根据器件类型可以向准纳米线鳍片施加不同的应力，从而增加沟道载流子的迁移率。

15 附图说明

[0024] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述，本发明的其它特征、目的和优点将会变得更明显。

[0025] 下列各剖视图均为沿对应的俯视图中给出的剖线(AA'或11")切割已形成的结构后获得。

20 [0026] 图1所示为现有技术中鳍型场效应晶体管的示意图；

[0027] 图2为根据本发明的准纳米线晶体管的制造方法的实施方式的流程图；

[0028] 图3所示为本发明准纳米线晶体管的制造方法具体实施例中所使用的衬底的剖视结构示意图；

25 [0029] 图4所示为本发明准纳米线晶体管的制造方法具体实施例中对衬底上形成制造准纳米线晶体管所需的各材料层后的剖视结构示意图；

[0030] 图5是对图4示出的半导体结构进行刻蚀后的剖视结构示意图；

[0031] 图6是对图5示出的半导体结构进行外延生长和沉积氧化物之后的剖视结构示意图；

[0032] 图7是在图6示出的半导体结构上形成光刻胶构图时的俯视结构示意图；

[0033] 图8是对图7示出的半导体结构进行刻蚀后的俯视结构示意图；

[0034] 图9是图8示出的半导体结构沿A-A'方向的剖视结构示意图；

5 [0035] 图10是图8示出的半导体结构沿1-1"方向的剖视结构示意图；

[0036] 图11是图8示出的半导体结构形成侧墙时的俯视结构示意图；

[0037] 图12是图11示出的半导体结构沿A-A'方向的剖视结构示意图；

[0038] 图13是图11示出的半导体结构沿1-1"方向的剖视结构示意图；

10 [0039] 图14是对图12示出的半导体结构中的鳍片进行刻蚀后的剖视结构示意图；

[0040] 图15是图14示出的半导体结构形成金属层时的俯视结构示意图；

[0041] 图16是图15示出的半导体结构沿A-A'方向的剖视结构示意图；

[0042] 图17是图15示出的半导体结构沿1-1"方向的剖视结构示意图。

[0043] 附图中相同或相似的附图标记代表相同或相似的部件。

15

具体实施方式

[0044] 为使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明的实施例作详细描述。

20 [0045] 下面详细描述本发明的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能解释为对本发明的限制。

[0046] 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。
25 当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一特征在第二特

征之“上”的结构可以包括第一和第二特征形成直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。应当注意，在附图中所图示的部件不一定按比例绘制。本发明省略了对公知组件和处理技术及工艺的描述以避免不必要地限制本

5 发明。

[0047] 本发明提供的准纳米线晶体管的制造方法大致包括：

[0048] 步骤S101，提供SOI衬底，该SOI衬底包括基底层，BOX层和SOI层；

[0049] 步骤S102，在SOI层上形成鳍片基体，所述鳍片基体包括至少一组硅/硅锗叠层；

10 [0050] 步骤S103，在鳍片基体的两侧形成源漏区；

[0051] 步骤S104，由鳍片基体以及其下的SOI层形成准纳米线鳍片；

[0052] 步骤S105，横跨所述准纳米线鳍片形成栅堆叠。

[0053] 下文中将参照图2到图17，结合本发明提供的半导体结构的制造方法的一个具体实施例对各步骤进行进一步的阐述。

15 [0054] 步骤S101，如图3所示，提供SOI衬底，所述SOI衬底至少具有三层结构，分别是：基底层100（例如，体硅层，图3中只示出部分所述基底层100）、基底层100之上的BOX层120，以及覆盖在BOX层120之上的SOI层130。其中，所述BOX层120的材料通常选用SiO₂，BOX层120的厚度通常大于100nm；SOI层130的材料是单晶硅、锗或III-V族化合物（如碳化硅、砷化镓、砷化铟或

20 磷化铟等），本具体实施方式中选用的SOI衬底是具有Ultrathin（超薄）SOI层130的SOI衬底，因此该SOI层130的厚度范围为5nm~20nm，例如5nm，13nm或20nm。优选地，该SOI层的晶向为<100>。

[0055] 执行步骤S102，在SOI层上形成鳍片基体，所述鳍片基体包括至少一组硅/硅锗叠层。本具体实施例中，在SOI层上形成具有一定长度的鳍片基体，

25 所述鳍片基体包括至少一组硅/硅锗叠层，并覆盖有第一介质层。

[0056] 如图4所示，在SOI衬底上依次形成至少一组硅/硅锗叠层、第三介质层140和第一介质层150。其中至少一组硅/硅锗叠层例如包括第一组硅/硅锗叠层（第一硅锗层310、第一硅层320）、第二组硅/硅锗叠层（第二硅锗层330、和第二硅层340）。可以包括更多或者更少组的硅/硅锗叠层。至少一组硅/

硅锗叠层、第三介质层140和第一介质层150可以通过化学气相沉积（Chemical vapor deposition, CVD）、高密度等离子体CVD、ALD（原子层淀积）、等离子体增强原子层淀积（PEALD）、脉冲激光沉积（PLD）或其他合适的方法依次形成在SOI层130上。第一硅锗层310和第二硅锗层330的厚度范围均可以为1~3nm。其中，锗的含量为整个硅锗材料的5%~10%。第一硅层320和第二硅层340的厚度范围均为5~20nm。第三介质层140的材料例如可以是SiO₂，其厚度在2nm~5nm之间，例如2nm，4nm，5nm。第一介质层150的材料例如可以是Si₃N₄，其厚度在50nm~150nm之间，例如50nm，100nm，150nm。

10 [0057] 例如，在第一介质层150上进行光刻胶构图，光刻胶的图案与鳍片基体的图案对应，例如具有一定长度的在半导体结构的宽度方向上延伸的条形（文中一般认为各剖视结构示意图中所示的水平方向为长度方向，与剖视结构示意图纸面垂直的方向为宽度方向，该长度方向对应鳍片基体、将要形成的鳍片结构以及半导体器件沟道的长度方向）。因此以构图后的光刻胶为掩模刻蚀第一介质层150、第三介质层140、至少一组硅/硅锗叠层（例如包括第二硅层340、第二硅锗层330、第一硅层320、第一硅锗层310），停止于SOI层130的顶部，形成中间高、两边低的结构，如图5所示。在其他实施例中，刻蚀也可以去除SOI层130的一部分，只要留下一部分SOI层130即可。文中将该刻蚀形成的半导体材料（包括硅锗层和硅层）的凸起称为鳍片基体，其覆盖有第三介质层140和第一介质层150。如下文所述，该鳍片基体用于在后续步骤中形成准纳米线晶体管的鳍片。刻蚀工艺有多种选择，例如可以采用离子体刻蚀等。

[0058] 在其他实施例中，也可以不形成第一介质层150和第三介质层140。

25 [0059] 执行步骤S103，在鳍片基体的两侧形成源漏区。在本具体实施例中，在鳍片基体的长度方向上的两侧形成源漏区110，并在源漏区上覆盖第二介质层160，第二介质层的材料不同于第一介质层。在上述刻蚀步骤后，在所述SOI衬底的SOI层130上进行外延生长，形成源漏区110。所述源漏区110的高度略高于第三介质层140的上表面。例如，源漏区110可以是应力材料源漏区。例如，对于PMOS器件，所述源漏区110材料可为Si_{1-x}Ge_x（X的取值范

围可为0.15~0.75,可以根据工艺需要灵活调节,如0.15、0.3、0.4、0.5或0.75,本文件内未作特殊说明处,X的取值均与此相同,不再赘述);对于NMOS器件,所述源漏区110材料可为Si:C(C的原子数百分比可以为0.5%~2%,如0.5%、1%或2%,C的含量可以根据工艺需要灵活调节,本文件内未作特殊说明处,C的原子数百分比均与此相同,不再赘述)。源漏区110可以在生长的过程中进行原位掺杂,和/或可以对源漏区110进行离子注入,并退火,以激活杂质。对于PMOS器件,可以采用B进行注入;对于NMOS器件,可以采用As或P进行注入。所述应力材料源漏区110可进一步调节鳍片基体内的应力,从而可以调节后续将从鳍片基体形成的鳍片内的应力,以提高鳍片内的沟道区中载流子的迁移率。

[0060] 之后可以在整个半导体结构上形成第二介质层160。第二介质层160的材料不同于第一介质层150。例如当第一介质层150材料为是 Si_3N_4 时,第二介质层160可以是氧化物层。可以通过化学气相沉积、高密度等离子体CVD、原子层淀积、等离子体增强原子层淀积、脉冲激光沉积或其他合适的方法形成第二介质层160。第二介质层160的材料可以是 SiO_2 。形成第二介质层160之后执行平坦化操作,停止于第一介质层150上。如图6所示,形成覆盖源漏区110的第二介质层160,其上表面与第一介质层150上表面齐平。

[0061] 在其他实施例中,也可以不形成第二介质层160。

[0062] 执行步骤S104,由鳍片基体以及其下的SOI层形成准纳米线鳍片。在本具体实施例中,由鳍片基体以及其下的SOI层形成位于鳍片基体的长度方向上的两侧的源漏区110以及第二介质层160构成的凹陷中的沿所述长度方向延伸的准纳米线鳍片。例如,在半导体结构上形成光刻胶200,例如可以采用旋涂、曝光显影的方式进行构图,将意图形成鳍片的地方保护起来,如图7所示。光刻胶层的材料可是烯类单体材料、含有叠氮醌类化合物的材料或聚乙烯月桂酸酯材料等。

[0063] 以构图的光刻胶200为掩模刻蚀第一介质层150、第三介质层140、第二硅层340、第二硅锗层330、第一硅层320、第一硅锗层310以及SOI层130,停止于BOX层120的上表面。之后去除光刻胶200,并去除其下的第一介质层150,停止于第三介质层140的上表面,如图8、图9、图10所示。这样形成了

位于两侧的源漏区110以及第二介质层160构成的凹陷中的沿所述长度方向延伸的鳍结构准纳米线晶体管的鳍片。

[0064] 在本具体实施例中，还需要在凹陷中暴露的SOI层130和源漏区110的侧壁上形成侧墙210。在源漏区110两侧形成侧墙210，如图11、12和13所示。

- 5 侧墙210可以由氮化硅、氧化硅、氮氧化硅、碳化硅及其组合，和/或其他合适的材料形成。侧墙210可以具有多层结构。侧墙210可以通过包括沉积刻蚀工艺形成，其厚度范围可以是5nm~10nm，例如5nm，8nm，10nm。侧墙210至少高于源/漏区110。在鳍结构上并未形成侧墙210。

- [0065] 可选地，可以在形成侧墙210后对所述鳍片进行刻蚀，使其侧壁的截面形成锯齿形状。例如，在SOI层的晶向为<100>的情况下，可以通过控制鳍片基体的取向，并通过采用四甲基氢氧化铵(TMAH)或KOH对第一硅层320、第二硅层340以及SOI层130进行湿法刻蚀。由于所述鳍片的结构为依次排列的SOI层130、第一硅锗层310、第一硅层320、第二硅锗层330、第二硅层340和第三介质层140。因此对硅层进行刻蚀时，不刻蚀硅锗层和第三介质层140。
- 10 由于刻蚀沿着各硅层的{111}晶面进行刻蚀，因此最后会形成截面为锯齿形状的鳍片。鳍片的侧壁处硅层表面的晶向为<111>。

[0066] 具有锯齿形状的截面的鳍片比普通的鳍片有更大的侧壁面积，会使沟道区的宽度增加。

- [0067] 步骤S105，横跨所述准纳米线鳍片形成栅堆叠。在本具体实施例中，
- 20 在凹陷中形成覆盖鳍结构的栅介质层220以及覆盖栅介质层220的栅金属层230。形成覆盖整个半导体结构的栅介质层220（例如高k介质层）；之后在栅介质层220上沉积金属层（例如开启电压调节金属层），形成栅金属层230。并进行平坦化，使所述凹陷中的金属层230的上表面与第二介质层160的上表面齐平，如图15、图16、图17所示。凹陷区域以外的其他区域上的金属层被
- 25 去除。所述高k介质例如可以是：HfAlON、HfSiAlON、HfTaAlON、HfTiAlON、HfON、HfSiON、HfTaON、HfTiON中的一种或其组合，优选为HfO₂。栅介质层220的厚度可以为2nm~4nm，例如2nm、3nm或4nm。可以采用热氧化、化学气相沉积、原子层沉积等工艺来形成栅介质层220。栅金属层可以是Ta₂N、TaC、TiN、TaAlN、TiAlN、MoAlN、TaTbN、TaErN、TaYbN、TaSiN、

HfSiN、MoSiN、RuTa_x、NiTa_x中的一种或其组合。

[0068] 在其他实施例中也可以形成热氧化的栅介质层和多晶硅栅极。

[0069] 本发明提供的准纳米线晶体管及其制造方法中，先形成源漏区，后形成准纳米线鳍片，可以很好地控制栅长特性，例如栅极长度和底部与顶部的
5 对准等。另外，本发明通过将高k栅介质和金属栅集成到鳍型准纳米线场效应晶体管中，减小器件的短沟道效应，进而有助于提高半导体器件的性能。另外，取决于器件类型而形成的应变的源漏区根据器件类型可以向准纳米线鳍片施加不同的应力，从而增加沟道载流子的迁移率。

[0070] 下面对本发明提供的半导体结构的优选结构进行概述。

10 [0071] 一种准纳米线晶体管，包括：

[0072] SOI衬底，包括SOI层130、BOX层120和基底层100；

[0073] 鳍片，由SOI层130的一部分以及其上的至少一组硅/硅锗叠层形成；

[0074] 位于鳍片两侧在鳍片的宽度方向上延伸的源漏区110，所述鳍片位于延伸的源漏区形成的凹陷中，源漏区未与鳍片相连的部分上形成有侧墙210；

15 [0075] 栅介质层220，覆盖所述鳍片；

[0076] 栅金属层230，覆盖所述栅介质层220。

[0077] 此所述SOI衬底为三层结构，分别是：基底层100、基底层100之上的BOX层120，以及覆盖在BOX层120之上的SOI层130。其中，所述BOX层120的材料通常选用SiO₂，BOX层120的厚度通常大于100nm；SOI层130的材料
20 是单晶硅、锗或III-V族化合物（如碳化硅、砷化镓、砷化铟或磷化铟等），本具体实施方式中选用的SOI衬底是具有Ultrathin（超薄）SOI层130的SOI衬底，因此该SOI层130的厚度范围为5nm~20nm，例如5nm，13nm或20nm。

[0078] 源漏区110位于SOI层130上，其高度略高于第三介质层140的上表面。对于PMOS器件，所述源漏区110材料可为Si_{1-x}Ge_x（X的取值范围可为0.15~
25 0.75，可以根据工艺需要灵活调节，如0.15、0.3、0.4、0.5或0.75，本文件内未作特殊说明处，X的取值均与此相同，不再赘述）；对于NMOS器件，所述源漏区110材料可为Si:C（C的原子数百分比可以为0.5%~2%，如0.5%、1%或2%，C的含量可以根据工艺需要灵活调节，本文件内未作特殊说明处，C的原子数百分比均与此相同，不再赘述）。应力材料源漏区110可进一步调

节沟道区内的应力，以提高沟道区内载流子的迁移率。

[0079] 第二介质层160位于源漏区110上，第二介质层160的材料可以是SiO₂。

[0080] 侧墙210位于源漏区110两侧，用于将源/漏区110于之后形成的栅极隔离开，因此其高度至少高于源/漏区110的高度。侧墙210可以由氮化硅、氧化硅、氮氧化硅、碳化硅及其组合，和/或其他合适的材料形成。侧墙210可以具有多层结构。侧墙210的厚度范围可以是5nm~10nm，例如5nm，8nm，10nm。

[0081] 鳍片包括SOI层130和位于其上方的第一硅锗层310、第一硅层320、第二硅锗层330、第二硅层340和薄氧层的第三介质层140，所述鳍片截面为锯齿形状，即各硅层被沿着{111}面刻蚀。薄氧层的材料是SiO₂。其厚度在2nm~5nm之间，例如2nm，4nm，5nm。

[0082] 第一硅锗层310和第二硅锗层330的厚度范围均为1~3nm。其中，锗的含量为整个硅锗材料的5%~10%。第一硅层320和第二硅层340的厚度范围均为5~20nm。

[0083] 栅介质层220（例如高k介质层）覆盖所述鳍片。所述高k介质例如可以是：HfAlON、HfSiAlON、HfTaAlON、HfTiAlON、HfON、HfSiON、HfTaON、HfTiON中的一种或其组合，优选为HfO₂。栅介质层220的厚度可以为2nm~4nm，例如2nm、3nm或4nm。

[0084] 栅金属层230（例如开启电压调节金属层）覆盖BOX层120、侧墙210和鳍片。栅金属层230可以是Ta_xN、Ta_xC、TiN、TaAlN、TiAlN、MoAlN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTa_x、NiTa_x中的一种或其组合。

[0085] 虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

[0086] 此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对实施例大体相同的功能或者获得大体相同的结果，依照本发

明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

权利要求

1、一种准纳米线晶体管的制造方法，包括：

a) 提供SOI衬底，该SOI衬底包括基底层（100），BOX层（120）和SOI层（130）；

b) 在SOI层上形成鳍片基体，所述鳍片基体包括至少一组硅/硅锗叠层；

c) 在鳍片基体的两侧形成源漏区（110）；

d) 由鳍片基体以及其下的SOI层形成准纳米线鳍片；

e) 横跨所述准纳米线鳍片形成栅堆叠。

2、根据权利要求1所述的方法，其中，源漏区（110）为应力材料源漏区。

3、根据权利要求1所述的方法，其中，步骤b) 中通过沉积和刻蚀在SOI层上形成鳍片基体，并且在步骤c) 中通过外延生长形成源漏区（110）。

4、根据权利要求3所述的方法，其中，步骤b) 中的刻蚀在鳍片基体两侧的SOI层上停止或者去除鳍片基体两侧的一部分SOI层。

5、根据权利要求3所述的方法，其中当鳍型场效应晶体管为PMOS器件，源漏区（110）的材料为SiGe，Ge元素的比例在15%-75%的范围内。

6、根据权利要求3所述的方法，其中当鳍型场效应晶体管为NMOS器件，源漏区（110）的材料为SiC，C元素的比例在0.5%-2%的范围内。

7、根据权利要求1所述的方法，其中，

步骤b) 中鳍片基体上覆盖有第一介质层（150）；

步骤c) 在鳍片基体的长度方向上的两侧形成源漏区（110），并在源漏区上覆盖第二介质层（160），第二介质层的材料不同于第一介质层；

步骤d) 中由鳍片基体以及其下的SOI层形成位于鳍片基体的长度方向上的两侧的源漏区（110）以及第二介质层（160）构成的凹陷中的沿所述长度方向延伸的准纳米线鳍片；并且在步骤e) 之前包括

步骤f) 在凹陷中暴露的SOI层（130）和源漏区（110）的侧壁上形成侧墙（210）；并且

步骤e) 包括在凹陷中形成覆盖准纳米线鳍片的栅介质层（220）以及覆

盖栅介质层的栅金属层（230）。

8、根据权利要求7所述的方法，其中，鳍片基体和第一介质层（150）之间还存在第三介质层（140）。

9、根据权利要求7所述的方法，其中，步骤d）包括，
在宽度方向上的特定位置覆盖沿长度方向延伸的具有一定宽度的掩模；
去除鳍片基体未被掩模覆盖的部分以及其下的SOI层直至露出BOX层（120）；

去除掩模，以及掩模之下的第一介质层（150）。

10、根据权利要求1所述的方法，其中，栅堆叠中的栅介质层（220）为高k介质层，栅金属层（230）包括开启电压调节金属。

11、根据权利要求7所述的方法，其中，步骤e）包括，

沉积覆盖整个半导体结构的栅介质层（220）；

沉积覆盖栅介质层（220）的栅金属层（230）；

执行平坦化操作去除凹陷以外的其他区域覆盖的栅金属层（230）。

12、根据权利要求7所述的方法，其中，步骤f）和步骤e）之间还包括，对鳍片的侧壁进行刻蚀，形成截面为锯齿形的侧壁。

13、根据权利要求12所述的方法，其中，SOI层的晶向为<100>，其中通过控制鳍片基体的取向，并利用湿法刻蚀对鳍片的侧壁进行刻蚀，形成截面为锯齿形的侧壁。

14、一种准纳米线晶体管，包括：

SOI衬底，包括SOI层（130）、BOX层（120）和基底层（100）；

鳍片，由SOI层（130）的一部分以及其上的至少一组硅/硅锗叠层形成；

位于鳍片两侧在鳍片的宽度方向上延伸的源漏区（110），所述鳍片位于延伸的源漏区形成的凹陷中，源漏区（110）未与鳍片相连的部分上形成有侧墙（210）；

栅介质层（220），覆盖所述鳍片；

栅金属层（230），覆盖所述栅介质层（220）。

15、根据权利要求14所述的准纳米线晶体管，其中，所述鳍片顶部覆盖有第三介质层（140）。

16、根据权利要求14所述的准纳米线晶体管，其中，所述源/漏区（110）覆盖有第二介质层（160）。

17、根据权利要求12所述的准纳米线晶体管，其中，源漏区（110）为应力材料源漏区。

18、根据权利要求17所述的准纳米线晶体管，其中当准纳米线晶体管为PMOS器件，应力材料源漏区（110）的材料为SiGe，Ge元素的比例在15%-75%的范围内。

19、根据权利要求14所述的准纳米线晶体管，其中当准纳米线晶体管为NMOS器件，应力材料源漏区（110）的材料为SiC，C元素的比例在0.5%-2%的范围内。

20、根据权利要求14所述的准纳米线晶体管，其中栅介质层（220）为高k介质层，栅金属层（230）包括开启电压调节金属。

21、根据权利要求14所述的准纳米线晶体管，其中，所述源漏区（110）高于所述鳍片。

22、根据权利要求14所述的准纳米线晶体管，其中，鳍片的侧壁处硅层表面的晶向为<111>。

附图

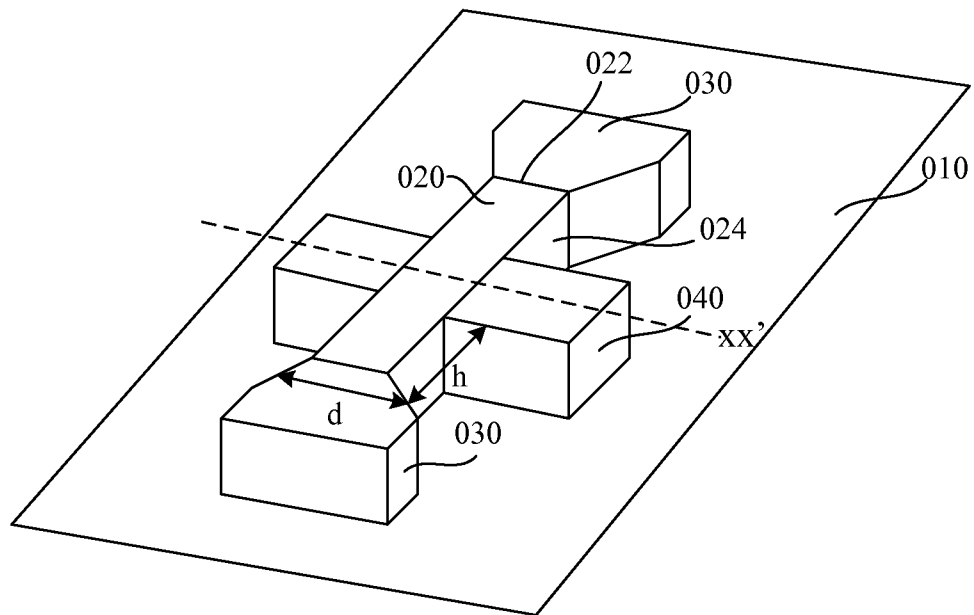


图 1

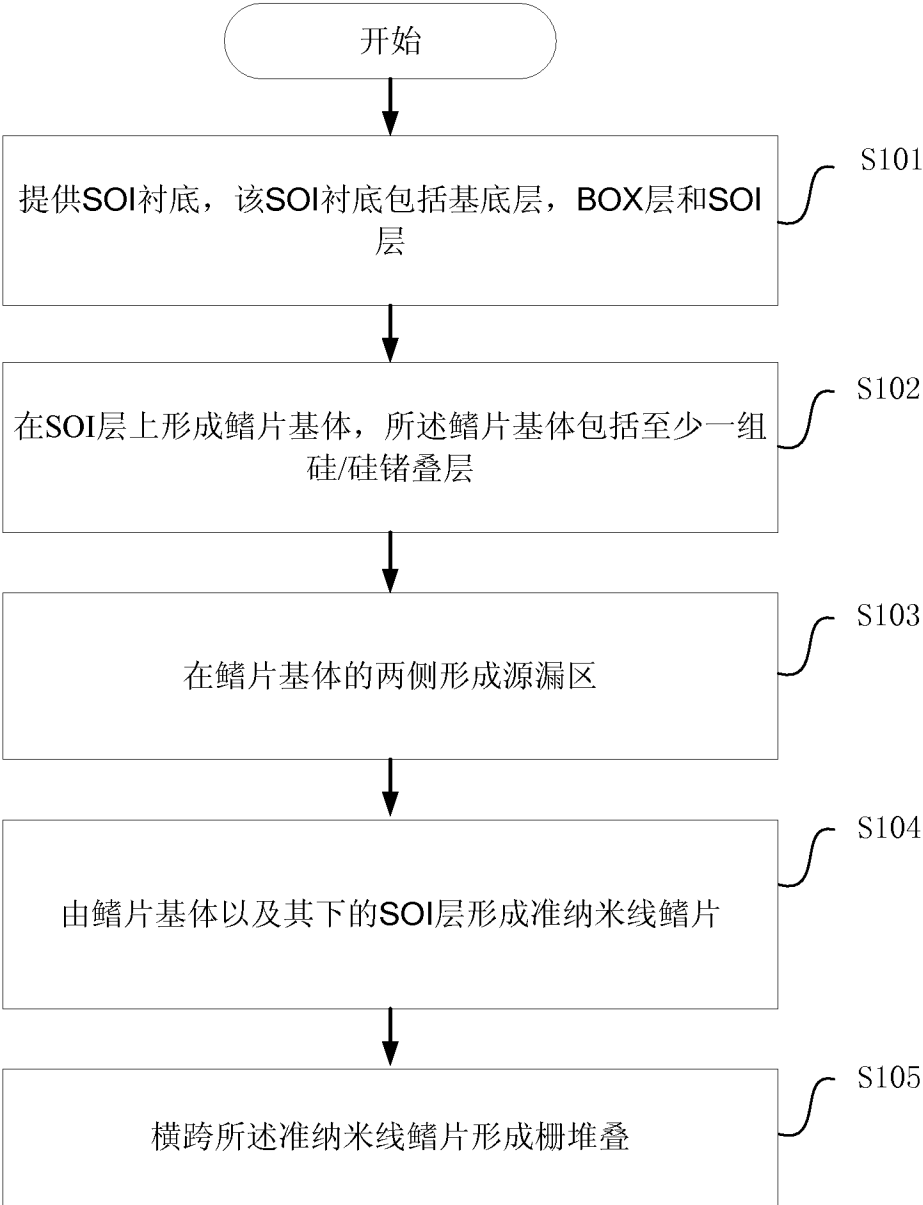


图 2

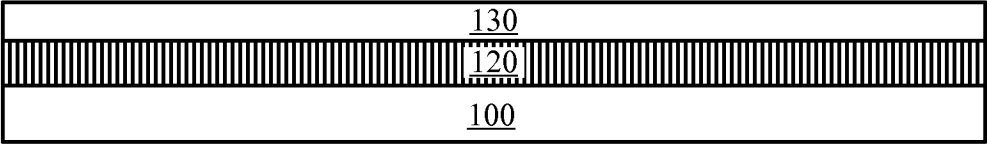


图 3

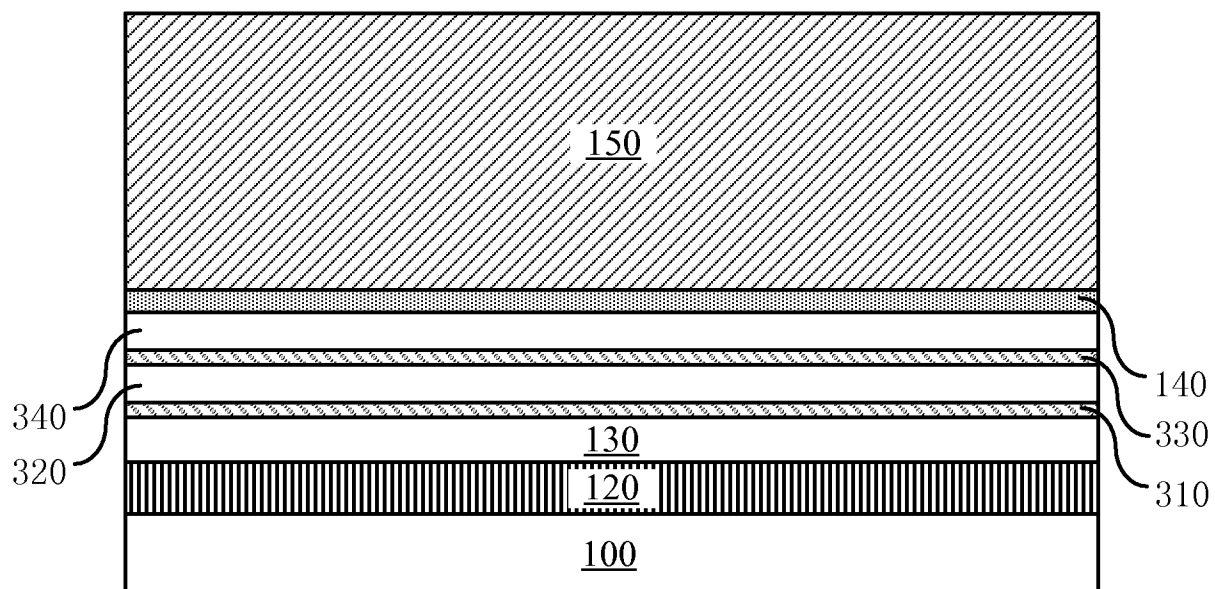


图4

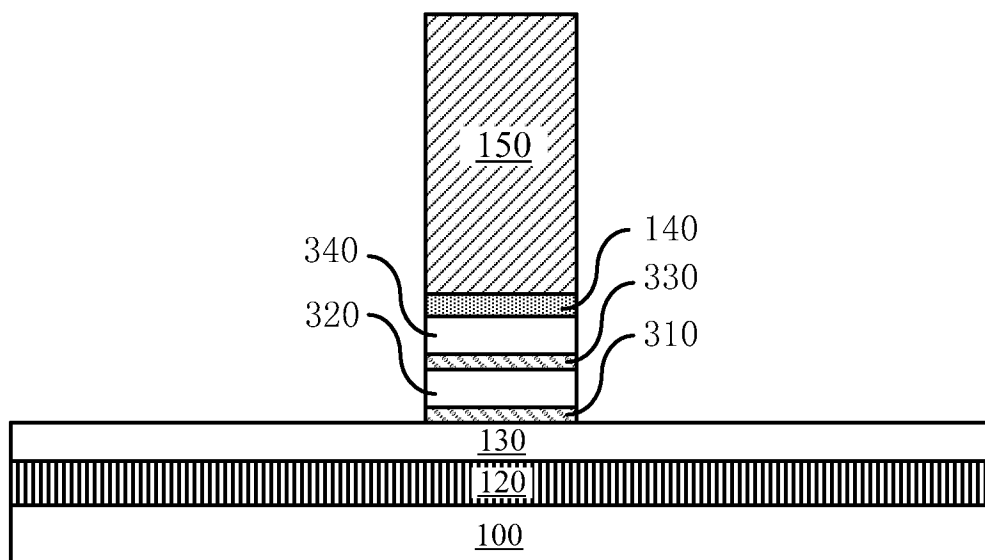


图5

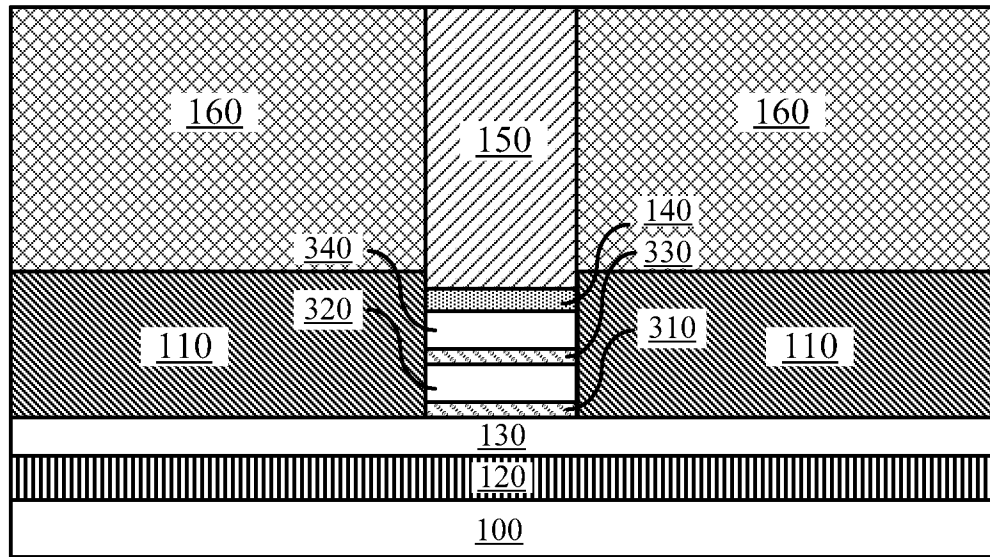


图 6

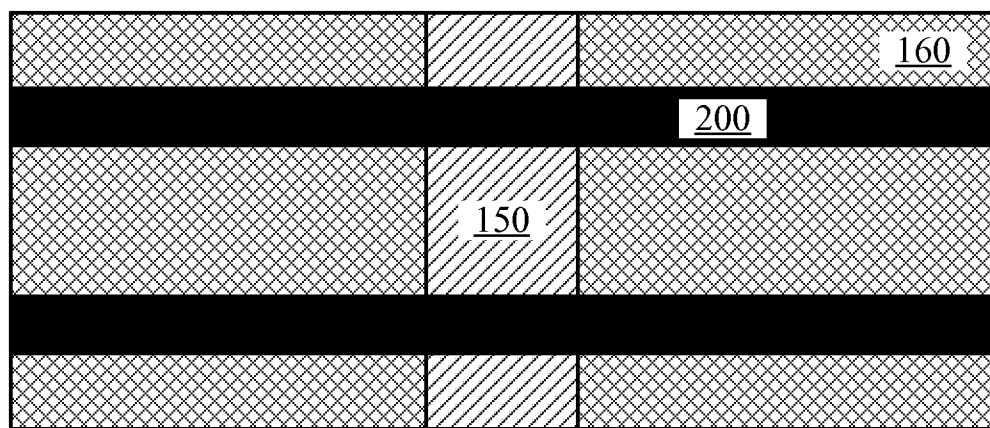


图 7

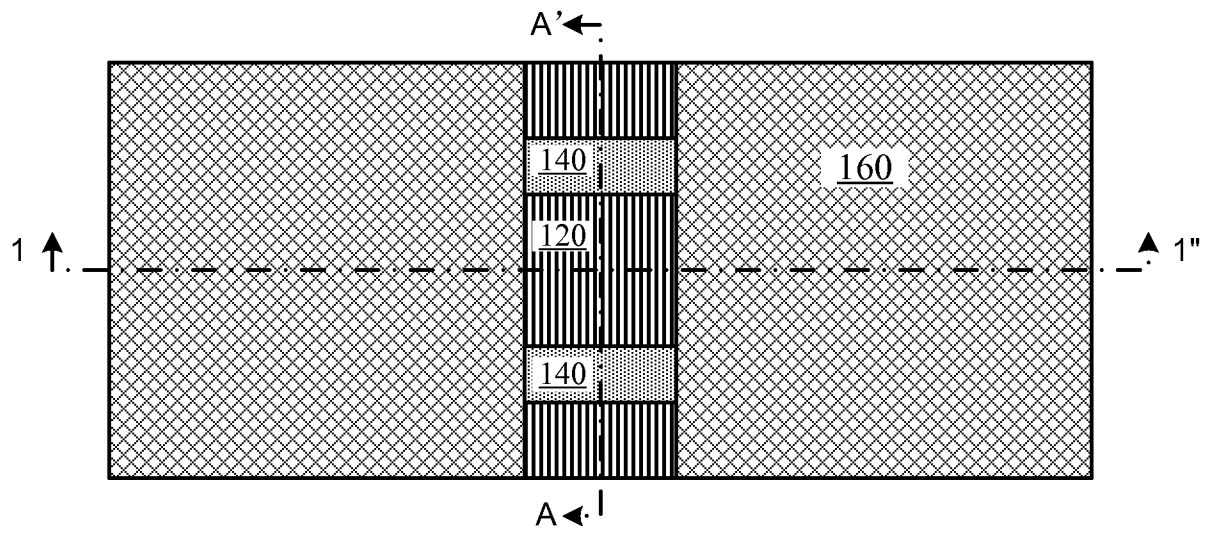


图 8

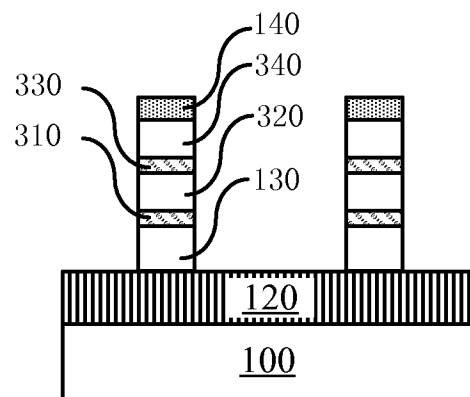


图 9

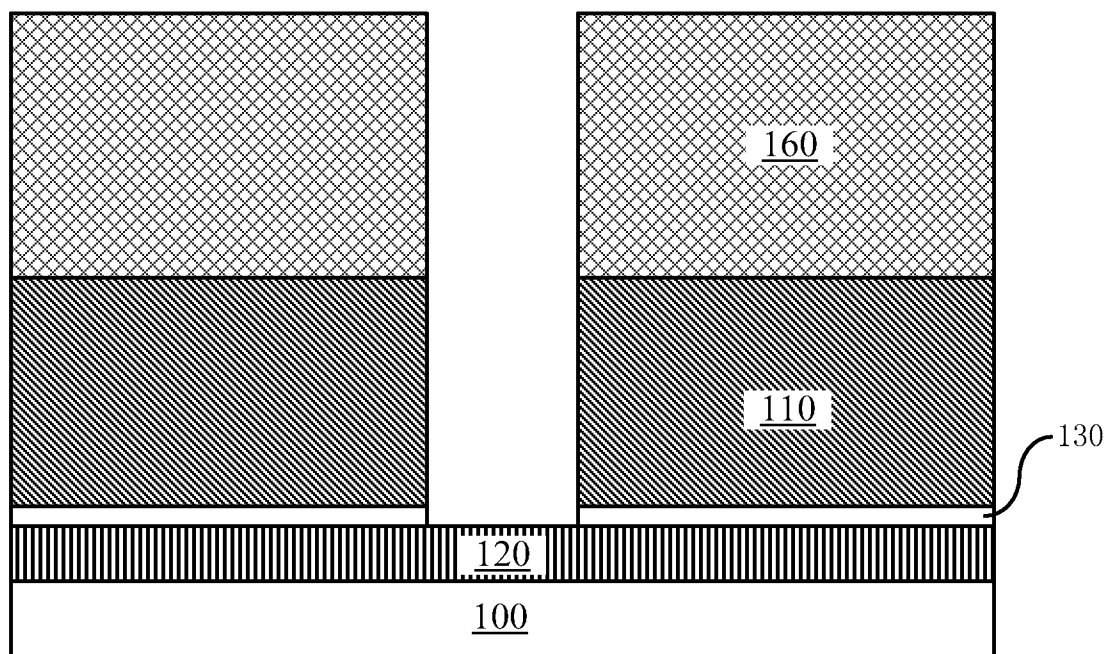


图 10

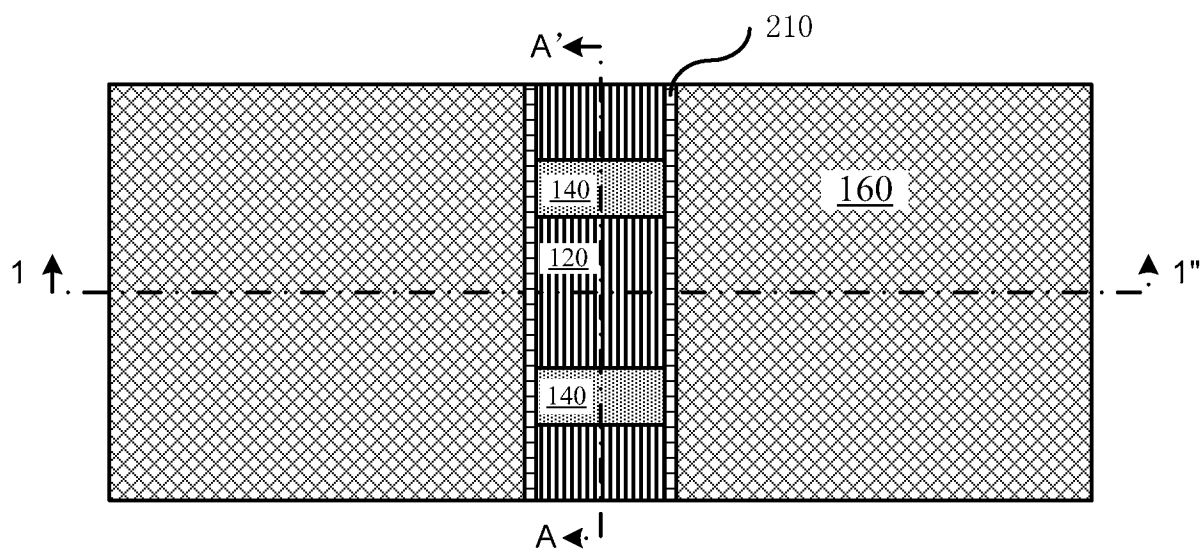


图 11

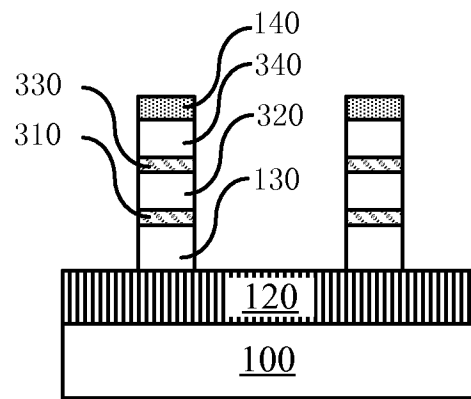


图 12

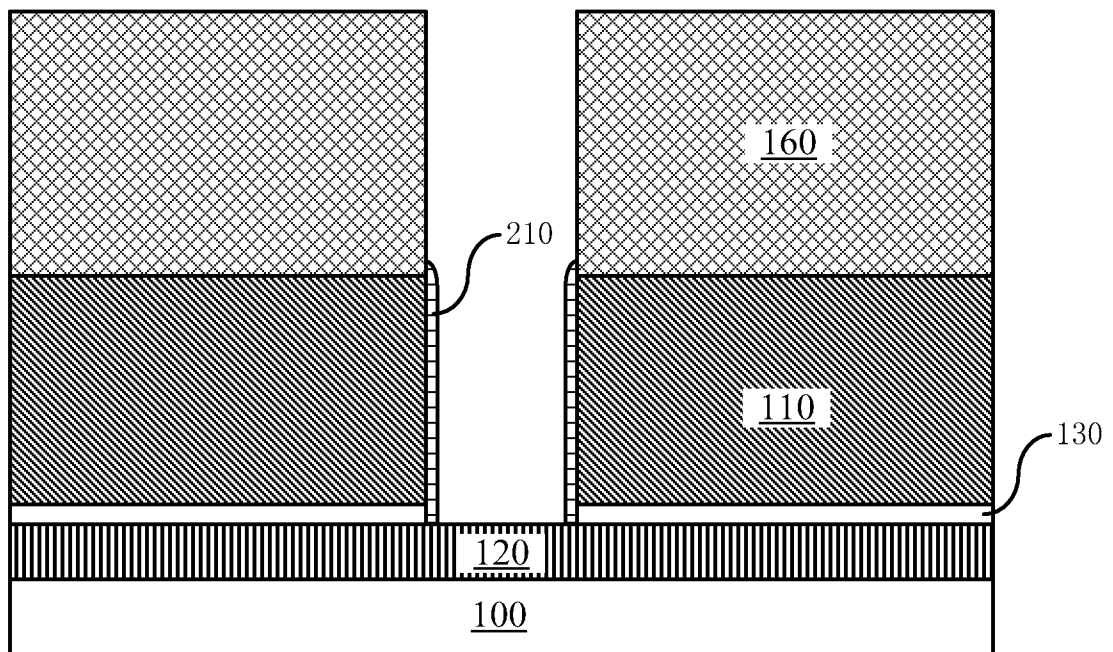


图 13

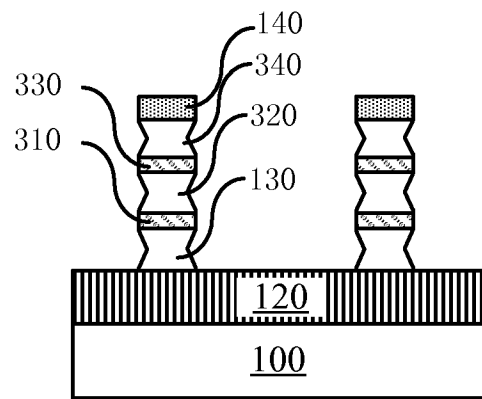


图 14

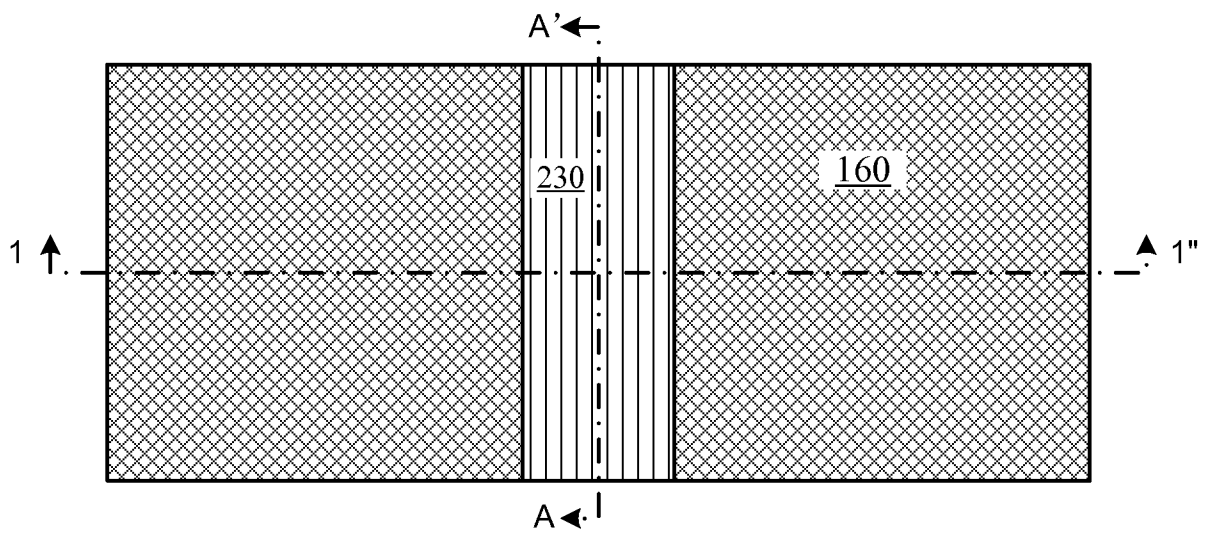


图 15

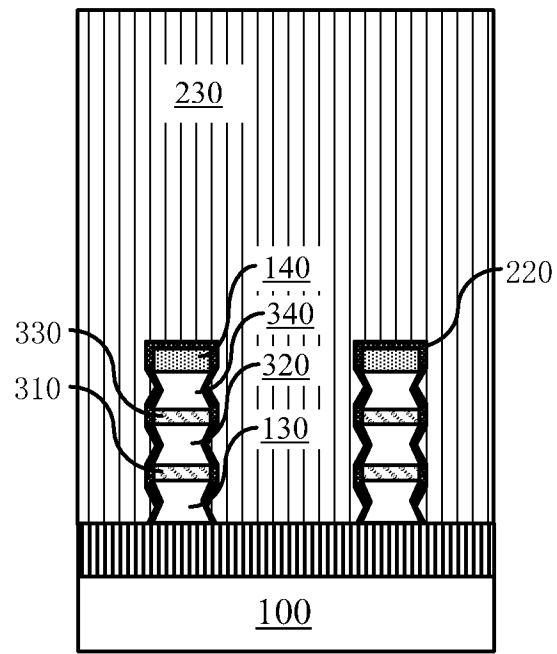


图16

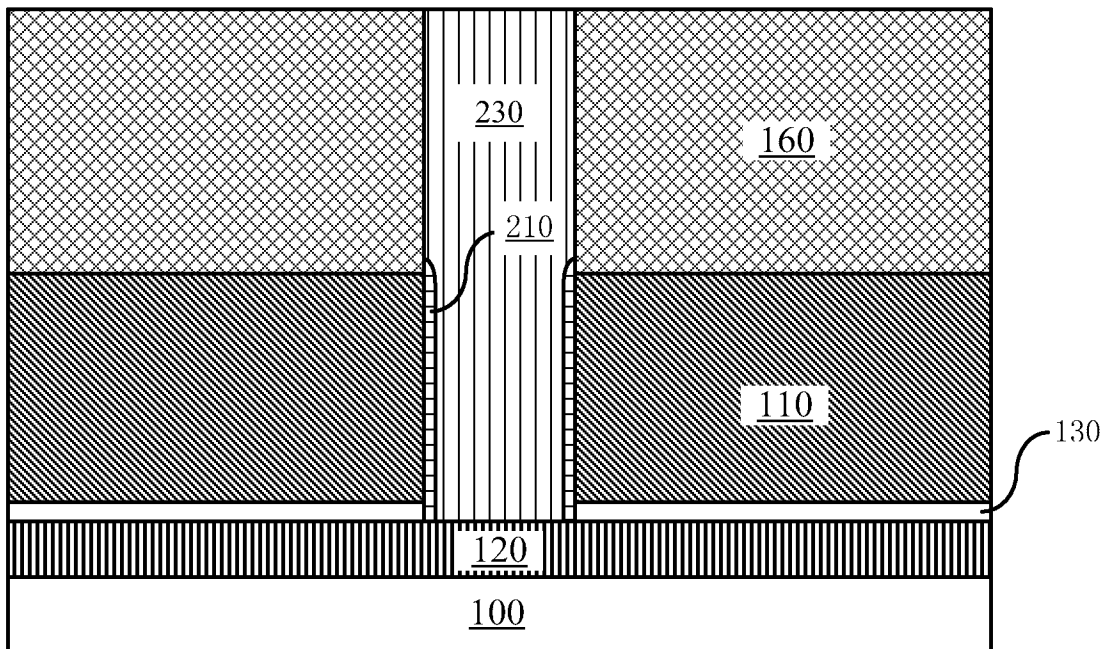


图17

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/085331

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: transistor?, fin?, nano+, SiGe, channel?, institute of microelectronics of chinese academy of sciences, zhu huilong, liang qingqing, yin haizhou, luo zhijiong

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 1893079 A (SAMSUNG ELECTRONICS CO LTD) 10 January 2007 (10.01.2007)	1-6, 10, 14-22
A	description, page 5, line 5 to page 12, the last line but three and figures 1 to 26	7-9, 11-13
Y	US 2004/0227187 A1 (CHENG et al.) 18 November 2004 (18.11.2004)	1-6, 10, 14-22
A	description, paragraphs [0027] to [0048] and figures 1 to 10c	7-9, 11-13
Y	US 7015078 B1 (XIANG et al.) 21 March 2006 (21.03.2006)	14-22
A	description, column 5, line 1 to column 8, the last line and figures 1 to 10	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 July 2013 (08.07.2013)	Date of mailing of the international search report 01 August 2013 (01.08.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YAN, Dong Telephone No. (86-10) 62411789

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/085331

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1893079 A	10.01.2007	US 2006289940 A1	28.12.2006
		JP 2007013156 A	18.01.2007
		KR 20070000681 A	03.01.2007
US 2004/0227187 A1	18.11.2004	WO 2004073044 A2	26.08.2004
		US 2005202604 A1	15.09.2005
		US 7304336 B2	04.12.2007
		US 7390701 B2	24.06.2008
		WO 2004073044 A3	02.12.2004
US 7015078 B1	21.03.2006	None	

国际检索报告

国际申请号

PCT/CN2012/085331

A. 主题的分类

H01L 21/00 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L 21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,WPI,EPODOC,CNKI: 中国科学院微电子研究所, 朱慧珑, 梁擎擎, 尹海洲, 骆志炯, 晶体管, 鳍, 纳米, 硅锗, 翅, 沟道, TRANSISTOR?,FIN?,CHANNEL?, NANO+, SIGE

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 1893079 A (三星电子株式会社) 10.1 月 2007 (10.01.2007)	1-6,10,14-22
A	说明书第 5 页第 5 行到第 12 页倒数第 4 行, 图 1-26	7-9, 11-13
Y	US 2004/0227187 A1 (CHENG 等) 18.11 月 2004 (18.11.2004)	1-6,10,14-22
A	说明书第[0027]-[0048]段,图 1-10C	7-9, 11-13
Y	US 7015078 B1 (XIANG 等) 21.3 月 2006 (21.03.2006)	14-22
A	说明书第 5 栏第 1 行到第 8 栏最后 1 行, 图 1-10	1-13



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

08.7 月 2013(08.07.2013)

国际检索报告邮寄日期

01.8 月 2013 (01.08.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

闫东

电话号码: (86-10) 62411789

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/085331

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 1893079 A	10.01.2007	US 2006289940 A1	28.12.2006
		JP 2007013156 A	18.01.2007
		KR 20070000681 A	03.01.2007
US 2004/0227187 A1	18.11.2004	WO 2004073044 A2	26.08.2004
		US 2005202604 A1	15.09.2005
		US 7304336 B2	04.12.2007
		US 7390701 B2	24.06.2008
		WO 2004073044 A3	02.12.2004
US 7015078 B1	21.03.2006	无	