(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年3 月30 日 (30.03.2006)

PCT

(10) 国際公開番号
WO 2006/033193 A1

(51) 国際特許分類[7]: H03F 1/32

(21) 国際出願番号: PCT/JP2005/011781

(22) 国際出願日: 2005 年6 月28 日 (28.06.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-273764 2004 年9 月21 日 (21.09.2004) JP

(71) 出願人 (米国を除く全ての指定国について): 古野電気株式会社 (FURUNO ELECTRIC CO., LTD.) [JP/JP]; 〒6628580 兵庫県西宮市芦原町９番５２号 Hyogo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 柏 卓夫 (KASHIWA, Takuo) [JP/JP]; 〒6628580 兵庫県西宮市芦原町９番５２号 古野電気株式会社内 Hyogo (JP). 大西 佳文 (OHNISHI, Yoshifumi) [JP/JP]; 〒6628580 兵庫県西宮市芦原町９番５２号 古野電気株式会社内 Hyogo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

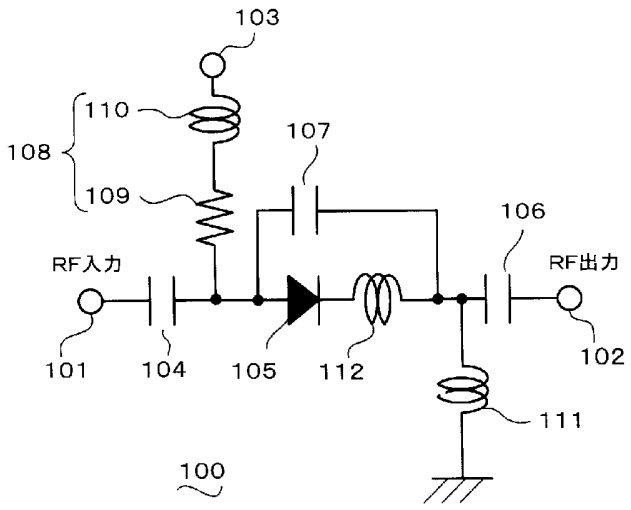
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) **Title:** DISTORTION COMPENSATOR

(54) 発明の名称: 歪補償回路



101... RF INPUT
102... RF OUTPUT

(57) **Abstract:** A distortion compensating circuit capable of compensating for the nonlinearity of an amplifier having such characteristics that the gain is compressed as an input power increases to cause phase lag. An inductor (112) is connected in series with a diode (105) in the distortion compensating circuit (100). Since the resistive component of the diode (105) decreases as the input power increases, impedance effect of the inductor (112) connected in series with the diode (105) appears, and such characteristics that the impedance of the distortion compensating circuit (100) becomes inductive to cause phase lead are attained. Since the resistive component of the diode (105) decreases as the input power increases, loss is reduced and gain increasing characteristics are attained.

(57) 要約: 入力電力の増加に対して、利得が圧縮し位相が遅れる特性を有する増幅器の非線形性を補償することができる歪補償回路を提供する。歪補償回路１００のダイオード１０５にインダクタ１１２を直列に接続する。入力電力の増加と共にダイオード１０５の抵抗成分が低下するため、ダイオード１０５に直列に接続されているインダクタ１１２のインピーダンスの効果が現れ、歪補償回路１００のインピーダンスがインダクティブになり位相が進む特性が得られる。同時に、入力電力の増加と共にダイオード１０５の抵抗成分が低下するため、損失が低減されて、利得が増加する特性が得られる。

WO 2006/033193 A1

明 細 書

歪補償回路

技術分野

[0001] 本発明は、増幅器の前段または後段に接続されて使用される歪補償回路に関するものである。

背景技術

[0002] 無線通信システム等に用いられる増幅器の入出力特性は、利得及び位相が変化しないことが望ましいが、実際、入力電力の増加に伴い、振幅歪及び位相歪が発生する。そこで、図18に示すように、増幅器の非線形性を相殺するような入出力特性を持つ歪補償回路を増幅器の前段又は後段に接続することで、増幅器の線形性を改善している。

[0003] 従来の歪補償回路として特許文献1または非特許文献1に示す技術等がある。一例として、非特許文献1に示す歪補償回路を図20に示す。図20に示すように、歪補償回路200は、入力端子201と出力端子202の間の信号線路に、入力側DC阻止用キャパシタ204、順方向に接続されたダイオード205、出力側DC阻止用キャパシタ206の順に直列に接続されている。また、ダイオード205と並列にキャパシタ207が接続されている。そして、バイアス抵抗208とバイアス短絡用インダクタ209とから構成されるバイアス回路は、入力側DC阻止用キャパシタ204とダイオード205の間の信号線路に一端が接続され、他端がバイアス端子203に接続されている。また、バイアス短絡用インダクタ210は、ダイオード205と出力側DC阻止用キャパシタ206の間の信号線路に一端が接続され、他端が接地されている。

[0004] ここで、歪補償回路200の動作について説明する。無線周波数帯の信号(RF)は、入力端子201に入力され、入力側DC阻止用キャパシタ204を通過して、ダイオード205に入力される。また、ダイオード205には、バイアス端子203からバイアス抵抗208を介してバイアス電圧が加えられる。この時、無線周波数帯の信号波形は、ダイオード205によりクリップされ、直流電流が発生する。この直流電流は、無線周波数帯の入力電力の増加に伴い増加する。そして、直流電流の増加に伴い、無線周波数

帯でのダイオード205の内部抵抗値が減少する。キャパシタ207は、その容量に応じて、入力電力に対する利得特性よりも位相特性を変化させるものである。

[0005] そして、この非特許文献1の歪補償回路200の入出力特性は、以上の作用により、入力電力の増加に対して、利得が増加し、位相が遅れる特性を有する。従って、図19に示すように、入力電力の増加に対して、利得が圧縮し、位相が進む特性を有する増幅器に対して効果があり、非特許文献1の歪補償回路100を適用する増幅器は、GaAsFET(Gallium Arsenide Field－Effect Transistor)を用いた増幅器である。また、特許文献1の歪補償回路の入出力特性も、同様に、入力電力の増加に対して、利得が増加し、位相が遅れる特性を有する。従って、入力電力の増加に対して、利得が圧縮し、位相が進む特性を有する増幅器に対して効果があり、特許文献1の歪補償回路を適用する増幅器は、LDMOSFET(Laterally Diffused Metal Oxide Semicondector Field－Effect Transistor)を用いた増幅器またはプッシュプル増幅器である。

特許文献1:特開2002－368546号公報

非特許文献1:K. Yamauchi, et. al., "A novel series diode linearizer for mobile radio power amplifier,"、Proc. of Int. Microwave Symp.、1996年、p. 831-834

発明の開示

発明が解決しようとする課題

[0006] しかしながら、近年、高周波特性が著しく進歩しているSi LDMOSFETを用いた高出力増幅器は、図21に示すように、入力電力の増加に対して、利得が圧縮し、位相が遅れる特性を有する。即ち、Si LDMOSFETを用いた高出力増幅器は、非特許文献1で適用するGaAsFETを用いた増幅器と、位相に関して逆特性となる。即ち、従来の非特許文献1に示すようなGaAsFETを用いた増幅器に対する歪補償回路では、Si LDMOSFETを用いた高出力増幅器の非線形性を相殺するような入出力特性を持たず、Si LDMOSFETを用いた高出力増幅器の線形性を改善することができない。

[0007] また、Si LDMOSFETを用いた高出力増幅器は、上記の通り、入力電力の増加に対して、最終的には位相が遅れるが、途中で一旦位相が進む特性を有する。特許

文献1に記載の歪補償回路は、一旦位相が進む範囲において適用しており、入力電力がかかる範囲を超えて増加した場合には、Si LDMOSFETを用いた高出力増幅器の非線形性を相殺するような入出力特性を持たず、Si LDMOSFETを用いた高出力増幅器の線形性を改善することができない。

[0008] そこで、本発明は、入力電力の増加に対して、利得が圧縮し、位相が遅れる特性を有する増幅器の非線形性を補償することができる歪補償回路を提供するものである。

課題を解決するための手段

[0009] 第一の発明に係る歪補償回路は、入力端子、入力側DC阻止用キャパシタ、順方向に接続されたダイオード、インダクタ、出力側DC阻止用キャパシタ、出力端子、の順で直列接続された信号線路と、前記入力側DC阻止用キャパシタ及び前記ダイオード間の信号線路に一端が接続され、他端がバイアス端子に接続されたバイアス回路と、前記インダクタ及び前記出力側DC阻止用キャパシタ間の信号線路に一端が接続され、他端が接地されたバイアス短絡用インダクタと、前記ダイオード及び前記インダクタに並列接続されたキャパシタと、を備えることを特徴とする。

[0010] これによると、入力端子と出力端子に直列に接続されたダイオードに対し、インダクタを直列に接続しており、入力電力の増加に伴い、ダイオードの抵抗成分が減少してインダクタのインピーダンスの効果が現れ、歪補償回路のインピーダンスが所望周波数でインダクティブになり、進み位相特性を得られることができる。従って、入力電力の増加に対して位相が進む特性が得られるとともに利得が増加する特性が得られるため、入力電力の増加に対して位相が遅れるとともに利得が減少する特性を有する高出力増幅器を補償することができる。ここで、所望周波数とは、具体的には、歪補償回路を適用する高出力増幅器の動作範囲内である高周波の周波数帯のことを意味する。

[0011] 第二の発明に係る歪補償回路は、入力端子、入力側DC阻止用キャパシタ、順方向に接続されたダイオード、出力側DC阻止用キャパシタ、出力端子、の順で直列接続された信号線路と、前記入力側DC阻止用キャパシタ及び前記ダイオード間の信号線路に一端が接続され、他端がバイアス端子に接続されたバイアス回路と、前記インダクタ及び前記出力側DC阻止用キャパシタ間の信号線路に一端が接続され、他

端が接地されたバイアス短絡用インダクタと、前記ダイオードに並列接続されたキャパシタ及びインダクタからなる直列回路と、を備えることを特徴とする。

[0012] これによると、入力端子と出力端子に直列に接続されたダイオードに並列に接続されるキャパシタに対し、インダクタを直列に接続しており、入力電力の増加に伴い、ダイオードの抵抗成分が減少してインダクタのインピーダンスの効果が現れ、歪補償回路のインピーダンスが所望周波数でインダクティブになり、進み位相特性を得られることができる。従って、入力電力の増加に対して位相が進む特性が得られるとともに、利得が増加する特性が得られるため、入力電力の増加に対して位相が遅れるとともに利得が減少する特性を有する高出力増幅器を補償することができる。

[0013] 第三の発明に係る歪補償回路は、入力端子、入力側DC阻止用キャパシタ、出力側DC阻止用キャパシタ、出力端子、の順で直列接続された信号線路と、前記入力側DC阻止用キャパシタ及び前記出力用DC阻止用キャパシタ間の信号線路に一端が接続され、他端がバイアス端子に接続されたバイアス回路と、前記入力側DC阻止用キャパシタ及び前記出力側DC阻止用キャパシタ間の信号線路に一端が接続され、他端が接地され、順方向に接続されたダイオード及びインダクタからなる直列回路と、前記ダイオード及び前記インダクタに並列接続されたキャパシタと、を備えることを特徴とする。

[0014] これによると、入力端子と出力端子間の信号線路に一端が接続され、他端が接地されたダイオードに対し、インダクタを直列に接続しており、入力電力の増加に伴い、ダイオードの抵抗成分が減少してインダクタのインピーダンスの効果が現れ、歪補償回路のインピーダンスが所望周波数でインダクティブになり、進み位相特性を得られることができる。従って、入力電力の増加に対して位相が進む特性が得られるとともに利得が増加する特性が得られるため、入力電力の増加に対して位相が遅れるとともに利得が減少する特性を有する高出力増幅器を補償することができる。

[0015] 第四の発明に係る歪補償回路は、入力端子、入力側DC阻止用キャパシタ、出力側DC阻止用キャパシタ、出力端子、の順で直列接続された信号線路と、前記入力側DC阻止用キャパシタ及び前記出力用DC阻止用キャパシタ間の信号線路に一端が接続され、他端がバイアス端子に接続されたバイアス回路と、前記入力側DC阻止

用キャパシタ及び前記出力側DC阻止用キャパシタ間の信号線路に一端が接続され、他端が接地され、順方向に接続されたダイオードと、前記ダイオードに並列接続されたキャパシタ及びインダクタからなる直列回路と、を備えることを特徴とする。

[0016] これによると、入力端子と出力端子間の信号線路に一端が接続され、他端が接地されたダイオードに並列に接続されるキャパシタに対し、インダクタを直列に接続しており、入力電力の増加に伴い、ダイオードの抵抗成分が減少してインダクタのインピーダンスの効果が現れ、歪補償回路のインピーダンスが所望周波数でインダクティブになり、進み位相特性を得られることができる。従って、入力電力の増加に対して位相が進む特性が得られるとともに、利得が増加する特性が得られるため、入力電力の増加に対して位相が遅れるとともに利得が減少する特性を有する高出力増幅器を補償することができる。

[0017] ここで、第一～第四の発明に係る歪補償回路では、前記ダイオードの代わりに、ゲートを接地したトランジスタを用いて良い。

[0018] これによると、ダイオードの代わりにゲートを接地したトランジスタを用い、ピンチオフ近くの電圧にバイアスして可変抵抗として動作させることにより、ダイオードと同様の効果が得られる。従って、入力電力の増加に対して位相が進む特性が得られるとともに、利得が増加する特性が得られるため、入力電力の増加に対して位相が遅れるとともに利得が減少する特性を有する高出力増幅器を補償することができる。

[0019] 第五の発明に係る歪補償回路は、入力端子、逆方向に接続されたダイオード、出力端子、の順で直列接続された信号線路と、前記ダイオードに並列接続された抵抗と、前記ダイオードに並列接続されたインダクタと、を備えることを特徴とする。

[0020] これによると、逆方向に接続されたダイオードとインダクタが並列に接続されており、入力電力の増加に伴い、ダイオードの抵抗成分が減少してインダクタのインピーダンスの効果が現れ、歪補償回路のインピーダンスが所望周波数でインダクティブになり、進み位相特性を得られることができる。従って、入力電力の増加に対して位相が進む特性が得られるとともに利得が増加する特性が得られるため、入力電力の増加に対して位相が遅れるとともに利得が減少する特性を有する高出力増幅器を補償することができる。

[0021] ここで、第一～第五の発明に係る歪補償回路は、Si LDMOSFETを用いた高出力増幅器の前段または後段に接続されて良い。

[0022] これによると、Si LDMOSFETを用いた高出力増幅器の前段又は後段に接続しているため、入力電力の増加に対して位相が遅れるとともに利得が減少する特性を有するSi LDMOSFETを用いた高出力増幅器を補償することができる。

[0023] また、第六の発明に係る歪補償回路は、入力端子、順方向に接続されたダイオード、出力端子、の順で直列接続された信号線路と、前記ダイオードに並列接続された抵抗と、前記ダイオードに並列接続されたインダクタと、を備える歪補償回路であって、多段化したSi LDMOSFETを用いた高出力増幅器に接続されることを特徴とする。

[0024] これによると、インダクタと抵抗の値、及び、ダイオードの定数を選ぶことによって、利得を一定に保ったまま位相だけ進み位相にする特性を有する歪補償回路になる。ここで、多段化したSi LDMOSFETを用いた高出力増幅器では、入力電力の増加に対する利得の減少よりも位相の遅れの変化の方が顕著であり、入力電力の増加に対して、利得が増加し位相が進む特性を有する歪補償回路（例えば、第一～第五の発明に係る歪補償回路）や、位相をほぼ一定に保ったまま利得が増加する歪補償回路と組み合わせることで、さらに効率よく線形性を高めることができる。

図面の簡単な説明

[0025] [図1]第一の発明の実施形態に係る歪補償回路を示す回路図である。

[図2]第一の発明の実施形態に係る歪補償回路のシミュレーション結果を示す図である。

[図3]第二の発明の実施形態に係る歪補償回路を示す回路図である。

[図4]第二の発明の実施形態に係る歪補償回路のシミュレーション結果を示す図である。

[図5]第三の発明の実施形態に係る歪補償回路を示す回路図である。

[図6]第三の発明の実施形態に係る歪補償回路のシミュレーション結果を示す図である。

[図7]第四の発明の実施形態に係る歪補償回路を示す回路図である。

[図8]第四の発明の実施形態に係る歪補償回路のシミュレーション結果を示す図である。

[図9]第五の発明の実施形態に係る歪補償回路を示す回路図である。

[図10]第五の発明の実施形態に係る歪補償回路のシミュレーション結果を示す図である。

[図11]第六の発明の実施形態に係る歪補償回路を示す回路図である。

[図12]第六の発明の実施形態に係る歪補償回路のシミュレーション結果を示す図である。

[図13]多段構成Si LDMOSFET高出力増幅器の入力電力に対する利得及び位相の特性を示す図である。

[図14]多段構成Si LDMOSFET高出力増幅器に対して第六の発明の実施形態に係る歪補償回路を接続した一例を示す回路図である。

[図15]図14の回路における入力電力に対する利得及び位相の特性を示す図である。

[図16]トランジスタを用いた第一の発明の実施形態に係る歪補償回路の変形例を示す回路図である。

[図17]アンチパラレルダイオードペアを用いた第一の発明の実施形態に係る歪補償回路の変形例を示す回路図である。

[図18]歪補償回路と高出力増幅器の関係を示す図であり、(a)は歪補償回路と高出力増幅器の接続例を示す回路図であり、(b)は歪補償回路の歪補償特性を示す特性図である。

[図19]GaAsを用いた増幅器の入力電力に対する利得及び位相の特性を示す図である。

[図20]従来の歪補償回路の一例を示す回路図である。

[図21]Si LDMOSFETを用いた高出力増幅器の入力電力に対する利得及び位相の特性を示す図である。

符号の説明

[0026] 100 歪補償回路

101　入力端子

102　出力端子

103　バイアス端子

104　入力側DC阻止用キャパシタ

105　ダイオード

106　出力側DC阻止用キャパシタ

107　キャパシタ

108　バイアス回路

111　バイアス短絡用インダクタ

112　インダクタ

114　トランジスタ

115　アンチパラレルダイオードペア

発明を実施するための最良の形態

[0027]　以下、図面を参照しつつ、第一～第六の発明に係る歪補償回路を実施するための最良の形態について、具体的な一例に即して説明する。尚、以下で説明する第一～第六の発明の実施形態に係る歪補償回路は、Si　LDMOSFETの前段又は後段に接続されることを想定している。

第一の発明の実施形態

[0028]　まず、第一の発明の実施形態に係る歪補償回路を図1に基づいて以下に説明する。図1は、第一の発明実施形態に係る歪補償回路を示す回路図である。

[0029]　図1に示すように、第一の発明の実施形態に係る歪補償回路100は、入力端子101と出力端子102の間の信号線路に、入力側DC阻止用キャパシタ104、順方向に接続されたダイオード105、インダクタ112、出力側DC阻止用キャパシタ106が順に直列に接続されている。また、ダイオード105及びインダクタ112と並列にキャパシタ107が接続されている。そして、バイアス抵抗109とバイアス短絡用インダクタ110とから構成されるバイアス回路108は、入力側DC阻止用キャパシタ104とダイオード105の間の信号線路に一端が接続され、他端がバイアス端子103に接続されている。また、バイアス短絡用インダクタ111は、ダイオード105と出力側DC阻止用キャパシ

タ106の間の信号線路に一端が接続され、他端が接地されている。ここで、ダイオード105は、印加電圧によってインピーダンスが変化するものであれば良い。

[0030] 次に、第一の発明の実施形態に係る歪補償回路100の動作について説明する。無線周波数帯の信号(RF)は、入力端子101に入力され、入力側DC阻止用キャパシタ104を通過して、ダイオード105に入力される。また、ダイオード105には、バイアス端子103からバイアス抵抗109を介してバイアス電圧が加えられる。この歪補償回路100では、入力電力の増加に伴い、無線周波数帯でのダイオード105の抵抗成分(内部抵抗)が減少するため、ダイオード105に直列に接続されているインダクタ112のインピーダンスの効果が現れる。即ち、入力電力の増加に伴い、インダクタ112のインピーダンスの効果により、歪補償回路100のインピーダンスがインダクティブになり、位相が進む特性が得られる。同時に、入力電力の増加に伴い、ダイオード105の抵抗成分が低下するため、損失が低減されて、利得が増加する特性が得られる。

[0031] ここで、ダイオード105と並列に接続されているキャパシタ107は、高周波信号のバイパスコンデンサとしても作用する。即ち、入力電力が低い時の損失を補償する。また、バイアス回路108のバイアス短絡用インダクタ110は、チョークコイルとして作用する。尚、バイアス回路108では、バイアス短絡用インダクタ110の代わりに、バイアス抵抗109とバイアス端子103の間の信号線路に一端が接続され、他端が接地されるRF短絡用のキャパシタを用いても良い。バイアス短絡用インダクタ111は、チョークコイルとして作用するとともに、ダイオード105を通じて流れた直流成分を接地側に流し、ダイオード105のDCリターン機能を有するものである。バイアス端子103に接続されるバイアス電源は、ダイオード105の利得及び位相変化の入力閾値レベルの調整に用いられる。

[0032] 以上に説明した第一の実施形態に係る歪補償回路100において、周波数2GHzにおいてシミュレーションをおこなった結果を図2に示す。シミュレーションでは、ダイオード105の0V印加時の接合容量の値を0.5pF、インダクタ112の値を5.5nH、キャパシタ107の値を0.4pFとして行った。図2に示すように、歪補償回路100は、入力電力の増加に伴い、利得が増加し、位相が進む特性を有していることがわかる。

[0033] このように、第一の発明の実施形態に係る歪補償回路100によると、入力端子101

と出力端子102に直列に接続されたダイオード105に対し、インダクタ112を直列に接続しており、入力電力の増加に伴い、ダイオード105の抵抗成分が減少してインダクタ112のインピーダンスの効果が現れ、歪補償回路100のインピーダンスが所望周波数でインダクティブになり、進み位相特性を得られることができる。この結果、入力電力の増加に対して位相が進む特性が得られるとともに利得が増加する特性が得られるため、入力電力の増加に対して位相が遅れるとともに利得が減少する特性を有するSi LDMOSFETを用いた高出力増幅器を補償することができる。

第二の発明の実施形態

[0034] 次に、第二の実施形態に係る歪補償回路を図2に基づいて以下に説明する。図2は、第二の発明実施形態に係る歪補償回路を示す回路図である。

[0035] 図2に示すように、第二の実施形態に係る歪補償回路100は、入力端子101と出力端子102の間の信号線路に、入力側DC阻止用キャパシタ104、順方向に接続されたダイオード105、出力側DC阻止用キャパシタ106が順に直列に接続されている。また、ダイオード105と並列に、直列に接続されたキャパシタ107及びインダクタ112が接続されている。そして、バイアス抵抗109とバイアス短絡用インダクタ110とから構成されるバイアス回路108は、入力側DC阻止用キャパシタ104とダイオード105の間の信号線路に一端が接続され、他端がバイアス端子103に接続されている。また、バイアス短絡用インダクタ111は、ダイオード105と出力側DC阻止用キャパシタ106の間の信号線路に一端が接続され、他端が接地されている。ここで、ダイオード105は、印加電圧によってインピーダンスが変化するものであれば良い。

[0036] 次に、第二の実施形態に係る歪補償回路100の動作について説明する。無線周波数帯の信号(RF)は、入力端子101に入力され、入力側DC阻止用キャパシタ104を通過して、ダイオード105に入力される。また、ダイオード105には、バイアス端子103からバイアス抵抗109を介してバイアス電圧が加えられる。この歪補償回路100では、入力電力の増加に伴い、無線周波数帯でのダイオード105の抵抗成分(内部抵抗)が減少するため、ダイオード105に並列に接続されているキャパシタ107及びインダクタ112に直流電流がバイパスされる。従って、ダイオード105に並列に接続されているインダクタ112のインピーダンスの効果が現れる。即ち、入力電力の増加に

伴い、インダクタ112のインピーダンスの効果により、歪補償回路100のインピーダンスがインダクティブになり、位相が進む特性が得られる。同時に、入力電力の増加に伴い、ダイオード105の抵抗成分が低下するため、損失が低減されて、利得が増加する特性が得られる。

[0037] ここで、ダイオード105と並列に接続されているキャパシタ107は、高周波信号のバイパスコンデンサとしても作用する。即ち、入力電力が低い時の損失を補償する。また、バイアス回路108のバイアス短絡用インダクタ110は、チョークコイルとして作用する。尚、バイアス回路108では、バイアス短絡用インダクタ110の代わりに、バイアス抵抗109とバイアス端子103の間の信号線路に一端が接続され、他端が接地されるRF短絡用のキャパシタを用いても良い。バイアス短絡用インダクタ111は、チョークコイルとして作用するとともに、ダイオード105を通じて流れた直流成分を接地側に流し、ダイオード105のDCリターン機能を有するものである。バイアス端子103に接続されるバイアス電源は、ダイオード105の利得及び位相変化の入力閾値レベルの調整に用いられる。

[0038] 以上に説明した第二の実施形態に係る歪補償回路100において、周波数2GHzにおいてシミュレーションをおこなった結果を図4に示す。シミュレーションでは、ダイオード105の0V印加時の接合容量の値を0．5pF、インダクタ112の値を5．5nH、キャパシタ107の値を0．4pFとして行った。図4に示すように、歪補償回路100は、入力電力の増加に伴い、利得が増加し、位相が進む特性を有していることがわかる。

[0039] このように、第二の発明の実施形態に係る歪補償回路100によると、入力端子101と出力端子102に直列に接続されたダイオード105に並列に接続されるキャパシタ107に対し、インダクタ112を直列に接続しており、入力電力の増加に伴い、ダイオード105の抵抗成分が減少してインダクタ112のインピーダンスの効果が現れ、歪補償回路100のインピーダンスが所望周波数でインダクティブになり、進み位相特性を得られることができる。この結果、入力電力の増加に対して位相が進む特性が得られるとともに、利得が増加する特性が得られるため、入力電力の増加に対して位相が遅れるとともに利得が減少する特性を有するSi LDMOSFET高出力増幅器を補償することができる。

第三の発明の実施形態

[0040] 次に、第三の発明の実施形態に係る歪補償回路を図5に基づいて以下に説明する。図5は、第三の発明実施形態に係る歪補償回路を示す回路図である。

[0041] 図5に示すように、第三の発明の実施形態に係る歪補償回路100は、入力端子101と出力端子102の間の信号線路に、入力側DC阻止用キャパシタ104、出力側DC阻止用キャパシタ106が順に直列に接続されている。順方向に接続されたダイオード105とインダクタ112からなる直列回路は、入力側DC阻止用キャパシタ104と出力側DC阻止用キャパシタ106の間の信号線路に一端が接続され、他端が接地されている。また、ダイオード105及びインダクタ112と並列にキャパシタ107が接続されている。そして、バイアス抵抗109とバイアス短絡用インダクタ110とから構成されるバイアス回路108は、入力側DC阻止用キャパシタ104と出力側DC阻止用キャパシタ106の間の信号線路に一端が接続され、他端がバイアス端子103に接続されている。ここで、ダイオード105は、印加電圧によってインピーダンスが変化するものであれば良い。

[0042] 次に、第三の発明の実施形態に係る歪補償回路100の動作について説明する。無線周波数帯の信号(RF)は、入力端子101に入力され、入力側DC阻止用キャパシタ104を通過して、ダイオード105に入力される。また、ダイオード105には、バイアス端子103からバイアス抵抗109を介してバイアス電圧が加えられる。この歪補償回路100では、入力電力の増加に伴い、無線周波数帯でのダイオード105の抵抗成分(内部抵抗)が減少するため、ダイオード105に直列に接続されているインダクタ112のインピーダンスの効果が現れる。即ち、入力電力の増加に伴い、インダクタ112のインピーダンスの効果により、歪補償回路100のインピーダンスがインダクティブになり、位相が進む特性が得られる。同時に、入力電力の増加に伴い、ダイオード105の抵抗成分が低下するため、損失が低減されて、利得が増加する特性が得られる。尚、ダイオード105はその一端が接地されているため、ダイオード105を通じて流れた直流成分は接地側に流れ、ダイオード105のDCリターン機能を有する。

[0043] ここで、ダイオード105と並列に接続されているキャパシタ107は、高周波信号のバイパスコンデンサとしても作用する。即ち、入力電力が低い時の損失を補償する。ま

た、バイアス回路108のバイアス短絡用インダクタ110は、チョークコイルとして作用する。尚、バイアス回路108では、バイアス短絡用インダクタ110の代わりに、バイアス抵抗109とバイアス端子103の間の信号線路に一端が接続され、他端が接地されるRF短絡用のキャパシタを用いても良い。バイアス端子103に接続されるバイアス電源は、ダイオード105の利得及び位相変化の入力閾値レベルの調整に用いられる。

[0044] 以上に説明した第三の実施形態に係る歪補償回路100において、周波数2GHzにおいてシミュレーションをおこなった結果を図6に示す。シミュレーションでは、ダイオード105の0V印加時の接合容量の値を0．5pF、インダクタ112の値を5．5nH、キャパシタ107の値を0．4pFとして行った。図6に示すように、歪補償回路100は、入力電力の増加に伴い、利得が増加し、位相が進む特性を有していることがわかる。

[0045] このように、第三の発明の実施形態に係る歪補償回路100によると、入力端子101と出力端子間102の信号線路に一端が接続され、他端が接地されたダイオード105に対し、インダクタ112を直列に接続しており、入力電力の増加に伴い、ダイオード105の抵抗成分が減少してインダクタ112のインピーダンスの効果が現れ、歪補償回路100のインピーダンスが所望周波数でインダクティブになり、進み位相特性を得られることができる。その結果、入力電力の増加に対して位相が進む特性が得られるとともに利得が増加する特性が得られるため、入力電力の増加に対して位相が遅れるとともに利得が減少する特性を有するSi LDMOSFETを補償することができる。

第四の発明の実施形態

[0046] 次に、第四の発明の実施形態に係る歪補償回路を図7に基づいて以下に説明する。図7は、第四の発明実施形態に係る歪補償回路を示す回路図である。

[0047] 図7に示すように、第四の発明の実施形態に係る歪補償回路100は、入力端子101と出力端子102の間の信号線路に、入力側DC阻止用キャパシタ104、出力側DC阻止用キャパシタ106が順に直列に接続されている。順方向に接続されたダイオード105は、入力側DC阻止用キャパシタ104と出力側DC阻止用キャパシタ106の間の信号線路に一端が接続され、他端が接地されている。また、ダイオード105と並列に、直列に接続されたキャパシタ107及びインダクタ112が接続されている。そして、バイアス抵抗109とバイアス短絡用インダクタ110とから構成されるバイアス回路108

は、入力側DC阻止用キャパシタ104と出力側DC阻止用キャパシタ106の間の信号線路に一端が接続され、他端がバイアス端子103に接続されている。ここで、ダイオード105は、印加電圧によってインピーダンスが変化するものであれば良い。

[0048] 次に、第四の発明の実施形態に係る歪補償回路100の動作について説明する。無線周波数帯の信号(RF)は、入力端子101に入力され、入力側DC阻止用キャパシタ104を通過して、ダイオード105に入力される。また、ダイオード105には、バイアス端子103からバイアス抵抗109を介してバイアス電圧が加えられる。この歪補償回路100では、入力電力の増加に伴い、無線周波数帯でのダイオード105の抵抗成分(内部抵抗)が減少するため、ダイオード105に並列に接続されているキャパシタ107及びインダクタ112に直流電流がバイパスされる。従って、ダイオード105に並列に接続されているインダクタ112のインピーダンスの効果が現れる。即ち、入力電力の増加に伴い、インダクタ112のインピーダンスの効果により、歪補償回路100のインピーダンスがインダクティブになり、位相が進む特性が得られる。同時に、入力電力の増加に伴い、ダイオード105の抵抗成分が低下するため、損失が低減されて、利得が増加する特性が得られる。尚、ダイオード105はその一端が接地されているため、ダイオード105を通じて流れた直流成分は接地側に流れ、ダイオード105のDCリターン機能を有する。

[0049] ここで、ダイオード105と並列に接続されているキャパシタ107は、高周波信号のバイパスコンデンサとしても作用する。即ち、入力電力が低い時の損失を補償する。また、バイアス回路108のバイアス短絡用インダクタ110は、チョークコイルとして作用する。尚、バイアス回路108では、バイアス短絡用インダクタ110の代わりに、バイアス抵抗109とバイアス端子103の間の信号線路に一端が接続され、他端が接地されるRF短絡用のキャパシタを用いても良い。バイアス端子103に接続されるバイアス電源は、ダイオード105の利得及び位相変化の入力閾値レベルの調整に用いられる。

[0050] 以上に説明した第四の実施形態に係る歪補償回路100において、周波数2GHzにおいてシミュレーションをおこなった結果を図8に示す。シミュレーションでは、ダイオード105の0V印加時の接合容量の値を0.5pF、インダクタ112の値を5.5nH、キャパシタ107の値を0.4pFとして行った。図8に示すように、歪補償回路100は、

入力電力の増加に伴い、利得が増加し、位相が進む特性を有していることがわかる。

[0051] このように、第四の発明の実施形態に係る歪補償回路100によると、入力端子101と出力端子間102の信号線路に一端が接続され、他端が接地されたダイオード105に並列に接続されるキャパシタ107に対し、インダクタ112を直列に接続しており、入力電力の増加に伴い、ダイオード105の抵抗成分が減少してインダクタ112のインピーダンスの効果が現れ、歪補償回路100のインピーダンスが所望周波数でインダクティブになり、進み位相特性を得られることができる。この結果、入力電力の増加に対して位相が進む特3d性が得られるとともに、利得が増加する特性が得られるため、入力電力の増加に対して位相が遅れるとともに利得が減少する特性を有するSi LDMOSFET高出力増幅器を補償することができる。

第五の発明の実施形態

[0052] 次に、第五の発明の実施形態に係る歪補償回路を図9に基づいて以下に説明する。図9は、第五の発明実施形態に係る歪補償回路を示す回路図である。

[0053] 図9に示すように、第五の発明の実施形態に係る歪補償回路100は、入力端子101と出力端子102の間の信号線路に、ダイオード105が逆方向に直列に接続されている。また、ダイオード105と並列に、インダクタ112が接続されている。更に、ダイオード105と並列に、抵抗113が接続されている。ここで、ダイオード105は、印加電圧によってインピーダンスが変化するものであれば良い。

[0054] 次に、第五の発明の実施形態に係る歪補償回路100の動作について説明する。無線周波数帯の信号(RF)は、入力端子101に入力され、ダイオード105に入力される。この歪補償回路100では、入力電力の増加に伴い、無線周波数帯でのダイオード105の抵抗成分(内部抵抗)が減少するため、ダイオード105に並列に接続されているインダクタ112とダイオード105に並列に接続されている抵抗113に直流電流がバイパスされる。従って、ダイオード105に並列に接続されているインダクタ112のインピーダンスの効果が現れる。即ち、入力電力の増加に伴い、インダクタ112のインピーダンスの効果により、歪補償回路100のインピーダンスがインダクティブになり、位相が進む特性が得られる。同時に、入力電力の増加に伴い、ダイオード105の抵抗成分が低下するため、損失が低減されて、利得が増加する特性が得られる。

[0055] 以上に説明した第五の実施形態に係る歪補償回路100において、周波数1．64GHzにおいてシミュレーションをおこなった結果を図10に示す。シミュレーションでは、ダイオード105の0V印加時の接合容量の値を0．5pF、インダクタ112の値を4．7nH、抵抗113の値を50Ohmとして行った。図10に示すように、歪補償回路100は、入力電力の増加に伴い、利得が増加し、位相が進む特性を有していることがわかる。

[0056] このように、第五の発明の実施形態に係る歪補償回路100によると、逆方向に接続されたダイオード105とインダクタ112が並列に接続されており、入力電力の増加に伴い、ダイオード105の抵抗成分が減少してインダクタ112のインピーダンスの効果が現れ、歪補償回路100のインピーダンスが所望周波数でインダクティブになり、進み位相特性を得られることができる。この結果、入力電力の増加に対して位相が進む特性が得られるとともに利得が増加する特性が得られるため、入力電力の増加に対して位相が遅れるとともに利得が減少する特性を有するSi LDMOSFET高出力増幅器を補償することができる。

第六の発明の実施形態

[0057] 次に、第六の発明の実施形態に係る歪補償回路を図11に基づいて以下に説明する。図11は、第五の発明実施形態に係る歪補償回路を示す回路図である。

[0058] 図11に示すように、第六の発明の実施形態に係る歪補償回路100は、入力端子101と出力端子102の間の信号線路に、ダイオード105が順方向に直列に接続されている。また、ダイオード105と並列に、インダクタ112が接続されている。更に、ダイオード105と並列に、抵抗113が接続されている。ここで、ダイオード105は、印加電圧によってインピーダンスが変化するものであれば良い。

[0059] 次に、第六の発明の実施形態に係る歪補償回路100の動作について説明する。無線周波数帯の信号（RF）は、入力端子101に入力され、ダイオード105に入力される。この歪補償回路100では、入力電力の増加に伴い、無線周波数帯でのダイオード105の抵抗成分（内部抵抗）が減少するため、ダイオード105に並列に接続されているインダクタ112とダイオード105に並列に接続されている抵抗113に直流電流がバイパスされる。従って、ダイオード105に並列に接続されているインダクタ112のインピーダンスの効果が現れる。即ち、入力電力の増加に伴い、インダクタ112のイ

ンピーダンスの効果により、歪補償回路100のインピーダンスがインダクティブになり、位相が進む特性が得られる。同時に、入力電力の増加に伴い、ダイオード105の抵抗成分が低下するが、インダクタ112と抵抗113の値、及び、ダイオード105の定数を選択することにより、利得がほぼ一定の特性が得られる。

[0060] 以上に説明した第六の発明の実施形態に係る歪補償回路100において、周波数1．64GHzにおいてシミュレーションをおこなった結果を図12に示す。シミュレーションでは、ダイオード105の0V印加時の接合容量の値を0．7pF、インダクタ112の値を3．6nH、抵抗113の値を82Ohmとして行った。図12に示すように、歪補償回路100は、入力電力の増加に伴い、利得をほぼ一定に保ったまま、位相が進む特性を有していることがわかる。

[0061] ここで、多段構成Si LDMOSFET高出力増幅器の利得特性及び位相特性は、図13に示すように、入力電力の増加に対する利得の減少よりも位相の遅れの方が変化が顕著であることがわかる。従って、図14に示すように、4つのSi LDMOSFET高出力増幅器121、122、123、124で構成された多段構成Si LDMOSFET高出力増幅器120において、利得が増加し位相が進む特性を有する歪補償回路130を高出力増幅器121の前段に接続し、第五の発明の実施形態に係る歪補償回路100をアイソレータ125と高出力増幅器122との間に接続している。ここで、利得が増加し位相が進む特性を有する歪補償回路200は、図14に示すように、順方向に接続されたダイオード131（0．5pF）と、ダイオード131に並列に接続されたインダクタ132（5．6nH）と、ダイオード131に並列に接続された抵抗133（100Ohm）から構成されている。そして、図14の回路の位相及び利得の特性を示す図である図15に示すように、多段構成Si LDMOSFET高出力増幅器120の歪が改善される。

[0062] このように、第六の発明の実施形態に係る歪補償回路100によると、インダクタ112と抵抗113の値、及び、ダイオード105の定数を選ぶことによって、利得を一定に保ったまま位相だけ進み位相にする特性を有する歪補償回路になる。ここで、多段化したSi LDMOSFETを用いた高出力増幅器では、入力電力の増加に対する利得の減少よりも位相の遅れの変化の方が顕著であり、入力電力の増加に対して、利得が増加し位相が進む特性を有する歪補償回路（例えば、第一～第五の発明の実施形

態に係る歪補償回路）や、位相をほぼ一定に保ったまま利得が増加する歪補償回路と組み合わせることで、さらに効率よく線形性を高めることができる。

[0063] 以上、本発明は、上記の好ましい実施形態に記載されているが、本発明はそれだけに制限されない。本発明の精神と範囲から逸脱することのない様々な実施形態が他になされる。さらに、本実施形態において、本発明の構成による作用および効果を述べているが、これら作用および効果は、一例であり、本発明を限定するものではない。また、具体例は、本発明の構成を例示したものであり、本発明を限定するものではない。

[0064] 例えば、上述した第一～第四の発明の実施形態に係る歪補償回路100は、Si LDMOSFETを用いた高出力増幅器に対して適用しているが、それに限らない。第一～第四の発明の実施形態に係る歪補償回路100は、入力電力の増加に対して、利得が圧縮し、位相が遅れる特性を有する増幅器に対して適用することができる。

[0065] また、上述した第一～第四の発明の実施形態に係る歪補償回路100におけるバイアス回路108は、バイアス抵抗109と、バイアス短絡用インダクタ110と、により構成されているが、それに限らない。例えば、バイアス回路108を、バイアス端子103に接続したバイアス抵抗109と、バイアス端子103とバイアス抵抗109の間の信号線路に一端を接続し、他端を接地したバイアス短絡用キャパシタと、により構成しても良い。

[0066] また、上述した第一～第四の発明の実施形態に係る歪補償回路100におけるダイオード105の代わりに、ゲート接地のトランジスタを用いて良い。ダイオード105の代わりに、ゲート接地のトランジスタ114を用いた第一の発明の実施形態に係る歪補償回路100の変形例を図16に示す。図16に示すように、トランジスタ114は、バイアス回路108により、バイアス端子103からバイアス抵抗109を介してバイアス電圧が加えられる。バイアス電圧は、トランジスタ114のピンチオフ近くに調整され、可変抵抗として動作させることでダイオード105と同様の効果が得られる。

[0067] 更に、上述した第一～第四の発明の実施形態に係る歪補償回路100におけるダイオード105の代わりに、アンチパラレルダイオードペアダイオードを用いて良い。ダイオード105の代わりに、アンチパラレルダイオードペア115を用いた第一の発明の実施形態に係る歪補償回路100の変形例を図17に示す。図17に示すように、スイッチ

ング回路として動作するアンチパラレルダイオードペア115は、バイアス回路108により、バイアス端子103からバイアス抵抗109を介してバイアス電圧が加えられる。バイアス端子103に接続されるバイアス電源は、ダイオード105の利得及び位相変化の入力閾値レベルの調整に用いられる。この歪補償回路100では、入力電力の増加に伴い、無線周波数帯でのアンチパラレルダイオードペア115を構成するダイオードの抵抗成分(内部抵抗)が減少するため、アンチパラレルダイオードペア115に直列に接続されているインダクタ112のインピーダンスの効果が現れる。即ち、入力電力の増加に伴い、インダクタ112のインピーダンスの効果により、歪補償回路100のインピーダンスがインダクティブになり、位相が進む特性が得られる。同時に、入力電力の増加に伴い、アンチパラレルダイオードペア115を構成するダイオードの抵抗成分が低下するため、損失が低減されて、利得が増加する特性が得られる。更に、歪補償回路100から発生する2倍波成分が低減され、第3次混変調歪に対して補償することができる。

産業上の利用可能性

[0068] 本発明は、増幅器の前段または後段に接続されて使用される歪補償回路に関する利用可能である。

請求の範囲

[1] 入力端子、入力側DC阻止用キャパシタ、順方向に接続されたダイオード、インダクタ、出力側DC阻止用キャパシタ、出力端子、の順で直列接続された信号線路と、

前記入力側DC阻止用キャパシタ及び前記ダイオード間の信号線路に一端が接続され、他端がバイアス端子に接続されたバイアス回路と、

前記インダクタ及び前記出力側DC阻止用キャパシタ間の信号線路に一端が接続され、他端が接地されたバイアス短絡用インダクタと、

前記ダイオード及び前記インダクタに並列接続されたキャパシタと、

を備えることを特徴とする歪補償回路。

[2] 入力端子、入力側DC阻止用キャパシタ、順方向に接続されたダイオード、出力側DC阻止用キャパシタ、出力端子、の順で直列接続された信号線路と、

前記入力側DC阻止用キャパシタ及び前記ダイオード間の信号線路に一端が接続され、他端がバイアス端子に接続されたバイアス回路と、

前記インダクタ及び前記出力側DC阻止用キャパシタ間の信号線路に一端が接続され、他端が接地されたバイアス短絡用インダクタと、

前記ダイオードに並列接続されたキャパシタ及びインダクタからなる直列回路と、

を備えることを特徴とする歪補償回路。

[3] 入力端子、入力側DC阻止用キャパシタ、出力側DC阻止用キャパシタ、出力端子、の順で直列接続された信号線路と、

前記入力側DC阻止用キャパシタ及び前記出力用DC阻止用キャパシタ間の信号線路に一端が接続され、他端がバイアス端子に接続されたバイアス回路と、

前記入力側DC阻止用キャパシタ及び前記出力側DC阻止用キャパシタ間の信号線路に一端が接続され、他端が接地され、順方向に接続されたダイオード及びインダクタからなる直列回路と、

前記ダイオード及び前記インダクタに並列接続されたキャパシタと、

を備えることを特徴とする歪補償回路。

[4] 入力端子、入力側DC阻止用キャパシタ、出力側DC阻止用キャパシタ、出力端子、の順で直列接続された信号線路と、

前記入力側DC阻止用キャパシタ及び前記出力用DC阻止用キャパシタ間の信号線路に一端が接続され、他端がバイアス端子に接続されたバイアス回路と、

前記入力側DC阻止用キャパシタ及び前記出力側DC阻止用キャパシタ間の信号線路に一端が接続され、他端が接地され、順方向に接続されたダイオードと、

前記ダイオードに並列接続されたキャパシタ及びインダクタからなる直列回路と、

を備えることを特徴とする歪補償回路。

[5] 前記ダイオードの代わりに、ゲートを接地したトランジスタを用いることを特徴とする請求項1～4のいずれか一項に記載の歪補償回路。

[6] 入力端子、逆方向に接続されたダイオード、出力端子、の順で直列接続された信号線路と、

前記ダイオードに並列接続された抵抗と、

前記ダイオードに並列接続されたインダクタと、

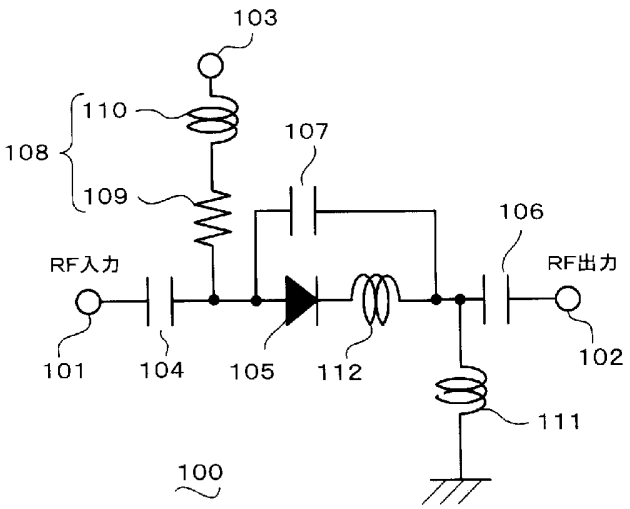
を備えることを特徴とする歪補償回路。

[7] Si LDMOSFETを用いた高出力増幅器の前段または後段に接続されることを特徴とする請求項1～6のいずれか一項に記載の歪補償回路。

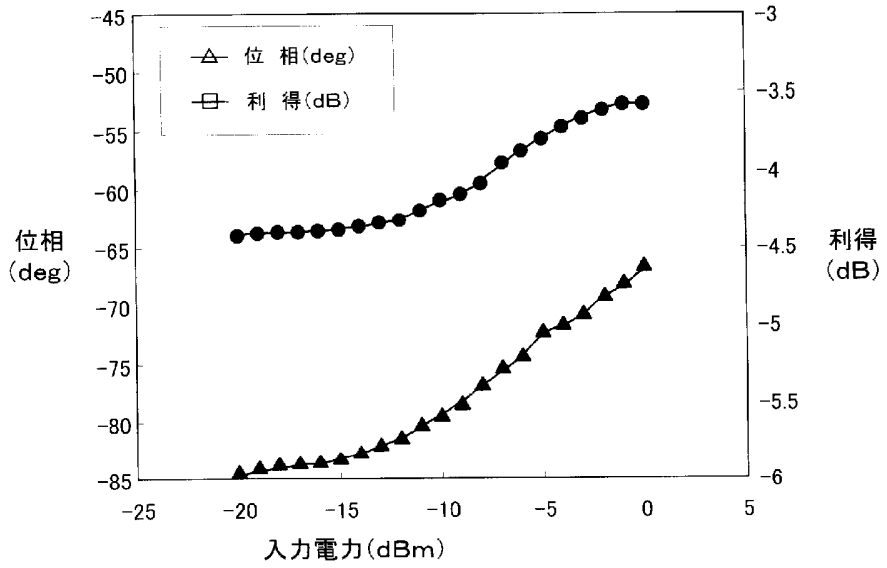
[8] 入力端子、順方向に接続されたダイオード、出力端子、の順で直列接続された信号線路と、前記ダイオードに並列接続された抵抗と、前記ダイオードに並列接続されたインダクタと、を備える歪補償回路であって、

多段化したSi LDMOSFETを用いた高出力増幅器に接続されることを特徴とする歪補償回路。

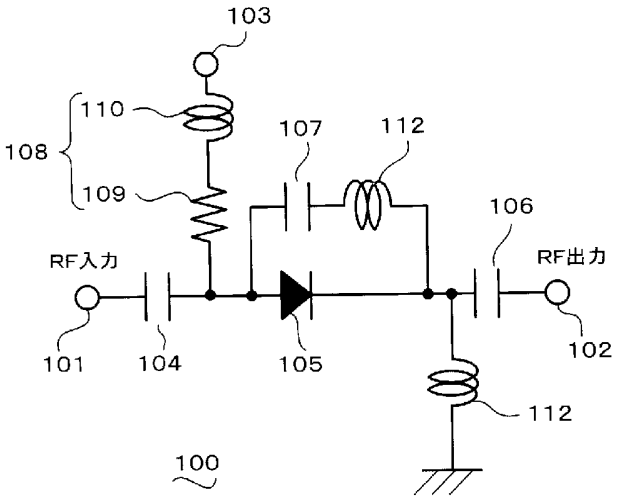
[図1]


103
110
108
109
107
106
RF入力
RF出力
101
104
105
112
102
111
100

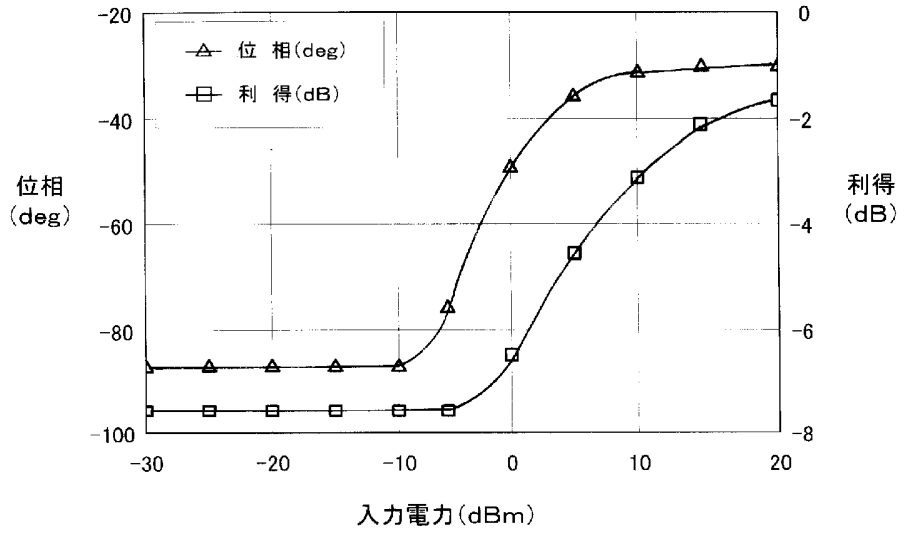
[図2]


位 相(deg)
利 得(dB)
位相
(deg)
利得
(dB)
-45
-50
-55
-60
-65
-70
-75
-80
-85
-3
-3.5
-4
-4.5
-5
-5.5
-6
-25
-20
-15
-10
-5
0
5
入力電力(dBm)

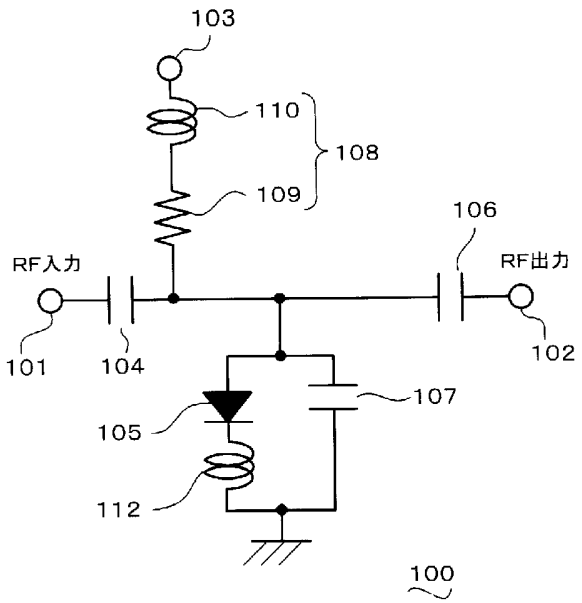
[図3]


103
110
108
109
107
112
106
RF入力
RF出力
101
104
105
102
112
100

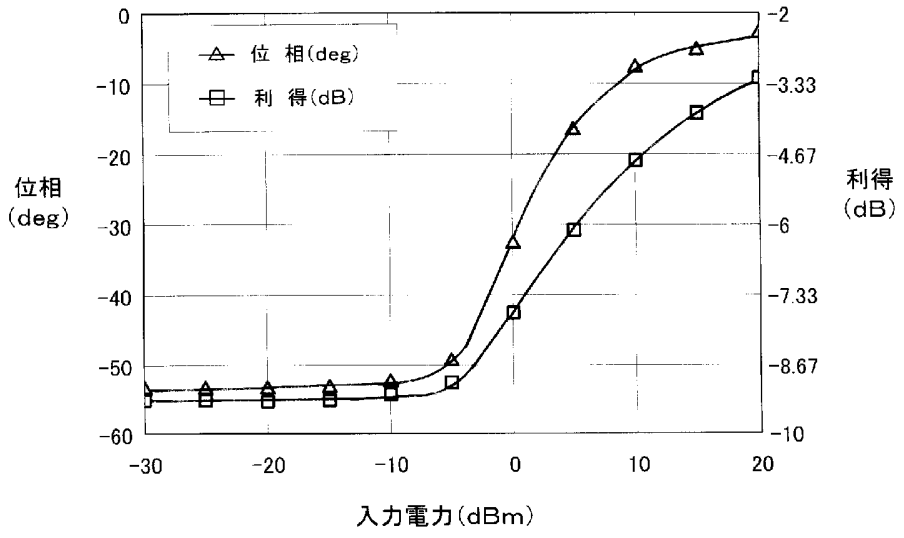
[図4]


位 相(deg)
利 得(dB)
位相
(deg)
利得
(dB)
-20
-40
-60
-80
-100
0
-2
-4
-6
-8
-30
-20
-10
0
10
20
入力電力(dBm)

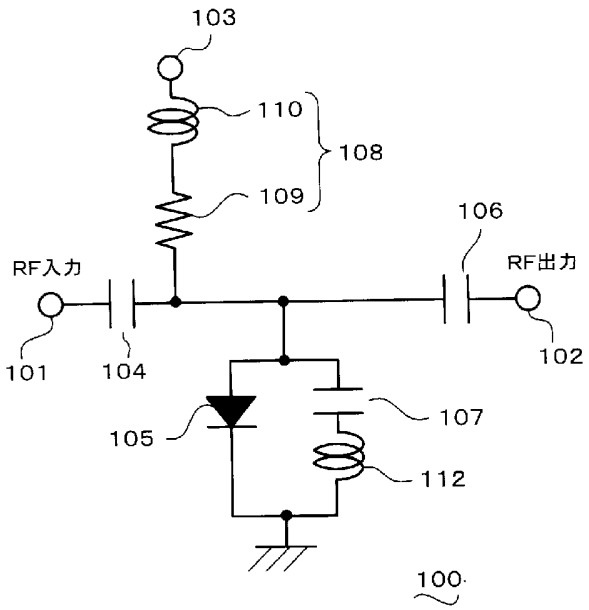
[図5]


103
110
108
109
106
RF入力
RF出力
101
104
102
107
105
112
100

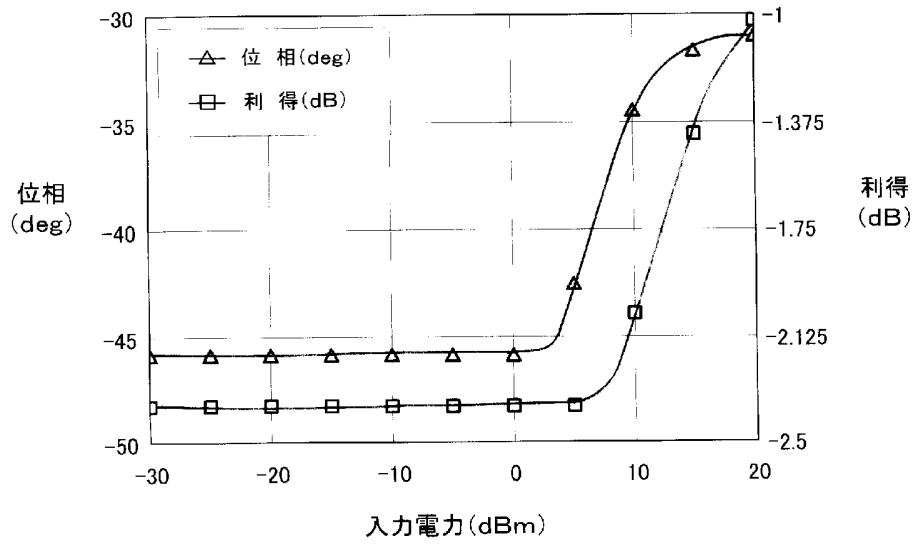
[図6]


位 相(deg)
利 得(dB)
位相
(deg)
利得
(dB)
0
-10
-20
-30
-40
-50
-60
-2
-3.33
-4.67
-6
-7.33
-8.67
-10
-30
-20
-10
0
10
20
入力電力(dBm)

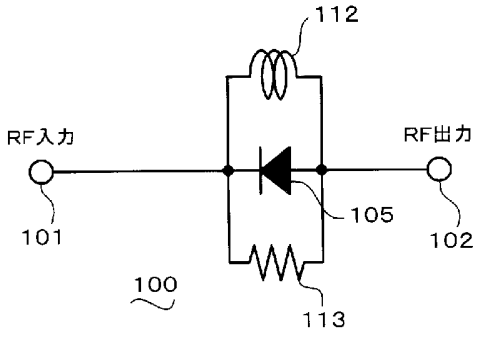
[図7]


103
110
108
109
106
RF入力
RF出力
101
104
102
105
107
112
100

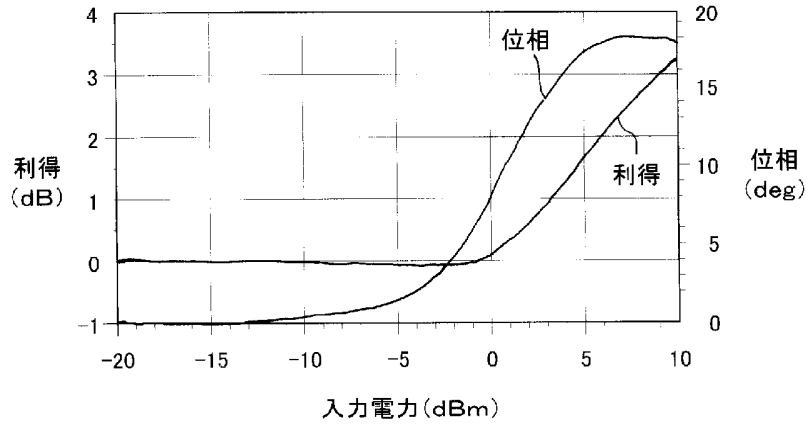
[図8]


位 相(deg)
利 得(dB)
位相
(deg)
利得
(dB)
-30
-35
-40
-45
-50
-1
-1.375
-1.75
-2.125
-2.5
-30
-20
-10
0
10
20
入力電力(dBm)

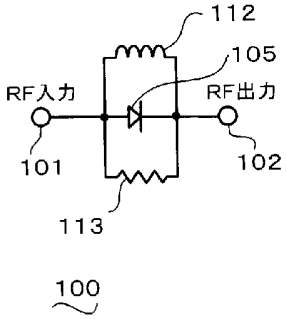
[図9]


112
RF入力
RF出力
105
101
102
100
113

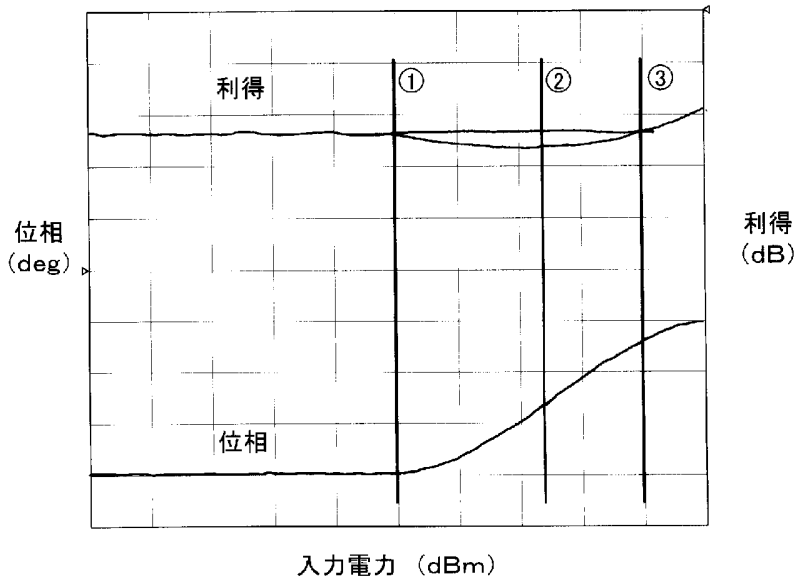
[図10]


4
3
2
1
0
−1
20
15
10
5
0
位相
利得
利得
(dB)
位相
(deg)
−20
−15
−10
−5
0
5
10
入力電力(dBm)

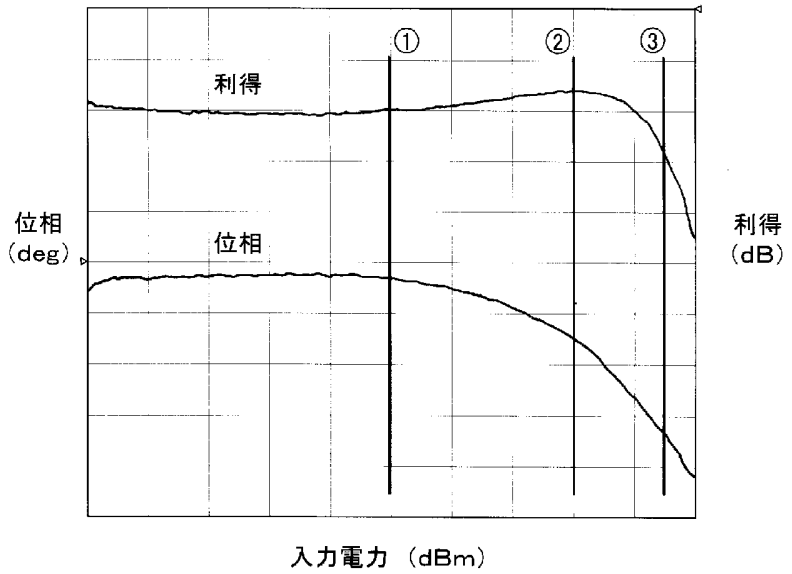
[図11]


112
105
RF入力
RF出力
101
102
113
100

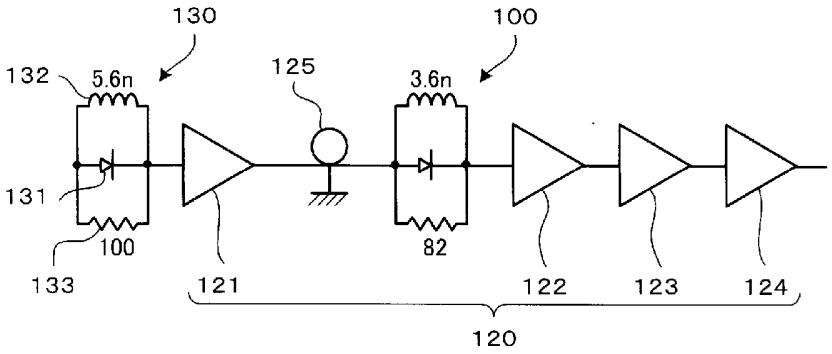
[図12]



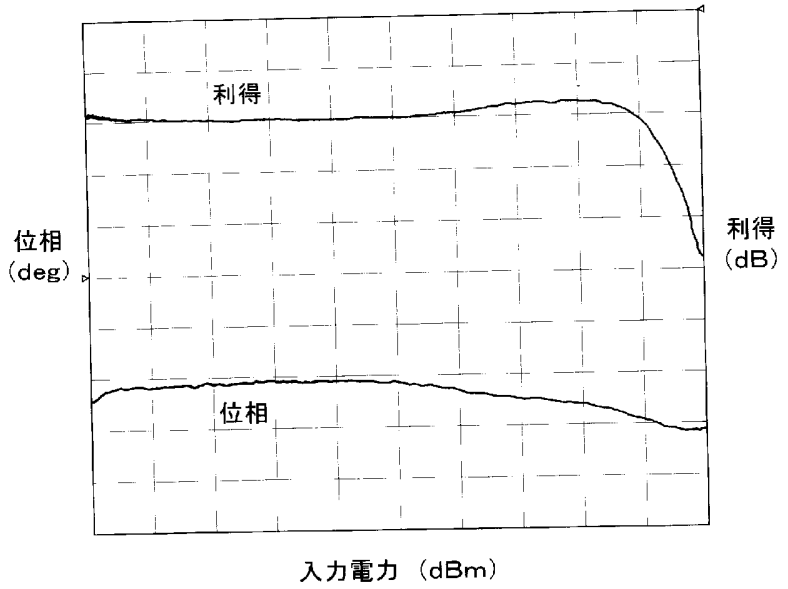
[図13]



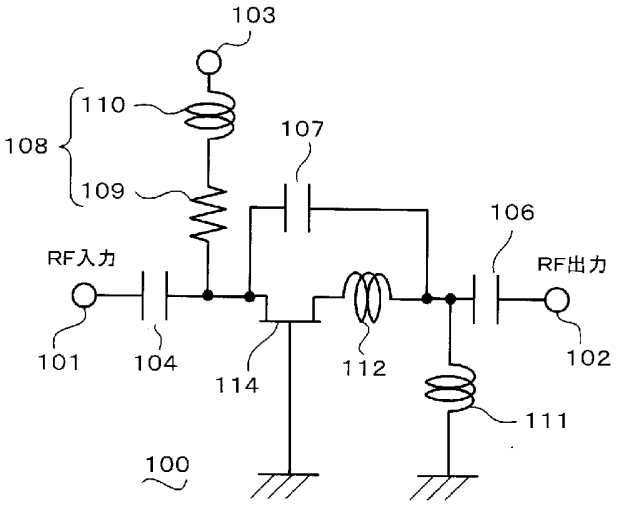
[図14]


130
100
132
5.6n
125
3.6n
131
100
82
133
121
122
123
124
120

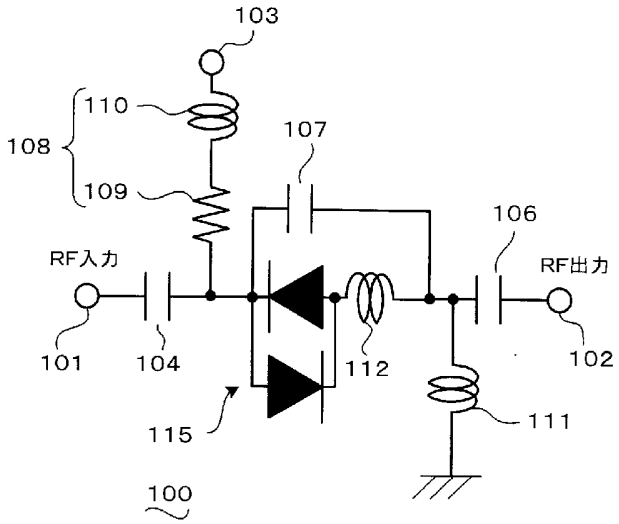
[図15]


利得
位相
(deg)
利得
(dB)
位相
入力電力 (dBm)

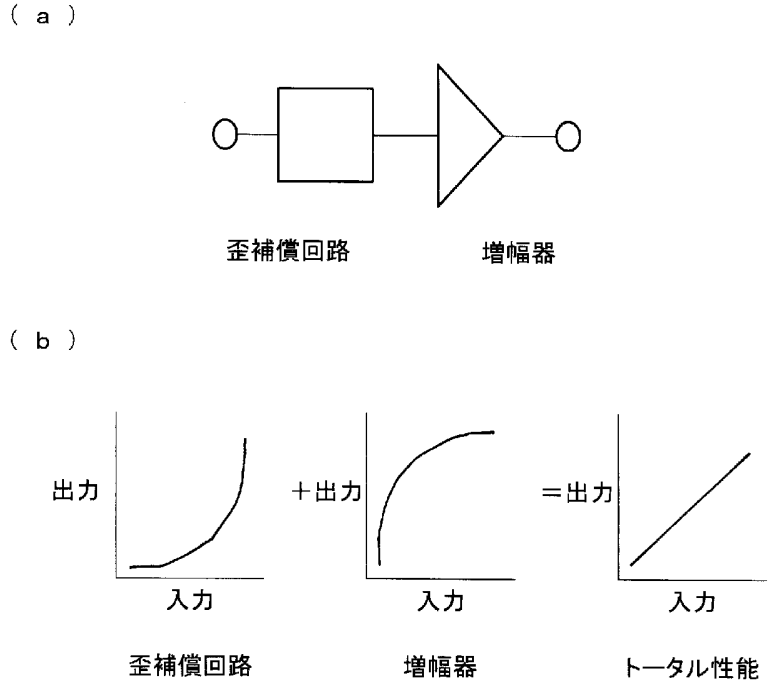
[図16]


103
110
108
109
107
106
RF入力
RF出力
101
104
114
112
102
111
100

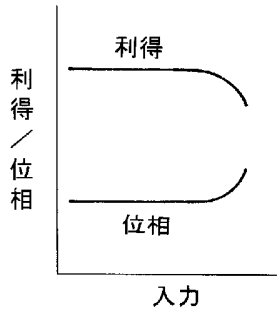
[図17]


103
110
108
109
107
106
RF入力
RF出力
101
104
112
102
115
111
100

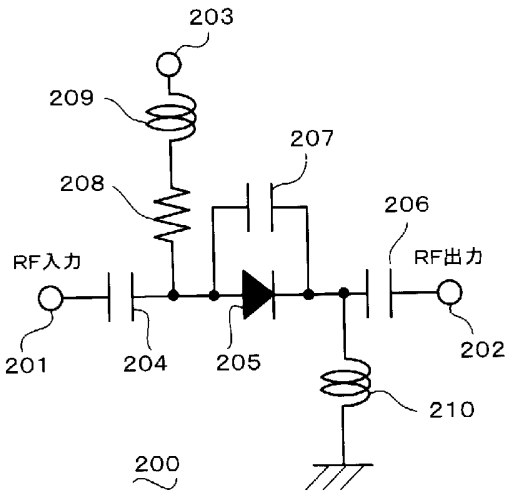
[図18]



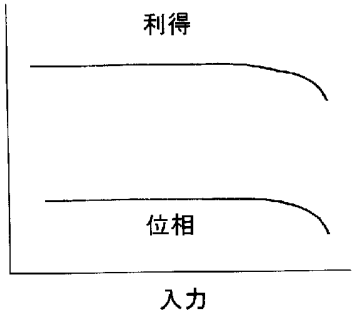
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/011781

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H03F1/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H03F1/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-76784 A (Mitsubishi Electric Corp.), 15 March, 2002 (15.03.02), Full text; all drawings (Family: none)	1-5,7,8
Y	JP 2002-523968 A (Ortel Corp.), 30 July, 2002 (30.07.02), Par. Nos. [0047] to [0048]; Fig. 11A & US 5798854 A1 & EP 1118176 A & WO 2000/011816 A1 & AU 5697499 A & CN 1151229 A	1,2,5,7
Y	JP 11-355055 A (Mitsubishi Electric Corp.), 24 December, 1999 (24.12.99), Par. Nos. [0005], [0037] to [0038]; Figs. 5(b), 29 (Family: none)	3-5,7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 September, 2005 (20.09.05)	11 October, 2005 (11.10.05)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/011781

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-368546 A (NEC Corp.), 20 December, 2002 (20.12.02), Full text; all drawings & US 2002/0186082 A1	5
X Y	JP 8-181544 A (Hughes Aircraft Co.), 12 July, 1996 (12.07.96), Full text; all drawings & US 5523716 A1 & FR 2730880 A	6 8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００５／０１１７８１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.[7]　H03F1/32

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.[7]　H03F1/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００５年
日本国実用新案登録公報	１９９６－２００５年
日本国登録実用新案公報	１９９４－２００５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2002-76784 A（三菱電機株式会社）2002.03.15, 全文、全図　（ファミリーなし）	1-5,7,8
Y	JP 2002-523968 A（オーテル　コーポレイション）2002.07.30, 【0047】-【0048】、図11A & US 5798854 A1 & EP 1118176 A & WO 2000/011816 A1 & AU 5697499 A & CN 1151229 A	1,2,5,7

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２０．０９．２００５	国際調査報告の発送日　11.10.2005
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　5W　9180 畑中　博幸 電話番号　０３－３５８１－１１０１　内線　３５３５

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００４年１月）

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 11-355055 A（三菱電機株式会社）1999.12.24, 【0005】、【0037】－【0038】、図5(b)、図29　（ファミリーなし）	3-5,7
Y	JP 2002-368546 A（日本電気株式会社）2002.12.20, 全文、全図 & US 2002/0186082 A1	5
X	JP 8-181544 A（ヒューズ・エアクラフト・カンパニー）1996.07.12,	6
Y	全文、全図 & US 5523716 A1 & FR 2730880 A	8