



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년06월13일

(11) 등록번호 10-1629984

(24) 등록일자 2016년06월07일

(51) 국제특허분류(Int. Cl.)

H01L 33/12 (2010.01)

(21) 출원번호 10-2011-7000338

(22) 출원일자(국제) 2009년06월09일

심사청구일자 2014년06월09일

(85) 번역문제출일자 2011년01월06일

(65) 공개번호 10-2011-0030542

(43) 공개일자 2011년03월23일

(86) 국제출원번호 PCT/DE2009/000810

(87) 국제공개번호 WO 2009/155897

국제공개일자 2009년12월30일

(30) 우선권주장

10 2008 030 584.7 2008년06월27일 독일(DE)

(56) 선행기술조사문헌

US20070197004 A1

(73) 특허권자

오스람 옵토 세미컨덕터스 게엠베하

독일 레겐스부르크 라이브니츠슈트라쎄 4 (우:93055)

(72) 발명자

로드, 페트릭

독일, 93051 레겐스부르그, 멜쿠르스트라쎄 24

스트라스부르그, 마틴

독일, 93105 테겐헤임, 루터스트라쎄 1

(뒷면에 계속)

(74) 대리인

김태홍

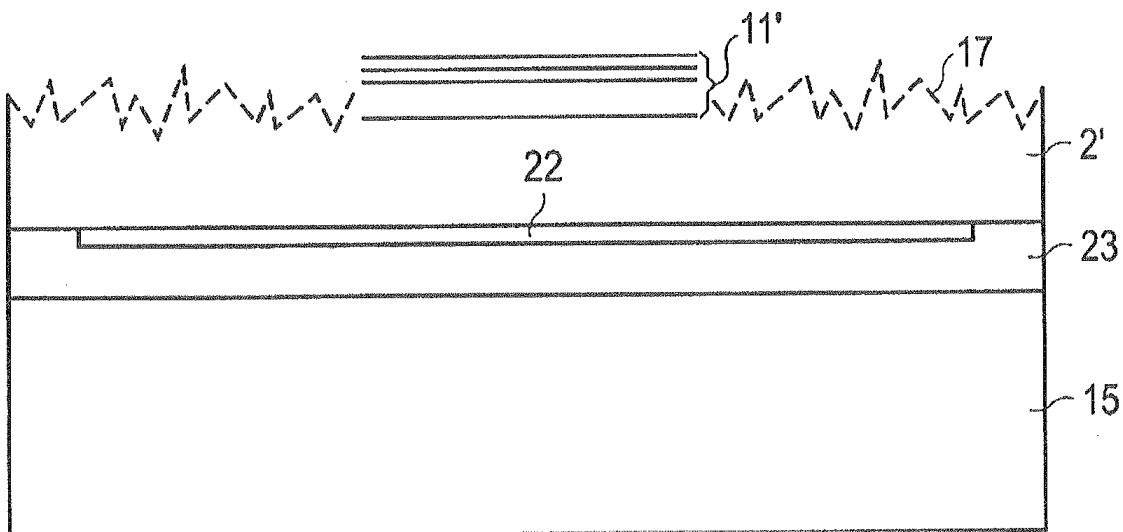
전체 청구항 수 : 총 19 항

심사관 : 김동우

(54) 발명의 명칭 광전 소자 제조 방법 및 광전 소자

(57) 요 약

광전 소자의 제조 방법에서 제1열 팽창 계수를 가진 성장 기판(10)이 제공된다. 상기 기판상에 복수 층의 베퍼층 층 시퀀스(11)가 적층된다. 이어서, 층 시퀀스(2)가 에피택시얼 증착되고, 상기 층 시퀀스는 제1열 팽창 계수와는 상이한 제2열 팽창 계수를 가진다. 또한, 층 시퀀스는 전자기 복사의 방출을 위한 활성층을 더 포함한다. 이어서, 상기 에피택시얼 증착된 층 시퀀스(2)상에 캐리어 기판(15)이 제공된다. 성장 기판(10)은 제거되고, 전자기 복사의 아웃커플링을 증대시키기 위해 복수 층의 베퍼층 시퀀스(11)가 구조화된다(17). 마지막으로, 에피택시얼 증착된 층 시퀀스(2)가 접촉된다.

대 표 도 - 도3

(72) 발명자

엔글, 칼

독일, 93105 레겐스부르그, 젤트루드-본-레-포트-
스트라쎄 5

호펜, 루츠

독일, 93087 엘테글로프세임, 레씽스트라쎄 1

명세서

청구범위

청구항 1

광전 소자의 제조 방법에 있어서,

제1 열 팽창 계수를 가지는 규소계 성장 기판(10)을 제공하는 단계;

질화물을 함유한 복수 층의 베퍼층 시퀀스(11)를 적층하는 단계;

상기 제1 열 팽창 계수와는 상이한 제2 열 팽창 계수를 가지며, 전자기 복사의 방출에 적합한 활성층을 더 구비한 층 시퀀스(2)를 에피택시얼 증착하는 단계;

상기 질화물을 함유한 복수 층의 베퍼층 시퀀스를 등지는 상기 층 시퀀스의 측에 거울층을 형성하는 단계;

상기 거울층 상에 절연 물질을 형성 - 상기 거울층은 상기 절연 물질에 의해 완전히 둘러싸임 - 하는 단계 ;

에피택시얼 증착된 상기 층 시퀀스(2)상에 캐리어 기판(15)을 적층하는 단계;

상기 성장 기판(10)을 제거하는 단계;

전자기 복사의 아웃커플링을 증대시키기 위해 상기 복수 층의 베퍼층 시퀀스(11)를 구조화하는 단계; 및

상기 에피택시얼 증착된 층 시퀀스에 접촉부를 형성함으로써 상기 에피택시얼 증착된 층 시퀀스(2)와 접촉시키는 단계를 포함하는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 2

제1항에 있어서,

상기 복수 층의 베퍼층 시퀀스(11)는 제1 부분 베퍼층(11a, 11b) 및 적어도 하나의 제2 부분 베퍼층(11f, 11g)을 포함하고, 제조 공정에 의해 유도된 열 응력을 상기 상이한 제1 및 제2 열 팽창 계수에 기초하여 감소시키도록 형성되는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 성장 기판(10)은 제거되도록 식각되고, 상기 복수 층의 베퍼층 시퀀스(11)는 식각 중지부로서 역할하는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 4

제1항 또는 제2항에 있어서,

상기 층 시퀀스(2)는 도핑된 제1 부분층(12) 및 이 제1 부분층 상에 증착되며 상이하게 도핑된 제2 부분층(14)을 포함하고, 상기 두 부분층들의 경계 영역은 활성층(13)을 형성하며 상기 소자의 구동 시 전하 캐리어 재조합이 일어나는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 5

제1항 또는 제2항에 있어서,

상기 층 시퀀스(2)는 적어도 하나의 전류 확산층을 포함하는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 6

제1항 또는 제2항에 있어서,

광전 소자의 구동 시, 상기 거울층의 방향에서의 전자기 복사는, 상기 거울층으로부터 반사되고, 상기 베퍼층

시퀀스의 방향으로 향하는 것을 특징으로 하는 광정 소자의 제조 방법.

청구항 7

제1항 또는 제2항에 있어서,

상기 거울층은 전류 확산층(22, 60)을 형성하는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 8

제1항 또는 제2항에 있어서,

상기 질화물을 함유한 복수 층의 베퍼층 시퀀스(11)의 부분 베퍼층(11f, 11g)은 상기 에피택시얼 성장된 층 시퀀스(2)의 부분층과 동일한 물질을 포함하는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 9

제8항에 있어서,

상기 질화물을 함유한 복수 층의 베퍼층 시퀀스(11)의 부분 베퍼층(11f, 11g)과 상기 에피택시얼 성장된 층 시퀀스(2)의 부분층은 모두 GaN을 포함하는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 10

제1항 또는 제2항에 있어서,

광 아웃커플링 층(17)을 생성하기 위해 상기 복수 층의 베퍼층 시퀀스의 표면을 특히 식각에 의해 구조화하는 단계를 더 포함하는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 11

제1항 또는 제2항에 있어서,

상기 접촉시키는 단계는,

상기 복수 층의 베퍼층 시퀀스(11)를 등지는 상기 층 시퀀스(2)의 층에, 개구부를 구비한 적어도 하나의 홀(50)을 형성하는 단계;

상기 홀의 측벽에 절연층(52)을 형성하는 단계;

상기 적어도 하나의 홀(50)을 도전 물질(45)로 충전하여 상기 적어도 하나의 홀(50)의 적어도 바닥 영역에 상기 층 시퀀스를 위한 전기 접촉부가 형성되도록 하는 단계; 및

상기 도전 물질과 전기적으로 연결된 본딩 접촉부를 형성하는 단계를 포함하는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 12

제1항 또는 제2항에 있어서,

상기 접촉시키는 단계는,

캐리어 기판(15)에 개구부를 가진 적어도 하나의 관통홀(62', 65')을 형성 - 상기 관통홀의 측벽에 절연 물질이 구비됨 - 하는 단계; 및

상기 층 시퀀스(2)와 상기 캐리어 기판(15) 사이의 도전층과 접촉시키기 위해 적어도 하나의 관통홀(62', 65')을 전기 전도 물질로 충전하는 단계를 포함하고,

상기 도전층은 상기 층 시퀀스(2)의 부분층에 전도적으로 연결되는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 13

제1항 또는 제2항에 있어서,

상기 성장 기판은 규소를 포함하고,

(111)-배향, (100)-배향, (110)-배향, (kk0)-배향 및 (k00)-배향 중 적어도 하나의 공간 배향을 포함하고, 이 때 k는 1보다 큰 정수인 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 14

제1항 또는 제2항에 있어서,

상기 거울층은 상기 층 시퀀스 및 상기 절연 물질에 의해 완전히 봉지되는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 15

제1항 또는 제2항에 있어서,

상기 층 시퀀스는 n형 도핑된 제1 부분층 및 p형 도핑된 제2 부분층을 포함하는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 16

제15항에 있어서,

상기 제2 부분층은 상기 제1 부분층과 상기 캐리어 기판 사이에 배치되는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 17

제1항 또는 제2항에 있어서,

상기 에피택시얼 층 시퀀스(2)는 n형 도핑된 제1 부분층(12) 및 p형 도핑된 제2 부분층(14)을 포함하며, 상기 제2 부분층(14)은 상기 제1 부분층(12)과 캐리어 기판(15) 사이에 배치되고,

상기 제2 부분층(14)의 표면에 제1 접촉층(60)이 적층되며,

상기 에피택시얼 층 시퀀스(2)는 부분 영역에서 제거되며,

상기 부분 영역에, 제1 접촉층(60)과 접촉하는 접촉 패드(61)가 제공되는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 18

광전 소자의 제조 방법에 있어서,

제1 열 팽창 계수를 가지는 규소계 성장 기판(10)을 제공하는 단계;

질화물을 함유한 복수 층의 베퍼층 시퀀스(11)를 적층하는 단계;

상기 제1 열 팽창 계수와는 상이한 제2 열 팽창 계수를 가지며, 전자기 복사의 방출에 적합한 활성층을 더 구비한 층 시퀀스(2)를 에피택시얼 증착하는 단계;

상기 층 시퀀스(2) 상에 거울성 반사 물질을 포함한 제1 접촉층(60)을 적층하는 단계;

상기 제1 접촉층(60) 상에 절연층(53)을 적층하는 단계;

상기 복수 층의 베퍼층 시퀀스(11)를 등지는 상기 층 시퀀스(2)의 측에, 개구부를 구비한 적어도 하나의 홀(50) - 상기 적어도 하나의 홀(50)은 상기 제1 접촉층(60) 및 상기 절연층(53)을 관통함 - 을 형성하는 단계;

상기 홀의 측벽에 절연층(52)을 형성하는 단계;

상기 적어도 하나의 홀(50)을 도전 물질(45)로 충전하여 상기 적어도 하나의 홀(50)의 적어도 바닥 영역에 상기 층 시퀀스와의 전기 접촉부가 형성되도록 하는 단계;

상기 도전 물질과 전기적으로 연결된 본딩 접촉부를 형성하는 단계;

상기 절연층(53) 상에 캐리어 기판(15)을 적층하는 단계;

상기 성장 기판(10)을 제거하는 단계; 및

전자기 복사의 아웃커플링을 증대시키기 위해 상기 복수 층의 베퍼층 시퀀스(11)를 구조화하는 단계를 포함하는 것을 특징으로 하는 광전 소자의 제조 방법.

청구항 19

제18항에 있어서,

상기 캐리어 기판(15)에 개구부를 가진 적어도 하나의 관통홀(62', 65')을 형성 - 상기 관통홀의 측벽에 절연 물질이 구비됨 - 하는 단계; 및

상기 제1 접촉층(60) 및 상기 본딩 접촉부 중 적어도 하나를 통하여 상기 층 시퀀스(2)와 접촉시키기 위해 적어도 하나의 관통홀(62', 65')을 전기 전도 물질로 충전하는 단계를 포함하는 것을 특징으로 하는 광전 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 특허 출원은 독일 특허 출원 10 2008 030584.7의 우선권을 청구하며, 그 공개 내용은 참조로 포함된다.

[0002] 본 발명은 광전 소자의 제조 방법 및 광전 소자에 관한 것이다.

배경 기술

[0003] 광전 소자는 간단히 발광 다이오드 또는 발광 다이오드칩이라고도 하는 경우가 많으며, 점점 더 다양하게 사용되고 있어서, 최근 이와 같은 소자에 대한 수요가 증가하고 있다. 그러므로, 특히, 자동차 분야뿐만 아니라 산업적 응용 및 가정내 응용물에서도 발광 수단으로서 점점 더 많이 사용되는 추세이다. 따라서, 예를 들면 낮은 전력 소모 또는 긴 유효 수명과 같은 기술적 특징 외에도 가능한 한 비용 효과적으로 대량 생산되는 것이 중요하다.

발명의 내용

해결하려는 과제

[0004] 이제까지, 고효율 광전 소자의 제조, 특히 가시광의 녹색 또는 청색 스펙트럼에서 방출하는 발광 다이오드의 제조는 제조 소모가 크다. 예를 들면, 갈륨질화물/인듐갈륨질화물계 광전 소자를 제조하기 위해 사파이어 소재의 성장 기판이 사용되고, 상기 성장 기판은 이후의 공정 단계에서 예를 들면 레이저 리프트 오프 공정에 의해 다시 분리된다. 단단한 성장 기판의 확장 가능성(scalability)이 낮다는 점외에도, 이후의 공정 단계가 광전 소자내에서 응력을 생성할 수 있고, 이러한 응력은 소자의 효율뿐만 아니라 제조 수율도 낮출 수 있다. 그러므로, 광전 소자를 대량 생산하되 양호한 확장 가능성 및 낮은 기술적 조건으로 제조할 수 있는 방법을 제공할 필요가 있다. 이와 같은 소자는 효율적인 광 아웃커플링과 동시에 양호한 전기적 특성을 가져야 한다.

과제의 해결 수단

[0005] 이러한 과제는 독립 청구항의 대상에 의하여 해결된다. 본 발명의 발전예 및 형성예는 종속항의 대상이다.

[0006] 본 발명은 다른 분야로부터 공지된 규소 제조 기술을 고효율 광전 소자의 제조를 위해 구현하는 해결안을 제시한다. 이러한 방법에서는 규소를 포함하거나 일 실시예에서 규소로 구성된 성장 기판이 준비된다. 성장 기판으로서 규소를 함유한 물질은 제1열 팽창 계수를 가진다. 이어서, 성장 기판상에 복수 층의 베퍼층 시퀀스가 적층된다. 이후, 제1 열팽창 계수와는 상이한 제2 열팽창 계수를 가진 층 시퀀스가 상기 복수 층의 베퍼층 시퀀스상에 에피택시얼 증착된다. 층 시퀀스는 전자기 복사 방출을 위해 적합한 활성층을 더 포함한다.

[0007] 복수 층의 베퍼층 시퀀스에 의해, 층 시퀀스에서의 응력은 성장 기판과 층 시퀀스간의 서로 상이한 열 팽창에 의해 감소한다. 따라서, 복수 층의 베퍼층 시퀀스는 상이한 열 팽창을 보상하기 위한 완충층으로서 역할한다. 이어서, 캐리어 기판은 에피택시얼 성장된 층 시퀀스상에 제공되고, 성장 기판이 제거된다. 그러나, 이때는 성장 기판만 분리되고, 복수 층의 베퍼층 시퀀스는 에피택시얼 증착된 층 시퀀스상에 잔류한다. 상기 층 시퀀스는 구동 시 생성되는 전자기 복사가 에피택시얼 증착된 층 시퀀스로부터 아웃커플링되는 것을 향상시키도록 구

조화된다. 마지막으로, 총 시퀀스는 후방측에서 전기적으로 접촉되고, 본딩 접촉부가 형성된다.

[0008] 본 발명에 있어서, 복수 층의 베피층 시퀀스는 광 아웃커플링을 위해 사용된다. 그에 반해, 에피택시얼 증착된 층 시퀀스의 접촉은 베피 구조를 관통하여 이루어지거나, 또는 복수 층의 베피층 시퀀스를 등지는, 에피택시얼 증착된 층 시퀀스의 측에서 이루어진다. 후자의 구상안의 경우, 도전성이 불량한 복수 층의 베피층 시퀀스는 절단될 필요가 없다. 오히려, 접촉홀 또는 공급 라인을 경유하여 에피택시얼 증착된 층 시퀀스가 직접적으로 접촉될 수 있다. 이는, 한편으로는 광전 소자의 낮은 순전압을 구현하면서 그와 동시에 효율적인 광 아웃커플링 및, 경우에 따라서 에피택시얼 증착된 층 시퀀스의 부분층들에 의한 양호한 전류 확산을 구현한다.

[0009] 층 시퀀스의 제조를 위해 박막 기술이 사용될 수 있다.

[0010] 이와 관련하여, 박막 기술이란 개념은 박막 발광다이오드칩의 제조를 위한 기술을 의미한다. 박막 발광 다이오드칩은 이하의 특징적 특성을 중 적어도 하나를 특징으로 한다:

- 캐리어 부재, 특히 캐리어 기판을 향한, 복사 생성 반도체층 시퀀스의 주요면에 반사층이 적층되거나 형성되고, 상기 반사층은 반도체층 시퀀스에서 생성된 전자기 복사의 적어도 일부를 상기 반도체층 시퀀스에 재귀 반사함, 이때 상기 복사 생성 반도체층 시퀀스는 특히 복사 생성 에피택시 층 시퀀스를 가리킴;

[0012] - 박막 발광다이오드칩은 캐리어 부재를 포함하고, 상기 캐리어 부재는 반도체층 시퀀스가 에피택시얼 성장되었던 성장 기판이 아니라, 차후에 반도체층 시퀀스에 고정된 별도의 캐리어 부재를 가리킴;

[0013] - 반도체층 시퀀스의 두께는 $20 \mu\text{m}$ 이하의 범위, 특히 $10 \mu\text{m}$ 이하의 범위를 가짐;

[0014] - 반도체층 시퀀스는 성장 기판을 포함하지 않음. 본원에서 "성장 기판을 포함하지 않음"이란, 경우에 따라서 성장을 위해 사용된 성장 기판이 반도체층 시퀀스로부터 제거되거나, 적어도 상당히 얇아져 있음을 의미함. 특히, 성장 기판이 스스로 또는 에피택시 층 시퀀스와 함께만으로는 독자적으로 자체 지지력을 가지지 못할만큼 얇아져 있음; 및

[0015] - 반도체층 시퀀스는 혼합 구조를 가진 적어도 하나의 면을 구비한 적어도 하나의 반도체층을 포함하고, 상기 혼합 구조는 이상적인 경우에 반도체층 시퀀스에서 광이 거의 에르고딕(ergodic)으로 분포하도록 유도하며, 즉 가능한한 에르고딕한 확률적 분산 거동을 포함함.

[0016] 박막 발광다이오드칩의 기본 원리는 예를 들면 문헌 I. Schnitzer et al., Appl. Phys. Lett. 63(16) 1993.10.18, 2174-2176쪽에 기술되어 있고, 그 공개 내용은 참조로 포함된다. 박막 발광다이오드칩에 대한 예는 문헌 EP 0905797 A2 및 WO 02/13281 A1에 기술되어 있고, 그 공개 내용도 마찬가지로 참조로 포함된다. 박막 발광 다이오드칩은 거의 램베르시안 표면 방사기에 가까워서, 예를 들면 투광기, 가령 자동차 전조등에 사용되기에 양호하게 적합하다.

[0017] 일 실시예에서, 에피택시얼 증착된 층 시퀀스의 물질은 질화물 화합물 반도체계이다.

[0018] 일반적으로, 에피택시얼 증착된 층 시퀀스의 물질은 규소를 함유한 성장 기판의 열팽창 계수와 현저히 다른 열팽창 계수를 가진다. 규소를 함유한 성장 기판상에 층 시퀀스가 직접적으로 증착될 때, 제조 공정 동안 높은 온도 구배의 결과로 열 응력이 발생하고, 열 응력은 에피택시얼 증착된 얇은 층 시퀀스의 손상 및 최악의 경우 파괴를 유발할 수 있다.

[0019] 이러한 이유로, 본 발명에 따르면 성장 기판과 에피택시얼 증착된 층 시퀀스사이에 복수 층의 베피층 시퀀스가 제공된다. 바람직하게는, 이러한 복수 층의 베피층 시퀀스는 갈륨질화물 및 알루미늄질화물 소재의 부분층들을 포함한다. 베피층 시퀀스는, 제조 공정에 의해 유도된 열 응력이 서로 상이한 팽창 계수에 의해 감소하도록 하는 역할을 한다.

[0020] 이러한 목적을 위해, 일 실시예에서 베피층 시퀀스는 제1부분 베피층 및 적어도 하나의 제2부분 베피층을 포함할 수 있다. 적합하게는, 베피층 시퀀스는 다수의 제1 및 제2부분 베피층들을 포함하고, 상기 부분 베피층들은 복수 층의 층 시퀀스를 형성하면서 포개어져 배치된다. 이때, 부분 베피층의 물질도 마찬가지로 서로 상이한 열팽창 계수를 가질 수 있다. 또한, 제1부분 베피층의 물질의 사용이 고려될 수 있는데, 상기 물질이 제2부분 베피층상에 도포될 때 약간의 응력이 발생한다.

[0021] 물질의 적합한 선택 시, 에피택시얼 증착된 층 시퀀스에서 열 응력이 방지될 수 있는데, 이는 부분 베피층이 램퍼, 또는 상기와 같은 응력을 위한 희생층으로서 역할하기 때문이다. 에피택시얼 층 시퀀스에서 발생한 응력은 이미 약간의 응력이 발생한 부분 베피층에서 진행된다. 이 곳에서 상기 부분 베피층이 찢기거나 파괴됨으로써

응력이 소산되고, 이때 에피택시얼 층 시퀀스가 구조적으로 현저히 변경되는 경우는 없다.

[0022] 두 부분 베피층들 중 적어도 하나는 에피택시얼 층학된 층 시퀀스의 제거를 위해 사용되는 물질을 포함하여 형성되는 것이 적합할 수 있다. 예를 들면 질화물계 III-V 반도체의 사용 시, 부분 베피층에서 복수 층의 베피층 시퀀스 물질로서 마찬가지로 질화물계인 화합물 반도체, 예를 들면 갈륨질화물이 사용될 수 있다. 제2부분 베피층의 물질로서 예를 들면 알루미늄질화물이 적합하다.

[0023] 또한, 복수 층의 베피층 시퀀스의 이점은 성장 기판의 제거를 위해 다양한 기술을 사용할 수 있다는 것이다. 예를 들면, 성장 기판은 제거를 위해 제거 식각될 수 있고, 이때 복수 층의 베피층 시퀀스는 식각 중지층으로서 역할할 수 있다. 이를 통해, 종래에 사파이어 또는 규소카바이드계 기술을 이용한 기계적 제거 방법에 비해 성장 기판이 현저히 더욱 매끄럽게 제거될 수 있다. 일 실시예에서, 규소계 성장 기판은 습식 화학적 식각을 이용하여 제거된다.

[0024] 복수 층의 베피층 시퀀스는 식각에 의해서도 마찬가지로 구조화될 수 있다. 이때, 베피층 시퀀스는 뚜렷한 윤곽의(well-defined) 구조를 가질 수 있다. 또는, 예를 들면 거칠기에 의해 0 μm 내지 3 μm (통상적으로 1 μm 내지 2 μm)의 두께를 가진 임의적 구조화가 수행될 수 있다. 복수 층의 베피층 시퀀스의 두께가 1 μm 내지 5 μm (통상적으로 2 μm 내지 4 μm)일 때, 베피층 시퀀스를 일부 영역들에서 완전히 제거하고 그 아래 위치한 에피택시얼 성장된 층 시퀀스를 상기 일부 영역들에서 구조화하는 경우도 고려할 수 있다.

[0025] 일 실시예에서, 캐리어 기판의 제공 전에 에피택시얼 성장된 층 시퀀스상에 거울층이 증착된다. 거울층은 예를 들면 은과 같은 거울 기능의 금속을 포함할 수 있으나, 알루미늄 또는 다른 고 반사성 물질을 포함할 수도 있다. 다른 형성예에서, 거울층은 에피택시얼 성장된 층 시퀀스상에 증착된 후 봉지되고, 즉 절연 물질로 둘러싸인다. 이는 거울층이 예를 들면 산화에 의해 시효가 앞당겨지는 경우를 방지한다.

[0026] 에피택시얼 성장된 층 시퀀스를 접촉하기 위해, 특히 에피택시얼 성장된 층 시퀀스에서 각 전하 캐리어의 공급을 위해 서로 상이하게 도핑된 두 부분층들을 접촉하기 위해, 복수 층의 베피층이 일부 영역에서 완전히 제거될 수 있다. 이를 통해, 그 아래에 위치한 에피택시얼 성장된 층 시퀀스가 노출된다. 이어서, 복수 층의 베피층이 제거된 상기 부분 영역에 접촉이 형성되고, 상기 접촉은 성장된 층 시퀀스를 전기적으로 접촉한다. 따라서, 복수 층의 베피층을 경유하지 않고, 복수 층의 베피층이 적합하게 구조화됨으로써 층 시퀀스와 직접적으로 접촉이 이루어진다.

[0027] 이는 특히, 복수 층의 베피층이 현저히 불량한 전도도를 가져서 베피층의 접촉이 소자의 순방향 전압을 증가시켜 효율을 감소시킬 수 있는 경우에 적합하다. 이에 상응하여, 에피택시얼 성장된 층 시퀀스에의 연결은 예를 들면 베피층을 관통하는 소기의 식각에 의해 달성된다. 이러한 식각 공정은 예를 들면 RIE(reactive ion etching), ICP, 또한 예를 들면 인산(H_3PO_4)을 이용한 화학적 식각 방법을 포함할 수 있다. 도전성이 불량한 복수 층의 베피층은 절단되고, 에피택시얼 성장된 층 시퀀스에서 도전성이 높은 전류 확산층상에 직접적으로 접촉부가 형성된다. 그러나, 화학적 제거는 베피층 시퀀스의 다양한 부분층들이 매우 얇고 그에 따라 식각 공정이 소모적이 된다는 점에서 용이하지 않다. 또한, 에피택시얼 층 시퀀스의 제어가 어렵고, 그로 인하여 전체적으로 식각 공정이 제어하기 어려울 수 있는데, 식각 공정은 전류 확산층 또는 베피층 시퀀스에 연결된 제1층에서 가능한 한 직접적으로 중지되어야 하기 때문이다.

[0028] 대안적 실시예에서, 후방측에 접촉부가 삽입된다. 본 발명에 따르면, 생성된 광을 아웃커플링하는 기능을 가진 층들을 전류 커플링층으로부터 분리할 것이 제안된다. 이를 위해, 에피택시얼 성장된 층 시퀀스에서 복수 층의 베피층과 등지는 층에 개구부를 가진 홀을 형성할 것이 제안된다. 홀의 측벽상에 위치한 절연층은 예기치 않은 단락을 방지한다. 이어서, 홀은 도전 물질로 채워져서, 적어도 홀의 바닥 영역에서는 에피택시얼 성장된 층 시퀀스의 전기 접촉부가 형성된다. 이때, 홀이 에피택시얼 성장된 층 시퀀스의 부분층들 및 특히 활성층을 관통하는 경우가 적합하다. 이에 상응하여, 접촉될 층에서 홀이 종단되고, 단락 방지를 위해 홀의 측벽이 절연 물질을 구비하는 경우에, 상기와 같은 홀들에 의해 에피택시얼 성장된 층 시퀀스의 각 부분층이 접촉될 수 있다. 마지막으로, 홀의 도전 물질과 결합된 본딩 접촉부가 형성된다.

[0029] 이때, 홀들, 도전 물질뿐만 아니라 본딩 와이어 및 본딩 접촉부와의 공급 라인은, 이들이 성장 기판으로부터 제거되어 캐리어 기판상에 제공되기 전에, 에피택시얼 성장된 층 시퀀스상에 형성될 수 있다.

[0030] 다른 형성예에서, 캐리어 기판을 관통한 홀이 생성되고, 이때 관통홀의 측벽은 절연 물질을 구비한다. 캐리어 기판의 홀은, 에피택시얼 성장된 층 시퀀스와 캐리어 기판 사이에 도전층들이 노출되도록 형성된다. 이어서, 홀은 전기 전도 물질로 채워진다. 이를 통해, 전기 전도 층들이 에피택시얼 성장된 층 시퀀스와 캐리어 기판

사이에 접촉될 수 있다. 이러한 층들은, 다시, 에피택시얼 성장된 층 시퀀스의 개별 부분층들의 접촉을 위해 역할한다.

[0031] 본 방법은 성장 기판이 반도체 물질, 특히 규소를 포함하는 경우에 매우 적합하다. 바로 규소야말로 확장성이 양호한 기술이어서, 광전 소자가 대량 생산으로 제조될 수 있다. 광 방출을 위한 광전 소자를 포함하는 층 시퀀스 및 규소의 열 팽창계수에 의해, 에피택시얼 성장된 층 시퀀스와 규소를 포함한 캐리어 기판 사이에 복수 층의 베퍼층 시퀀스가 부가적으로 제공되어 열 응력을 방지하는 것이 적합하다. 그에 반해, 규소 소재의 성장 기판이 습식 화학적 방법에 의해 매우 간단히 제거됨으로써, 여기서도 광전 소자의 기계적 부하가 감소한다.

[0032] 본 발명의 다른 견지는 에피택시얼 성장된 층 시퀀스를 포함한 광전 소자에 관한 것으로, 상기 층 시퀀스는 전자기 복사의 방출에 적합한 활성층을 포함한다. 이때, 구동 시 전자기 복사를 에피택시얼 성장된 층 시퀀스의 제1표면 방향으로 방출하는 것이 고려된다. 광전 소자는 에피택시얼 성장된 층 시퀀스의 표면상에서 복수 층의 구조화된 베퍼층 시퀀스를 더 포함한다. 복수 층의 베퍼층 시퀀스는 소자의 구동 시 광 아웃커플링 효율을 증대시키는 역할을 한다. 또한, 광 방출 방향을 등지는 소자의 측에 접촉 부재가 배치될 수 있다. 또는, 복수 층의 베퍼층 시퀀스가 부분 영역들에서 제거되고, 이 위치에서 접촉 패드가 배치되며, 상기 접촉 패드는 에피택시얼 성장된 층 시퀀스 또는 에피택시얼 성장된 층 시퀀스의 전류 확산층과 직접 접촉한다.

[0033] 이제까지의 광전 소자에 비해, 광 아웃커플링을 위한 복수 층의 베퍼층이 에피택시얼 증착된 층 시퀀스의 제조 전에 이미 생성된다는 점에서 상이하다.

[0034] 일 실시예에서, 복수 층의 베퍼층 시퀀스는 에피택시얼 성장된 층 시퀀스의 부분층과 동일한 물질을 포함한다. 이를 통해, 제조 공정 동안 상기 제조 공정에 의해 발생하는 에피택시얼 성장된 층 시퀀스내에서의 열 응력이 감소할 수 있다.

[0035] 이하, 본 발명은 도면을 참조하여 실시예에 의거하여 상세히 설명된다.

도면의 간단한 설명

[0036] 도 1은 제조 공정 동안 성장 기판상에 에피택시얼 성장된 층 시퀀스의 실시예이다.

도 2는 광전 소자의 제조 공정의 다른 단계이다.

도 3은 성장 기판의 제거 이후 광전 소자의 제조 공정의 제3단계이다.

도 4는 소자의 표면상의 접촉을 포함한 광전 소자의 제조 공정의 제4단계이다.

도 5는 광전 소자의 제조 방법에 대한 제2실시예이다.

도 6은 본원 제조 방법에 따라 생성된 광전 소자의 제1실시예이다.

도 7은 본원 제조 방법에 따른 광전 소자의 제2실시예이다.

도 8은 본원 제조 방법에 따른 광전 소자의 제3실시예이다.

도 9는 복수 층의 베퍼 구조를 설명하기 위한, 제조 공정 중의 광전 소자의 일부이다.

발명을 실시하기 위한 구체적인 내용

[0037] 실시예 및 도면에서 동일하거나 동일한 기능의 구성 요소는 동일한 참조 번호를 가진다. 도면 및 도면에 도시된 요소들간의 크기비는 기본적으로 정확한 치수로 볼 수 없다. 오히려, 가령 층들과 같은 개별적 요소는 더 나은 이해 및/또는 더 나은 표현을 위해 과장되어 크거나 두껍게 도시되어 있을 수 있다. 물론, 개별적 견지에 따른 다양한 실시예는 상호간 조합되고, 사용된 기술의 범위내에서 교환될 수 있다.

[0038] 도 1은 본원 원칙에 따른 제조 공정 동안의 광전 소자를 도시한다. 이러한 실시예에서, 성장 기판(10)으로서 규소 웨이퍼가 고려된다. 그에 반해, 광전 소자는 III-V 화합물 반도체로 제조되어야 한다. 이러한 반도체는 규소와는 상이한 열 팽창 계수를 가진다. MOVPE("metal organic vapour phase epitaxy", 유기 금속 가스상 에피택시)를 이용한 제조 방법에서, 온도는 100°C 이상 약 700°C - 800°C까지의 범위로 사용된다. 이를 통해, 제조 공정 동안 온도 구배가 크다. 그 외에, 예를 들면 MBE 또는 HVPE와 같이 1100°C의 온도로 작업하는 다른 제조 방법도 있다.

[0039] 예를 들면 규소 성장 기판(10)은 그 위에 증착된 층들보다 크기가 더 커서 현저히 더 차가울 수 있다. 이러한

이유로, 전자기 복사의 방출을 위해 규소상에 층 시퀀스를 직접적으로 에피택시얼 증착시키기는 매우 어려운데, 서로 다른 열 팽창 계수에 의해 증착되는 층 시퀀스에서 응력이 발생할 수 있기 때문이다. 상기 응력은, 층들이 파괴되거나 찢기어 소자가 원자 레벨로 손상될 정도로 크다. 이를 통해, 소자의 효율이 감소하고, 손상 정도에 따라 완전히 불량이 될 수 있다.

[0040] 본 발명에 따르면, 성장 기판(10)과 차후에 증착될 에피택시얼 층 시퀀스(2) 사이에 복수 층의 베퍼 구조(11)가 성장되는 것이 제안된다. 이는 서로 다른 열 팽창 계수를 상호간 맞춰주고, 차후에 증착될 에피택시얼 층 시퀀스(2)에서 가능한 응력을 감소시키는 역할을 한다.

[0041] 본원에서, 규소 성장 기판(10)은 (111) 방향으로 배향되나, 성장 기판이 다른 공간 배향일 수 있다. 예를 들면 (100)- 또는 (110)- 및 더 큰 공간 배향도 적합하다. 기판(10)상에는, 특히, AlN 및 GaN 소재의 복수 층의 베퍼 구조(11)가 교번적으로 적층된다.

[0042] 이러한 공정은 도 9에 상세히 도시되어 있다. 성장 기판(10)으로부터 시작하여 복수 층의 베퍼층(11)에서 알루미늄질화물 AlN로 구성된 제1층(11A)이 증착된다. 알루미늄질화물은 절연체이나, 그럼에도 불구하고 양호한 열 전도도를 가진다. 제1알루미늄질화물층(11A)상에 교번적으로만 갈륨질화물층들(11F 내지 11I)이 다른 알루미늄질화물층(11B 내지 11D)과 교번적으로 적층된다. 갈륨질화물은 알루미늄질화물상에서 압축적으로 성장되며, 즉 알루미늄질화물상에 갈륨질화물이 증착되는 것은 갈륨질화물층에 약간의 응력을 유발한다. 이를 통해, 개별적 갈륨질화물층들(11F 내지 11I)은 희생층들을 형성하고, 상기 희생층은 AlN 과 GaN의 격자 상수가 서로 다른 이유로 약간의 응력이 발생한다. 고유 응력은, 서로 다른 팽창 계수에 의해, 다른 열 응력(팽창 또는 수축)과 상쇄되며, 이때 상기 희생층들은 부가적으로 열 유도된 응력을 수용한다.

[0043] 본원 실시예에서, 최종층(11E)으로서 다시 알루미늄질화물층이 증착된다. 복수 층의 베퍼 구조(11)의 부분층들의 두께는 서로 상이할 수 있다. 예를 들면, 규소상에 최초로 증착되는 알루미늄질화물 소재의 부분층(11A)은 다른 부분 베퍼층들보다 현저히 더 두꺼울 수 있다. 복수 층의 베퍼 구조는 열 팽창의 감소 외에 이후의 제조 공정 단계 동안 성장 기판(10)의 표면의 불균일함을 보상하기 위해 사용될 수 있다. 따라서, 광 방출 층 시퀀스의 에피택시얼 증착을 위한 차후의 공정 단계를 위해 가능한 한 균일한 표면이 생성된다.

[0044] 마지막으로, 복수 층의 베퍼층의 최종 부분층(11E)의 상측상에 도전성이 큰 전류 확산층(12A)이 적층된다. 예를 들면, 이는 금속 또는 고도핑된 갈륨질화물 소재의 얇은 층일 수 있다. 상기 층은 래터럴 저항이 낮고, 차후의 접촉 시, 더 증착되어야 할 층 시퀀스(12)의 부분층들에서 가능한 한 균일한 전류 분포를 구현하는 역할을 한다.

[0045] 복수 층의 베퍼층(11)이 적층된 이후, 이제 층 시퀀스가 증착되고, 상기 층 시퀀스는 광전 소자의 구동 시 광 방출에 적합한 활성층을 포함한다. 이를 위해, III/V 화합물 반도체 물질이 사용될 수 있다. 특히, 이를 위해 갈륨질화물계 화합물 반도체가 적합하고, 상기 반도체는 복수 층의 베퍼층 시퀀스를 위해서도 사용된다.

[0046] III/V 화합물 반도체 물질은 적어도 예를 들면 B, Al, Ga, In과 같은 제3주족의 원소 및 예를 들면 N, P, As와 같은 제5주족의 원소를 포함한다. 특히, "III/V 화합물 반도체 물질"이란 개념은 2성분, 3성분 또는 4성분 화합물군을 포함하며, 이러한 화합물군은 적어도 하나의 제3주족 원소 및 적어도 하나의 제5주족 원소를 포함하고, 예를 들면 질화물- 및 인화물 화합물 반도체가 있다. 이러한 2성분, 3성분 또는 4성분 화합물은 예를 들면 하나 이상의 도펀트 및 부가 성분을 포함할 수 있다.

[0047] 이와 관련하여, "질화물 화합물 반도체 물질계"란 반도체층 시퀀스 또는 상기 층 시퀀스의 적어도 일부, 더욱 바람직하게는 적어도 활성 영역이 질화물 화합물 반도체 물질, 예를 들면 GaN, Al_nGa_{1-n}N, In_nGa_{1-n}N 또는 Al_nGa_mIn_{1-n-m}N을 포함하거나 이러한 것으로 구성되고, 이때 0≤n≤1, 0≤m≤1, n+m≤1임을 의미한다. 이러한 물질은 상기 수식에 따라 수학적으로 정확한 조성을 반드시 포함할 필요는 없다. 오히려, 예를 들면 하나 이상의 도펀트 및 부가 성분이 포함될 수 있다. 그러나, 결정 격자의 핵심 성분(Al, Ga, In, N)만은 비록 이들이 미량의 다른 성분으로 일부 대체되거나/대체되고 보완될 수 있다고 하더라도 상기 수식에 포함되는 것이 간단하다. 그러나, 질화물 화합물 반도체 물질은 항상 질소 또는 질소 화합물을 포함한다.

[0048] 마찬가지로, 다른 반도체 물질도 사용될 수 있다. 여기에는 예를 들면 II/VI 화합물 반도체 물질이 속하는데, 상기 반도체 물질은 적어도 예를 들면 De, Mg, Ca, Sr과 같은 제2주족의 원소 및 예를 들면 O, S, Se와 같은 제6주족의 물질을 포함한다. 특히, II/VI 화합물 반도체 물질은 2성분, 3성분 또는 4성분 화합물을 포함하고, 상기 화합물은 적어도 하나의 제2주족 원소 및 적어도 하나의 제6주족 원소를 포함한다. 또한, 이러한 화합물은

도편트를 포함할 수 있다. II/VI 화합물 반도체 물질에는 예를 들면 ZnO, ZnMgO, CdS, CnCdS, MgBeO가 속한다.

[0049] 본원 실시예에서, 반도체층 시퀀스(2)는 n형 도핑된 제1부분층을 포함하고, 상기 제1부분층은 복수 층의 베피층에 인접한 전류 확산층상에 성장된다. n형 도핑된 층상에는 이제 p형 도핑된 다른 부분층이 증착된다. 도핑이 서로 상이한 두 부분층들 사이에 전하 캐리어 공핍 영역이 형성되고, 상기 영역은 pn 접합이라고도 한다. 이러한 영역의 치수는 두 부분층들의 도편트 농도에 실질적으로 의존하는데, 상기 영역에서는 광전 소자의 구동 시 전하 캐리어 재조합이 시작된다. 상기 재조합 시, 전자기 복사는 모든 방향으로 방출된다.

[0050] 본원 광전 소자에서는, 전자기 복사는 차후에 더 구조화되어야 할 베피층 시퀀스(11)를 통해 아웃커플링되는 것이 고려된다. 이러한 목적을 위해, 에피택시얼 층 시퀀스(2)상에 부가적 거울층(22)이 설치되고, 상기 거울층은 높은 반사 계수를 가진다. 이를 통해, 광전 소자의 구동 시 전자기 복사는 거울층(22)의 방향에서 상기 거울층으로부터 반사되어 베피층 시퀀스(11)의 방향으로 유도된다.

[0051] 거울층(22)은 예를 들면 산소에 의한 산화 또는 습기로부터 야기되는 시효 과정을 겪는다. 이러한 시효 과정을 가능한 한 감소시키기 위해, 거울층(22)은 절연 물질(23)에 의해 완전히 둘러싸이고 봉지된다.

[0052] 거울층의 봉지부(23)상에 이제 캐리어 기판(15)이 제공된다. 도 2는 이러한 공정 단계에 있는 광전 소자를 개략적으로 도시한다.

[0053] 이어서, 규소 성장 기판(10)이 제거된다. 이는 예를 들면 습식 화합적 식각을 이용한 식각 방법에 의해 수행될 수 있다. 화학적 방법은 기계적 리프트 오프 방법과 달리, 성장 기판(10)의 분리가 기계적 하중과 관련하여 층 시퀀스(2)를 현저히 더 매끄럽게 수행된다는 이점이 있다. 이를 위해, 복수 층의 베피층(11)은, 성장 기판(10)의 물질을 선택적으로 식각하는 식각 방법에서 자연적인 식각 중지층으로서 역할한다.

[0054] 도 3에 따른 성장 기판(10)의 제거 이후, 베피층(11)은 부분 영역들(17)에서 구조화된다. 이를 위해, 서로 다른 방법이 사용될 수 있다. 예를 들면, 베피층은 부분적으로 식각되면서 임의적으로 구조화될 수 있다. 또는, 부분 영역들(17)에서 베피층(11)이 각뿔, 만곡부 또는 유사한 형태의 주기적 구조를 가질 수 있다. 식각은 평편하지 않은 표면을 야기하여, 광 아웃커플링이 용이해진다.

[0055] 베피층의 총 두께가 1 μm 내지 5 μm (통상적으로 2 μm 내지 4 μm)이고, 에피택시얼 성장된 층 시퀀스의 두께가 전체적으로 1 μm 내지 7 μm (통상적으로 4 μm 내지 6 μm)인 경우, 베피층(11)은 부분 영역들(17)에서 목적한 바대로 또는 임의적으로 거칠게 될 수 있다. 예를 들면, 1 μm 높이의 각뿔은 복수 층의 베피층을 선택적으로 제거함으로써 생성될 수 있다. 베피층(11)에서 이러한 각뿔 및 거칠기는 광전 소자의 차후 구동 시 광 아웃珂플링을 위한 역할을 한다. 바꾸어 말하면, 성장 기판(10)의 분리 시 베피층(11)은 제거되지 않고 층 시퀀스상에서 광 아웃珂플링층으로서 남겨진다. 이는 에피택시얼 성장된 층 시퀀스(2)의 상측상에 부가적인 광 아웃珂플링층을 형성하는 것과 같은 제조 방법상의 공정 단계를 생략한다.

[0056] 도 3에 따른 실시예에서, 거칠기는 과장되어 심하게 도시되어 있다. 그럼에도 불구하고, 베피층은 부분 영역들에서 제거되고 또한 그 아래에서 에피택시얼 성장된 층 시퀀스(2)의 부분들도 구조화될 수 있다.

[0057] 구조화된 부분 영역들(17)외에, 복수 층의 베피층 시퀀스의 부가적 부분 영역들(11')이 고려되며, 상기 부가적 부분 영역들에서 차후에 접촉 부재들이 형성된다. 이를 위해, 도 4에 따르면 복수 층의 베피 시퀀스의 부분 영역들(11')은 트렌치를 형성하도록 식각된다. 트렌치는 복수 층의 베피층 시퀀스(11)를 완전히 관통하여, 그 아래 위치한 에피택시얼 층 시퀀스(2')의 부분층들과 접촉한다. 이어서, 트렌치는 물질로 채워지고, 접촉 패드(18)를 형성한다. 트렌치가 전기 전도도가 불량한 복수 층의 베피층 시퀀스(11')를 완전히 절단하면서, 접촉 패드(18)는 에피택시얼 층 시퀀스(2)와 전기 접촉한다. 도 4의 실시예에서, 접촉 패드는 고도평된 갈륨질화물 층과 접촉하고, 상기 갈륨질화물층은 층 시퀀스(2')의 전류 확산층으로서 역할하며 도 9에서는 층(12A)로 표시되어 있다.

[0058] 도 5는 본원 원칙에 따른 광전 소자의 제조 공정의 다른 실시예를 도시한다.

[0059] 이 경우에도 마찬가지로 성장 기판(10)으로서 규소 웨이퍼가 사용된다. 성장 기판(10)과 에피택시얼 층 시퀀스(2)에서의 차후의 부분층들(12 내지 14)의 서로 다른 열 팽창 거동을 보상하기 위해, 상기 웨이퍼상에 복수 층의 베피층 시퀀스(11)가 증착된다. 에피택시얼 층 시퀀스(2)는 n형 도핑된 제1부분층(12) 및 p형 도핑된 제2부분층(14)을 포함하는 것으로 간단히 도시되어 있다. 상기 n형 도핑된 제1부분층은 예를 들면 n형 도핑된 갈륨질화물이다. 두 부분층들(12, 14) 사이에 pn 접합(13)이 형성된다.

- [0060] 상기 실시예에서, 광전 소자는 개별 층 시퀀스를 통해 구현된다. 하나의 개별적 pn 접합 외에, 포개어져 배치된 복수 개의 pn 접합들도 가능하다. 또한, 서로 다른 파장의 광을 생성하기 위해, 개별 pn 접합을 제조하기 위한 다양한 물질이 사용될 수 있다. 또한, 개별 부분층들(12, 14)은 다른 전류 확산층들, 전하 캐리어 수송층들 또는 전하 캐리어 차단층들을 포함할 수 있다.
- [0061] 층 시퀀스(2)의 에피택시얼 중착 이후에, 도 6에 따르면 에피택시얼 성장된 층 시퀀스(2)에 다수의 홀들(50)이 삽입된다. 도시된 바와 같이, 이러한 홀들은 부분층들(14, 13)을 관통하고, n형 도핑된 제1부분층(12)에서 종결된다. 홀은 부분층(12)의 전기 접촉부로서 역할한다.
- [0062] 이러한 목적을 위해, 부분층(14 또는 13)에 단락을 방지하기 위해, 그 측벽에 절연 물질(52)이 구비된다. 이어서, 그 결과로 절연된 홀은 전기 전도 물질(45)로 채워진다. 제1접촉층(60)은 부분층(14)과 접촉하도록 표면상에 적층된다. 제1접촉층(60)은 거울 기능의 물질을 포함할 수 있고, 그와 동시에 반사층으로서 역할할 수 있다. 또는, 제1접촉층은 예를 들면 ITO와 같은 투명 전도 산화물을 포함하여 형성될 수 있다.
- [0063] 제1접촉층(60)의 하측에 위치한 절연부(53)는 전기 전도 물질(45)과 제1접촉층(60) 사이의 단락을 방지한다. 절연층(53)상에 제2접촉층(40)이 적층되고, 상기 제2접촉층은 홀(50)의 물질(45)과 전기 전도 연결된다. 따라서, 제2접촉층(40)이 형성되고, 상기 제2접촉층은 광전 소자의 하부에서 외부를 향해 그에 상응하는 접촉 부재들로 안내될 수 있다. 제1접촉층(60)이 투명 전도성 산화물을 포함하여 형성된 경우, 제2접촉층(40)은 거울 기능의 물질을 포함하여 형성될 수 있다.
- [0064] 이어서, 캐리어 기판(15)은 제2접촉층(40)상에 적층되고, 성장 기판(10)은 습식 화학적으로 제거된다. 베퍼층(11)의 거칠기는 광전 소자 및 층 시퀀스(2)로부터의 광 아웃커플링을 개선한다. 마지막으로, 에피택시얼 층 시퀀스(2)가 일부 영역에서 제거되고, 제1접촉층(60)과 접촉하는 접촉 패드(61)가 구비된다. 제2접촉층(40)의 접촉을 위한 제2접촉 패드는 개관상의 이유로 더 이상 도시되어 있지 않다.
- [0065] 도 7은 대안적 실시예를 도시한다. 에피택시얼 층 시퀀스(2)의 생성 이후, 최종 부분층(14)상에 제1접촉층(60)이 면형으로 중착된다. 이어서, 접촉층(60)에는 복수 개의 홀(50)을 가진 대면적 구조가 구비된다. 상기와 같은 홀은 두 부분층(14, 13)과 마찬가지로 제1접촉층(60)을 관통하여 도달하고, 부분층(12) 또는 층 시퀀스(2)의 부분층(12)의 전류 확산층에서 종결된다. 홀(50)의 측벽(52)은 다시 절연 물질을 포함한다. 또한, 개별적 홀들(50) 사이의 영역들에 다른 절연층(53)이 제공된다. 이어서, 홀들은 전기 전도 물질(45)로 채워지고, 다른 제2접촉층(65)이 형성된다. 상기 제2접촉층은 전기 전도 물질(45)과 접촉하여 전기 절연층(53)상에 배치된다.
- [0066] 제2접촉층(65)은 외부를 향해 안내되어 그에 상응하는 접촉 패드를 형성한다. 제2접촉층(65)뿐만 아니라 제1접촉층(60)상에도 다른 절연층(54)이 적층된다. 상기 다른 절연층은, 그에 상응하는 높이차를 보상하고 광전 소자율 평탄화하는 역할을 한다. 이어서, 캐리어 기판(15)은 제2절연층(54)에 고정되고, 성장 기판(10)은 제거된다. 복수 층의 베퍼층 시퀀스(11)의 거칠기 및 구조화 이후에, 도 7에 도시된 실시예가 얻어진다. 제1접촉층(60)은 다른 접촉 패드를 경유하여 외부를 향하여 전기적으로 안내되고, p형 부분층(14)과 접촉한다. 제2접촉층(65)은 홀(50)의 물질(45)에 의해 에피택시얼 성장된 층 시퀀스(2)의 제1부분층(12)과 접촉한다.
- [0067] 도 6 및 7에 따른 두 실시예에서, 접촉 패드는 광전 소자와 동일한 층에 배치된다. 도 8은 후방측 접촉부를 포함한 대안적 실시예를 도시한다. 이러한 실시예에서, 제1접촉층(60')은 에피택시얼 층 시퀀스(2)상에 면형으로 중착된다. 이러한 접촉층(60')은 일부 영역들에서 관통되어, 홀들(50)이 상기 부분 영역들에서 형성되고, 이러한 홀들은 층 시퀀스(2)의 부분층들(14, 13)을 관통하여 부분층(12)에서 종결된다. 상기 홀의 측벽은 다시 절연 물질(52)을 구비한다. 또한, 절연 물질(53)은 홀들(50)에 인접한 부분 영역들(60')상에 구비된다. 따라서, 제2접촉층(65)과 제1접촉층(60') 사이의 단락이 방지된다. 제1접촉층(60')은 다시 거울 코팅될 수 있다.
- [0068] 이어서, 제1 및 제2접촉층(60', 65)은 평탄화되고, 예를 들면 화학적/기계적 연마에 의해 평탄화된다. 평탄화된 표면상에 절연 캐리어 기판(15)이 제공된다. 이후의 단계에서, 캐리어 기판(15)에는 복수 개의 홀들(62', 66')이 배치되고 상기 홀들은 이후에 전기 전도 물질(62 또는 66)로 채워진다. 홀들은 접촉층(60', 65)의 접촉을 위한 후방측 접촉을 형성한다. 이어서, 다시 화학적 방법을 이용하여 규소 성장 기판이 제거되고, 이때 복수 층의 베퍼층(11)이 함께 제거되진 않는다. 최종 단계에서, 광전 소자로부터의 광 아웃커플링을 개선하기 위해, 복수 층의 베퍼층(11)은 구조화되거나 거칠게 될 수 있다.
- [0069] 규소 기판상에 성장된 에피택시얼 층 시퀀스(2)와 반사 제1접촉층(60')에 의한 관통 접촉을 조합함으로써, 한편으로는 차후에 있을 복수 층의 베퍼층 시퀀스를 통한 광 아웃커플링이 양호해지고, 그와 동시에 양호한 오믹

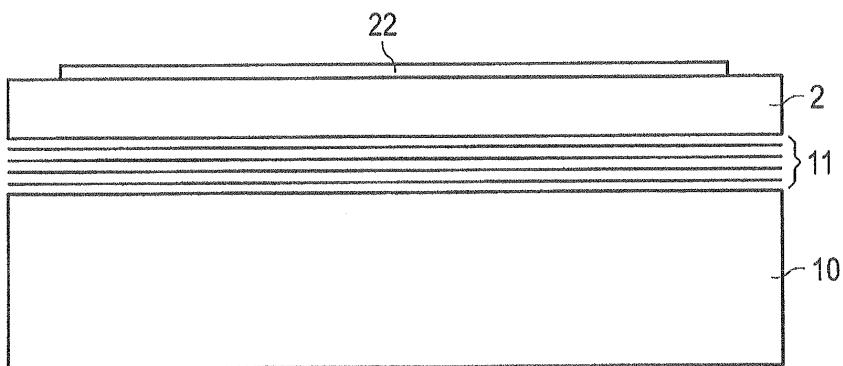
(ohmic) 연결이 달성된다. 이러한 구상안에 의해, 도전성이 불량한 베퍼 구조(11)가 절단될 필요는 없다. 오히려, 에피택시얼 층 시퀀스의 개별 부분층들은 직접적으로 후방측에서 또는 접촉홀을 경유하여 전기적으로 연결될 수 있다. 이를 통해, 순방향 전압이 낮으면서도 그와 동시에 양호한 광 아웃커플링 및 개별 부분층들에서의 전류 확산이 달성된다.

[0070] 복수 층의 베퍼층 시퀀스(11)는 제조 공정 동안 열 응력을 감소시키는 역할을 하며, 이러한 열 응력은 제조 공정 동안 층 시퀀스(2)의 파괴를 야기할 수 있다. 그러나, 동시에 소위 "재본딩 공정"에서 상기 베퍼층 시퀀스가 제거되는 대신 에피택시얼 성장된 층 시퀀스(2)의 제1부분층(12)의 표면상에 잔류한다.

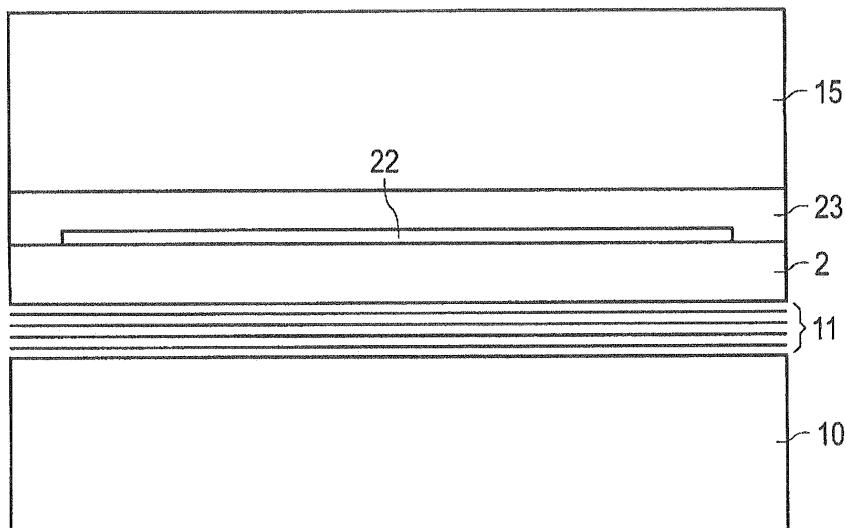
[0071] 본원의 제조 방법에 의해 다양한 응용 분야를 위해 광전 소자가 기술적으로 폭넓게 제조될 수 있으며, 또한 제어하기 어려운 공정에서도 특히 갈륨질화물 및 다른 III/V 화합물 반도체를 규소 성장 기판상에서 제조할 수 있다.

도면

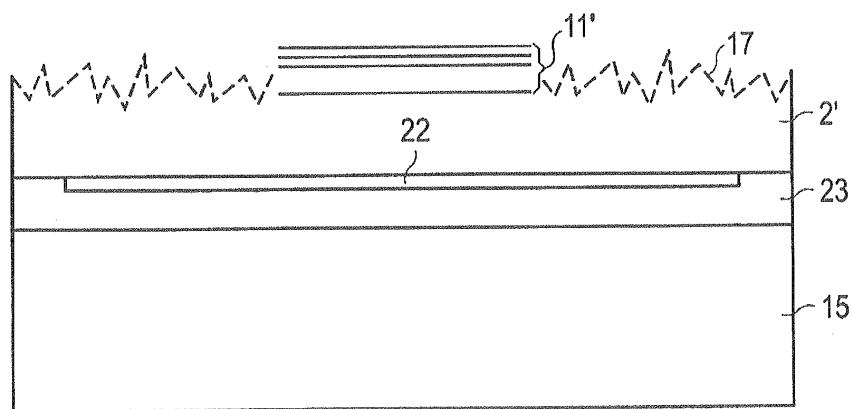
도면1



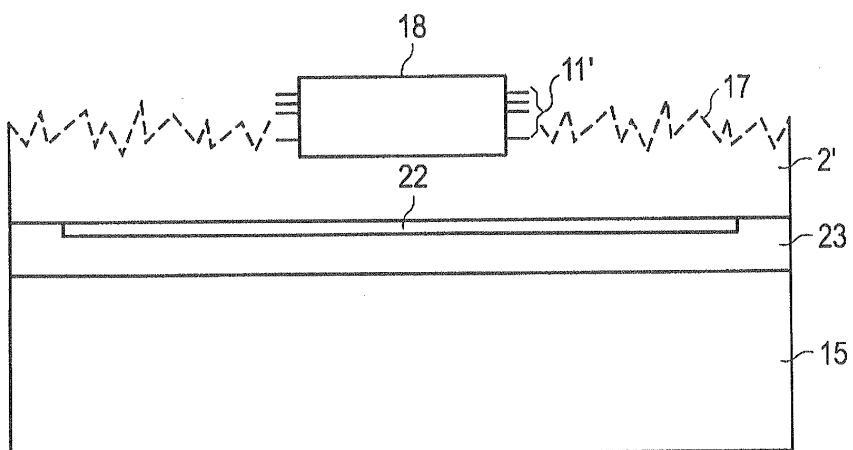
도면2



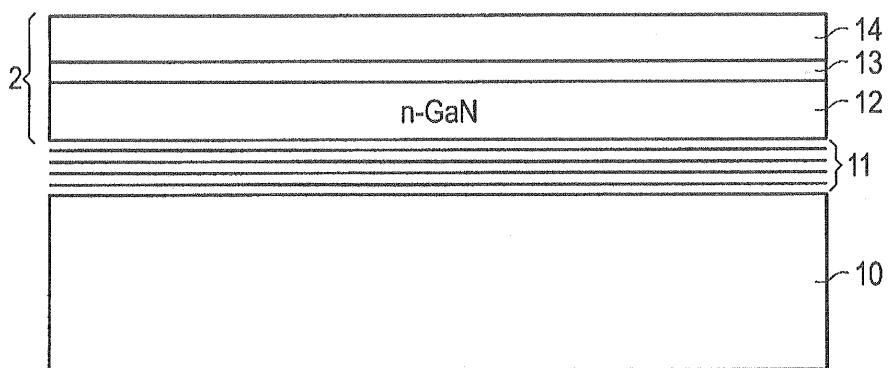
도면3



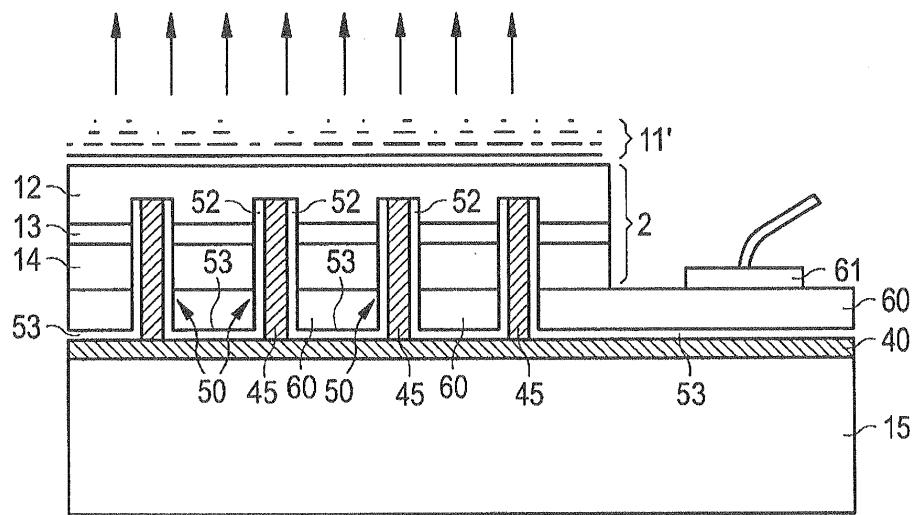
도면4



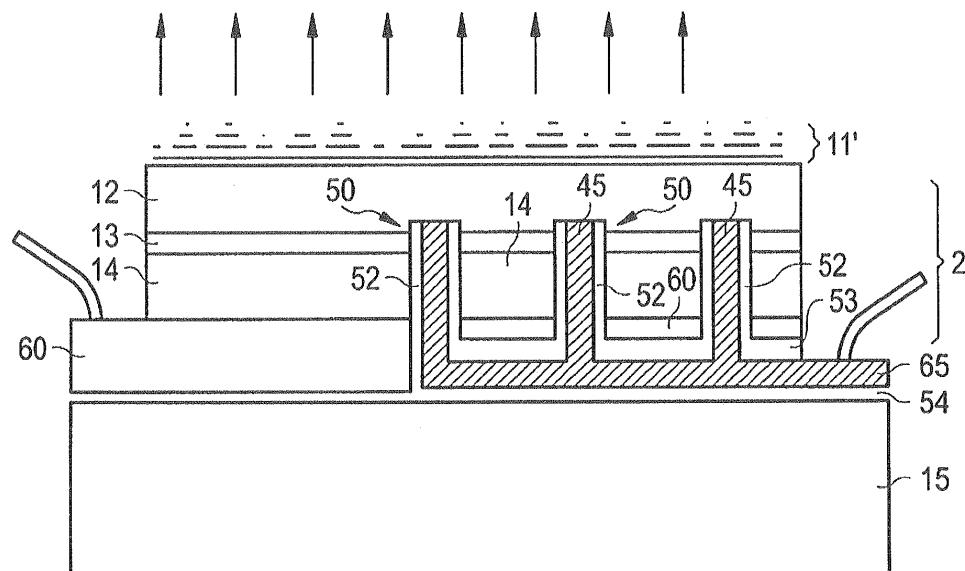
도면5



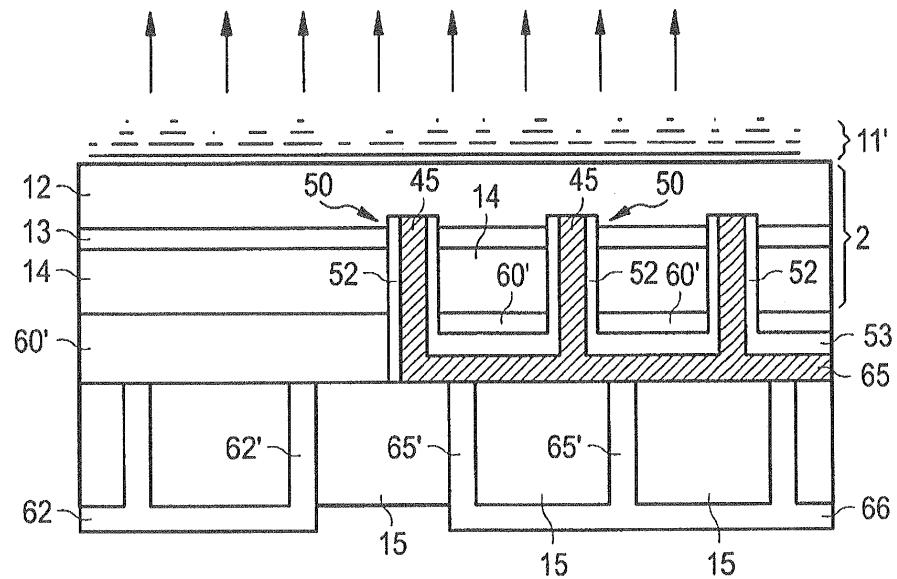
도면6



도면7



도면8



도면9

