

公告本

申請日期	87 年 4 月 29 日
案 號	87106611
類 別	1701L ²¹ /76

A4
C4

(以上各欄由本局填註)

418492

發明專利說明書

一、發明 名稱	中 文	半導體積體電路裝置的製造方法
	英 文	Method of manufacturing a semiconductor integrated circuit device
二、發明 人	姓 名	(1) 松田安司 (2) 清水博文 (3) 山本裕彦
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都小平市上水本町五-一九-一
	住、居所	(2) 日本國山梨縣中巨摩郡竜王町西八幡四二五一-四 (3) 日本國東京都八王子市中野上町五-八-九
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾・愛斯・愛・系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	國 籍	(1) 日本 (2) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番地
	住、居所 (事務所)	(2) 日本國東京都小平市上水本町五丁目二二番一號
	代 表 人 姓 名	(1) 金井務 (2) 鈴木仁一郎

裝

訂

線

418492

申請日期	87 年 4 月 29 日
案 號	87106611
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	☐ 小林正道 ☐ 池田修二 ☐ 高松朗
	國 籍	☐ 日本 ☐ 日本 ☐ 日本 ☐ 日本國東京都小平市小川町二一一二二八一九
	住、居所	☐ 日本國東京都小金井市貫井北町三三〇-八 ☐ 日本國東京都羽村市栄町二一一四-三
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

418492

申請日期	87 年 4 月 29 日
案 號	87106611
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(7) 鈴木範夫 (8) 三浦英生 (9) 吉田安子
	國 籍	(7) 日本 (8) 日本 (9) 日本 (7) 日本國茨城縣水戸市愛宕町一一一
	住、居所	(8) 日本國埼玉縣越谷市南越谷四一八一九一五二 (9) 日本國埼玉縣狹山市入間川二一三二三 朝日帕里歐狹山七〇一
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

經濟部中央標準局員工消費合作社印製

裝

訂

線

418492

申請日期	87 年 4 月 29 日
案 號	87106611
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	☐ 福田和司 ☐ (11) 堀部晉一 ☐ (12) 野添俊夫
	國 籍	☐ 日本 (11) 日本 (12) 日本 ☐ 日本國東京都青梅市新町四-三〇-二新町寮
	住、居所	☐ (11) 日本國東京都昭留野市小川五四六 ☐ (12) 日本國東京都東大和市中央二-八三九-四 K S中央公寓
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

418482

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ☐有 ☐無主張優先權
日本 1997 年 4 月 30 日 9-112467 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明之背景：

本發明係有關半導體積體電路裝置的製造技術，尤指有效於在半導體基板中元件隔離凹槽之形成方法方面的技術。

LOCOS（區域性矽片氧化）的技術乃一般所知之元件隔離技術，而且根據半導體元件的尺寸縮減，已經提昇用以取代LOCOS技術之新的元件隔離技術之研發。

透過藉由在半導體基板上所形成之凹槽中埋入像矽氧化物膜或與其性質相同之物一樣的絕緣膜而被形成之元件隔離凹槽可以獲得下列絕佳的優點。

（a）能夠減小介於元件隔離凹槽之間的元件隔離間隔。

（b）能夠幫助元件隔離膜之膜厚的控制並且能夠很容易地實施場強反轉電壓的設定。

（c）藉由將雜質分開噴注至凹槽的側壁及底部能夠為元件隔開反強反轉層與擴散層及通道區域，使得能夠維持次臨界特性並且能夠有利地減小連接漏泄及反閘極效應。

為了在半導體基板中形成元件隔離凹槽，半導體基板容易受到熱處理而形成薄矽氧化物膜（或者墊氧化物膜），當於稍後的步驟中燒結一層在凹槽中所埋入之矽氧化物膜時，為了減輕在基板上之應力，以及當去除由於氧化而被用來當作遮罩的矽氮化物膜時，為了保護主動區域的目的而形成該墊氧化物膜。

（請先閱讀背面之注意事項再填寫本頁）

訂

結

五、發明說明(2)

其次，一層矽氮化物膜藉由CVD（化學氣相沈積）法而被沈積在墊氧化物膜之上，而藉由蝕刻以便從具有一光阻之遮罩的元件隔離區域上去除矽氮化物膜，因為矽氮化物膜具有幾乎不被蝕刻的特性，所以矽氮化物膜被用來當作遮罩用來防止在該膜的下面之基板表面的氧化，除此之外，當蝕刻基板以形成凹槽時，矽氮化物膜也被用來當作遮罩。

接著，藉由蝕刻而以矽氮化物膜當作遮罩在半導體基板中形成凹槽，而其後基板被氧化於溫度為1000℃或者更高之蒸氣環境中，以便在凹槽的內壁上形成一層薄矽氧化物膜，該氧化物膜的形成係為了去除在凹槽之內壁上所造成之蝕刻損害的目的，以及為了減輕於稍後的步驟中在凹槽中所埋入之矽氧化物膜上的應力之目的。

隨後，使用CVD方法，藉由沈積一層矽氧化物膜於半導體基板上而在凹槽中埋入一層矽氧化物膜，而其後在凹槽中所埋入之矽氧化物膜易於受到燒結，燒結係一用以改善在凹槽中所埋入之矽氧化物膜的膜品質之步驟。

接下來，一種化學機械研磨法或與其性質相同的方法被用來去除在矽氮化物膜上面的矽氧化物膜的部分，使得在凹槽中僅剩下矽氧化物膜，於是形成一個以矽氧化物膜來填補的元件隔離凹槽，其後，藉由蝕刻去除由於氧化而被用來當作遮罩的矽氮化物膜，而進一步在主動區域中形成一半導體元件。

如果藉由上述方法所形成之元件隔離凹槽的肩膀部分

（請先閱讀背面之注意事項再填寫本頁）

訂

訂

五、發明說明(3)

係有角的，那麼於稍後的步驟中在元件隔離凹槽的上面所形成之閘極氧化物膜在該肩膀部分的地方被局部地薄化，而造成汲極電流即使具有低電壓仍流動的問題（圓丘特性），因此，已經提出用以圓化元件隔離凹槽之肩膀部分的技術。

雖然濕式或蒸氣氧化對燒結在凹槽中所埋入之矽氧化物膜被認為係有效的，但是如果實施濕式氧化，凹槽的內部（或者尤其是側壁）很容易就被氧化（也就是凹槽的底部相當難被氧化，因為氧化從凹槽的表面開始），如果側壁被如此氧化，那麼出現一個問題在於主動區域被窄化，除此之外，如果氧化物膜係厚的，那麼在與基板的介接處產生大的應力而且該大的應力造成曾經被圓化之肩膀部分再次變得有角的問題，因此，已經提出以矽氮化物膜覆蓋凹槽的內壁來防止凹槽的側壁被氧化之技術。

日本專利公開第2-260660號案揭示一種技術，在該技術中，藉由配合在半導體基板之主動區域的表面上所形成之熱氧化物膜及矽氮化物膜之遮罩的使用來蝕刻而在半導體基板之元件隔離區域形成一凹槽，而其後從凹槽之端面所露出之墊氧化物膜被濕式蝕刻而向後凹陷

0.1微米（ μm ），使得在氧化期間鳥嘴更容易進入，隨後，在凹槽的內壁上形成一層熱氧化物膜以圓化該凹槽的肩膀部分，依照此法，能夠藉由圓化凹槽的肩膀部分來限制寄生通道效應，而使得能夠獲得具有良好之截止特性的MOS積體電路。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(4)

在日本專利公開第4-303942號案中所說明的凹槽形成方法中，藉由以熱氧化物膜，矽氮化物膜，以及在半導體基板之主動區域的表面上所形成之PSG膜的遮罩之使用來蝕刻而在半導體基板的元件隔離區域形成凹槽，而其後藉由濕式蝕刻去除該PSG膜（其中在矽氮化物膜下面的熱氧化物膜被向下切割大約500到1000埃），接著，該半導體基板被氧化以形成一層熱氧化物膜於底部，側壁，以及向下切割的部分之上，藉以圓化肩膀部分，其後，一層絕緣膜被埋在凹槽之中，依照此方法，向下切割的部分以一層熱氧化物膜來填補，藉以去除下凹的部分，因此，一層絕緣膜被完全埋在凹槽之中而且能夠防止孔洞的形成。

如下係在日本專利公開第8-97277號案中所說明之凹槽形成的方法，首先，在基板中形成凹槽，並且在該凹槽之內表面上（包括底部及側壁的表面）形成一層熱氧化物膜，在該熱氧化物膜之上形成一層矽氮化物膜，而更在該矽氮化物膜之上形成一層矽膜（其為非晶矽，或多晶矽，或單晶矽），其後，凹槽的內部填補一層矽氧化物膜並且使其表面平坦，在基板的整個表面上沈積一層矽氧化物膜，而後在實施平坦化之前，該矽膜在包含蒸汽溫度在大約950℃的氧化環境中被氧化並且變成為一層矽氧化物膜，在此狀態下，矽基板被該矽氧化物膜所保護而因此不被氧化，依照此方法，一層矽氧化物膜能夠被埋入且不會因形成一層薄膜（例如一層矽膜）於與矽氧化物膜具

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(5)

有良好之相容性的凹槽之表面上而造成孔洞，雖然在凹槽中之矽膜必須被氧化且稍後變成一層矽氧化物膜，但是當氧化該矽膜時，因為在矽膜與基板之間提供一層矽氮化物膜，所以矽基板未被氧化，因此，元件特性沒有變差。

本發明之概述：

在如上所述之傳統的凹槽形成法中，在1000℃或者更高之高溫時實施熱處理以圓化元件隔離凹槽的肩膀部分，但是，如果晶圓具有大的直徑，在溫度為1000℃或者更高之高溫的熱處理中很容易發生錯位（其造成有缺陷的中心），使得在將來當晶圓的直徑已經被增大時，難以導入溫度為1000℃或者更高之高溫熱處理製程，另一方面，如果係溫度為1000℃或者更低之低溫熱處理，則有難以圓化元件隔離凹槽之肩膀部分的問題。

本發明之目的在於提供一種技術，其能夠使元件隔離凹槽的形狀達最佳化以增進減少元件之尺寸以及改善電氣特性。

本發明之另一目的在於提供一種技術，其能夠降低來自由於被埋入元件隔離凹槽中之矽氧化物膜的燒結所造成之主動區域上的應力而對元件特性之有害的影響。

本發明之這些和其他目的以及新穎的特色將從在此說明書中之下列敘述及伴隨之圖形而變得顯明。

在此說明書中所揭示之本發明的代表性觀點可以被簡略地概述於下。

五、發明說明(6)

(1) 依據本發明的一種半導體積體電路裝置之製造方法包括步驟：(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板之主表面上，接著形成一層矽氮化物膜於該第一矽氧化物膜上，而接著進一步在元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，和半導體基板，藉以形成一凹槽於半導體基板的主表面上；(b) 蝕刻自該凹槽之第一矽氧化物膜露出的部分以便向後位移該第一矽氧化物膜朝向主動區域；(c) 熱氧化該半導體基板以便形成一層第二矽氧化物膜於凹槽的內壁上；(d) 形成一層第三矽氧化物膜於半導體基板之主表面上以使用該第三矽氧化物膜填補該凹槽；(e) 該半導體基板受到熱處理，藉以燒結在凹槽中所填補之第三矽氧化物膜；(f) 去除位在矽氮化物膜上面之第三矽氧化物膜的部分而使得在凹槽中僅剩下第三矽氧化物膜；以及(g) 去除位在其周邊由該元件隔離凹槽所界定之主動區域的表面之上的矽氮化物膜的部分，而其後在主動區域處形成一半導體元件，其中：第一矽氧化物膜的位移量被設定為等於或大於第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；而且該第二矽氧化物膜的膜厚被設定為大於第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍。

(2) 在依據本發明的一個半導體積體電路裝置之製造方法中，用以形成第一矽氧化物膜之熱氧化溫度，用以形成第二矽氧化物膜之熱氧化溫度，以及用以燒結第三矽氧化物膜之熱處理溫度的每一個係等於或低於 1000°C

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

(3) 在依據本發明的一個半導體積體電路裝置之製造方法中，用以形成第二矽氧化物膜的熱氧化溫度係等於或高於800℃並且等於或低於1000℃。

(4) 在依據本發明的一個半導體積體電路裝置之製造方法中，凹槽以一種等於或小於85℃之傾斜角度 θ 而逐漸傾斜。

(5) 在依據本發明的一個半導體積體電路裝置之製造方法中，在步驟(c)之後於步驟(d)之前，凹槽的內壁受到氧化/氮化處理，藉以形成一層矽氮化物層在介於在凹槽的內壁上所形成之第二矽氧化物膜與半導體基板的主動區域間之介面的附近。

(6) 在依據本發明的一個半導體積體電路裝置之製造方法中，在步驟(c)之後於步驟(d)之前，氮氣被離子植入在介於在凹槽的內壁上所形成之第二矽氧化物膜與半導體基板的元件隔離區域間之介面的附近，藉以形成一層矽氮化物層在介於在凹槽的內壁上所形成之第二矽氧化物膜與半導體基板的元件隔離區域間之介面的附近。

(7) 在依據本發明的一個半導體積體電路裝置之製造方法中，在步驟(f)之後實施步驟(e)。

(8) 在依據本發明的一個半導體積體電路裝置之製造方法中，在步驟(c)被實施於包含氮氣的環境中，藉以形成一層具有膜厚被設定為大於第一矽氧化膜之膜厚並且等於或小於其膜厚的三倍之第二矽氮化物膜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

(9) 在依據本發明的一個半導體積體電路裝置之製造方法中，在步驟(c)之後於步驟(d)之前，一層第二矽氮化物膜被形成於至少該第二矽氮化物膜的一個表面之上。

(10) 依據本發明的一種半導體積體電路裝置之製造方法包括步驟：(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板之主表面上，接著形成一層矽氮化物膜於該第一矽氧化物膜上，而接著進一步在元件隔離區域上選擇性蝕刻該矽氮化物膜及第一矽氧化物膜；(b) 自該第一矽氧化物膜露出之半導體基板的表面部分受到等向性蝕刻；(c) 在元件隔離區域中選擇性蝕刻半導體基板，藉以形成一凹槽於半導體基板的主表面上；(d) 熱氧化該半導體基板以便形成一層第二矽氧化物膜於凹槽的內壁上；(e) 形成一層第三矽氧化物膜於該半導體基板的主表面上以使用該第三矽氧化物膜填補該凹槽；(f) 該半導體基板受到熱處理，藉以燒結在凹槽中所形成之第三矽氧化物膜；(g) 去除位於矽氮化物膜上面之第三矽氧化物膜的部分而使得在凹槽中僅剩下第三矽氧化物膜；(h) 去除位在其周邊由元件隔離區域所界定之主動區域的表面上之矽氮化物膜的部分，而其後形成一半導體元件於該主動區域處。

(11) 依據本發明的一種半導體積體電路裝置之製造方法包括步驟：(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面上，接著形成

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (9)

一層第一矽氮化物膜於該第一矽氧化物膜上，而接著進一步在元件隔離區域上選擇性蝕刻該第一矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以形成一凹槽於半導體基板的主表面上；(b)蝕刻自該凹槽中露出之第一矽氮化物膜的部分以便向後位移該第一矽氧化物膜朝向一主動區域；(c)熱氧化該半導體基板以便形成一層第二矽氧化物膜於凹槽的內壁上；(d)以CVD法形成一層第二矽氮化物膜於包括該凹槽之內部的半導體基板上；(e)形成一層第三矽氧化物膜於該半導體基板的主表面上以便使用該第三矽氧化物膜填補該凹槽；(f)該半導體基板受到熱處理，藉以燒結在凹槽中所填補之第三矽氧化物膜；(g)去除位於第一矽氮化物膜上面之第三矽氧化物膜及第二矽氮化物膜而使得在凹槽中僅剩下第三矽氧化物膜及第二矽氮化物膜；(h)藉由蝕刻來去除位在其周邊由元件隔離區域所界定之主動區域的表面之上的第一矽氮化物膜的部分；(i)熱氧化在元件隔離凹槽之肩膀部分處的第三矽氧化物膜以便加厚該第三矽氧化物膜的膜厚；藉以填補當藉由蝕刻來去除第一矽氮化物膜時在元件隔離凹槽的肩膀部分因去除第二矽氮化物膜所形成之凹陷；以及(j)形成一半導體元件於該主動區域，其中：該第一矽氧化物膜的位移量被設定係等於或大於第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；以及該第二矽氧化物膜的膜厚被設定係大於該第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍。

(請先閱讀背面之注意事項再填寫本頁)

張

訂

五、發明說明(10)

(12) 依據本發明的一種半導體積體電路裝置之製造方法包括步驟：(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面上，接著形成一層第一矽氮化物膜於該第一矽氧化物膜上，而接著進一步在元件隔離區域上選擇性去除該第一矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以在該半導體基板的主表面上形成一凹槽；(b) 蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後位移該第一矽氧化物膜朝向一主動區域；(c) 熱氧化該半導體基板以便形成一層第二矽氧化物膜於該凹槽的內壁上；(d) 以CVD法形成一層第二矽氮化物膜於包括該凹槽之內部的半導體基板上；(e) 形成一層第三矽氧化物膜於該半導體基板的主表面上以使用該第三矽氧化物膜填補該凹槽；(f) 去除位於第一矽氮化物膜的上面之第三矽氧化物膜及第二矽氮化物膜的部分而使得在凹槽中僅剩下第三矽氧化物膜及第二矽氮化物膜；(g) 該半導體基板受到熱處理，藉以燒結在該凹槽中所填補之第三矽氧化物膜，並且氧化第一矽氮化物膜的表面以及在元件隔離凹槽的肩膀部分之第二矽氮化物膜的表面；(h) 藉由蝕刻來去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的第一矽氮化物膜的部分；以及(i) 形成一半導體元件於該主動區域，其中：該第一矽氧化物膜的位移量被設定係等於或大於第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；而且該第二矽氧化物膜的膜厚被設定係大於第一矽氧化物膜的膜厚並

(請先閱讀背面之注意事項再填寫本頁)

訂

號

五、發明說明(11)

且等於或小於其膜厚的三倍。

(13) 依據本發明的一種半導體積體電路裝置之製造方法包括步驟：(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面上，接著形成一層矽氮化物膜於該第一矽氧化物膜上，而接著進一步在元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以在該半導體基板的主表面上形成一凹槽；(b) 蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後位移該第一矽氧化物膜朝向一主動區域；(c) 形成一層第二矽氧化物膜於該半導體基板的主表面上以使用該第二矽氧化物膜填補該凹槽；(d) 熱氧化該半導體基板以便燒結在凹槽中所填補之第二矽氧化物膜，並且形成一層第三矽氧化物膜於該凹槽的內壁上；(e) 去除位於矽氮化物膜的上面之第二矽氧化物膜的部分而使得在該凹槽中僅剩下第二矽氧化物膜；以及(f) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的矽氮化物膜的部分，而其後形成一半導體元件於該主動區域，其中：該第一矽氧化物膜的位移量被設定係等於或大於第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；而且該第二矽氧化物膜的膜厚被設定係大於第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍。

(14) 依據本發明的一個半導體積體電路裝置之製造方法包括步驟：(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面上，接著形成

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(12)

一層矽氮化物膜於該第一矽氧化物膜上，而接著進一步在元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以在該半導體基板的主表面上形成一凹槽；(b)蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後位移該第一矽氧化物膜朝向一主動區域；(c)形成一層第二矽氧化物膜於該半導體基板的主表面上以使用該第二矽氧化物膜填補該凹槽；(d)去除位於該矽氮化物膜上面之第二矽氧化物膜的部分而使得在該凹槽中僅剩下第二矽氧化物膜；(e)熱氧化該半導體基板以便燒結在凹槽中所填補之第二矽氧化物膜，並且形成一層第三矽氧化物膜於凹槽的內壁上；以及(f)去除位於其周邊由元件隔離凹槽所界定之主動區域的表面之上的矽氮化物膜的部分，而其後形成一半導體元件於該主動區域，其中：該第一矽氧化物膜的位移量被設定係等於或大於第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；而且該第二矽氧化物膜的膜厚被設定係大於第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍。

(15)一種依據本發明之半導體積體電路裝置的製造方法包括步驟：(a)熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面上，接著形成一層矽氮化物膜於該第一矽氧化物膜上，而接著進一步在元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以在該半導體基板的主表面上形成一凹槽；(b)蝕刻自該凹槽中露出之第一矽氧化物膜

(請先閱讀背面之注意事項再填寫本頁)

表

訂

竣

五、發明說明(13)

的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

(c) 熱氧化該半導體基板以便形成一第二矽氧化物膜於該凹槽的內壁上；(d) 形成一層多晶矽膜於該半導體基板的主表面上；(e) 形成一層第三矽氧化物膜於該半導體基板的主表面上以使用該第三矽氧化物膜填補該凹槽；

(f) 該半導體基板受到熱處理，藉以燒結在凹槽中所填補之第三矽氧化物膜，並且氧化該多晶矽膜，藉以將至少該多晶矽膜的部分改變成為一層矽氧化物膜；(g) 去除位於該矽氮化物膜上面之第三矽氧化物膜及該矽氧化物膜的部分而使得在該凹槽中僅剩下該第三矽氧化物膜及該矽氧化物膜；以及(h) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的矽氮化物膜的部分，而其後形成一半導體元件於該主動區域，其中：該第一矽氧化物膜的位移量被設定係等於或大於第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；而且該第二矽氧化物膜的膜厚被設定係大於第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍。

(16) 一種依據本發明之半導體積體電路裝置之製造方法包括步驟：(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面上，接著形成一層矽氮化物膜於該第一矽氧化物膜上，而接著進一步在元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以在該半導體基板的主表面上形成一凹槽；(b) 蝕刻自該凹槽中露出之第一矽氧化物膜

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (14)

的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

(c) 熱氧化該半導體基板以便形成一層第二矽氧化物膜於該凹槽的內壁上；(d) 形成一層多晶矽膜於該半導體基板的主表面上；(e) 形成一層第三矽氧化物膜於該半導體基板的主表面上以使用該第三矽氧化物膜填補該凹槽；(f) 去除位於矽氮化物膜上面之第三矽氧化物膜及多晶矽膜的部分而使得在該凹槽中僅剩下該第三矽氧化物膜及多晶矽膜；(g) 該半導體基板受到熱處理，藉以燒結在凹槽中所填補之第三矽氧化物膜，並且氧化該多晶矽膜，藉以將至少該多晶矽膜的部分改變成為一層矽氧化物膜；以及(h) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的矽氮化物膜的部分，而其後形成一半導體元件於該主動區域，其中：該第一矽氧化物膜的位移量被設定係等於或大於第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；而且該第二矽氧化物膜的膜厚被設定係大於第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍。

(17) 一種依據本發明之半導體積體電路裝置之製造方法包括步驟：(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面上，接著形成一層矽氮化物膜於該第一矽氧化物膜上，而接著進一步在元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以在該半導體基板的主表面上形成一凹槽；(b) 蝕刻自該凹槽中露出之第一矽氧化物膜

(請先閱讀背面之注意事項再填寫本頁)

訂

總

五、發明說明 (15)

的部分以便向後移位該第一矽氧化物膜朝向一主動區域；
(c) 熱氮化該半導體基板以便形成一層第二矽氮化物膜於該凹槽的內壁上； (d) 形成一層第二矽氧化物膜於該半導體基板的主表面上以使用該第二矽氧化物膜填補該凹槽； (e) 該半導體基板受到熱處理，藉以燒結在凹槽中所填補之第二矽氧化物膜； (f) 去除位於第一矽氮化物膜的上部之第二矽氧化物膜的部分而使得在該凹槽中僅剩下第二矽氧化物膜；以及 (g) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的第一矽氮化物膜的部分，而其後形成一半導體元件於該主動區域。

(18) 一種依據本發明之半導體積體電路裝置之製造方法包括步驟： (a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面上，接著形成一層矽氮化物膜於該第一矽氧化物膜上，而接著進一步在元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以在該半導體基板的主表面上形成一凹槽； (b) 蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域； (c) 熱氧化該半導體基板以便形成一層第二矽氧化物膜於該凹槽的內壁上，而接著氮化該第二矽氧化物膜，藉以將至少該第二矽氧化物膜的部分改變成為一層第二矽氮化物膜； (d) 形成一層第三矽氧化物膜於該半導體基板的主表面上以使用該第三矽氧化物膜填補該凹槽； (e) 該半導體基板受到熱處理，藉以燒結在凹槽中所填補之第三

五、發明說明(16)

矽氧化物膜；(f) 去除位於第一矽氮化物膜上面之第三矽氧化物膜的部分而使得在該凹槽中僅剩下第三矽氧化物膜；以及(g) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的第一矽氮化物膜的部分，而其後形成一半導體元件於該主動區域。

(19) 一種依據本發明之半導體積體電路裝置之製造方法包括步驟：(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面上，接著形成一層矽氮化物膜於該第一矽氧化物膜上，而接著進一步在元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以在該半導體基板的主表面上形成一凹槽；(b) 蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域；(c) 形成一層多晶矽膜於該半導體基板上，而接著氮化該多晶矽膜，藉以將至少該多晶矽膜的部分改變成為一層矽氮化物膜；(d) 形成一層第二矽氧化物膜於該半導體基板的主表面上以使用該第二矽氧化物膜填補該凹槽；(e) 該半導體基板受到熱處理，藉以燒結在該凹槽中所填補之第二矽氧化物膜；(f) 去除位於第一矽氮化物膜上面之第二矽氧化物膜的部分而使得在該凹槽中僅剩下第二矽氧化物膜；(g) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的第一矽氮化物膜的部分，而其後形成一半導體元件於該主動區域。

五、發明說明 (17)

附圖之簡略說明：

圖 1 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 2 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 3 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 4 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 5 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 6 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 7 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 8 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 9 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 10 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 11 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 12 係依據本發明之實施例 1 顯示半導體積體電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (18)

之製造方法的半導體基板之主要部分的橫斷面圖；

圖 1 3 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 1 4 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 1 5 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 1 6 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 1 7 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 1 8 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 1 9 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 2 0 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 2 1 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 2 2 係依據本發明之實施例 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 2 3 係依據本發明之實施例 2 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 2 4 係依據本發明之實施例 2 顯示半導體積體電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (19)

之製造方法的半導體基板之主要部分的橫斷面圖；

圖 2 5 係依據本發明之實施例 2 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 2 6 係依據本發明之實施例 2 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 2 7 係依據本發明之實施例 3 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 2 8 係依據本發明之實施例 3 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 2 9 係依據本發明之實施例 3 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 3 0 係依據本發明之實施例 3 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 3 1 係依據本發明之實施例 3 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 3 2 係依據本發明之實施例 3 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 3 3 係依據本發明之實施例 3 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 3 4 係依據本發明之實施例 3 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 3 5 係依據本發明之實施例 4 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 3 6 係依據本發明之實施例 4 顯示半導體積體電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (20)

之製造方法的半導體基板之主要部分的橫斷面圖；

圖 3 7 係依據本發明之實施例 4 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 3 8 係依據本發明之實施例 4 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 3 9 係依據本發明之實施例 5 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 4 0 係依據本發明之實施例 5 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 4 1 係依據本發明之實施例 6 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 4 2 係依據本發明之實施例 6 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 4 3 係依據本發明之實施例 6 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 4 4 係依據本發明之實施例 6 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 4 5 係依據本發明之實施例 7 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 4 6 係依據本發明之實施例 7 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 4 7 係依據本發明之實施例 7 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 4 8 係依據本發明之實施例 7 顯示半導體積體電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(21)

之製造方法的半導體基板之主要部分的橫斷面圖；

圖 4 9 係依據本發明之實施例 8 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 5 0 係依據本發明之實施例 8 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 5 1 係依據本發明之實施例 8 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 5 2 係依據本發明之實施例 8 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 5 3 係依據本發明之實施例 8 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 5 4 係依據本發明之實施例 8 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 5 5 係依據本發明之實施例 9 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 5 6 係依據本發明之實施例 9 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 5 7 係依據本發明之實施例 1 0 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 5 8 係依據本發明之實施例 1 0 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 5 9 係依據本發明之實施例 1 1 顯示半導體積體電路之製造方法的半導體基板之主要部分的橫斷面圖；

圖 6 0 係依據本發明之實施例 1 1 顯示半導體積體電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(22)

路之製造方法的半導體基板之主要部分的橫斷面圖；

符號說明

- | | |
|-----------------------|-----------------|
| 1 半導體基板 | |
| 2 矽氧化物膜 (墊氧化物膜) | |
| 3 矽氮化物膜 | 4 元件隔離凹槽 |
| 4 a 凹槽 | 5 矽氧化物膜 |
| 6 矽氮化物膜 | 7 矽氧化物膜 |
| 8 多晶矽膜 | 8 a 矽氧化物膜 |
| 9 閘極氧化物膜 | 10 p 型井 |
| 11 n 型井 | 12 閘極電極 |
| 13 頂蓋絕緣膜 | |
| 14 n 型半導體區域 (源極和汲極) | |
| 15 p 型半導體區域 (源極和汲極) | |
| 16 側壁間隙壁 | 17 矽氧化物膜 |
| 18 接觸孔 | 19 導線 |
| 20 矽氮化物膜 | 21 矽氮化物膜 |
| 22 多晶矽膜 | 23 矽氧化物膜 |
| 24 矽氮化物膜 | 25 矽氧化物膜 |
| 26 矽氮化物膜 | 27 多晶矽膜 |
| 28 矽氮化物膜 | $\theta 1$ 傾斜角度 |
| $\theta 2$ 傾斜角度 | d 位移量 |
| T p 矽氧化物膜 (2) 的膜厚 | |
| T r 矽氧化物膜 (5) 的膜厚 | |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(23)

較佳實施例之詳細說明：

本發明現在將藉由提出一些實施例為例來做詳細說明，從頭到尾所有用於本發明之說明書的圖形中，同樣的參考數字被指定給具有相同功能的組件並且省略對類似組件的重複說明。

(實施例1)

現在將參考圖1到圖22而對當作本發明之實施例的互補式MISFET(CMOSFET)做說明。

如在圖1中所顯示，舉例來說，一個由具有大約1到10 $\Omega \cdot \text{cm}$ 之電阻率的p型單晶矽所做成之半導體基板1被熱氧化於800到850 $^{\circ}\text{C}$ 並且為了減輕應力及保護主動區域的目的而在該半導體基板的主表面上形成一層矽氧化物膜(或者氮氧化物膜)2，之後，在該矽氧化物膜2的上面形成一層矽氮化物膜3。

接著，如在圖2中所顯示，藉由以一光阻當作遮罩進行蝕刻以便從元件隔離區域上去除該矽氮化物膜3及矽氧化物膜2。之後，如在圖3中所顯示，藉由以該矽氮化物膜3當作遮罩進行蝕刻以便在半導體基板1的元件隔離區域處形成一具有深度為350到400毫微米(nm)的凹槽4a，藉由調整被用來蝕刻半導體基板1之氣體的成分來使該凹槽4a的側壁逐漸傾斜(例如以85 $^{\circ}$ 或少於85 $^{\circ}$ 的角度 θ_1 及 θ_2)，藉由如此地逐漸傾斜之凹槽4a

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

的側壁，一層絕緣膜可以被輕易地埋入該凹槽 4 a 之中。

用不同的方法，藉由以一光阻當作遮罩的使用，可以在元件隔離區域依序蝕刻該矽氮化物膜 3，矽氧化物膜 2，以及半導體基板 1 而形成該凹槽 4 a，如果如此地以光阻當作遮罩來蝕刻半導體基板 1，防止為熱氧化而被用來當作遮罩之矽氮化物膜 3 的去除，使得該矽氮化物膜 3 的最初膜厚能夠被薄化係可能的。

接著，凹槽 4 a 的內部被濕式清洗以便去除蝕刻的殘留物，而其後藉由含有氫氟酸的蝕刻溶液來去除自凹槽 4 a 的內壁露出之矽氧化物膜 2 的部分以便向後移位該矽氧化物膜 2 朝向主動區域，該矽氧化物膜 2 的位移量 (d) 被設定為等於或大於在稍後之熱氧化步驟中於凹槽 4 a 的內壁上所形成之矽氧化物膜 (5) 的膜厚 (T_r) 並且等於或小於其膜厚 (T_r) 的兩倍 (也就是： $T_r \leq d \leq 2 T_r$) 的範圍) 。

因為自凹槽 4 a 的內壁所露出之矽氧化物膜 2 的部分被向後移位一在如上所述的範圍之內的位移量，所以當在稍後之熱氧化步驟中於凹槽 4 a 的內壁上形成一層矽氧化物膜 (5) 時，圓化該凹槽 4 a 的肩膀部分係可能的。如果矽氧化物膜 2 所露出之部分並未向後移位朝向主動區域或者該位移量小，那麼就會限制凹槽 4 a 之肩膀部分的氧化而使得難以圓化該肩膀部分於 1000℃ 或者低於 1000℃ 的熱處理溫度，如果該位移量太大，那麼該肩膀部分也難以圓化，在此情況下，在凹槽 4 a 的內壁上所

五、發明說明 (25)

形成之矽氧化物膜 5 的鳥嘴被延長而朝向主動區域並且窄化該主動區域，因此，控制該矽氧化物膜 2 的位移量 (d) 在上述的範圍 ($T_r \leq d \leq 2 T_r$) 之內係重要的。

接下來，如在圖 6 及圖 7 中 (特別在圖 6 的放大圖中) 所顯示，半導體基板 1 被熱氧化於例如 950°C 以便形成一層矽氧化物膜 5 於凹槽 4 a 的內壁上，此矽氧化物膜 5 被形成來補償於稍後的步驟中在凹槽 4 a 之內壁上蝕刻的損害並且減輕在該凹槽 4 a 中所埋入之矽氧化物膜 (6) 上的應力，在此情況下。藉由控制熱處理時間能夠圓化凹槽 4 a 的肩膀部分而使得矽氧化物膜 5 的膜厚 (T_r) 大於矽氧化物膜 (或者墊氧化物膜) 2 的膜厚 (T_p) 並且等於或小於其膜厚 (T_p) 的三倍 (也就是 $T_p < T_r \leq 3 T_p$) 的範圍)，在 800°C 或者低於 800°C 之熱處理溫度時，此矽氧化物膜 5 難以生長，而且錯位很容易發生於 1000°C 或者高於 1000°C 之熱處理溫度時，尤其在具有大直徑之晶圓的情況下，必須在溫度範圍從 800°C 到 1000°C 之內實施熱處理。

如果矽氧化物膜 5 的膜厚 (T_r) 係等於或少於矽氧化物膜 (或墊氧化物膜) 2 的膜厚 (T_p)，則難以圓化凹槽 4 a 的肩膀部分，如果矽氧化物膜 5 的膜厚 (T_r) 係矽氧化物膜 2 之膜厚的三倍或高於三倍，則在介於已經生長的矽氧化物膜 5 與用於熱氧化而當作遮罩的矽氮化物膜之間產生大的應力，使得難以圓化該凹槽 4 a 的肩膀部分，在此情況下，有主動區域被窄化的問題，因此，控制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (26)

矽氧化物膜 5 的膜厚 (T_r) 在如上所述的範圍 ($T_p < T_r \leq 3 T_p$) 之內係重要的。

接著，如在圖 9 中所顯示，一層矽氧化物膜 7 藉由以 C V D 法來沈積一層矽氧化物膜 7 於半導體基板的主表面上而被埋入凹槽 4 a 之中，該矽氧化物膜 7 使用一具有像以例如臭氧 (O_3) 及四乙氧基甲矽烷

($(C_2H_5O)_4Si$) 的使用所形成之矽氧化物膜一樣的優異之流動性的矽氧化物材料，在此情況下，早在沈積矽氧化物膜 7 的步驟之前，如在圖 8 中所顯示，一層矽氮化物膜 6 可以藉由 C V D 法而被薄薄地沈積於凹槽 4 a 的內壁上，因為當在稍後的步驟中燒結在凹槽 4 a 中所埋入之矽氧化物膜 7 時，該矽氮化物膜 6 抑制在凹槽 4 a 之內壁上的矽氧化物膜朝向主動區域生長，所以防止矽氧化物膜 5 在主動區域處施加應力於半導體基板 1 上而形成漏泄路徑的問題係可能的。

接著，半導體基板 1 被濕式氧化於 $1000^\circ C$ 或 $1000^\circ C$ 以下的溫度時，例如 $850^\circ C$ ，藉以實施燒結來改善在凹槽 4 a 中所埋入之矽氧化物膜 7 的膜品質。

而後，如在圖 10 中所顯示，該矽氧化物膜 7 被研磨，例如以化學機械研磨 (C M P) 法，來使該矽氧化物膜 7 的表面平坦，在此研磨中，一層覆蓋主動區域的矽氮化物膜 3 被用來當作阻止物，使得在凹槽 4 a 之內僅剩下該矽氧化物膜 7，以此方式來完成其中埋入一層矽氧化物膜 7 的元件隔離凹槽 4，其後，如在圖 11 中所顯示，藉由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (27)

例如熱磷酸的蝕刻溶液來去除覆蓋該主動區域之矽氮化物膜 3。

燒結在凹槽 4 a 中所埋入之矽氧化物膜 7 可以被實施在藉由化學機械研磨法來研磨該矽氧化物膜 7 之後而同時在該凹槽 4 a 中僅剩下該矽氧化物膜 7，在此情況下，被燒結之矽氧化物膜 7 比在燒結被實施於研磨該矽氧化物膜 7 之前所燒結的矽氧化物膜 7 薄，而使得燒結的時間周期能夠被縮短。

當該矽氧化物膜 7 在上面所述之步驟中被沈積於半導體基板上時，如果凹槽 4 a 的尺寸非常小，當矽氧化物膜 7 被埋入凹槽 4 a 之中時，在該膜中可能產生孔洞，為了避免這樣，首先沈積一層具有不致造成孔洞之膜厚的矽氧化物膜 7，而後藉由 C V D 法沈積一層多晶矽膜 8 於矽氧化物膜 7 之上，使得以包含該矽氧化物膜 7 及該多晶矽膜 8 之兩層膜來完全填補凹槽 4 a 的內部，在此情況下，早在沈積一層矽氧化物膜 7 的步驟之前，可以藉由 C V D 法薄薄地沈積一層矽氮化物膜 6 於凹槽 4 a 的內壁及矽氮化物膜 3 之上，以便在燒結期間抑制矽氧化物膜 5 朝向主動區域生長。

接著，如在圖 1 3 中所顯示，半導體基板 1 在上面所述的情況下受到熱處理以便燒結矽氧化物膜 7，在此步驟中，在顯示於圖 1 4，在該矽氧化物膜 7 之上的多晶矽膜 8 被熱氧化並且改變成為一層矽氧化物膜 8 a。

之後，如在圖 1 5 中所顯示，該矽氧化物膜 8 a 及矽

五、發明說明 (28)

氧化物膜 7 被研磨以便獲得沒有孔洞的元件隔離凹槽 4。

接著，一互補式 M I S F E T 藉由以下的方法而被形成於半導體基板 1 的主動區域處，其周邊為上述之元件隔離凹槽 4 所界定。

首先，藉氫氟酸溶液或與其性質相同之物來去除殘留在主動區域之表面上的矽氧化物膜（或墊氧化物膜）2，而其後半導體基板 1 被熱氧化於 800 到 850℃ 的溫度以便形成一層乾淨的閘極氧化物膜 9 於半導體基板 1 的表面上，如在圖 16 中所顯示。在此情況下，因為元件隔離凹槽 4 的肩膀部分被圓化，所以防止該閘極氧化物膜 9 被薄化於該肩膀部分之上的問題係可能的。

其次，如在圖 17 中所顯示，像 P（磷）一樣的 n 型雜質被離子植入於半導體基板 1 的一部分之中，而像 B（硼）一樣的 p 型雜質被離子植入於半導體基板 1 的另一部分之中，之後，半導體基板 1 受到熱處理於 1000℃ 或者低於 1000℃ 的溫度，例如 950℃，藉以展開並擴散上面所述的兩種雜質，以此方式，一 p 型井 10 被形成在形成一 n 通道型 M I S F E T 的區域中，而一 n 型井 11 被形成在形成一 p 通道型 M I S F E T 的區域中。在這些井被形成之後，該閘極氧化物膜 9 可以被形成在 p 型井 10 及 n 型井 11 的表面之上。

接著，如在圖 18 中所顯示，在 p 型井 10 的上面形成一 n 通道型 M I S F E T 的閘極電極 12，並且在 n 型井 11 的上面形成一 p 通道型 M I S F E T 的閘極電極

五、發明說明 (29)

1 2，爲了形成閘極電極 1 2，藉由 C V D 法形成一層摻雜 p 的多晶矽膜，例如一層 W（鎢）金屬矽氧化物膜，和一層頂蓋絕緣膜 1 3 被沈積於半導體基板 1 上，而後這些膜藉由以光阻當作遮罩來蝕刻而被形成圖案，該頂蓋絕緣膜 1 3 係由一層矽氧化物膜或者一層矽氮化物膜所做成。

接著，如在圖 1 9 中所顯示，n 型雜質，例如 p 或與其性質相同之物，被離子植入於 p 型井 1 0 之中以便形成 n 通道型 M I S F E T 的 n 型半導體區域（或源極和汲極）1 4，而 p 型雜質，例如 B（硼）或與其性質相同之物，被離子植入於 n 型井 1 1 之中以便形成 p 型半導體區域（源極和汲極）1 5，因此，獲得一 n 通道型 M I S F E T Q n 及一 p 通道型 M I S F E T Q p。

接下來，如在圖 2 0 中所顯示，在閘極電極 1 2 的側壁上形成側壁間隙壁 1 6，該側壁間隙壁 1 6 藉由 C V D 法來沈積一層矽氧化物膜或一層矽氮化物膜於半導體基板 1 之上並再藉由非等向性蝕刻來形成此膜的圖案而被形成。

之後，如在圖 2 1 中所顯示，一層矽氧化物膜 1 7 藉由 C V D 法而被沈積於半導體基板 1 之上，其後，如在圖 2 2 中所顯示，在位於 n 通道型 M I S F E T Q n 之 n 型半導體區域（或源極和汲極）1 4 的上面及位於 p 通道型 M I S F E T Q p 之 p 型半導體區域（或源極和汲極）1 5 的上面之矽氧化物膜 1 7 的部分上形成接觸孔 1 8，而後，藉由濺鍍法所沈積在矽氧化物膜 1 7 之上的一層

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (30)

A 1 (鋁) 合金膜被形成圖案而形成導線 1 9 。

(實施例 2)

一種依據本實施例之元件隔離凹槽 4 的形成方法將參考圖 2 3 到圖 2 6 來做說明。

首先，如在圖 2 3 中所顯示，一半導體基板 1 被熱氧化於 8 0 0 到 8 5 0 °C 以便形成一層矽氧化物膜 (或墊氧化物膜) 2 於該半導體基板 1 的主表面上，之後，一層矽氮化物膜 3 藉由 C V D 法而被沈積於該矽氧化物膜 2 上，其後，藉由以光阻當做遮罩來蝕刻以便去除在元件隔離區域處的矽氮化物膜 3 及矽氧化物膜 2 。

接著，如在圖 2 4 中所顯示，在半導體基板 1 之元件隔離區域處的表面被淺淺地且等向性地蝕刻以便在該半導體基板 1 之元件隔離區域的末端部分處形成底切 (a) 。

其後，如在圖 2 5 中所顯示，在半導體基板 1 之元件隔離區域處為了改變其組成而以蝕刻氣體來非等向性蝕刻，以便在半導體基板 1 於元件隔離區域處形成一凹槽 4 a，接著，如在圖 2 6 中所顯示，該半導體基板 1 被熱氧化於例如 9 5 0 °C 以便形成一層矽氧化物膜 5 於凹槽 4 a 的內壁上並且同時圓化該凹槽 4 a 的肩膀部分。其後的步驟和在實施例 1 中的步驟相同。

依據本實施例，因為早在形成一層矽氧化物膜 5 於凹槽 4 a 的內壁上的步驟之前在該凹槽 4 a 的肩膀部分形成底切，所以能夠很容易地圓化凹槽 4 a 的肩膀部分而不需

五、發明說明 (31)

移位自該凹槽 4 a 的側壁露出之矽氧化物膜 2 的部分朝向主動區域，注意採取實施例 1 的方法，其中自凹槽 4 a 的側壁露出之矽氧化物膜 2 的部分被移位朝向主動區域，以及本實施例的方法，其中底切被形成在凹槽 4 a 的肩膀部分，兩者係可能的。

(實施例 3)

一種依據本實施例之元件隔離凹槽 4 的形成方法將參考圖 2 7 到圖 3 4 來做說明。

首先，如在圖 2 7 中所顯示，一層矽氧化物膜 5 被形成於凹槽 4 a 的內壁上並且藉由依據實施例 1 或 2 的方法來圓化該凹槽 4 a 的肩膀部分，之後，如在圖 2 8 中所顯示，藉由 C V D 法來薄薄地沈積一層矽氮化物膜 6 於半導體基板 1 之上，當在稍後的步驟中燒結在凹槽 4 a 中所埋入之矽氧化物膜 7，爲了抑制在凹槽 4 a 的內壁上之矽氧化物膜 5 朝向主動區域生長的目的而形成該矽氮化物膜 6。

接著，如在圖 2 9 中所顯示，一層矽氧化物膜 7 藉由 C V D 法而被沈積於半導體基板 1 上，而且該矽氧化物膜 7 被埋入凹槽 4 a 之中，之後，在上面所述的溫度條件下濕式氧化半導體基板 1，藉以實施用以改善在凹槽 4 a 中所埋入之矽氧化物膜 7 的膜品質之燒結。

其後，如在圖 3 0 中所顯示，一種化學機械研磨法被用來研磨矽氧化物膜 7 而使得在凹槽 4 a 中僅剩下該矽氧

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (32)

化物膜 7，藉以形成一元件隔離凹槽 4，之後，如在圖 3 1 中所顯示，當藉由例如熱磷酸或與其性質相同之物的蝕刻溶液來去除覆蓋主動區域之矽氮化物膜 3 時，同時蝕刻在元件隔離凹槽 4 之內壁上的矽氮化物膜 6，因此，該矽氮化物膜 6 被向內凹陷入元件隔離凹槽 4 之中，而且在該元件隔離凹槽 4 的肩膀部分形成凹陷，如果凹陷被形成，那麼在蝕刻於稍後的步驟中所沈積之像多晶矽或與其性質相同之物一樣的閘極電極材料之後，在元件隔離凹槽 4 中所埋入之矽氧化物膜 7 的表面可能闖入外來物質或者在凹陷中可能產生蝕刻殘留物。

爲了避免這些缺點，舉例來說，如在圖 3 2 中所顯示，於去除矽氮化物膜 3 之後，在該元件隔離凹槽 4 之肩膀部分處的矽氧化物膜 7 被再次氧化於 850℃ 到 900℃ 的溫度以便被加厚而使得該凹陷被矽氧化物膜 7 所覆蓋，爲了以矽氧化物膜 7 來覆蓋該凹陷，其膜厚必須被增加爲至少多於矽氮化物膜 6 之膜厚的兩倍。但是，如果增加的太多，那麼主動區域被已經生長之矽氧化物膜 5 所窄化，因此，必須控制氧化周期而使得膜厚被增加爲矽氮化物膜 6 之膜厚的兩倍或者稍做多於兩倍。

如下係防止凹陷被形成在元件隔離凹槽 4 之肩膀部分的方法，如在圖 3 3 中所顯示，藉由化學機械研磨法來研磨矽氧化物膜 7 而使得在凹槽 4 a 的內部僅剩下該矽氧化物膜 7，並且其後實施燒結，在此情況下，藉由設定稍長的燒結周期（或者稍高的燒結溫度）來氧化覆蓋在元件隔

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

六、申請專利範圍3

離凹槽 4 之肩膀部分附近的主動區域及矽氮化物膜 6 之矽氮化物膜 3 的表面，而後，藉由蝕刻來去除在矽氮化物膜 3 的表面上之氧化物膜，並且隨後藉由蝕刻來去除該矽氮化物膜 3，以此方式，防止凹陷被形成在元件隔離凹槽 4 的肩膀部分係可能的。

(實施例 4)

一種依據本實施例之元件隔離凹槽 4 的形成方法將參考圖 3 5 到圖 3 6 來做說明。

首先，如在圖 3 5 中所顯示，一層矽氧化物膜 5 被形成於凹槽 4 a 的內壁上並且以先前所述的方式來圓化該凹槽 4 a 的肩膀部分，之後，如在圖 3 6 中所顯示，凹槽 4 a 的內壁受到氧化／氮化處理以便隔離氮氣於介在凹槽 4 a 之內壁上所形成的矽氧化物膜 5 與元件隔離區域的側壁間之交接面的附近，藉以形成矽氮化物層 2 0，為了使凹槽 4 a 的內壁受到氧化／氮化處理，一半導體基板 1 在 NO （氮氧化物）或者 N_2O （氮氧化物）環境中受到熱處理，在此情況下，由 NO 或 N_2O 之熱分解所產生的氮氣與介於矽氧化物膜 5 和半導體基板 1 的元件隔離區域間之交接面的附近隔離，而後實施熱處理以便形成矽氮化物層 2 0。

依據本實施例，因為矽氮化物層 2 0 被形成在介於矽氧化物膜 5 與半導體基板 1 的元件隔離區域間之交接面的附近，所以稍後當燒結在凹槽 4 a 中所埋入之矽氧化物膜

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (34)

7 時，難以氧化該交接面的附近，而因此抑制矽氧化物膜 5 朝向主動區域生長係可能的。

如下係在介於矽氧化物膜 5 與半導體基板 1 的主動區域間之交接面的附近形成矽氮化物層 20 的另一種方法，如在圖 3.7 中所顯示，以如先前所述之方式形成一層矽氮化物層 20 於凹槽 4 a 的內壁上並且圓化該凹槽 4 a 的肩膀部分，其後，如在圖 3.8 中所顯示，氮被離子植入於介在矽氧化物膜 5 與半導體基板 1 的主動區域間之交接面的附近，並且實施熱處理。

(實施例 5)

一種依據本實施例之元件隔離凹槽 4 的形成方法將參考圖 3.9 到圖 4.0 來做說明。

首先，如在圖 3.9 中所顯示，藉由以一層矽氮化物膜 3 當作遮罩來蝕刻而在半導體基板 1 於元件隔離區域處形成一凹槽 4 a，之後，藉由包含氫氟酸之蝕刻溶液來去除自凹槽 4 a 的側壁露出之矽氧化物膜 2 的部分以便向後移位該矽氧化物膜 2 朝向主動區域，至此狀態為止所採取的步驟和在實施例 1 中的步驟相同。

接著，如在圖 4.0 中所顯示，半導體基板 1 受到氧化／氮化處理以便形成一層矽氮化物膜 21 於凹槽 4 a 的內壁上，並且該凹槽 4 a 的肩膀部分被圓化，為了使半導體基板 1 受到氧化／氮化處理，該半導體基板 1 在例如 NO 及 N₂ 的混合氣體中受到熱處理於大約 900℃，在另一種

五、發明說明 (35)

情況下，該半導體基板 1 在 N_2O 及 N_2 的混合氣體中受到熱處理於大約 $1050^\circ C$ 。

依據本實施例，因為一層矽氮化物膜被形成於凹槽 4 a 的內壁上，所以當燒結在凹槽 4 a 中所埋入之矽氧化物膜 7 時，難以氧化上面所述之交接面的附近，而因此抑制該矽氧化物膜 5 朝向主動區域生長係可能的。

(實施例 6)

一種依據本實施例之元件隔離凹槽 4 的形成方法將參考圖 4 1 到圖 4 4 來做說明。

首先，如在圖 4 1 中所顯示，藉由以一層矽氮化物膜 3 當作遮罩來蝕刻而在半導體基板 1 於元件隔離區域處形成一凹槽 4 a，之後，如在圖 4 2 中所顯示，藉由包含氫氟酸之蝕刻溶液來去除自凹槽 4 a 的側壁露出之矽氧化物膜 2 的部分以便向後移位該矽氧化物膜 2 朝向主動區域，到此狀態為止所採取的步驟和在實施例 1 中的步驟相同。

接著，如在圖 4 3 中所顯示，藉由 CVD 法沈積一層矽氧化物膜 7 於半導體基板 1 上，藉以將該矽氧化物膜 7 埋入該凹槽 4 a 之中，其後，如在圖 4 4 中所顯示，該半導體基板 1 被濕式氧化以便形成該矽氧化物膜 7，同時，一層矽氧化物膜 5 被形成於凹槽 4 a 的內壁上並且圓化該凹槽 4 a 的肩膀部分。

依據本實施例，同時實施矽氧化物膜 7 的燒結，在凹槽 4 a 的內壁上之矽氧化物膜 5 的形成，以及該凹槽 4 a

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (36)

之肩膀部分的圓化，使得能簡化元件隔離凹槽 4 的形成步驟。

(實施例 7)

一種依據本實施例之元件隔離凹槽 4 的形成方法將參考圖 4 5 到圖 4 8 來做說明。

首先，如在圖 4 5 中所顯示，藉由以一層矽氮化物膜 3 當作遮罩來蝕刻而在半導體基板 1 於元件隔離區域處形成一凹槽 4 a，之後，藉由包含氫氟酸之蝕刻溶液來去除自凹槽 4 a 的側壁露出之矽氧化物膜 2 的部分以便向後移位矽氧化物膜 2 朝向主動區域，到此狀態為止所採取的步驟和在實施例 1 中的步驟相同。

接著，如在圖 4 6 中所顯示，一層矽氧化物膜 7 藉由 C V D 法而被沈積於半導體基板 1 上，藉以將該矽氧化物膜 7 埋入凹槽 4 a 之中，其後，如在圖 4 7 中所顯示，去除在矽氮化物膜 3 之上的矽氧化物膜 7 的部分而使得在凹槽 4 a 的內部僅剩下該矽氧化物膜 7，藉以形成一矽氧化物膜 7 被埋入其中之元件隔離凹槽 4，而後，如在圖 4 8 中所顯示，該半導體基板 1 被濕式氧化以便燒結該矽氧化物膜 7，同時，一層矽氧化物膜 5 被形成於凹槽 4 a 的內壁上並且圓化該凹槽 4 a 的肩膀部分。

依據本實施例，同時實施矽氧化物膜 7 的燒結，在凹槽 4 a 的內壁上之矽氧化物膜 5 的形成，以及該凹槽 4 a 之肩膀部分的圓化，使得能夠簡化元件隔離凹槽 4 的形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (37)

步驟。

(實施例 8)

一種依據本實施例之元件隔離凹槽 4 的形成方法將參考圖 4 9 到圖 5 4 來做說明。

首先，如在圖 4 9 中所顯示，藉由以一層矽氮化物膜 3 當作遮罩來蝕刻而在一半導體基板 1 於元件隔離區域處形成一凹槽 4 a，之後，藉由含有氫氟酸之蝕刻溶液來去除自凹槽 4 a 的側壁露出之矽氧化物膜 2 的部分以便向後移位該矽氧化物膜 2 朝向主動區域。

接著，如在圖 5 0 中所顯示，該半導體基板 1 被熱氧化以便形成一層矽氧化物膜 5 於凹槽 4 a 的內壁上，並且圓化該凹槽 4 a 的肩膀部分，至此狀態為止所採取的步驟和在實施例 1 中的步驟相同。

其後，如在圖 5 1 中所顯示，藉由 C V D 來薄薄地形成一層多晶矽膜 2 2 於半導體基板 1 上，之後，如在圖 2 2 中所顯示，一層矽氧化物膜 7 藉由 C V D 法而被沈積於該多晶矽膜 2 2 之上，藉以將矽氧化物膜 7 埋入凹槽 4 a 之中。

接著，如在圖 5 3 中所顯示，該半導體基板 1 被濕式氧化以便燒結在凹槽 4 a 中所埋入之矽氧化物膜 7，在此狀態中，至少該多晶矽膜 2 2 的部分被氧化而改變成為一層矽氧化物膜 2 3，因此，氧化被局限在介於矽氧化物膜 5 與半導體基板 1 的主動區域間之交接面的附近，致使抑

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (38)

制該矽氧化物膜 5 朝向主動區域生長。當該多晶矽膜 2 2 被氧化而改變成為矽氧化物膜 2 3 時，其體積大約增加兩倍，因此，甚至當孔洞被形成在凹槽 4 a 中所埋入之矽氧化物膜 7 之中時，獲得由於矽氧化物膜 2 3 之體積的增加而能夠縮小孔洞的優點係可能的。

而後，如在圖 5 4 中所顯示，位在矽氮化物膜 3 上面的矽氧化物膜 7 及矽氧化物膜 2 3 的部分被去除而使得在凹槽 4 a 中僅剩下該矽氧化物膜 7 及矽氧化物膜 2 3，因此形成一元件隔離凹槽 4，在形成該元件隔離凹槽 4 之後可以實施矽氧化物膜 7 的燒結和多晶矽膜 2 2 的氧化，一非晶形矽膜可以被用來取代該多晶矽膜 2 2。

(實施例 9)

一種依據本實施例之元件隔離凹槽 4 的形成方法將參考圖 5 5 到圖 5 6 來做說明。

首先，如在圖 5 5 中所顯示，藉由以一層矽氮化物膜 3 當作遮罩來蝕刻而在半導體基板 1 中於元件隔離區域處形成一凹槽 4 a，之後，藉由含有氫氟酸之蝕刻溶液來去除自凹槽 4 a 的側壁露出之矽氧化物膜 2 的部分以便向後移位該矽氧化物膜 2 朝向主動區域，至此階段為止所採取的步驟和在實施例 1 中的步驟相同。

接著，如在圖 5 6 中所顯示，該半導體基板 1 受到熱處理於氮環境中，藉以形成一層矽氮化物膜 2 4 於凹槽 4 a 的內壁上，並且圓化該凹槽 4 a 的肩膀部分。

五、發明說明 (39)

依據本實施例，因為一層矽氮化物膜 2 4 被形成於凹槽 4 a 的內壁上，所以稍後當燒結一層在凹槽 4 a 中所埋入之矽氧化物膜 7 時，抑制該半導體基板之主動區域被氧化係可能的。

(實施例 1 0)

一種依據本實施例之元件隔離凹槽 4 的形成方法將參考圖 5 7 到圖 5 8 來做說明。

首先，如在圖 5 7 中所顯示，藉由以一層矽氮化物膜 3 當作遮罩來蝕刻而在一半導體基板中於元件隔離區域處形成一凹槽 4 a，之後，藉由含有氫氟酸之蝕刻溶液來去除自凹槽 4 a 的側壁露出之矽氧化物膜 2 的部分以便向後移位該矽氧化物膜 2 朝向主動區域，至此階段為止所採取之步驟和在實施例 1 中所採取的步驟相同。而後，該半導體基板 1 被熱氧化以便形成一層矽氧化物膜 2 5 於凹槽 4 a 的內壁上。

接著，如在圖 5 8 中所顯示，該半導體基板 1 在氮環境中受到熱處理，藉以將在凹槽 4 a 的內壁上之矽氧化物膜 2 5 改變成為一層矽氮化物膜 2 6。

依據本實施例，因為一層矽氮化物膜 2 6 被形成於凹槽 4 a 的內壁上，所以稍後當燒結一層在凹槽 4 a 中所埋入之矽氧化物膜 7 時，抑制該半導體基板 1 之主動區域被氧化係可能的。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (40)

(實施例 1 1)

一種依據本實施例之元件隔離凹槽 4 的形成方法將參考圖 5 9 到圖 6 0 來做說明。

首先，如在圖 5 9 中所顯示，藉由以一層矽氮化物膜 3 當作遮罩來蝕刻而在一半導體基板中於元件隔離區域處形成一凹槽 4 a，之後，藉由含有氫氟酸之蝕刻溶液來去除自凹槽 4 a 的側壁露出之矽氧化物膜 2 的部分以便向後移位該矽氧化物膜 2 朝向主動區域，至此階段為止所採取之步驟和在實施例 1 中所採取的步驟相同，其後，一層薄的多晶矽膜 2 7 藉由 C V D 法而被沈積於該半導體基板 1 之上。

接著，如在圖 6 0 中所顯示，該半導體基板 1 在氮環境中受到熱處理，藉以將該多晶矽膜 2 7 改變成為一層矽氮化物膜 2 8。

依據本實施例，因為一層矽氮化物膜 2 8 被形成於凹槽 4 a 的內壁上，所以當稍後燒結一層在該凹槽 4 a 中所埋入之矽氧化物膜 7 時，抑制該半導體基板 1 之主動區域被氧化係可能的。

本發明已經結合實施例來做說明，注意本發明並沒有被限定於這些實施例，並且各種的修改可以被達成而沒有違反本發明的精神。

本發明的一些代表性優點可以大致概述如下。

依據本發明，藉由熱處理於 1 0 0 0 °C 或者低於 1 0 0 0 °C 的溫度時能夠使元件隔離凹槽的形狀達最佳化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (41)

，使得能夠發展元件的尺寸縮減以及改進其電氣特性。

依據本發明，降低來自由於燒結一層在元件隔離凹槽中所埋入之矽氧化物膜的應力而對主動區域之有害的影響係可能的。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

束

四、中文發明摘要(發明之名稱：半導體積體電路裝置的製造方法)

一層自一凹槽的側壁中露出之矽氧化物膜 2 被蝕刻以使用後移位該矽氧化物膜 2 朝向一主動區域，其位移量被設定為等於或大於即將在稍後的熱氧化步驟中被形成於該凹槽之內壁上的一層矽氧化物膜 5 的膜厚 (T_r) 並且等於或小於其膜厚 (T_r) 的兩倍，藉由在 1000°C 或者低於 1000°C 之低溫的熱處理能夠圓化該凹槽 4a 的肩膀部分，透過控制一熱處理周期而使得該矽氧化物膜 5 的膜厚 (T_r) 係大於該矽氧化物膜 2 的膜厚 (T_p) 並且係等於或小於其膜厚 (T_p) 的三倍 ($T_p < T_r \leq 3T_p$)。

英文發明摘要(發明之名稱：METHOD OF MANUFACTURING A SEMICONDUCTOR) INTEGRATED CIRCUIT DEVICE

A silicon oxide film 2 which is exposed from a side wall of a groove 4a is etched to displace the silicon oxide film 2 backward toward an active region. The displacement amount is set to be equal to or more than a film thickness (T_r) of a silicon oxide film 5 to be formed on an inner wall of the groove 4a in a later thermal oxidation step and equal to or less than twice the film thickness (T_r) thereof. A shoulder portion of the groove 4a can be rounded by a low-temperature heat treatment at 1000°C or less, by controlling a heat treatment period such that the film thickness (T_r) of the silicon oxide film 5 is more than the film thickness (T_p) of the silicon oxide film 2 and equal to or less than three times the film thickness (T_r) thereof ($T_p < T_r \leq 3T_p$).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

冰

六、申請專利範圍

第 087106611 號專利申請案

中文申請專利範圍修正本

民國 89 年 7 月修正

1. 一種半導體積體電路裝置之製造方法，其包括步驟：

(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面之上，其後形成一層矽氮化物膜於該第一矽氧化物膜上，而後進一步在一元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以形成一凹槽於該半導體基板的主表面中；

(b) 蝕刻自該凹槽露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

(c) 熱氧化該半導體基板以便形成一層第二矽氧化物膜於凹槽的內壁之上；

(d) 形成一層第三矽氧化物膜於半導體基板的主表面上以使用該第三矽氧化物膜來填補該凹槽；

(e) 使半導體基板受到熱處理，藉以燒結在凹槽中所填補的第三矽氧化物膜；

(f) 去除位在矽氮化物膜上面之第三矽氧化物膜的部分而使得在該凹槽中僅剩下該第三矽氧化物膜；以及

(g) 去除位在其周邊由元件隔離凹槽所界定之主動區域之表面上的矽氮化物膜的部分；而後形成一半導體元件於該主動區域，其中：

該第一矽氧化物膜的位移量被設定為等於或大於該第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

二矽氧化物膜的膜厚；以及

該第二矽氧化物膜的膜厚被設定為大於該第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍。

2. 如申請專利範圍第1項的方法，其中用以形成該第一矽氧化物膜之熱氧化溫度，用以形成該第二矽氧化物膜之熱氧化溫度，以及用以燒結該第三矽氧化物膜的熱處理溫度的每一個溫度被設定為等於或低於1000℃。

3. 如申請專利範圍第1項或第2項的方法，其中用以形成該第二矽氧化物膜的熱氧化溫度係等於或高於800℃並且等於或低於1000℃。

4. 如申請專利範圍第1項或第2項的方法，其中該凹槽以一種等於或小於85°的傾斜角度 θ 而逐漸傾斜。

5. 如申請專利範圍第1項的方法，其中在步驟(c)之後於步驟(d)之前，該凹槽的內壁受到氧化／氮化處理，藉以形成一層矽氮化物層於介在該凹槽的內壁上所形成之該第二矽氧化物膜與該半導體基板的主動區域間之交接面的附近。

6. 如申請專利範圍第1項的方法，其中在步驟(c)之後於步驟(d)之前，氮被離子植入於介在該凹槽的內壁上所形成之該第二矽氧化物膜與該半導體基板的元件隔離區域間之交接面的附近，藉以形成一層矽氮化物層於介在該凹槽的內壁上所形成之該第二矽氧化物膜與該半導體基板的元件隔離區域間之交接面的附近。

7. 如申請專利範圍第1項的方法，其中步驟(e)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

被實施於步驟（f）之後。

8．如申請專利範圍第1項的方法，其中步驟（c）被實施於含氮的環境中，藉以形成一層具有膜厚被設定為大於該第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍之第二矽氮化物膜。

9．如申請專利範圍第1項的方法，其中在步驟（c）之後於步驟（d）之前，一層第二矽氮化物膜被形成於至少該第二矽氧化物膜的表面之上。

10．一種半導體積體電路裝置之製造方法，其包括步驟：

（a）熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面之上，其後形成一層矽氮化物膜於該第一矽氧化物膜上，而後進一步在一元件隔離區域上選擇性蝕刻該矽氮化物膜及該第一矽氧化物膜；

（b）使自該第一矽氧化物膜露出之半導體基板的表面部分受到等向性蝕刻；

（c）選擇性蝕刻在元件隔離區域中的半導體基板，藉以形成一凹槽於該半導體基板的主表面中；

（d）熱氧化該半導體基板以便形成一層第二矽氧化物膜於該凹槽的內壁之上；

（e）形成一層第三矽氧化物膜於該半導體基板的主表面上以使用該第三矽氧化物膜來填補該凹槽；

（f）使半導體基板受到熱處理，藉以燒結在凹槽中所填補之第三矽氧化物膜；

六、申請專利範圍

(g) 去除位在該矽氮化物膜上面之第三矽氧化物膜的部分而使得在凹槽中僅剩下該第三矽氧化物膜；以及

(h) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面上之矽氮化物膜的部分，而後形成一半導體元件於該主動區域。

1 1 . 一種半導體積體電路裝置之製造方法，其包括步驟：

(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面之上，其後形成一層第一矽氮化物膜於該第一矽氧化物膜上，而後進一步在一元件隔離區域上選擇性蝕刻該第一矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以形成一凹槽於該半導體基板的主表面中；

(b) 蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

(c) 熱氧化該半導體基板以便形成一層第二矽氧化物膜於該凹槽的內壁之上；

(d) 藉以 C V D 法來形成一層第二矽氮化物膜於包括該凹槽之內部的半導體基板上；

(e) 形成一層第三矽氧化物膜於該半導體基板的主表面之上以使用該第三矽氧化物膜來填補凹槽；

(f) 使該半導體基板受到熱處理，藉以燒結在凹槽中所填補之第三矽氧化物膜；

(g) 去除位在第一矽氮化物膜上面之第三矽氧化物

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

膜及第二矽氮化物膜的部分而使得在凹槽中僅剩下該第三矽氧化物膜及第二矽氮化物膜；

(h) 藉由蝕刻來去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的第一矽氮化物膜的部分；

(i) 熱氧化在元件隔離凹槽之肩膀部分的第三矽氧化物膜以便加厚該第三矽氧化物膜的膜厚，藉以填補當藉由蝕刻來去除該第一矽氮化物膜時由於去除在元件隔離凹槽之肩膀部分的第二矽氮化物膜所形成之凹陷；以及

(j) 形成一半導體元件於該主動區域；其中：

該第一矽氧化物膜的位移量被設定為等於或大於該第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；以及

該第二矽氧化物膜的膜厚被設定為大於該第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍。

12. 一種半導體積體電路裝置之製造方法，其包括步驟：

(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面之上，其後形成一層第一矽氮化物膜於該第一矽氧化物膜上，而後進一步在一元件隔離區域上選擇性蝕刻該第一矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以形成一凹槽於該半導體基板的主表面中；

(b) 蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

(c) 熱氧化該半導體基板以便形成一層第二矽氧化

六、申請專利範圍

物膜於該凹槽的內壁之上；

(d) 藉由 C V D 法來形成一層第二矽氮化物膜於包括該凹槽之內部的半導體基板上；

(e) 形成一層第三矽氧化物膜於半導體基板的主表面上以便使用該第三矽氧化物膜來填補凹槽；

(f) 去除位在第一矽氮化物膜上面之第三矽氧化物膜及第二矽氮化物膜的部分而使得在凹槽中僅剩下該第三矽氧化物膜及第二矽氮化物膜；

(g) 使該半導體基板受到熱處理，藉以燒結在凹槽中所填補之第三矽氧化物膜，並且氧化在元件隔離凹槽之肩膀部分的第一矽氮化物膜的表面及第二矽氮化物膜的表面；

(h) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的第一矽氮化物膜的部分，並且藉由蝕刻來去除在該部分的表面處之氧化物膜；以及

(i) 形成一半導體元件於該主動區域，其中：

該第一矽氧化物膜的位移量被設定為等於或大於該第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；以及

該第二矽氧化物膜的膜厚被設定為大於該第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍。

13. 一種半導體積體電路裝置之製造方法，其包括步驟：

(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面之上，其後形成一層矽氮化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

物膜於該第一矽氧化物膜上，而後進一步在一元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以形成一凹槽於該半導體基板的主表面中；

(b) 蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

(c) 形成一層第二矽氧化物膜於該半導體基板的主表面上以使用該第二矽氧化物膜來填補凹槽；

(d) 熱氧化該半導體基板以便燒結在凹槽中所填補之第二矽氧化物膜，並且形成一層第三矽氧化物膜於該凹槽的內壁之上；

(e) 去除位在矽氮化物膜上面之第二矽氧化物膜的部分而使得在凹槽中僅剩下該第二矽氧化物膜；以及

(f) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的矽氮化物膜的部分，並且其後形成一半導體元件於該主動區域，其中：

該第一矽氧化物膜的位移量被設定為等於或大於該第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；以及

該第二矽氧化物膜的膜厚被設定為大於該第一矽氧化物的膜厚並且等於或小於其膜厚的三倍。

14. 一種半導體積體電路裝置之製造方法，其包括步驟：

(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面之上，其後形成一層矽氮化物膜於該第一矽氧化物膜上，而後進一步在一元件隔離區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以形成一凹槽於該半導體基板的主表面中；

（b）蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

（c）形成一層第二矽氧化物膜於半導體的主表面之上以使用該第二矽氧化物膜來填補凹槽；

（d）去除位在矽氮化物膜上面之第二矽氧化物膜的部分而使得在凹槽中僅剩下該第二矽氧化物膜；

（e）熱氧化半導體基板以使燒結在凹槽中所填補之第二矽氧化物膜，並且形成一層第三矽氧化物膜於凹槽的內壁上；

（f）去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的矽氮化物膜的部分，並且其後形成一半導體元件於該主動區域，其中：

該第一矽氧化物膜的位移量被設定為等於或大於該第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；以及

該第二矽氧化物膜的膜厚被設定為大於該第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍。

15. 一種半導體積體電路裝置之製造方法，其包括步驟：

（a）熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面之上，其後形成一層矽氮化物膜於該第一矽氧化物膜上，而後進一步在一元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半

六、申請專利範圍

導體基板，藉以形成一凹槽於該半導體基板的主表面中；

(b) 蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

(c) 熱氧化該半導體基板以便形成一層第二矽氧化物膜於凹槽的內壁之上；

(d) 形成一層多晶矽膜於半導體基板的主表面之上；

(e) 形成一層第三矽氧化物膜於半導體基板的主表面之上以使用該第三矽氧化物膜來填補凹槽；

(f) 使半導體基板受到熱處理，藉以燒結在凹槽中所填補之第三矽氧化物膜，並且氧化該多晶矽膜，藉以將至少該多晶矽膜的部分改變成為一層矽氧化物膜；

(g) 去除位在矽氮化物膜上面之第三矽氧化物膜及該矽氧化物膜而使得在凹槽中僅剩下該第三矽氧化物膜及該矽氧化物膜；以及

(h) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的矽氮化物膜的部分，並且其後形成一半導體元件於該主動區域，其中：

該第一矽氧化物膜的位移量被設定為等於或大於該第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；以及

該第二矽氧化物膜的膜厚被設定為大於該第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍。

16. 一種半導體積體電路裝置之製造方法，其包括步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面之上，其後形成一層矽氮化物膜於該第一矽氧化物膜上，而後進一步在一元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以形成一凹槽於該半導體基板的主表面中；

(b) 蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

(c) 熱氧化該半導體基板以便形成一層第二矽氧化物膜於凹槽的內壁之上；

(d) 形成一層多晶矽膜於該半導體基板的主表面之上；

(e) 形成一層第三矽氧化物膜於半導體基板的主表面上以使用該第三矽氧化物膜來填補凹槽；

(f) 去除位在矽氮化物膜上面之第三矽氧化物膜及多晶矽膜的部分而使得在凹槽中僅剩下該第三矽氧化物膜及該多晶矽膜；

(g) 使半導體基板受到熱處理，藉以燒結在凹槽中所填補之第三矽氧化物膜，並且氧化該多晶矽膜藉以將至少該多晶矽膜的部分改變成為一層矽氧化物膜；以及

(h) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的矽氮化物膜的部分，並且其後形成一半導體元件於該主動區域，其中：

該第一矽氧化物膜的位移量被設定為等於或大於該第二矽氧化物膜的膜厚並且等於或小於其膜厚的兩倍；以及

六、申請專利範圍

該第二矽氧化物膜的膜厚被設定為大於該第一矽氧化物膜的膜厚並且等於或小於其膜厚的三倍。

17. 一種半導體積體電路裝置之製造方法，其包括步驟：

(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面之上，其後形成一層矽氮化物膜於該第一矽氧化物膜上，而後進一步在一元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以形成一凹槽於該半導體基板的主表面中；

(b) 蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

(c) 熱氮化該半導體基板以便形成一層第二矽氮化物膜於凹槽的內壁之上；

(d) 形成一層第二矽氧化物膜於半導體基板的主表面上以使用該第二矽氧化物膜來填補凹槽；

(e) 使半導體基板受到熱處理，藉以燒結在凹槽中所填補之第二矽氧化物膜；

(f) 去除位在第一矽氮化物膜上面之第二矽氧化物膜的部分而使得在凹槽中僅剩下該第二矽氧化物膜；以及

(g) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的第一矽氮化物膜的部分，並且其後形成一半導體元件於該主動區域。

18. 一種半導體積體電路裝置之製造方法，其包括步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面之上，其後形成一層矽氮化物膜於該第一矽氧化物膜上，而後進一步在一元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以形成一凹槽於該半導體基板的主表面中；

(b) 蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

(c) 熱氧化該半導體基板以便形成一層第二矽氧化物膜於該凹槽的內壁之上，並且隨後氮化該第二矽氧化物膜，藉以將至少該第二矽氧化物膜的部分改變成為一層矽氮化物膜；

(d) 形成一層第三矽氧化物膜於半導體基板的主表面上以使用該第三矽氧化物膜來填補凹槽；

(e) 使半導體基板受到熱處理，藉以燒結在凹槽中所填補之第三矽氧化物膜；

(f) 去除位在第一矽氮化物膜上面之第三矽氧化物膜的部分而使得在凹槽中僅剩下該第三矽氧化物膜；以及

(g) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的第一矽氧化物膜的部分，並且其後形成一半導體元件於該主動區域。

19. 一種半導體積體電路裝置之製造方法，其包括步驟：

(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面之上，其後形成一層矽氮化

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

物膜於該第一矽氧化物膜上，而後進一步在一元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以形成一凹槽於該半導體基板的主表面中；

(b) 蝕刻自該凹槽中露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

(c) 形成一層多晶矽膜於該半導體基板之上，並且隨後氮化該多晶矽膜，藉以將至少該多晶矽膜的部分改變成為一層矽氮化物膜；

(d) 形成一層第一矽氧化物膜於半導體的主表面上以使用該第二矽氧化物膜來填補凹槽；

(e) 使半導體基板受到熱處理，藉以燒結在凹槽中所填補之第二矽氧化物膜；

(f) 去除位在第一矽氮化物膜上面之第二矽氧化物膜的部分而使得在凹槽中僅剩下該第二矽氧化物膜；

(g) 去除位在其周邊由元件隔離凹槽所界定之主動區域的表面之上的第一矽氮化物膜的部分，並且其後形成一半導體元件於該主動區域。

(請先閱讀背面之注意事項再填寫本頁)

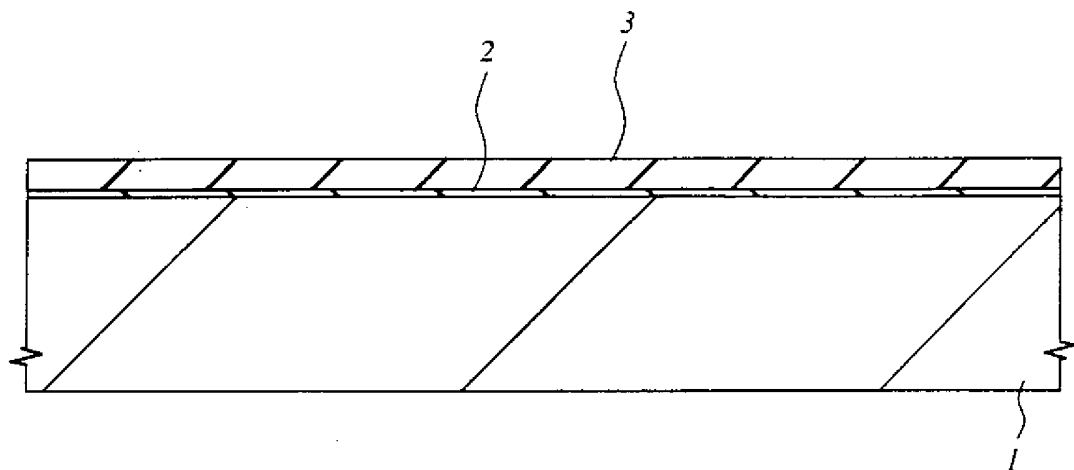
裝

訂

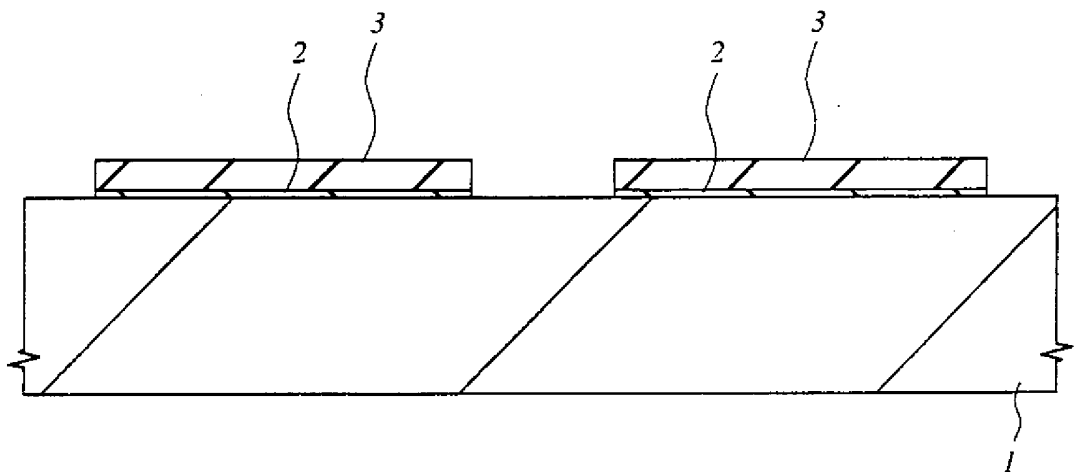
線

418492

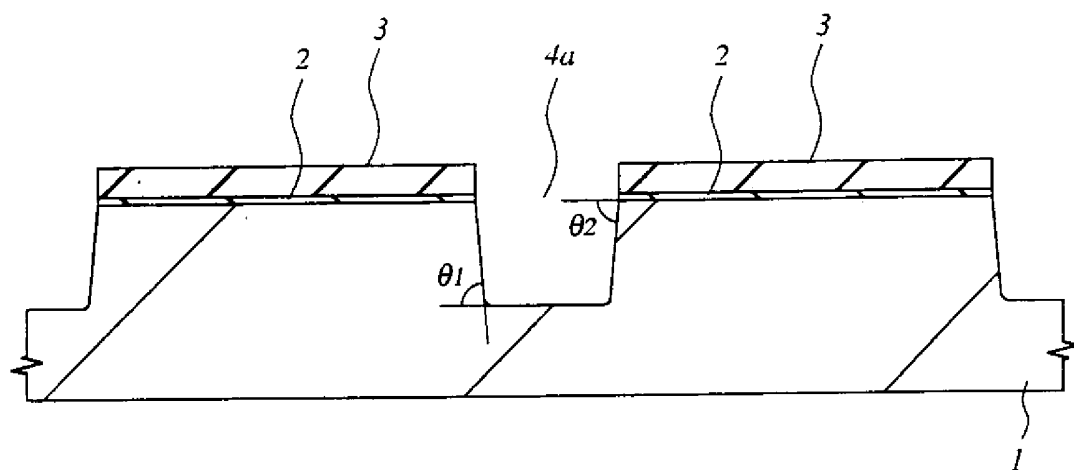
第1圖



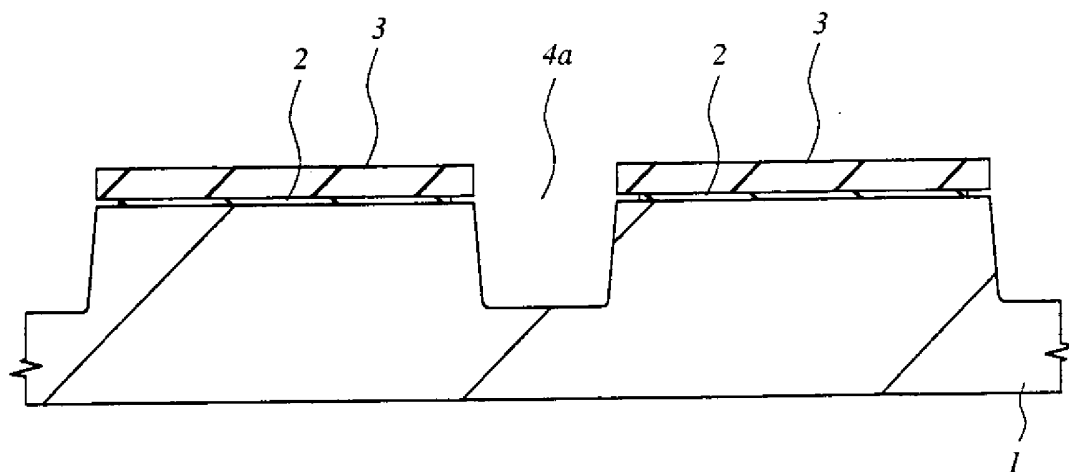
第2圖



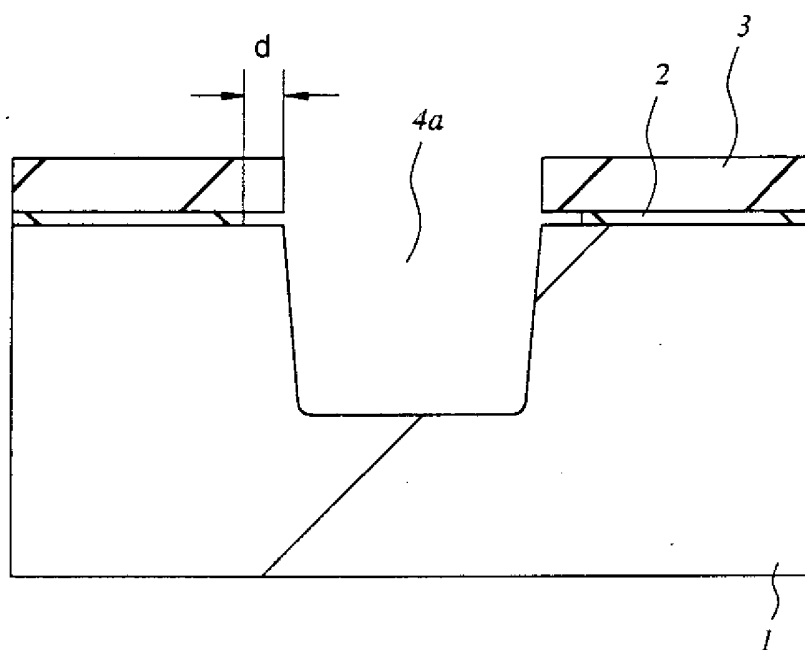
第3圖



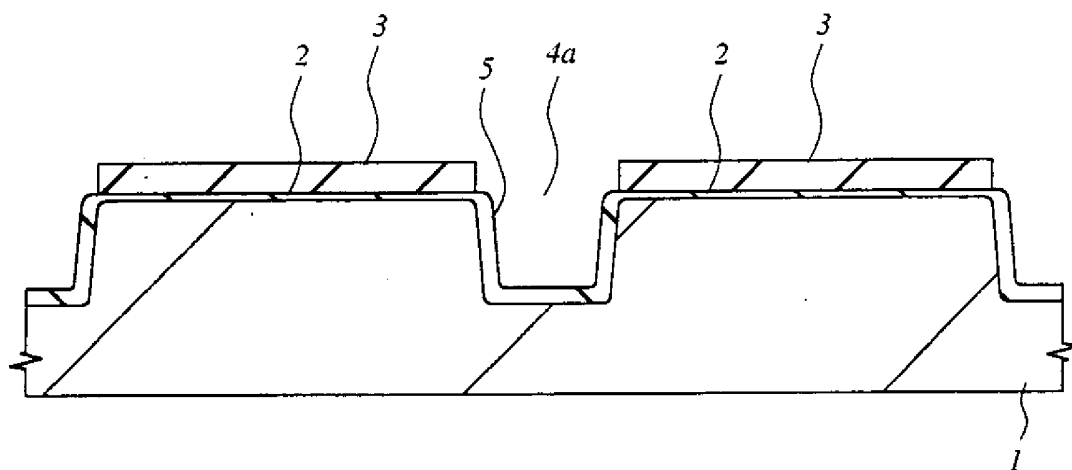
第4圖



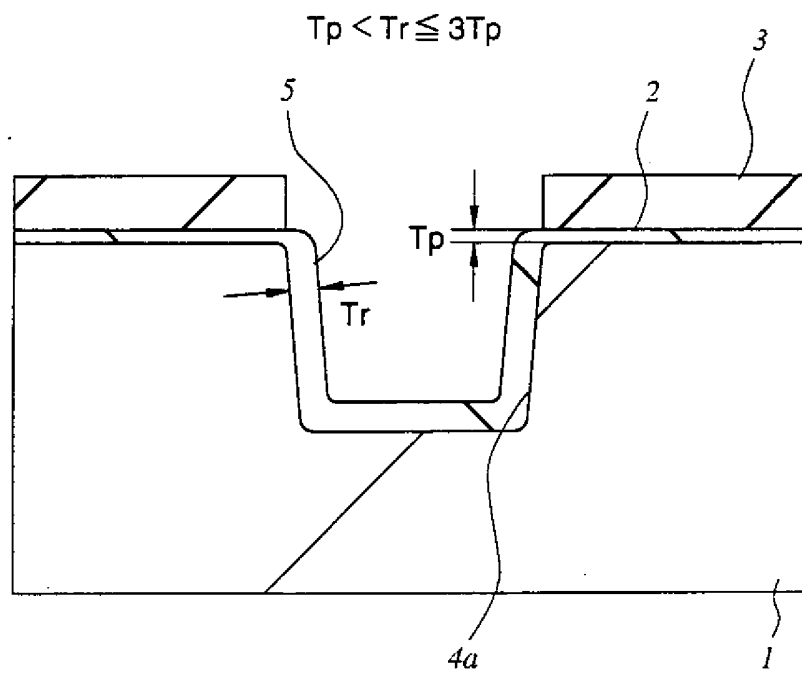
第5圖



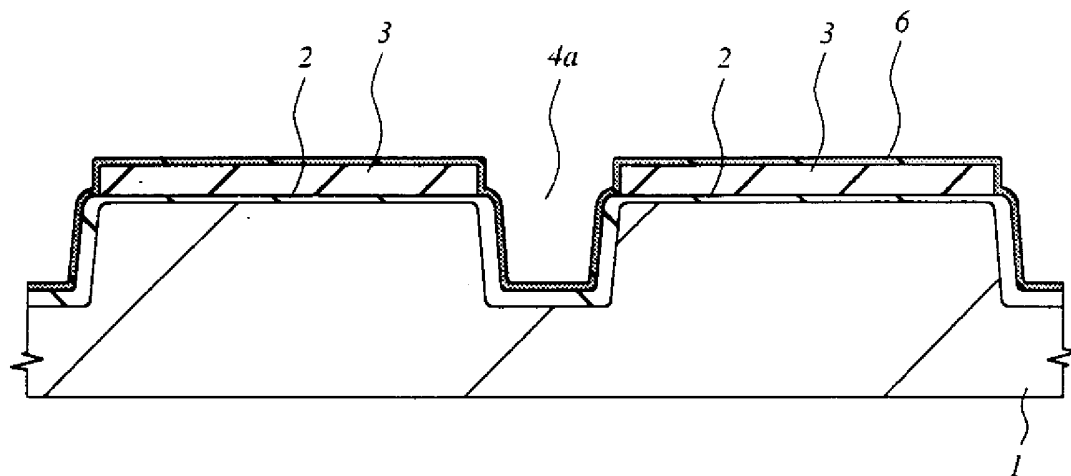
第 6 圖



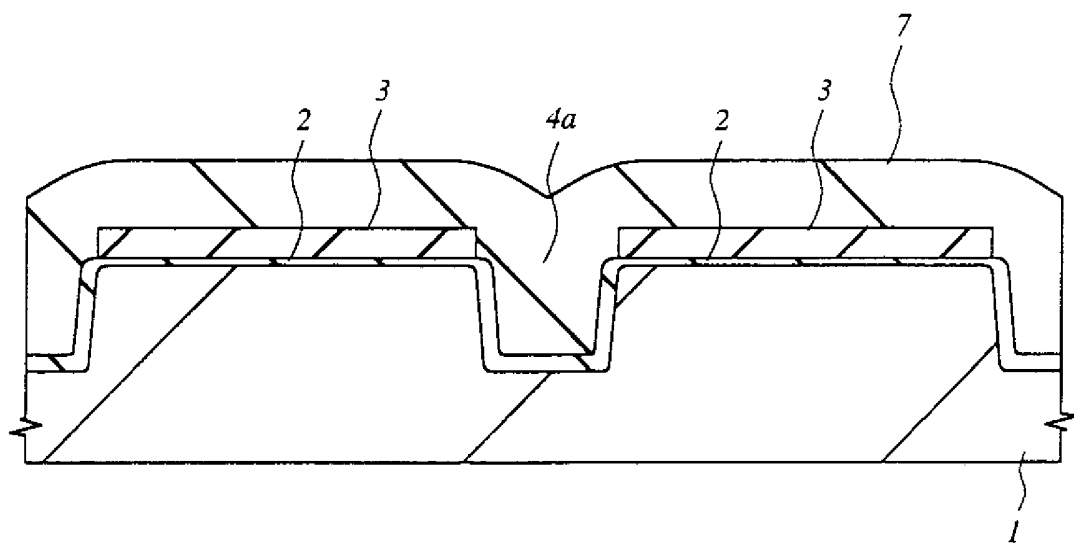
第7圖



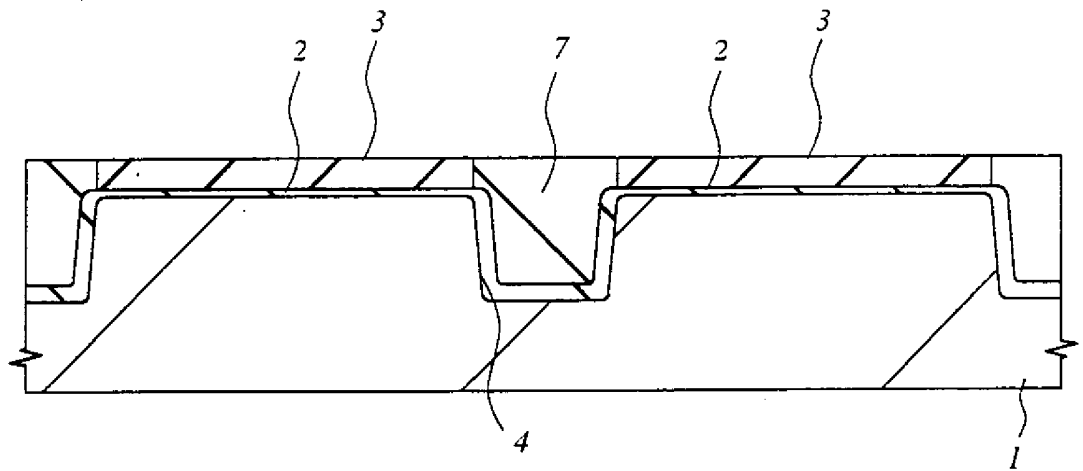
第8圖



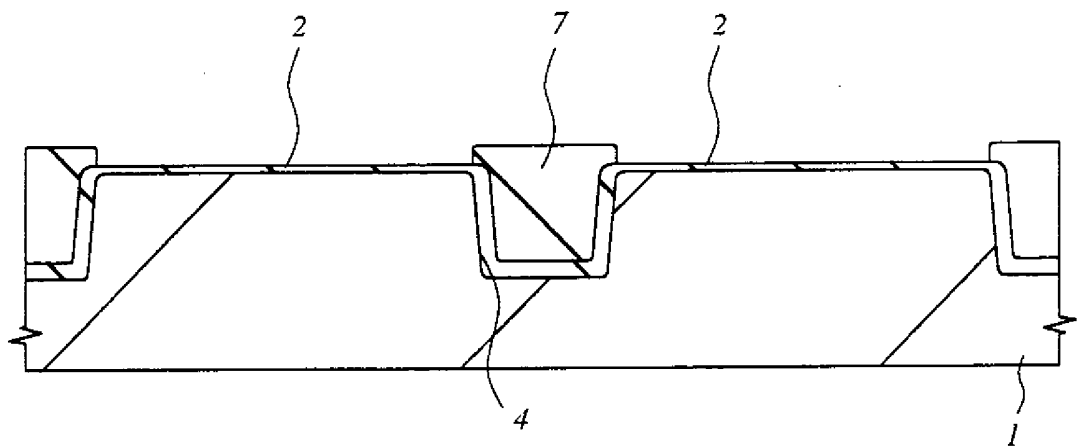
第9圖



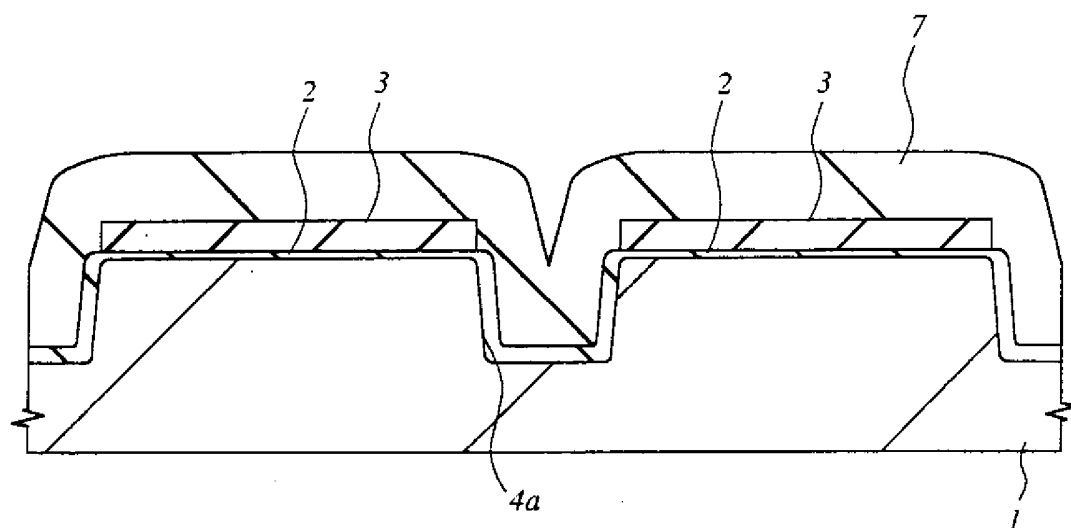
第 10 圖



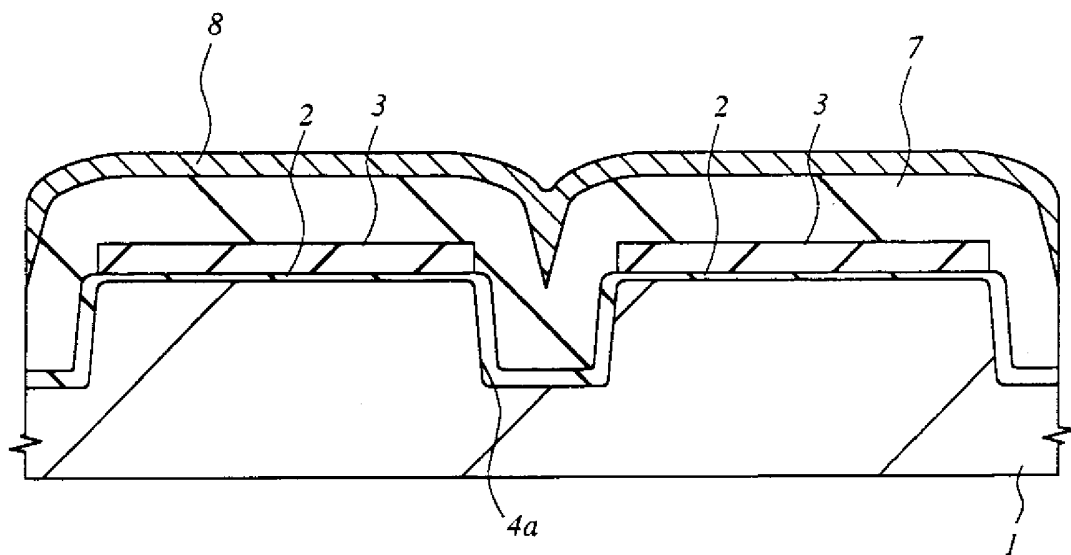
第 11 圖



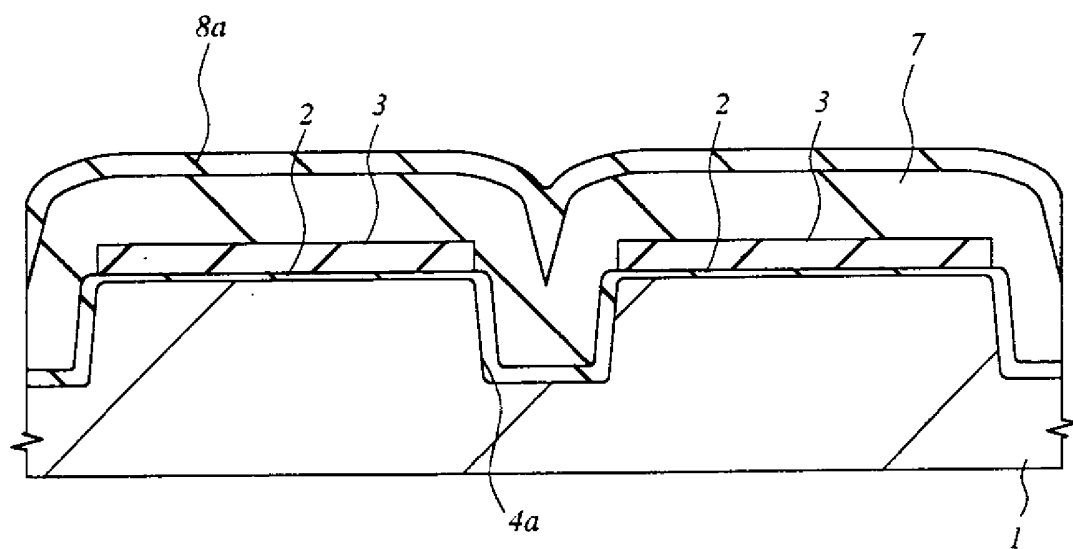
第12圖



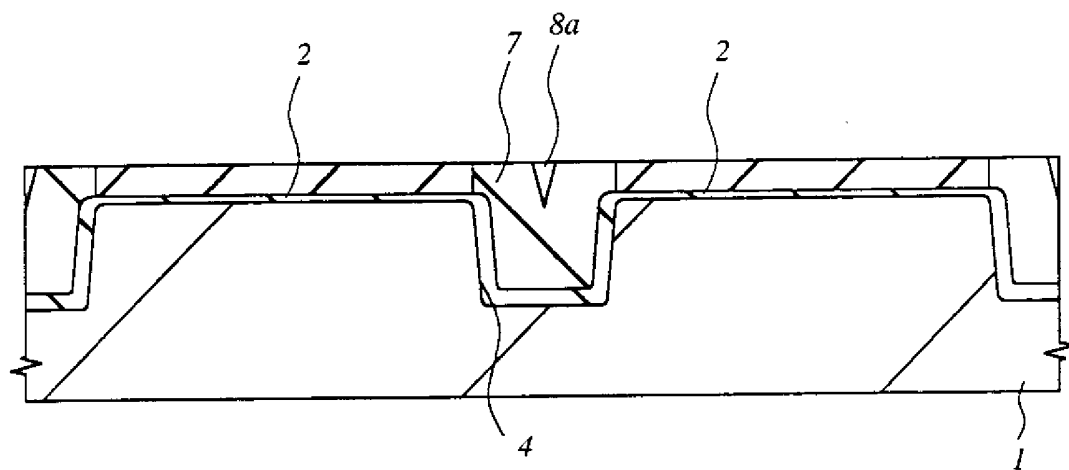
第13圖



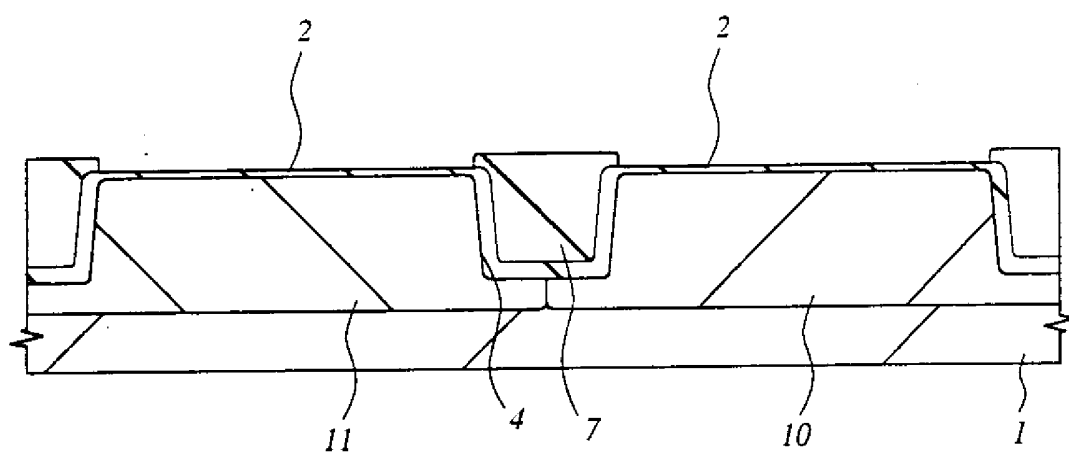
第 14 圖



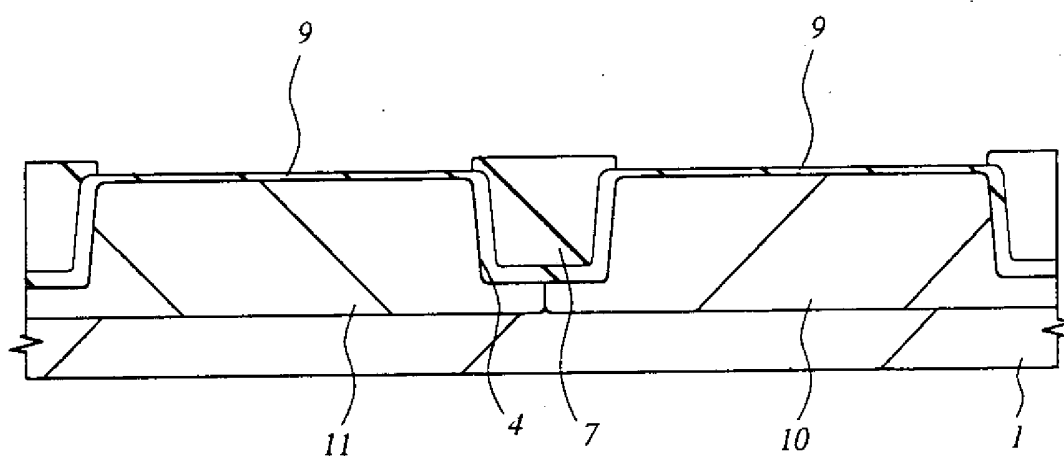
第 15 圖



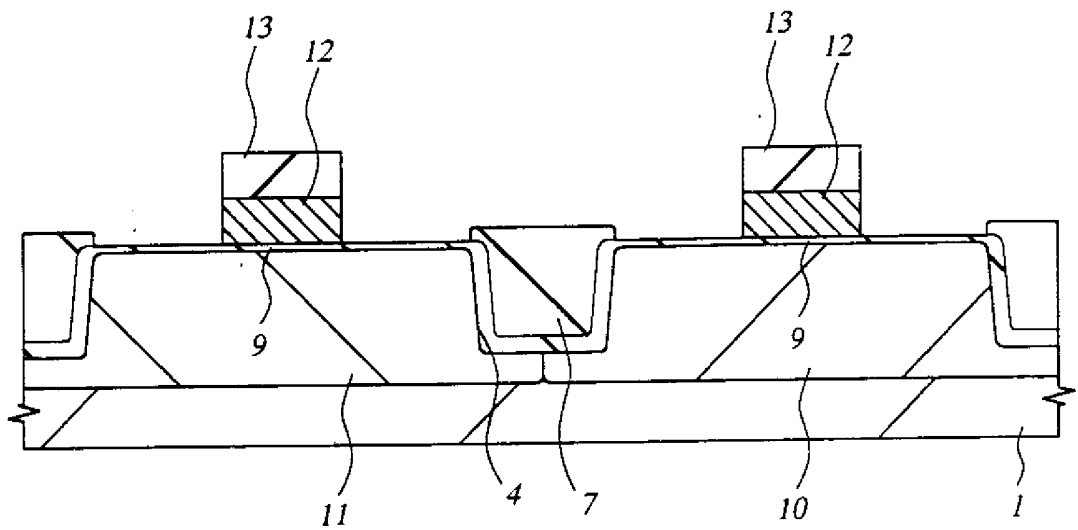
第 16 圖



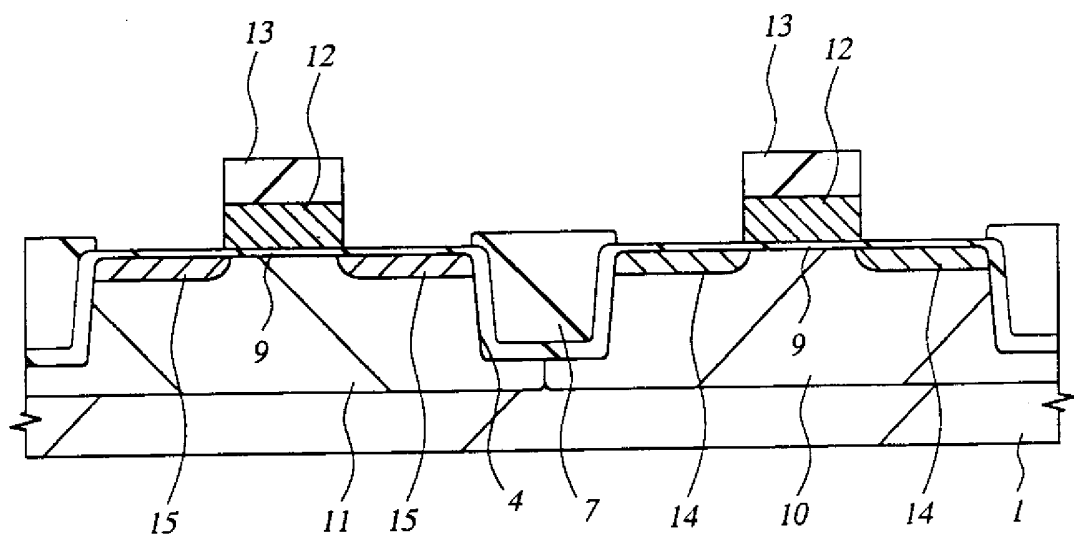
第 17 圖



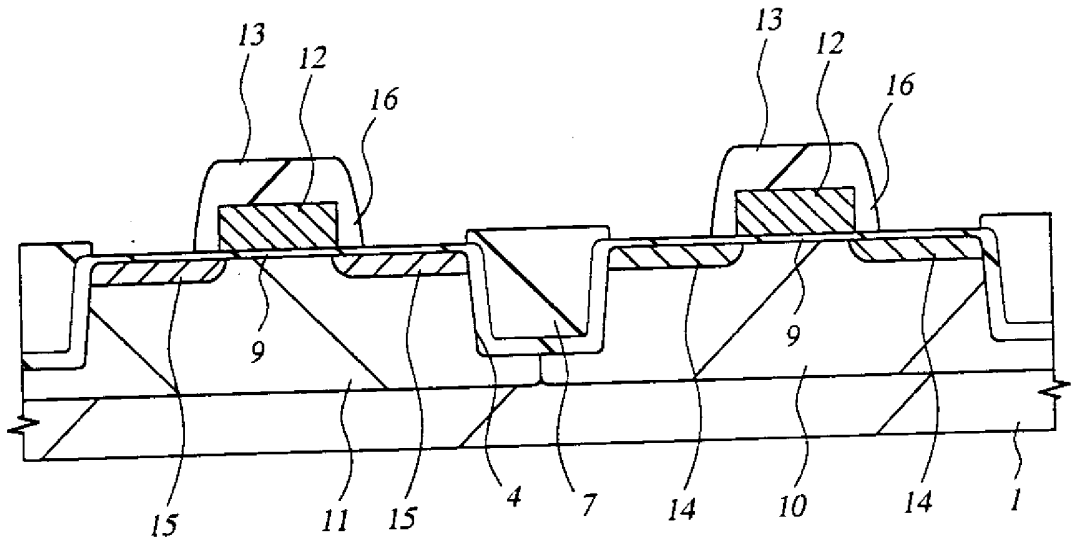
第 18 圖



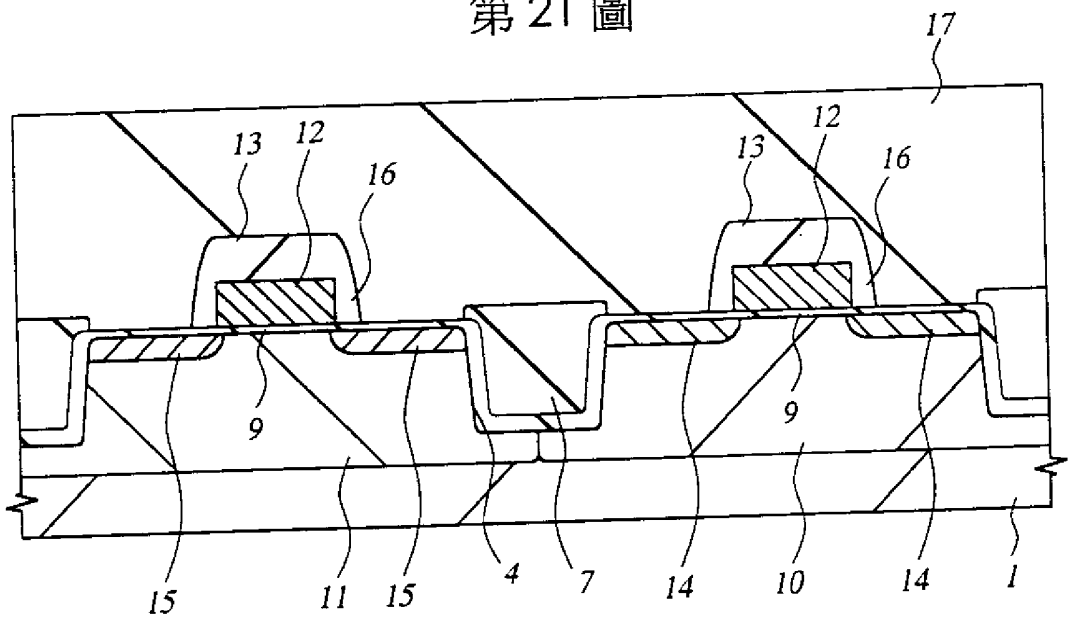
第 19 圖



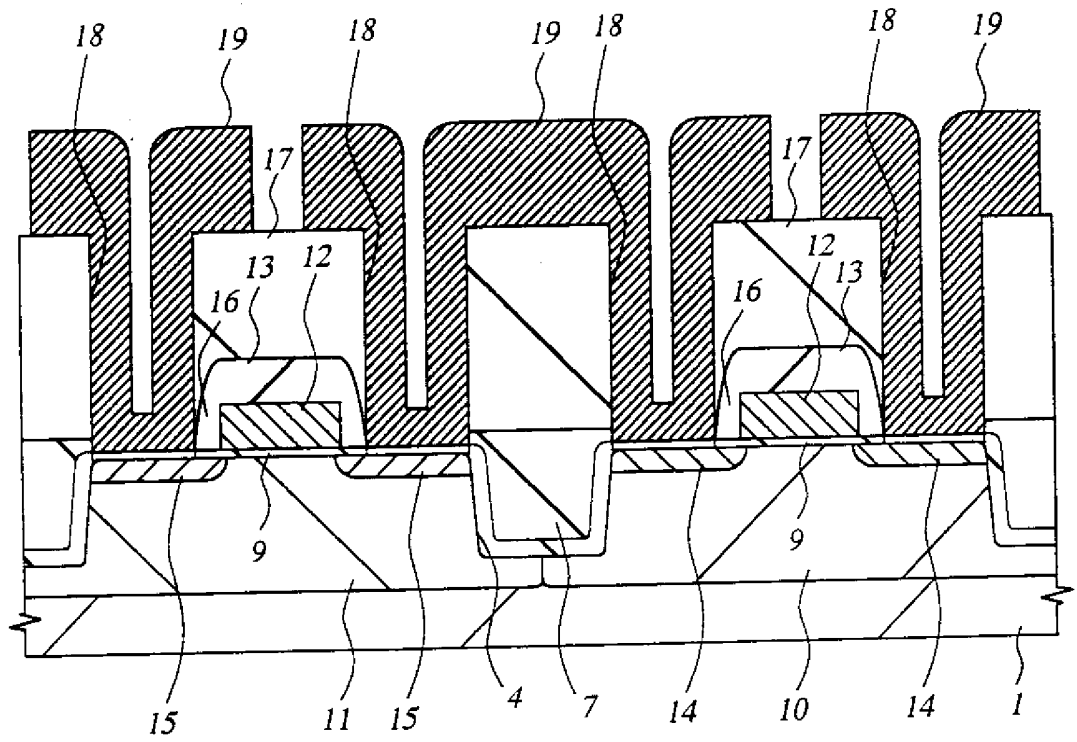
第 20 圖



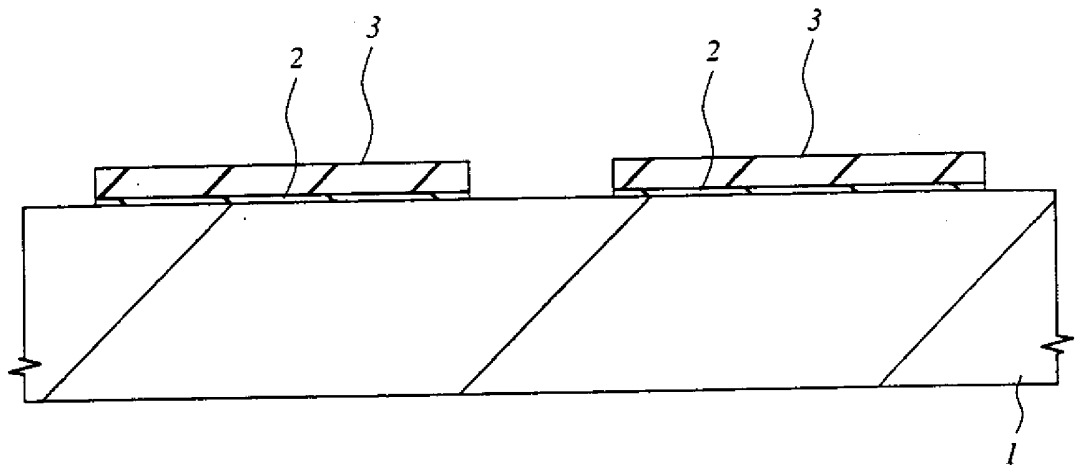
第 21 圖



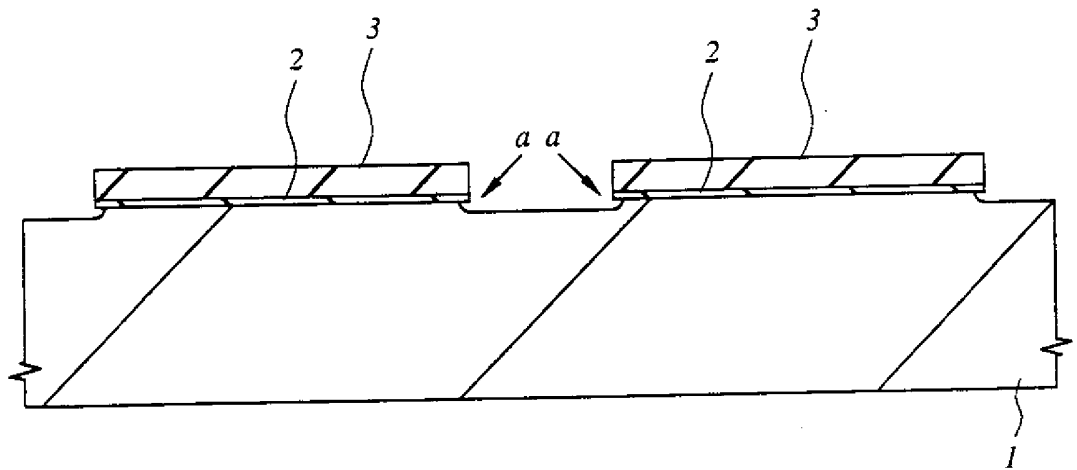
第 22 圖



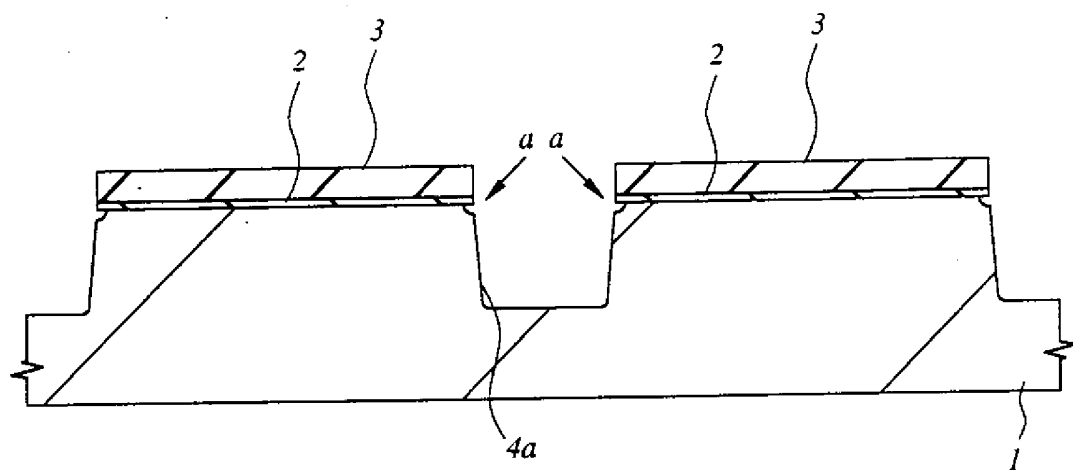
第 23 圖



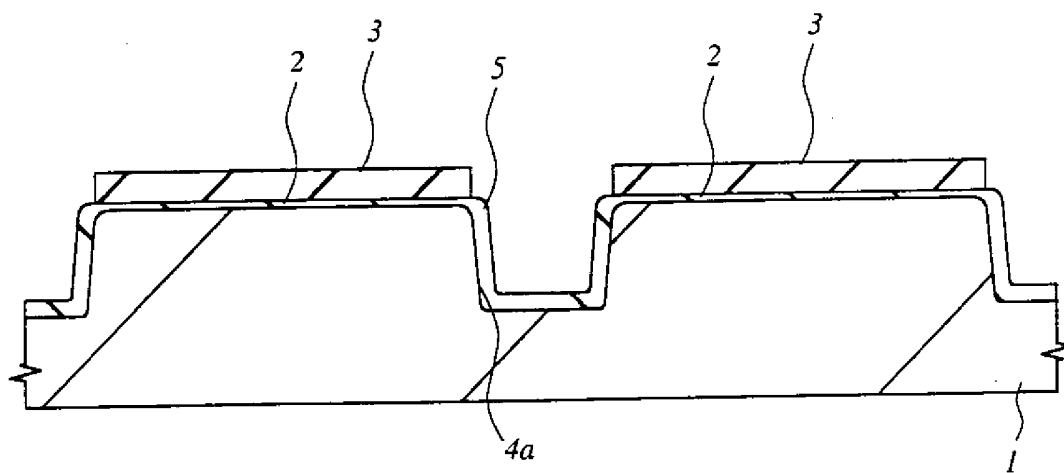
第 24 圖



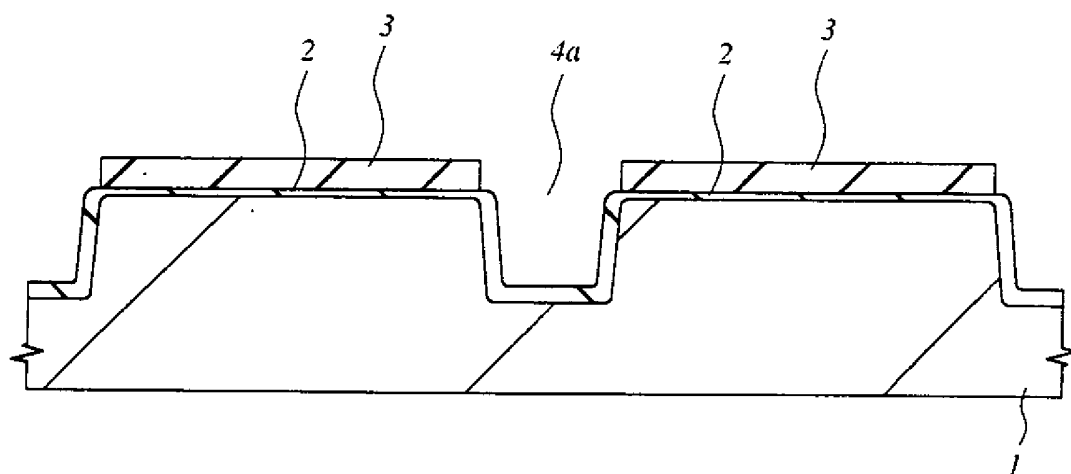
第 25 圖



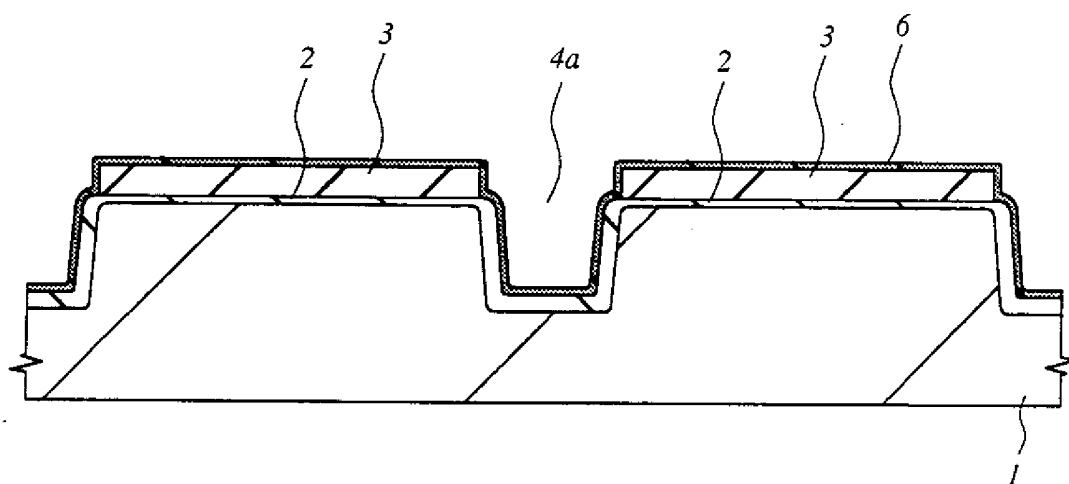
第 26 圖



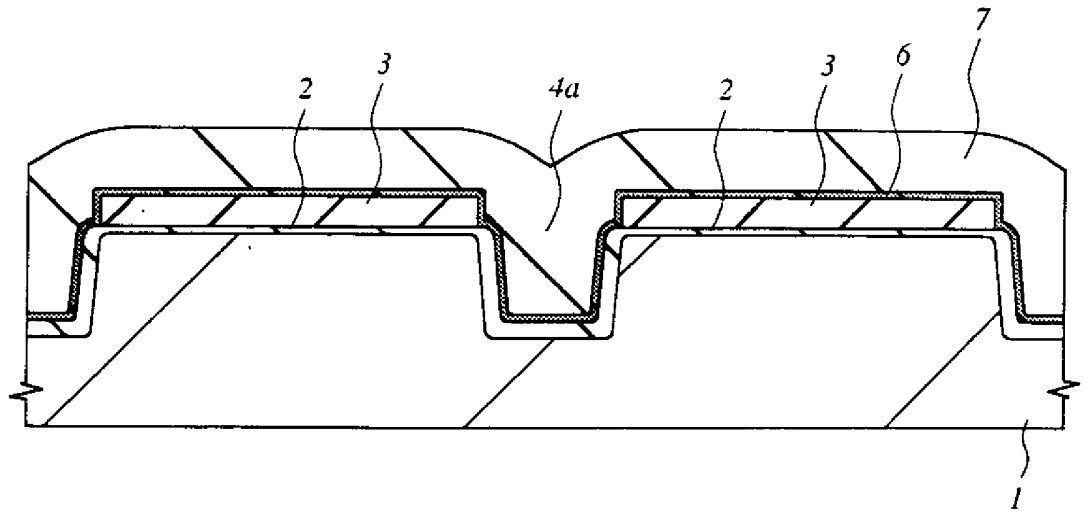
第 27 圖



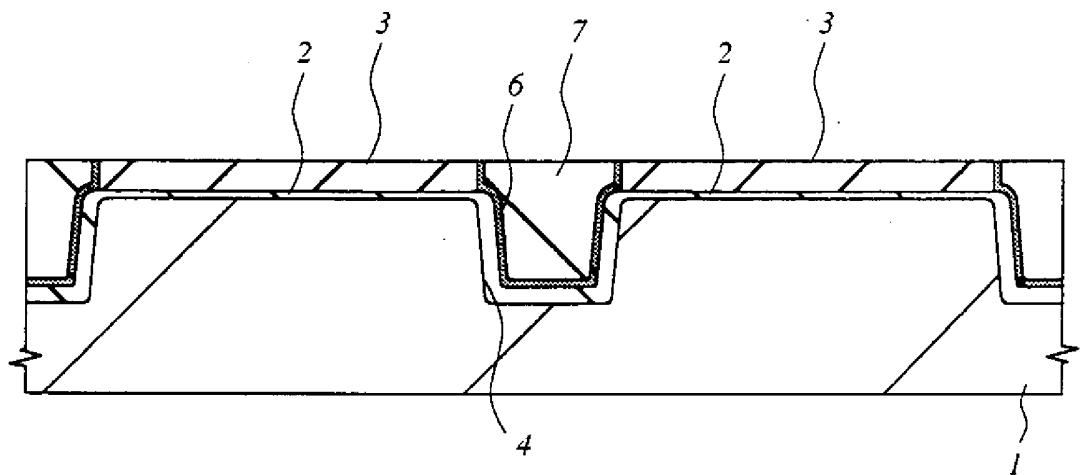
第 28 圖



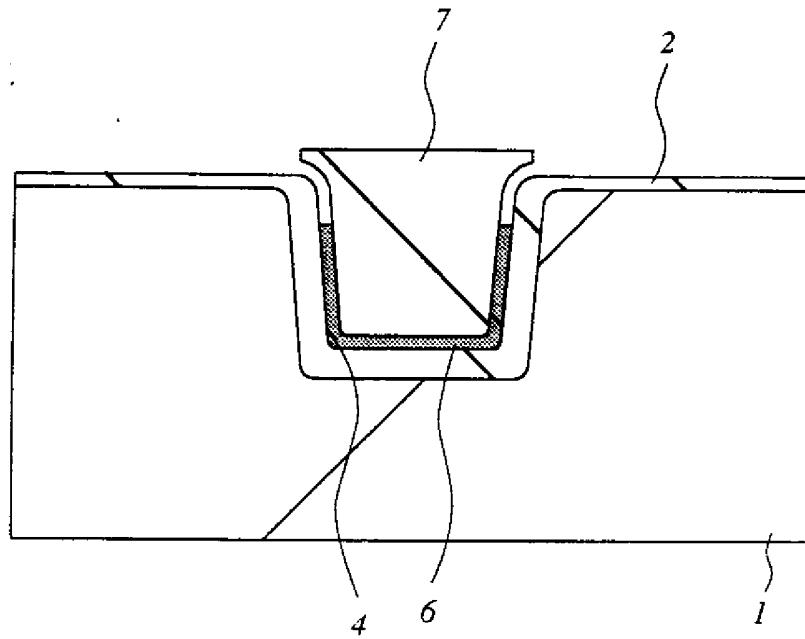
第 29 圖



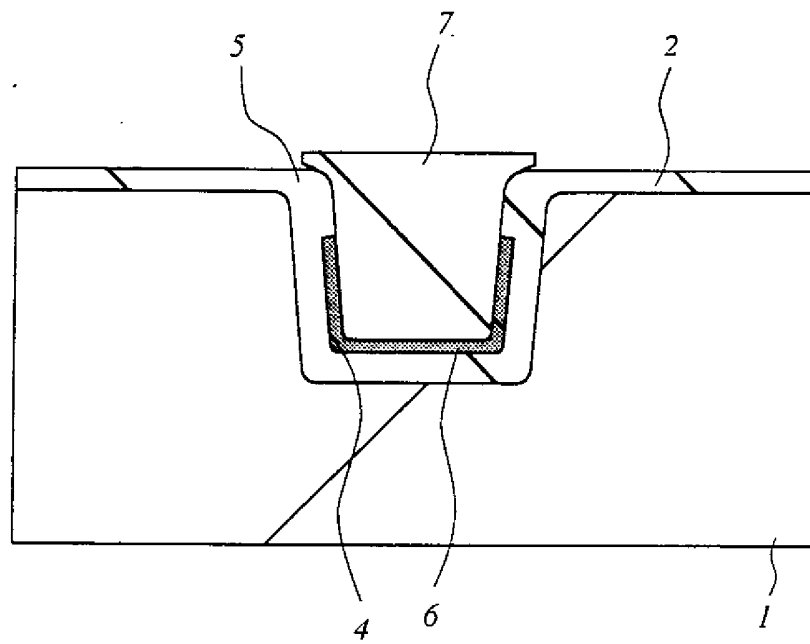
第 30 圖



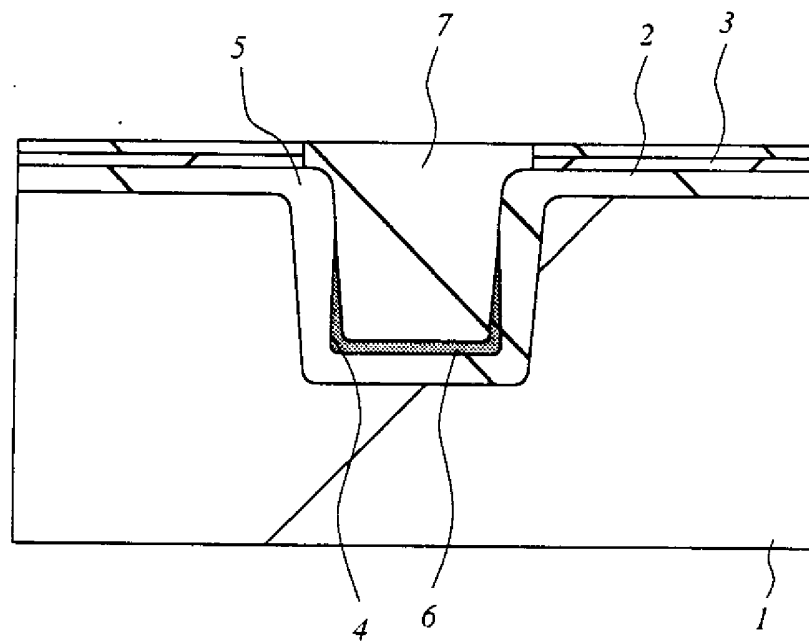
第 31 圖



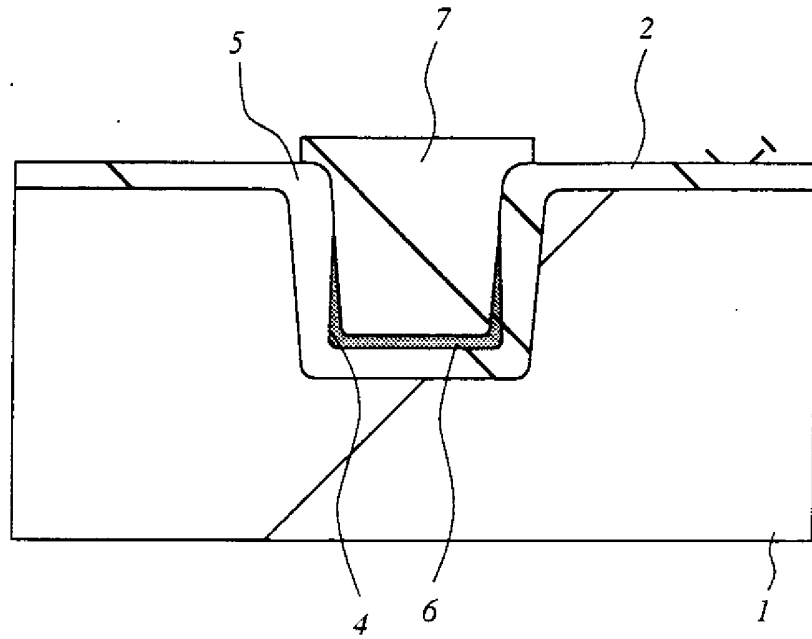
第 32 圖



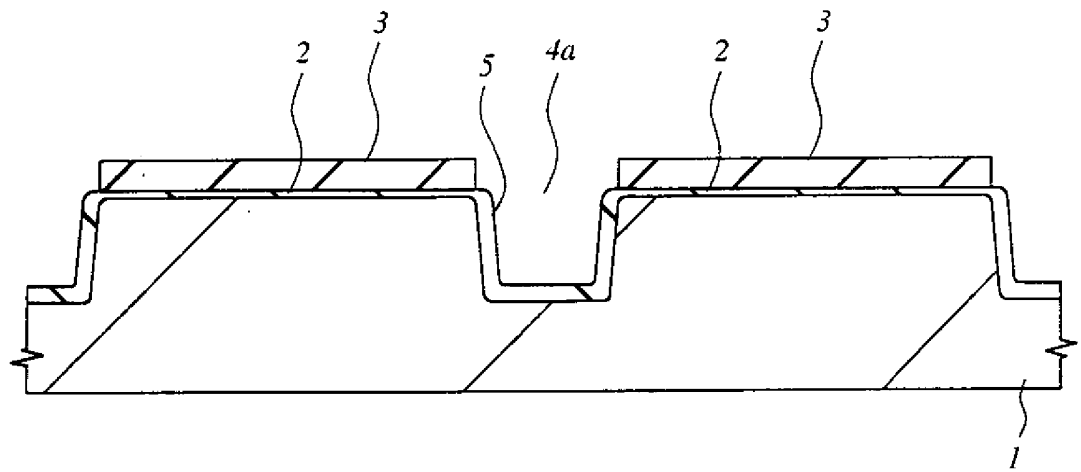
第 33 圖



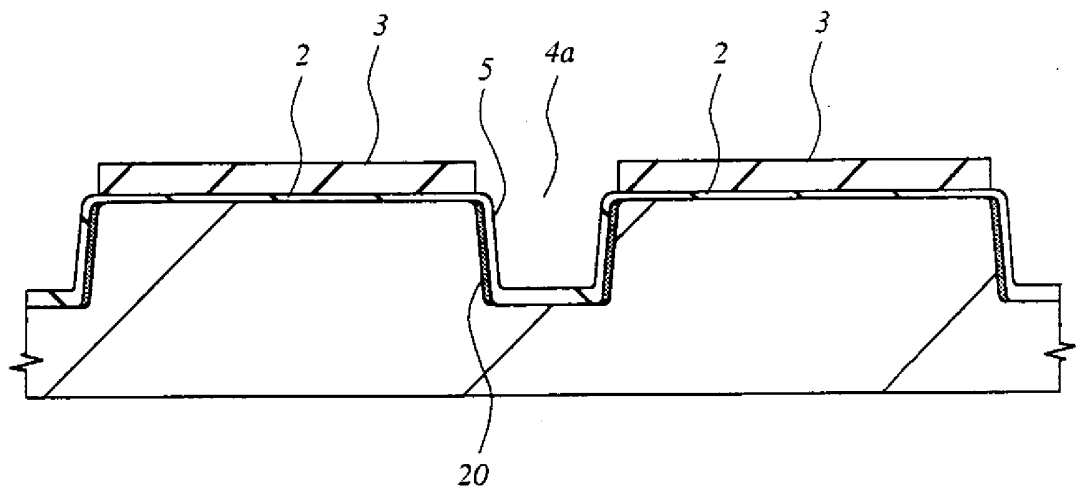
第 34 圖



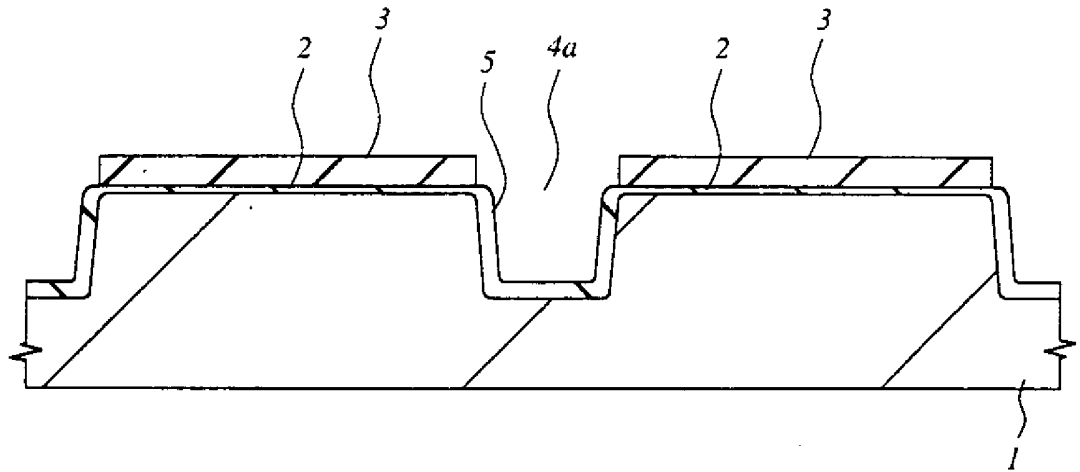
第 35 圖



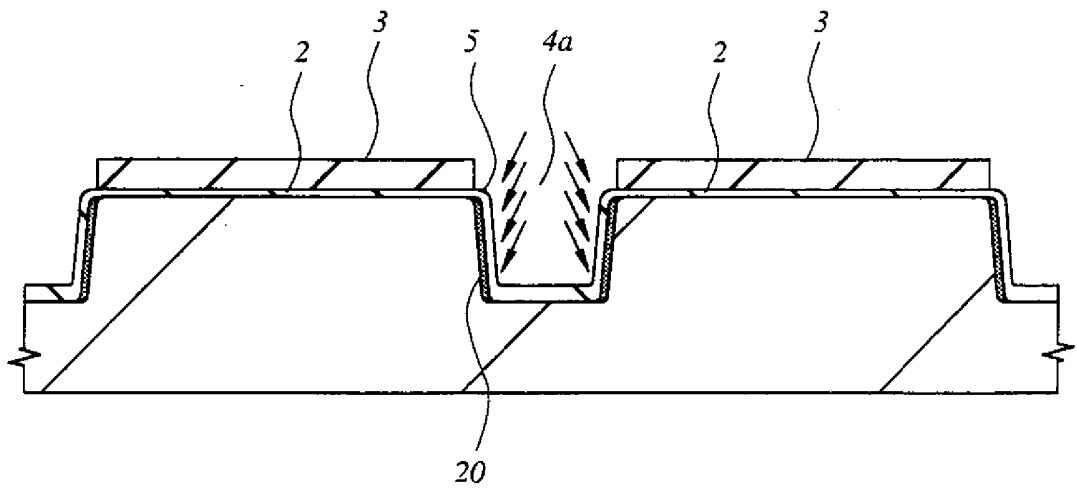
第 36 圖



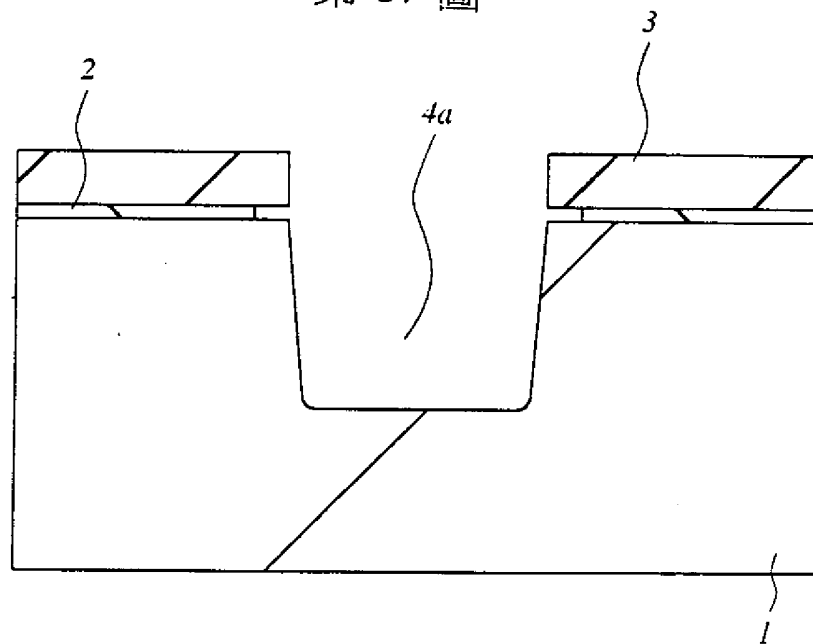
第 37 圖



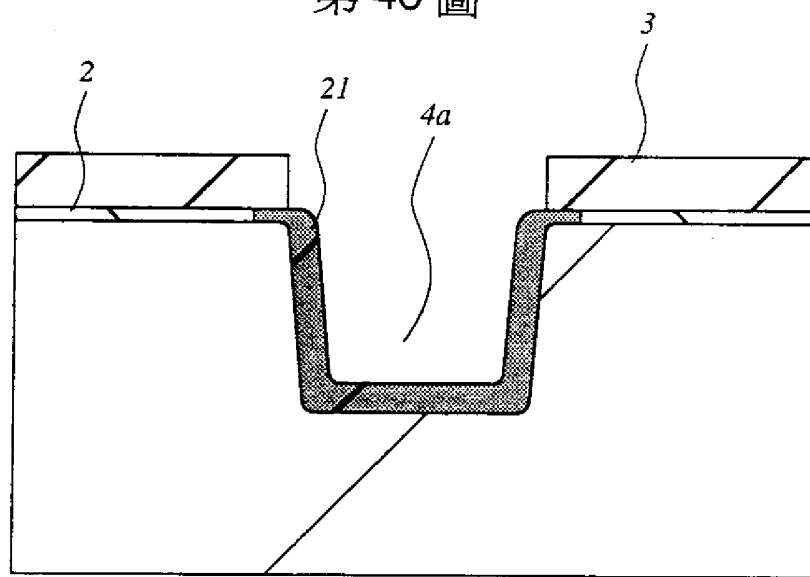
第 38 圖



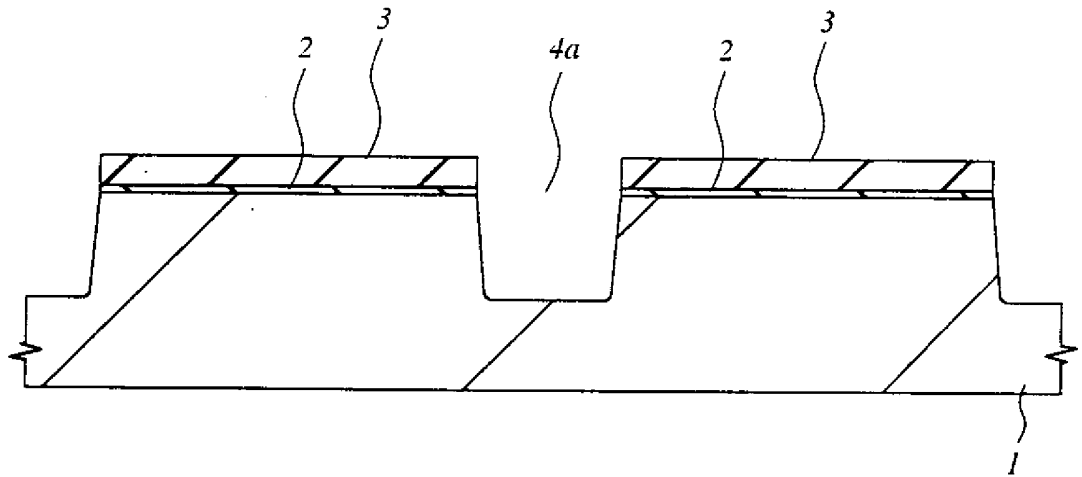
第 39 圖



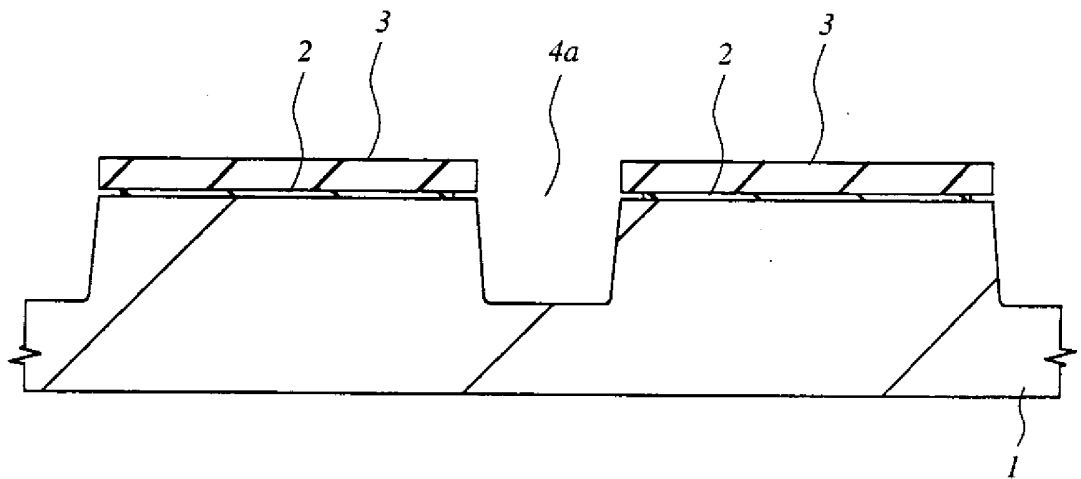
第 40 圖



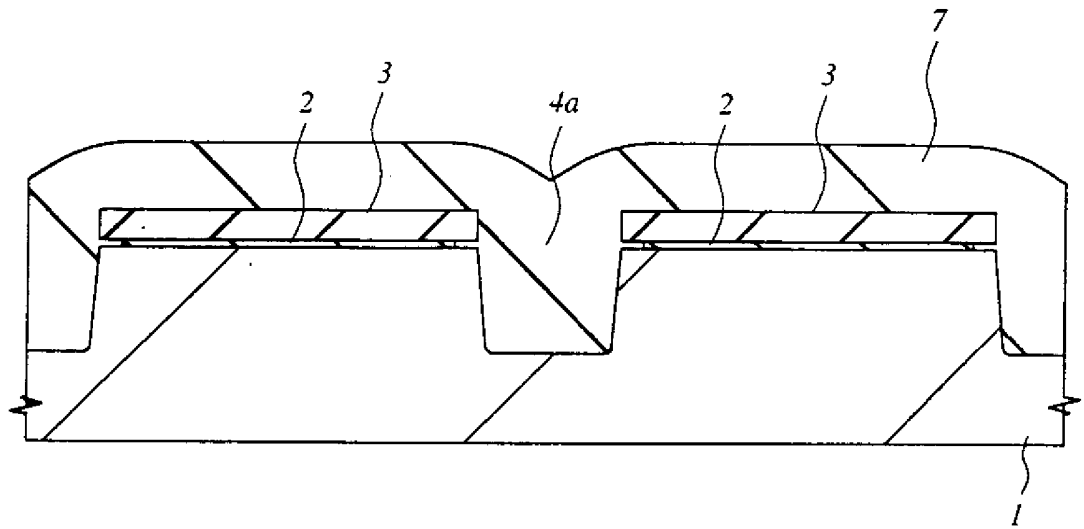
第 41 圖



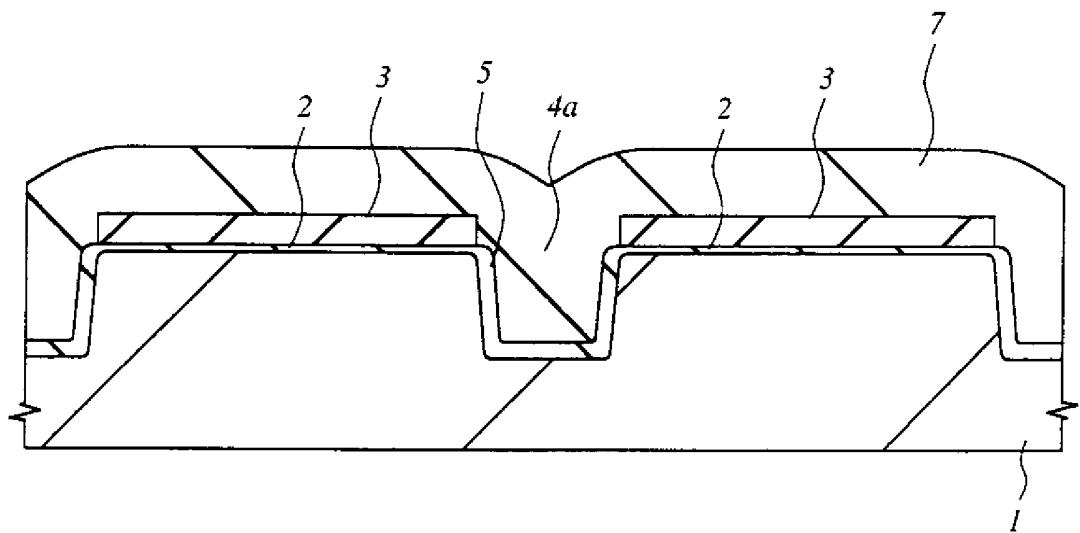
第 42 圖



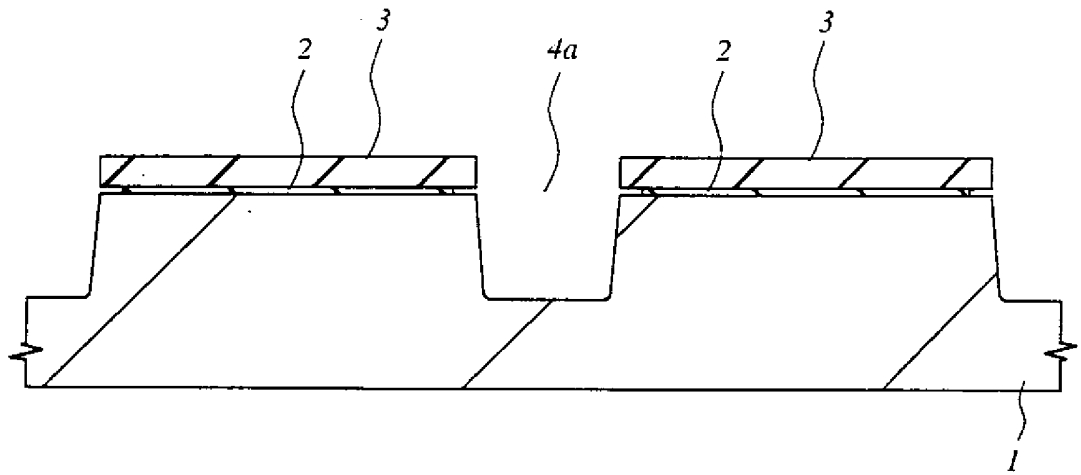
第 43 圖



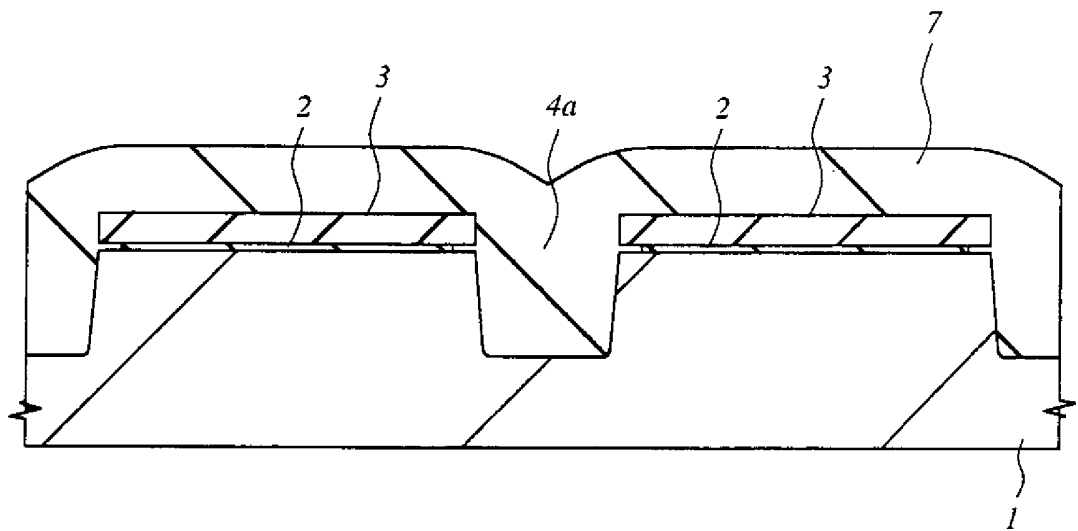
第 44 圖



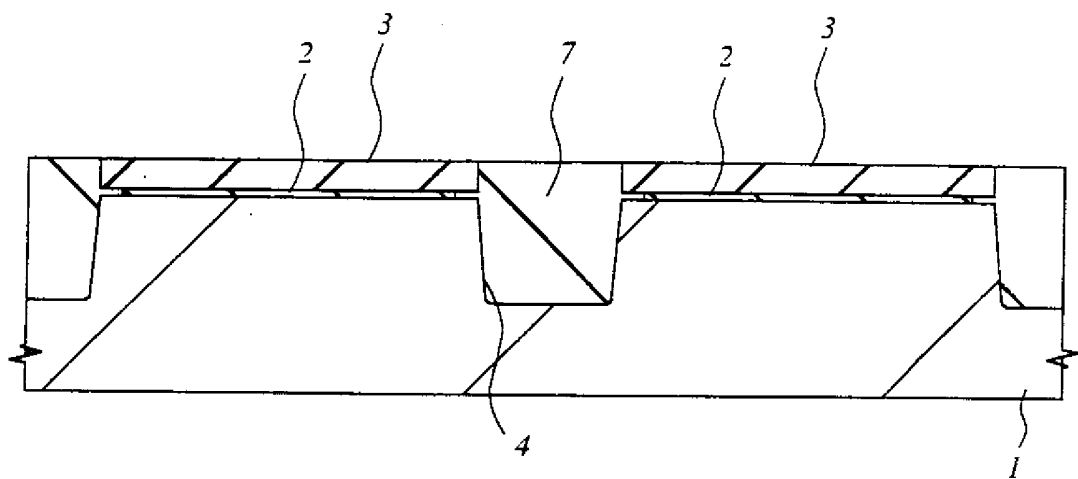
第 45 圖



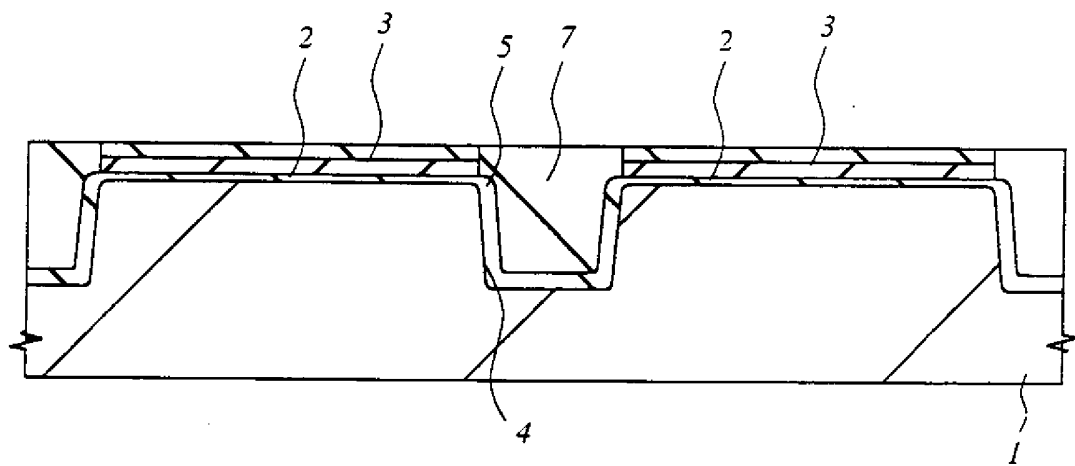
第 46 圖



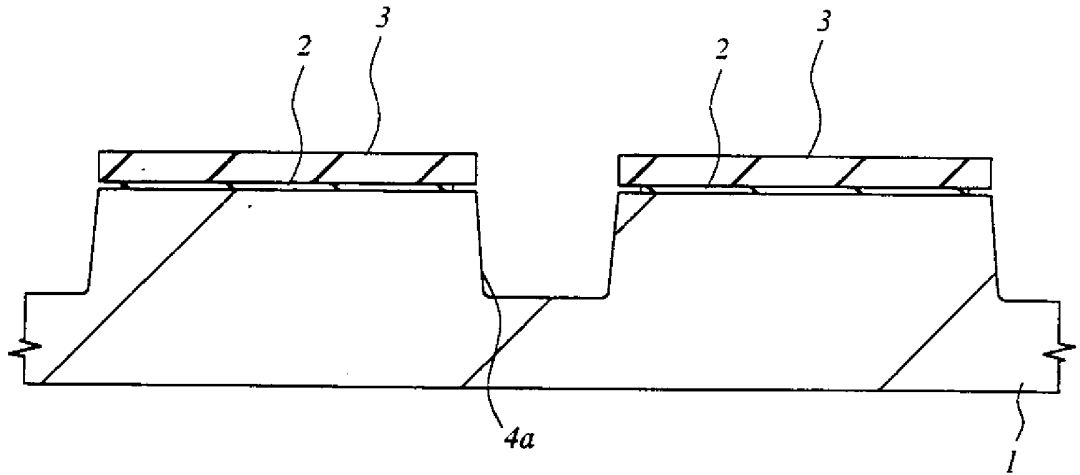
第 47 圖



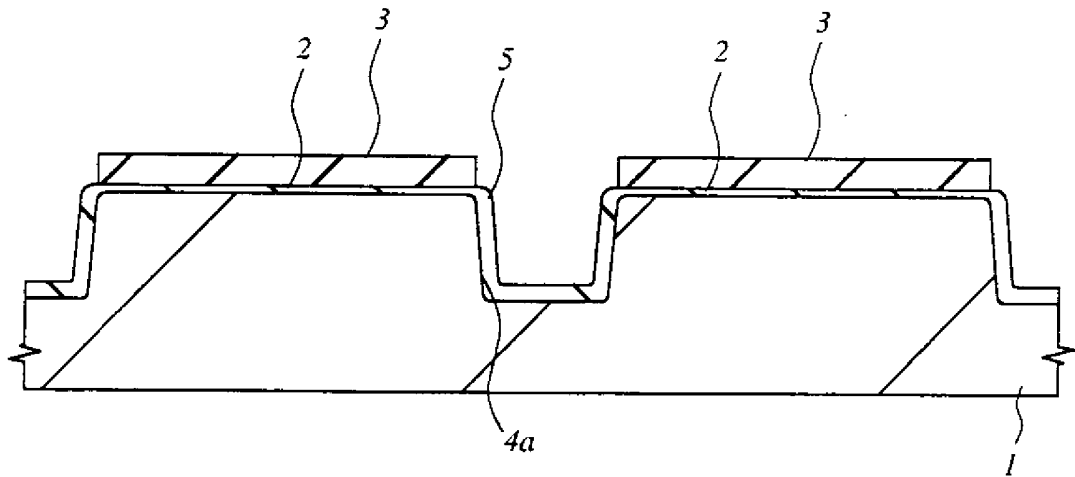
第 48 圖



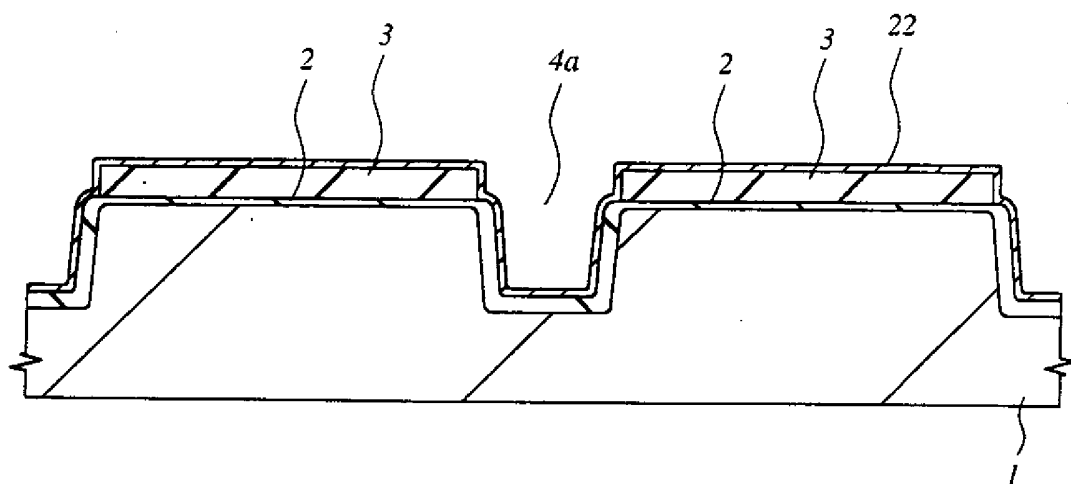
第 49 圖



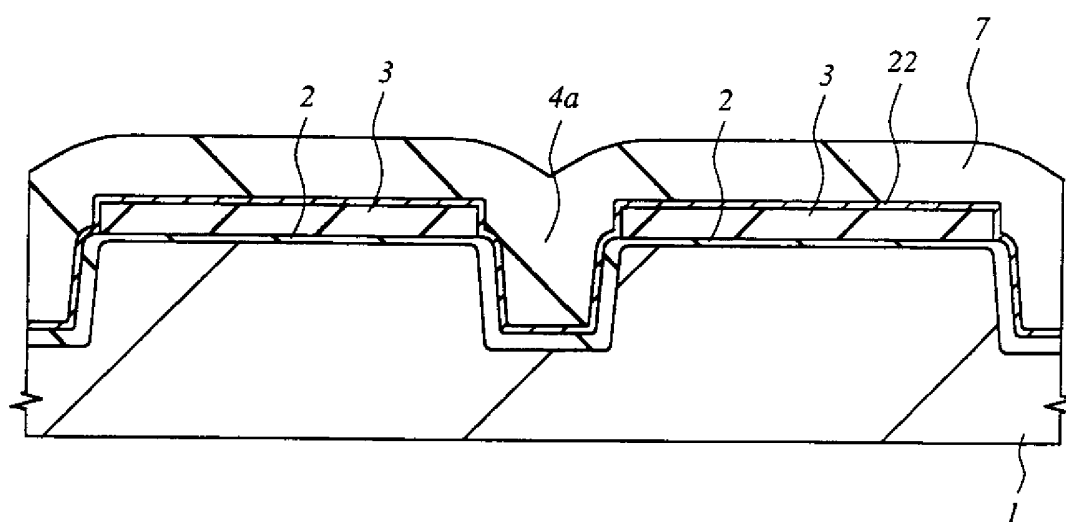
第 50 圖



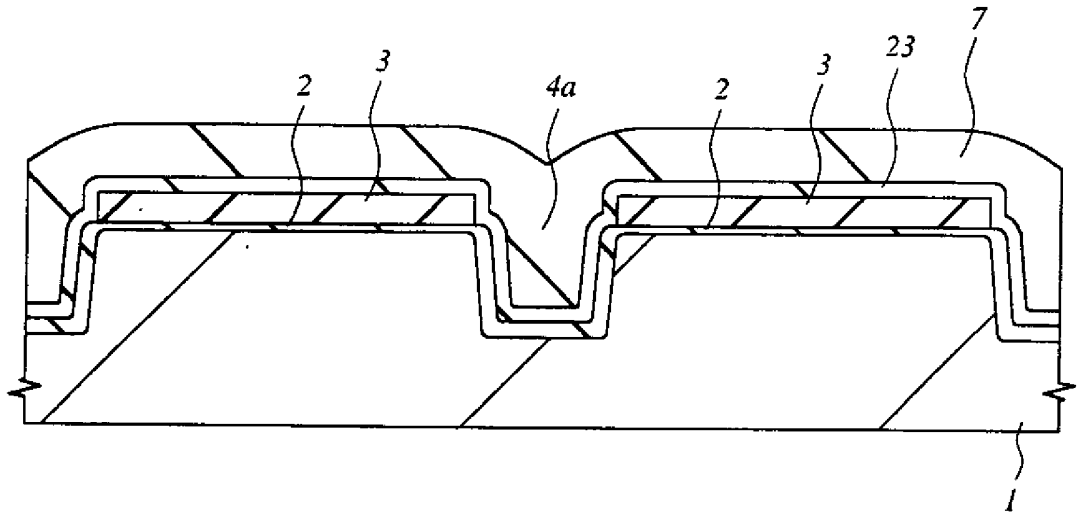
第 51 圖



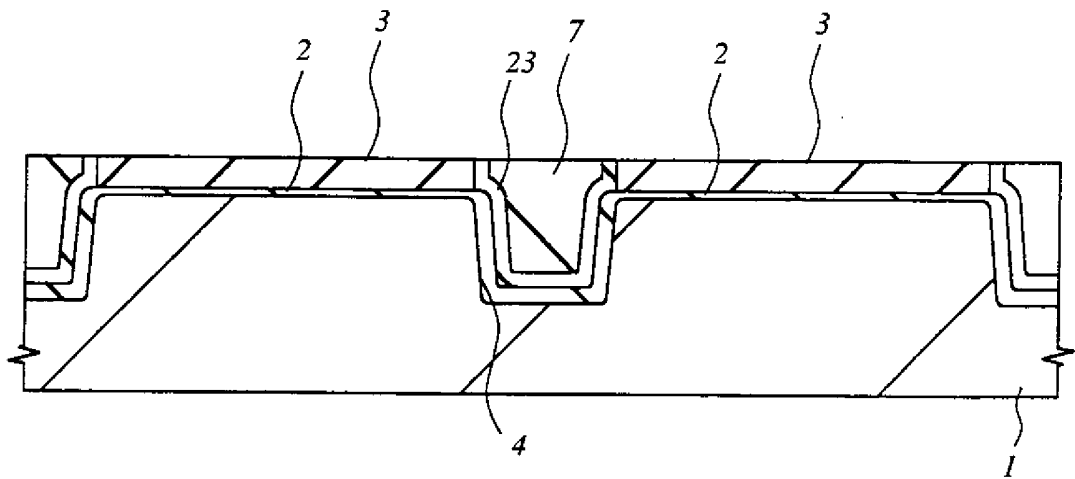
第 52 圖



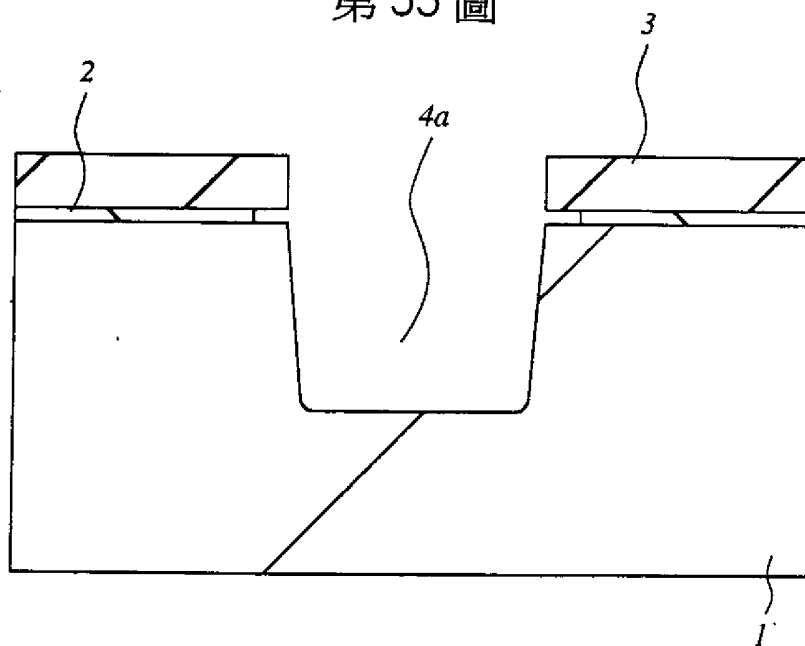
第 53 圖



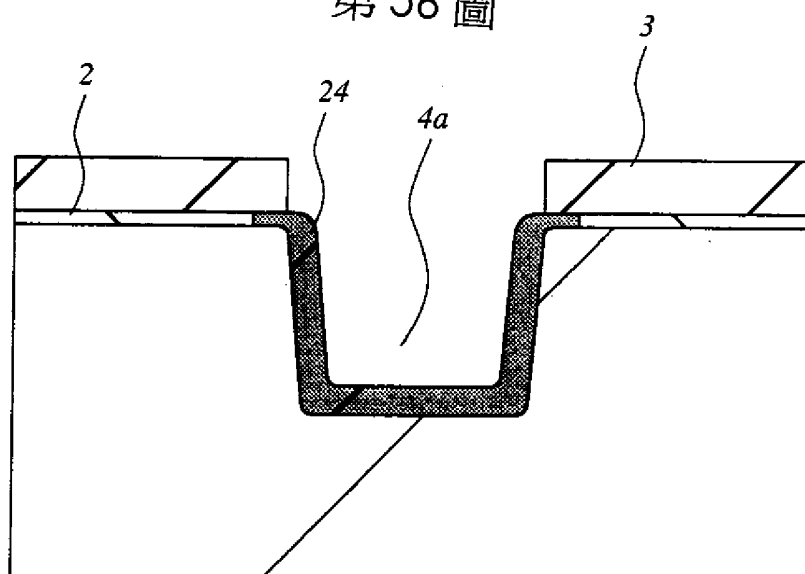
第 54 圖



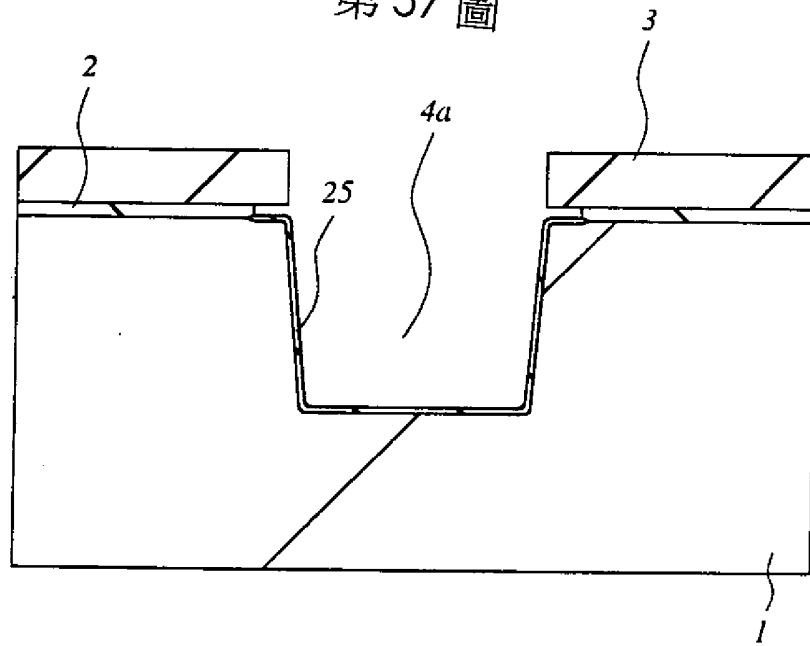
第 55 圖



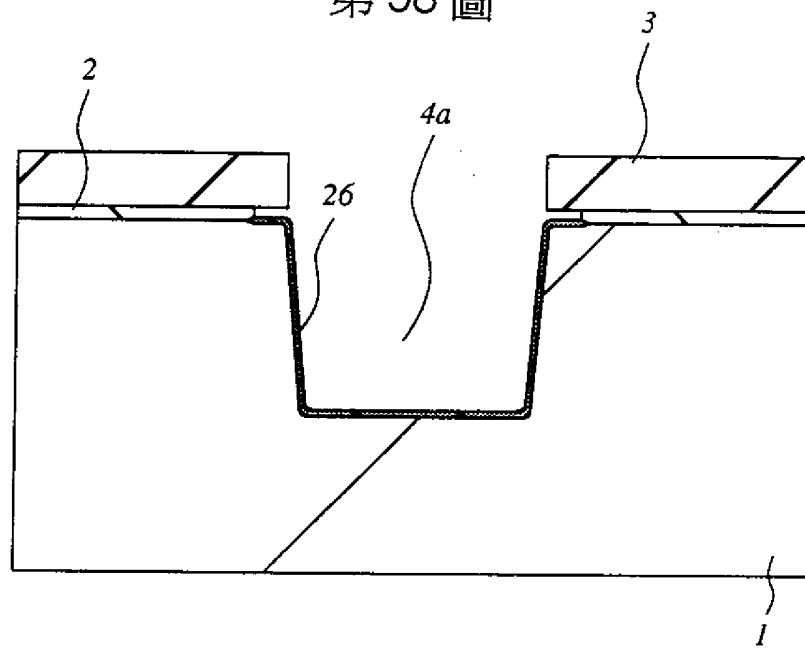
第 56 圖



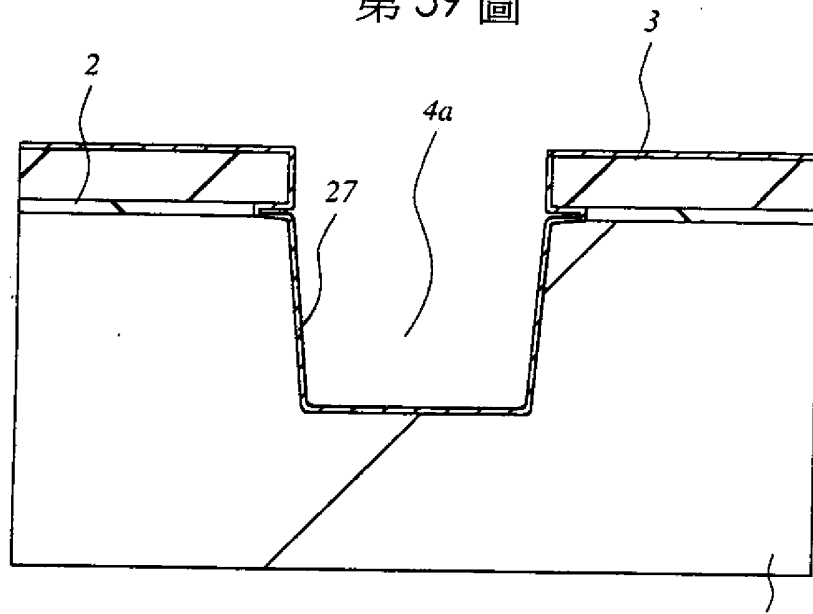
第 57 圖



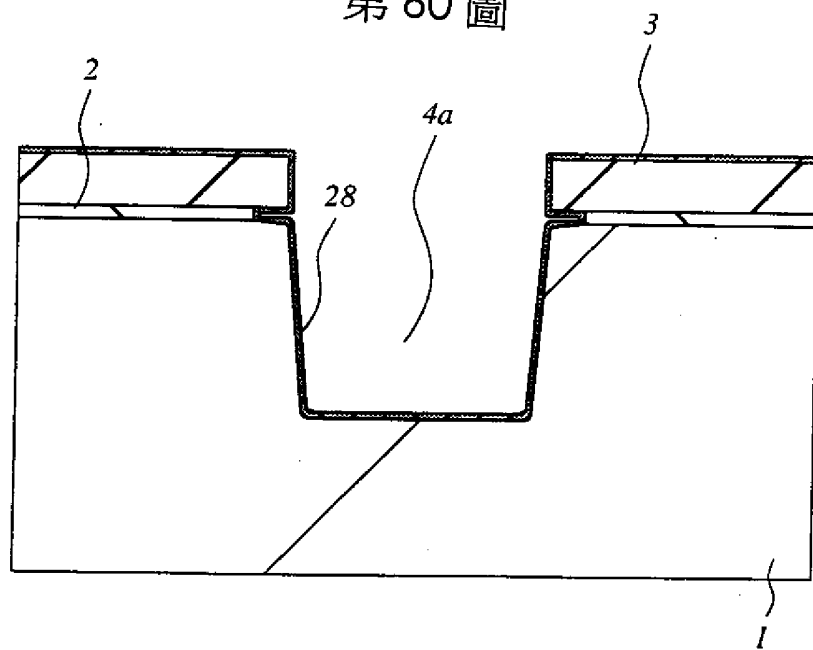
第 58 圖



第 59 圖



第 60 圖



六、申請專利範圍

第 087106611 號專利申請案

中文申請專利範圍修正本

民國 89 年 7 月修正

1. 一種半導體積體電路裝置之製造方法，其包括步驟：

(a) 熱氧化一半導體基板以便形成一層第一矽氧化物膜於該半導體基板的主表面之上，其後形成一層矽氮化物膜於該第一矽氧化物膜上，而後進一步在一元件隔離區域上選擇性蝕刻該矽氮化物膜，第一矽氧化物膜，以及半導體基板，藉以形成一凹槽於該半導體基板的主表面中；

(b) 蝕刻自該凹槽露出之第一矽氧化物膜的部分以便向後移位該第一矽氧化物膜朝向一主動區域；

(c) 熱氧化該半導體基板以便形成一層第二矽氧化物膜於凹槽的內壁之上；

(d) 形成一層第三矽氧化物膜於半導體基板的主表面上以使用該第三矽氧化物膜來填補該凹槽；

(e) 使半導體基板受到熱處理，藉以燒結在凹槽中所填補的第三矽氧化物膜；

(f) 去除位在矽氮化物膜上面之第三矽氧化物膜的部分而使得在該凹槽中僅剩下該第三矽氧化物膜；以及

(g) 去除位在其周邊由元件隔離凹槽所界定之主動區域之表面上的矽氮化物膜的部分；而後形成一半導體元件於該主動區域，其中：

該第一矽氧化物膜的位移量被設定為等於或大於該第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線