

(19) DANMARK



(12) FREMLÆGGELSESSKRIFT

(11) 166340 B

Patentdirektoratet
TAASTRUP

(21) Patentansøgning nr.: 0224/84

(51) Int.Cl.5

H 04 Q 11/04

(22) Indleveringsdag: 18 jan 1984

H 04 Q 3/54

(41) Alm. tilgængelig: 19 jul 1984

(44) Fremlagt: 05 apr 1993

(86) International ansøgning nr.: -

(30) Prioritet: 18 jan 1983 GB 8301325 18 jan 1983 GB 8301326

(71) Ansøger: *GPT Limited; P.O. Box 53; Telephone Road; Coventry CV3 1HJ, GB

(72) Opfinder: Anthony John Patrick *O'Toole; US, Gordon Philip *Boot; GB

(74) Fuldmægtig: Lehmann & Ree A/S

(54) Elektronisk skiftesystem

(56) Fremdragne publikationer

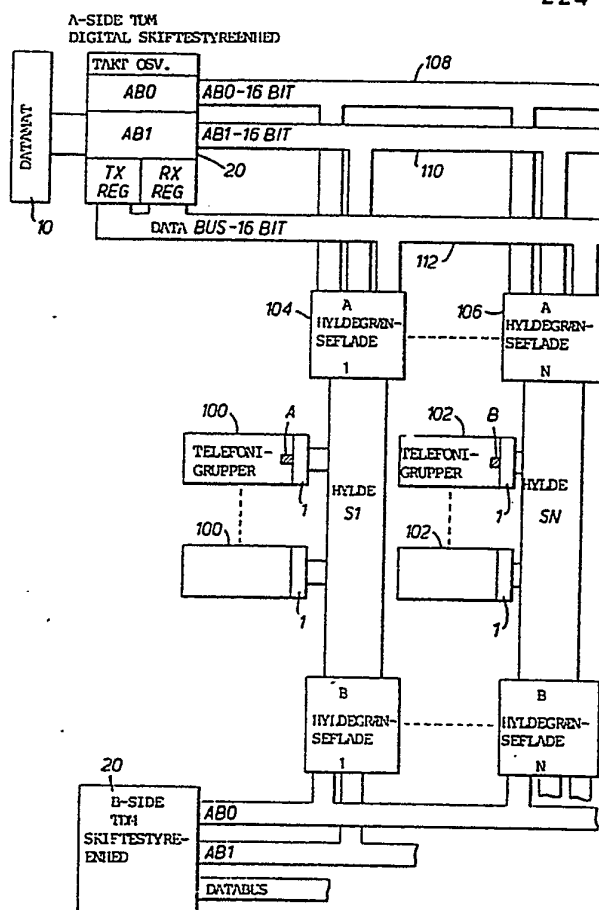
Andre publikationer: Systems Technology, no. 28, april 1978, side 2-6,
Liverpool, GB, G. Cochrane et al: "The Plessey PDX"

(57) Sammen drag:

224-84

I et adresse- og datastyresystem til en TDM telekommunikationscentral til styring af overførslen af data mellem abonnenter og en fælles styredatamat (10) danner en digital skiftestyreenhed (20) buffer mellem datamaten og en hyldelemlembus (108, 110, 112), et hyldegrænsefladekredsløb (1) danner buffer mellem hyldelemlembussen og en hyldebus (S1, SN), og telefonigruppegrænsefladekredsløbene danner buffer mellem telefonabonnenterne og hyldebussen.

fortsættes



Den foreliggende opfindelse angår elektroniske skiftesystemer til telekommunikationscentraler og navnlig tidsdelingsmultiplexadresse- og styresystemer til styring af overføringen af data langs overfø-
ringsveje i systemet.

5

Der kendes elektroniske skiftesystemer af den art, der anvender tidsdelingsmultiplexet skiftning styret af en computer eller processor og med et netværksstyrearangement. F.eks. er "Plessey PDX" beskrevet i en artikel i tidsskriftet "Systems Technology" nr. 28,

10 april 1978 af G. Cochrane et al.

Formålet med den foreliggende opfindelse er at forbedre et sådant system ved tilvejebringelse af en tidsdelingsmultiplexkommunikationscentral med et tidsdelingsmultiplexadresse- og styresystem, 15 hvilket styresystem omfatter en fælles styrecomputer og en digital tidsdelingsmultiplexskiftestyreenhed, hvilken central omfatter et antal hylder af telefonigrupper, en databus og et antal adressebusser, hvilken databus forbinder de nævnte hylder med hinanden for tidsdelingsmultiplexet dataoverføring mellem telefonigrupperne under 20 styring af adressering på adressebusserne, hvilken adressering modtages over den nævnte digitale tidsdelingsmultiplexskiftestyreenhed omfattende et første og et andet adressebusgrænsefladekredsløb, et senderegister og et modtageregister, der hvert er forbundet med databussen og er tilgængeligt for den fælles styrecomputer for 25 at bevirke dataudveksling mellem hylderne og den fælles styrecomputer, hvilken fælles styrecomputer er indrettet til at adressere de nævnte hylder ved indsætning af respektive hyldeadresser i det første og det andet adressebusgrænsefladekredsløb. Det for denne telekommunikationscentral ifølge opfindelsen ejendommelige er, at 30 den fælles styrecomputer yderligere er indrettet til at adressere den digitale tidsdelingsmultiplexskiftestyreenhed ved indsætning af respektiv adressering i det første og det andet adressebusgrænsefladekredsløb for at bringe tidsdelingsmultiplexskiftestyreenheden til at læse data fra senderegistret eller skrive data i senderegistret 35 og til at læse data fra modtageregistret og skrive data i modtageregistret for at bevirke dataudveksling mellem den fælles styrecomputer og den digitale tidsdelingsmultiplexskiftestyreenhed.

Effektiviteten af et grundlæggende TDM system forbedres ved at

tilvejebringe midler, hvormed kort automatisk kan sende data i den modsatte retning to tidsslidser senere. Dette har den virkning, at det frigør adressebussen og næsten fordobler kapaciteten af systemet. Når man er i stand til at adressere styrekortet som en hylde-
 5 adresse, tilvejebringes en diagnosemekanisme, idet reelle data kan overføres til og fra systemet i stedet for at isoleres fra det.

Opfindelsen skal herefter forklares nærmere under henvisning til tegningen, hvor

10

fig. 1 viser placeringen af den digitale skiftestyreenhed (DSC) i et typisk system, såsom det der er beskrevet i ansøgerens EP-A-0103437,

15

fig. 2 den digitale skiftestyreenhed indkoblet i et typisk elektronisk skiftesystem, såsom det der er beskrevet i ansøgerens ovennævnte EP ansøgning,

fig. 3 et blokdiagram over DSC styreenheden,

fig. 4 et mere detaljeret blokdiagram over DSC styreenheden,

20

fig. 5-10 tidsdiagrammer til forklaring af virkemåden af styreenheden,

fig. 11 et blokdiagram over styresektionen i hyldegrænsefladen i fig. 2,

fig. 12 et blokdiagram over et grænsefladekredsløb til anvendelse i henhold til den foreliggende opfindelse,

25 fig. 13 kredsløbet i fig. 12 vist mere detaljeret,

fig. 14-19 tidsdiagrammer hørende til kredsløbet i fig. 12 og 13 og

fig. 20 en ordrestrukturtabel ifølge den foreliggende opfindelse.

Den i fig. 1 og 2 på tegningen viste computer 10 afgiver instruk-
 30 tioner til styreenheden 20 over en bus 12. Styreenheden 20 kan f. eks. være indkoblet i en digital telekommunikationscentral som beskrevet i den ovennævnte patentansøgning. Virkemåden af styreenheden 20 vil være som beskrevet ved hjælp af et eksempel.

35 Under drift indsætter computeren to adresser i en forbindelsestabel i styreenheden 20. Den ene er adressen for kortet til udsendelse af informationen og kan gå i ABO eller AB1, og den anden er adressen for modtageregistret i styreenheden. Dette bevirker, at information føres fra et kort i systemet til modtageregistret, således at

informationen er læsbar af computeren 10.

Styreenheden (DSC) danner grænseflade for signaler mellem den fælles styrebus 12 og hyldelemmbussen 108,110,112 på den måde, som er vist ved hjælp af tidsdiagrammerne i fig. 5 til 10. Når der i den foreliggende beskrivelse angives signalkoder, som f.eks. DS60, henviser disse til koder tildelt af Data General for deres Nova datamatrække.

10 DSC 20 kommunikerer med computeren 10 over en 16 bit data 0-15 bus (12) og med telefonigruppehylderne over en mellemhyldebus ISB over tre 16 bit busser, dvs. ABO 1-15, ABI 1-15 og DBO-15, 108,110,112 i fig. 2.

15 Et ordreord modtages over data 0-15 bussen 12 fra datamaten 10 og indsættes i den korrekte tidskanal (engelsk: time slot) og på den korrekte adressebus i forbindelsestabelen som tilkendegivet af computeren. Data bliver også modtaget og sendt langs data 0-15 bussen på den fælles styrehylde og over DBO-15 på ISB 112.

20 Andre til rådighed værende faciliteter er en læs modsat busordre, hvor adressebus ud data kan læses tilbage til computeren og frigiv busordre, som bringer alle telefonigrupper 100 til at standse udsendelse af data langs TDM hyldeerne.

25 Når apparatvælgekoden DS60 og dataudlæsning A, DOA signaler modtages fra datamaten på ledninger 13, bliver ordren på data 0-15 bus 12 indskrevet i ABO ram under den positive halvdel af DCLK (se fig. 4) på adressen angivet af indgangsadresselogikken. Med DS60 og DOB
30 signaler modtaget på ledningerne 13 bliver data på lignende måde indskrevet i ABI RAM-lageret. Ordre, som eksemplificeret nedenfor, kan sendes til TDM ved adressering af hylde 0. TDM forespørger AB 8-15 og dekoder den korrekte ordre som vist i tabel 1.

35	AB	8	9	10	11	12	13	14	15	
		X	X	X	0	1	1	1	X	Læs modsat bus
		X	X	X	1	0	1	1	X	Frigiv bus
		0	1	X	1	1	0	1	X	Send nedre bitgruppe
		1	0	X	1	1	0	1	X	Send øvre bitgruppe

4

0	0	X	1	1	0	1	X	Send begge bitgrup-
								per

X	X	X	1	1	1	0	X	Modtag tillade
---	---	---	---	---	---	---	---	----------------

X = Ingen interesse

5

Når en læs modsat bus ROB ordre dekodes på ABO bussen, kopieres AB1 ordreordet på DB bussen og indlæses i modtageregistret, som skal læses af datamaten. På AB1 bussen indlæser en ROB ordre på lignende måde ABO ordet i modtageregistret. Denne facilitet anvendes til at teste DSC 20 og hyldelemmbussen for dataintegritet.

Når en frigiv busordre dekodes, udlæses et RLS bussignal på hyldelemmbussen, som bringer alle telefonigrupper til ikke at sende.

15 Når en send øvre bitgruppeordre, som frembringes af computeren 10 dekodes, bliver dataene i det øvre bitgrupperegister tilladt ind på DB0-7 på hyldelemmbussen.

20 Når en send nedre bitgruppeordre dekodes, bliver data indeholdt i det nedre bitgruppesenderegister tilladt ind på DB8-15 på hyldelemmbussen 112.

Når en send begge bitgrupperordre dekodes, bliver DB0-7 og DB8-16 tilladt ind på hyldelemmbussen 112.

25

Se tidsdiagrammerne for relative tidsstyringer af disse signaler.

Når en modtageordre dekodes af DSC, bliver dataene, som findes på databussen i ISB, låst i modtageregistret.

30

For relative tidsstyringer af denne ordre se fig. 7.

I fig. 3 er styreenheden 20 vist mere detaljeret i blokdiagramform. Signaler (databit 0-15) modtages fra computeren på bus 12. Undtagen hvor andet er angivet, repræsenterer hver ledning en 16 bit bus, idet andre busbredder er angivet ved tal.

35

Styreenheden 20 omfatter et ordregister 202, hvis udgang er forbundet med to adressebuffere 204,206 for ABO og AB1. Udgangene på

disse buffere 204 og 206 er forbundet henholdsvis med ABO og ABI lagre 208,210 med direkte tilgang (RAM), idet indføringen af information i disse lagre er styret af et ram adressemultiplexkredsløb 212 taktstyret af en adressetæller 214 drevet af A taktgiveren, idet
5 multiplexeren 212 er styret af et indgangsadresseregister 216, som modtager adresseinstruktioner fra bussen 12.

Adresse ud data fra lageret 208 låses af en lås 218 og bliver derefter taktstyret til en adressebusdrivenhed 220. Et læs tilbage-
10 adressekredsløb 222 er forbundet med bussen 108. Udgangene på kredsløbet 222 er forbundet til send øvre register- og send nedre registerkredsløb 224, 226. Send øvre og nedre registre 224,226 er også forbundet med databusdrivtrin øvre og nedre 228,230 for at tillade data fra bussen 12 at sendes på de øvre og nedre bitgrupper
15 af bus 112.

På lignende måde er RAM 210 forbundet med en lås 232 og med en ABI drivenhed 234 til udlæsning af adresseinformation på adressebussen 110. Bussen 110 er forbundet med et læs tilbage adressekredsløb 236,
20 som er forbundet med busdrivenhederne 228, 230.

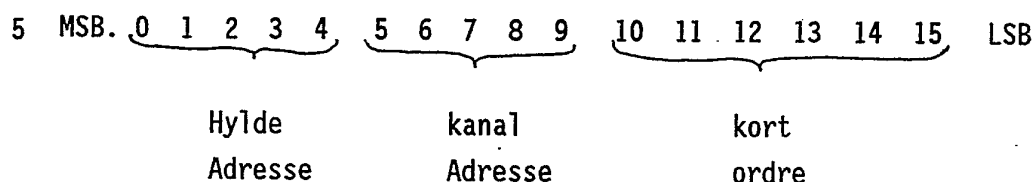
Adressebusserne 112 (databus øvre og nedre) er forbundet med et modtageregister 238, som udlæser data til en ind/ud busdrivenhed 240, hvis udgang er forbundet med bussen 12.
25

Under drift dikterer indgangsadresseregistret 216 adressen, på hvilken data indskrives i begge RAM'er 208 og 210. Multiplexeren 212 tilvejebringer en 10 bit adresse for begge RAM'er 208, 210. Også information lagret i RAM'erne 208,210 kan udlæses og føres over
30 ind/ud busdrivenheden 240 tilbage til datamaten over bussen 12 for kontrol.

Også adresseinformations uddata på adressebusserne 108 og 110 kan læses tilbage over kredsløbene henholdsvis 222 og 236 og føres over
35 drivenhederne 228,230 og modtageregistret 238 til drivenheden 240 og derfra tilbage til datamaten for kontrol.

Forbindelsestabellen er et tidsdelingsmultiplexet adresseringssystem bestående af 512 kanaler, der hver er på 32 bit. Hver kanal

(engelsk: slot) er opdelt i to 16 bit blokke, hvoraf den ene lader ABO bussen og den anden ABI bussen. Nedenfor er vist bitallokeringen for det 16 bit ordreord, som læses på adressebusserne.



- 10 Forbindelsestabellogikken er RAM-baseret (se fig. 4B) med to tilgangsveje til RAM'en. Adresserne, som anvendes til at give adgang til RAM'en, udlæses fra en 2-1 multiplexer 212, som vælger 1 af 2 til rådighed værende adresser. Den første adresse, som anvendes til at give adgang til RAM'en under en læsecyklus, frembringes af en
- 15 1-512 cyklus taktstyret af den i positiv retning gående flanke af D taktgiveren, da denne taktgiver i virkeligheden er en kombination af D og A taktgiver som beskrevet nedenfor (se fig. 9).

- Den anden til rådighed værende adresse er den adresse, som er låst i
- 20 indgangsadresselåsen efter modtagelse af en data ud C DATOC og DS60 som nævnt nedenfor.

- Disse adresser vælges af DCLK, hvor udlæsning af den cykliske tæller tillades under den negative cyklus af taktgiveren og indgangsadresseudlæsningen på den positive cyklus af taktgiveren. Begge adresser
- 25 anvendes til at give tilgang til RAM'en, men under en læsecyklus er det kun dataene, som der fås tilgang til af den cykliske tælleradresse, som tillades på ABO og ABI busserne.

- 30 Når et DATOA eller DATOB og DS60 signaler modtages som nævnt ovenfor, bliver ordre ud dataene på DATOA-15 af datamaten indskrevet i forbindelsestabelram'erne.

- Adressen, som udlæses af indgangsadresseregistrene 216 og tillades
- 35 af 2-1 multiplexeren 212, anvendes til at give tilgang til RAM'en, og dataene i ordregistrene i datamaten 10 indskrives i RAM'en af et WE signal, som fås fra DCLK, se diagrammet i fig. 8.

Når et systemnormaliseringssignal modtages, udvælger 2-1

multiplexeren 212 permanent udgangen fra den cykliske tæller, og en "ingen operation" (NOP) indskrives i alle pladser i forbindelsestabellen RAM. Denne operation tømmer forbindelsestabellen for alle ordrer.

5

Tidskanalerne 512 og 1 til 7 kaldes det direkte felt (engelsk: Immediate Field) og behandles forskelligt fra de andre tidskanaler 8-511. Tidskanalerne 8-511 er det ikke-direkte felt og anvendes kontinuerligt til kortlæsning, hvorimod tidskanalerne 512 og 1-7 anvendes til styring af materiellet, f.eks. koblingsrelæer. Når tællingen af 512 fra tælleren dekodes, bliver ABO og AB1 drivenhederne 220 og 234 som bufrer ordrer ind på ISB deaktiveret, og når tællingen af 8 dekodes, bliver drivenhederne aktiveret. Under normale driftsforhold bliver ordrerne i det direkte felt derfor ikke udlæst på ISB. Hvis ind/ud-impulssignalet IOPLS modtages fra data-

15

maten, bliver ABO og AB1 bufferdeaktiveringslogikken deaktiveret, og under det næste fulde direkte felt bliver ordrerne i tidskanalerne 512 og 1 til 7 udlæst på ISB 112.

20 Det direkte felt anvendes til at frembringe specielle ordrer for at modtage og sende status eller til op og ned kort.

Ud data på ISB er et signal kaldet TS0, som er 512 tællingsdekodesignalet fra tælleren taktstyret af DCLK for at give en impuls én gang for hver ramme (engelsk: frame).

25

Når et DATOC og DS60 signal modtages fra datamaten, bliver dataene, som findes på DATA 6-15, fra datamaten ladet ind i indgangsadresseregistret 216 (fig. 3). Den modtagne information er en adresse i området 1 til 512 og er forbindelsestabelkanalnummeret udvalgt af datamaten for det næste ordreord, som udlæses fra datamaten. Indholdet af registret anvendes til at adressere ABO eller AB1 RAM'erne ved modtagelse af et DOA60 eller DOB60 som tidligere beskrevet.

30

35 Når et data i A (DIA) og DS60 signal modtages fra datamaten, bliver ordreordet i den foreskrevne tidskanal ABO udlæst på den fælles styre DATA 0-15 bus. Når et data i B (DIB) og DS60 signal modtages, bliver ordet i AB1 på lignende måde udlæst på DATA 0-15.

Funktionaliteten af DSC indikeres af tilstanden af en op/ned-lås. Hvis et CLR og DS61 signal modtages fra datamaten, sættes op/ned-låsen til NED. Dette sker, når datamaten beslutter at deaktivere DSC antagelig på grund af en fejlfunktion. En LED tændes for at angive, at DSC er NED. Hvis et STRT og DS61 signal modtages, bliver OP/NED-låsen sat på OP, og LED slukkes. OP/NED-låsen sættes på OP, når apparaturet sættes i brug af tilbagestillingssignalet IORST. Hvis A-side DSC er "NED", jfr. fig. 2, overtager B-side DSC styringen af centralen.

10

Når IORST eller CLR, DS61 modtages, bliver 1-512 tællerne tilbagestillet til 1, og SYN sendes over ISB for at stille de andre kort i systemet på OP. Et SYN signal fylder forbindelsestabellen med NOP'er.

15

Dataene fra den fælles styredatamat DATA 0-15 læses i senderegistrene ved modtagelse af DATOC og DS61 signaler fra datamaten.

Dataene, som er låst i modtageregistret, udlæses til datamaten som DATA 0-15 ved modtagelse af DATIA og DS61 signaler fra datamaten.

Fra en krystalstyret basistaktgiver på 16.384 MHz, som frembringes på TDM, bliver to taktsignaler ACLK og DCLK frembragt og anvendt til at styre tidsstyringen af ordrer og datamanipulation langs ISB og over overføringsvejen (hovedkanalen) 12. Begge takter er 4.096 MHz 50.50 impulsbreddeforholdssignaler med ACLK beliggende 90° før DCLK. Der er mulighed for at synkronisere takterne til en 2.048 MHz takt fra en overføringsvej-styreenhed eller anden egnet taktkilde.

30 DSC 20 overvåger de seks apparatvælgebit DS0-5, når datamaten 10 sender koder 60 og 61, signalerne DS60 og DS61 frembringes, og de følgende DSC funktioner tillades.

DS60	DS61
35 Optaget logik	OP/NED lås
Indgangsadresseregisterladning	Senderegisterladning
Tidskanalspærring	Modtageregisterladning
Forbindelsestabellogik	

Optagetflaget SELB sættes, når et IOPLS signal modtages for at indikere, at en direkte feltoperation er igang, og flaget slettes ved enden af det direkte felt. SELB bliver også sat under varigheden af en systemnormalisering SYN.

5

Positiv logik anvendes i dette dokument

Signal Sand = Lav spænding

Falsk = Høj spænding

Signal Sand = Høj spænding

10

Falsk = Lav spænding

Strømforsyningsspændingen for systemet er $+5_{-}^{+} 0,25$ volt. Denne forsyning er afkoblet ved hjælp af en $15\mu\text{F}$ hovedafkoblingskondensator og en 10nF kondensator ved hver "dilic" position.

15

Der henvises nu til fig. 11, hvor hyldegrænsefladekredsløbet 104 er vist mere detaljeret. Kredsløbet modtager adresser på de to adressebusser 108, 110. Fem bit i hver adresse dekodes i dekodekredsløb 302, 304 for at frembringe respektive hyldeindladekredsløb på ledninger 306, 308. De øvrige 11 bit bliver bufferet i buffere 20 310, 312 og anvendes som hyldebusadresser på hyldeadressebusser B ABO og B ABI.

25

Data modtages og sendes på bus 112 som to sæt af otte bit betegnet øvre og nedre bitgrupper på busser 314, 316. Disse modtages og sendes af toretningsbufferne 318, 320 på hyldebusser B DATA bus øvre 322 og B DATA bus nedre 324. Styling af overførslen af data fra bufferne 318, 320 sker ved hjælp af et DOUT øvre og DOUT nedre signal.

30

Som vist i fig. 2 er grænsefladekredsløbet 1 ifølge den foreliggende opfindelse vist indskudt mellem telefonigrupperne 100 og hyldebussen S1.

35

Som det fremgår af fig. 12, omfatter grænsefladekredsløbet en adressekomparator 22, som over en OG-port 23 er forbundet med et tidsstyrekredsløb 24, som selektivt styrer funktionen af et låsekredsløb 25, et dekodningskredsløb 26 og en udgangsstyreenhed 27.

Grænsefladekredsløbet vist i fig. 12 og 13 er fortrinsvis opbygget

som et ikke-bundet logisk arrangement (ULA) og vil blive henvist til som sådant med henblik på tidsstyresekvenser.

- 5 Kortadressen indeholdt i adresseordet (bit 5-9) sammenlignes i komparatoren 22 med den ledningsforbundne TDM moderplade kortkanal-adresse (CAD 1-5). Hvis alle bittene passer sammen, initierer HYLDE TILLADE en ordrecyklus over OG-porten 23.

- 10 Af hensyn til portøkonomi med ULA er 5 af låsene i 6 bit låsen 25 "transparente" niveautriggerede låse. Takten er KORT TILLADE portstyret med DTAKT for at sikre, at indgangsdata er stabile under hele taktperioden. Den anden datalås har en P tilbagestillingsindgang for at sikre, at kortet ikke starter op i NED-måden.

- 15 Ordrestrukturen er som i henhold til tabel 1 i fig. 20. Dekodningssektionen frembringer de korrekte ordrer til udlæsestyresektionen.

- 20 MÅDE-benet er normalt ledningsforbundet til en specifik logisk funktion afhængigt af funktionen af de tilhørende kort. MÅDE-benet tillader, når det er højt, at en ekstra sendeimpuls frembringes under en modtagecyklus for codec anvendelser, idet codec'er anvendes til at omsætte analoge signaler til anvendelse af telefonabonnerterne.

- 25 Når MÅDE-benet er lavt, bevirker det intern forbindelse af FREMRYSK MODTAGE UD til FREMRYSK MODTAGE IND. Der frembringes ikke nogen uddata fra FREMRYSK MODTAGE UD.

- 30 En to tidskanalforsinkelse indføres af forsinkelsesleddet 28 til frembringelse af modtageimpulsen på det korrekte tidspunkt.

- 35 For en codec i en telefonigruppe findes der to ULA'er. Sende/modtage-ordren, som gives til den ene eller den anden ULA, frembringer en SENDEIMPULS og en MODTAGEIMPULS. Der kræves imidlertid modtageimpuls fra den anden ULA for at styre den anden halvdel af databussen for modtagedataene. For at opnå dette er FREMRYSK MODTAGE UD og FREMRYSK MODTAGE IND krydskoblet mellem de to ULA'er. MÅDE-benet på hver ULA sættes højt.

Ved enkelt ULA anvendelser sættes MÅDE-benet lavt, hvilket bevirker intern sammenkobling af FREMRYK MODTAGE UD og FREMRYK MODTAGE IND.

5 OP og NED ordrer bliver fuldt dekodet fra alle seks adressebit (10-15), og en enkelt bitlås i udgangsstyreenheden 27 sættes overensstemmende hermed.

10 I NED-tilstanden vil der ikke fremkomme nogen uddata, undtagen KORT TILLADE, NED og BAB11-15, hvis der gives andre ordrer. Kun P3 TILBAGESTILLING, SYN eller OP ordre vil tilbagestille logikken, Al tidsstyring initieres af passende flanker på ATAKT og DTAKT. For at formindske forsinkelse i dele af kredsløbet er taktgiverne bufret til de ikke kritiske områder i ULA'en. De "hurtige" taktgivere er betegnet med en stjerne og fødes direkte uden at bufres.

15 Ved modtagelse af KORT TILLADE frembringer tidsstyringen to tilladesignaler og et taktsignal.

20 Taktsignalet er en kombination af KORT TILLADE og DTAKT for 6 bit låsen som beskrevet foran.

Tilladesignalerne er:

25 a) TAKTSTYRET TILLADE. Når udgangen fra 6 bit låsen 25 ikke ændrer sig før den næste ordre, tillader TAKTSTYRET TILLADE kun en FREMRYK MODTAGE UD impuls at frembringes, hvis AB15 er høj, eller DOUT, hvis AB15 er lav. Ordre DOUT fortæller hyldegrænsefladen i fig. 1, at den skal drive ud eller modtage information. DOUT kan være fælles eller DOUT øvre eller DOUT nedre. Hvis DOUT øvre eller nedre vælges, bliver 30 information kun sendt på den øvre del af hovedkanalen og omvendt.

b) ULA TILLADE. Dette er KORT TILLADE udstrakt til $1\frac{1}{2}$ D takter lang. Det angiver, at ULA'en er ved at initiere en sende- eller modtagecyklus.

35 Udgangsstyringen 27 portstyrer tilsammen udlæseordrerne fra dekodningssektionen og tidsstyresignalerne.

a) DOUT

En $3/4$ taktimpuls initieret af TAKTSTYRET TILLADE og SEND ORDRE til forberedelse af hyldegrænsefladekortet til datamodtagelse.

Åben kollektorudgang anvendes for at gøre det fælles med de andre kort på hylden.

b) FREMRYK MODTAGE UD

5 Modtageimpulsordre forsinket med 2 takter. En ATAKT cyklus lang.

c) MODTAGE

Frembragt af FREMRYK MODTAGE IND eller internt portstyret FREMRYK MODTAGE UD, taktstyret ud af ATAKT som en $\frac{1}{2}$ taktimpuls.

d) ULA TILLADE

10 $1\frac{1}{2}$ D takter lang udvidelse af KORT TILLADE tilvejebragt for codec korttidsstyring.

e) NED

Åben kollektor drivenhed for NED lysdiodeindikator for at angive, når kortet er i ikke-driftstilstand.

15 f) KORT TILBAGESTIL

Frembringes af enten SYN (systemnormalisering) eller P3 tilbagestil fra den "umbilicale" konektor, som anvendes til at indsætte eller fjerne en plade i en telefonigruppe.

g) KORT TILLADE

20 $\frac{1}{2}$ taktimpuls frembragt af HYLDE TILLADE, når adressebittene 5-9 passer til 5 bit kortadressen (CAD 1-5).

h) BUS SENDER/MODTAGER TILLADE

25 Dette styrer dataoverførslen til den fælles databus, hvorfor forsinkelser af dette signal skal være minimale. Dette sikres ved at starte og afslutte impulsen med ACLK* og DCLK* med låsereserve.

DCLK og DCLK* forsøger kontinuerligt at tilbagesætte bus sender/modtager tillade BTE låsen og blokerer udgangsporten. Enten DOUT, FREMRYK MODTAGE IND eller FREMRYK MODTAGE UD (med MÅDE sat lavt) undertrykker DCLK* og DCLK under én cyklus og tillader ACLK* at initiere impulsen og sætte BTE låsen. Den næste DCLK* afslutter impulsen.

30 i) SENDE

35 Lignende virkning og tidsstyring som BUS SENDER/MODTAGER TILLADE, men kun DOUT initierer impulsen sammen med ACLK* for at starte impulsen en halv taktcyklus tidligere. Dette giver tid til at forberede data til udlæsning og sætter retningen af bus sender/modtagerne.

P A T E N T K R A V.

1. Tidsdelingsmultiplextelekommunikationscentral med et tidsdelings-
multiplexadresse- og styresystem, hvilket styresystem omfatter en
5 fælles styrecomputer (10) og en digital tidsdelingsmultiplexskifte-
styreenhed (20), hvilken central omfatter et antal hylder (S1-SN) af
telefonigrupper (100-102), en databus (112) og et antal adressebus-
ser (108,110), hvilken databus (112) forbinder de nævnte hylder
(S1-SN) med hinanden for tidsdelingsmultiplexet dataoverføring
10 mellem telefonigrupperne (100,102) under styring af adressering på
adressebusserne (108,110), hvilken adressering modtages over den
nævnte digitale tidsdelingsmultiplexskiftestyreenhed (20) omfattende
et første (AB0) og et andet (AB1) adressebusgrænsefladekredsløb, et
senderregister (TXREG) og et modtageregister (RXREG), der hvert er
15 forbundet med databussen (112) og er tilgængeligt for den fælles
styrecomputer (10) for at bevirke dataudveksling mellem hylderne
(S1,SN) og den fælles styrecomputer (10), hvilken fælles styrecom-
puter (10) er indrettet til at adressere de nævnte hylder (S1,SN)
ved indsætning af respektive hyldeadresser i det første (AB0) og det
20 andet (AB1) adressebusgrænsefladekredsløb, k e n d e t e g n e t
ved, at den fælles styrecomputer (10) yderligere er indrettet til at
adressere den digitale tidsdelingsmultiplexskiftestyreenhed (20) ved
indsætning af respektiv adressering i det første (AB0) og det andet
(AB1) adressebusgrænsefladekredsløb for at bringe tidsdelingsmulti-
25 plexskiftestyreenheden (20) til at læse data fra senderregistret
(TXREG) eller skrive data i senderregistret (TXREG) og til at læse
data fra modtageregistret (RXREG) og skrive data i modtageregistret
(RXREG) for at bevirke dataudveksling mellem den fælles styrecompu-
ter (10) og den digitale tidsdelingsmultiplexskiftestyreenhed (20).

30

2. Tidsdelingsmultiplextelekommunikationscentral ifølge krav 1,
k e n d e t e g n e t ved, at den digitale skiftestyreenhed (20)
indbefatter et første adresselager (208), et andet adresselager
(210) og et datalager omfattende et send øvre (224) og send nedre
35 (226) register, hvor det første og andet adresselager er forbundet
for at modtage henholdsvis første og anden adresseinformation fra
den fælles styrecomputer (10), hvor send øvre- og send nedre data-
registrene er forbundet for at modtage data fra den fælles styre-
computer (10), hvor det første og andet adresselager er forbundet

til den første (AB0) og den anden (AB1) mellemhyldebus for at tilvejebringe adresseinformation til telekommunikationscentralen, og hvor send øvre og nedre dataregistrene er forbundet til en mellemhylde databus (112) over respektive første (228) og anden databusdrivenhed, og hvor databussen er opdelt i to halvdele, nemlig en
5 øvre og en nedre til at sende og modtage øvre og nedre databytes.

3. Tidsdelingsmultiplextelekommunikationscentral ifølge krav 2, k e n d e t e g n e t ved, at et modtageregister (238) er forbundet
10 til de to halvdele af databussen for at modtage information, som udsendes på databussen, og at udgangen på modtageregistret er forbundet med en indgangs/udgangsbusdriver (240), hvis udgang er forbundet med den fælles styrecomputer (10) over en fælles styrebus (12).

15 4. Tidsdelingsmultiplextelekommunikationscentral ifølge krav 3, k e n d e t e g n e t ved, at den indbefatter en første (242) og en anden (244) læseadressebuffer, som er forbundet henholdsvis med det første (208) og det andet (210) adresselager for at modtage adresseinformation, som udlæses til den første (AB0) og den anden (AB1)
20 hyldeadressemellembus, idet udgangene på den første (242) og den anden (244) læseadressebuffer er forbundet med indgangs/udgangsbusdriveren (240) for at tillade, at udgangsadresseinformation føres tilbage til den fælles styrecomputer (10) for kontrol.

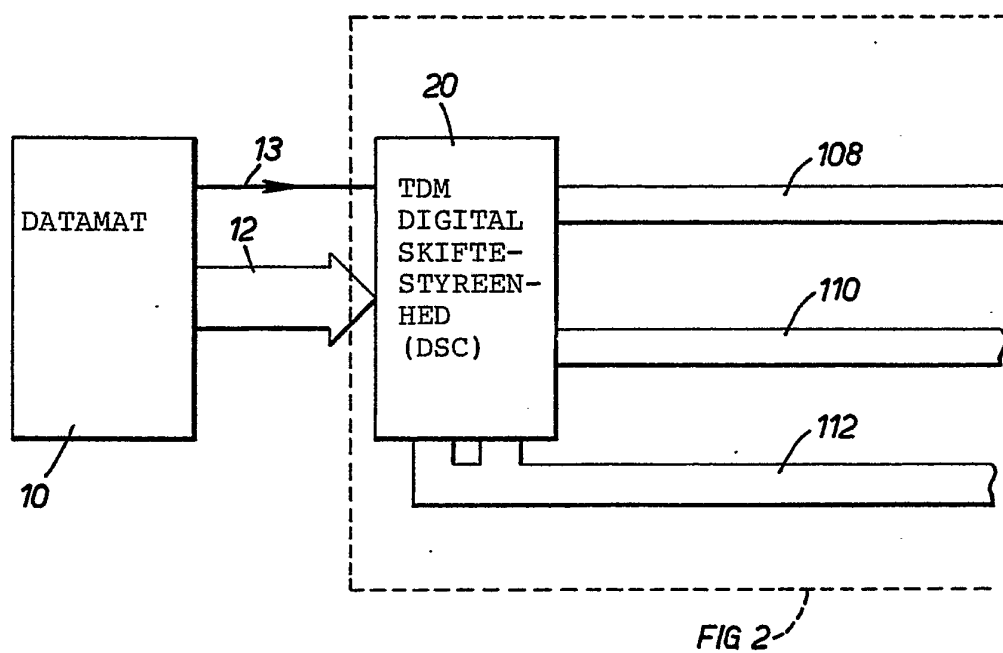
25 5. Tidsdelingsmultiplextelekommunikationscentral ifølge krav 4, k e n d e t e g n e t ved, at den indbefatter et første (222) og et andet (236) læs tilbage adressebuskredsløb, der henholdsvis er forbundet med den første (AB0) og den anden (AB1) adressebus for at
30 læse adresser, som udlæses på disse busser, hvor udgangene på det første (222) og det andet (236) læs tilbage adressebuskredsløb er forbundet med indgangene på den første (228) og den anden (230) databusdriver.

35 6. Tidsdelingsmultiplextelekommunikationscentral ifølge krav 5, k e n d e t e g n e t ved, at den første (AB0) og den anden (AB1) adressebus og den øvre og nedre databus (112) over et antal hyldegrænsefladekredsløb (104,106) er forbundet med et antal apparathylder (S1-SN) i en telekommunikationscentral, og at et antal

telefonigrupper (100,102) af abonnenter er forbundet med i det mindste to af hylderne (S1-SN) over respektive grænsefladekredsløb (104,106).

5 7. Tidsdelingsmultiplextelekommunikationscentral ifølge krav 6, k e n d e t e g n e t ved, at hvert hyldegrænsefladekredsløb (104,106) indbefatter et første (302) og et andet (304) adressedekodningskredsløb til dekodning af en del af adressen på hver respektiv første (AB0) og anden (AB1) adressebus for at identificere en
10 hylde (S1,SN), en første (310) og en anden (312) adressebuffer i tilknytning til den første (AB0) og den anden (AB1) adressebus for at bufre den resterende del af hver adresse til den respektive første (306) og anden (308) hyldeadressebus, og indbefattende en første (318) og en anden (320) toretningsbuffer, der er forbundet
15 med den øvre (314) og den nedre (316) bytehylde datamellembus og med den øvre (322) og den nedre (324) bytehylde databus for at bufre information mellem hylden (S1,SN) og den digitale skiftestyreenhed (20).

20 8. Tidsdelingsmultiplextelekommunikationscentral ifølge krav 7, k e n d e t e g n e t ved, at telefonigruppegrænsefladekredsløbene indbefatter et multibitlåsekredsløb (25), som modtager og aktiveres af en første del af den resterende del af adressebitene, hvilket låsekredsløb (25) over et dekodningskredsløb (26) er forbundet med
25 et udgangsstyrekredsløb (27), hvilket udgangsstyrekredsløb (27) tilvejebringer udgangssignaler til telefonikortene til styring af overførslen af data fra en valgt abonnent blandt de nævnte telefonabonnenter (A,B) til hyldebussen (322,324) og derefter til hylde-
30 mellembussen (112), hvor en anden del af den resterende del af adressebitene, som udlæses fra hyldegrænsefladekredsløbet, anvendes til at energiforsyne det korrekte telefonigruppegrænsefladekredsløb til kun at tillade dette kredsløb at overføre data til hyldebussen.

*FIG. 1.*

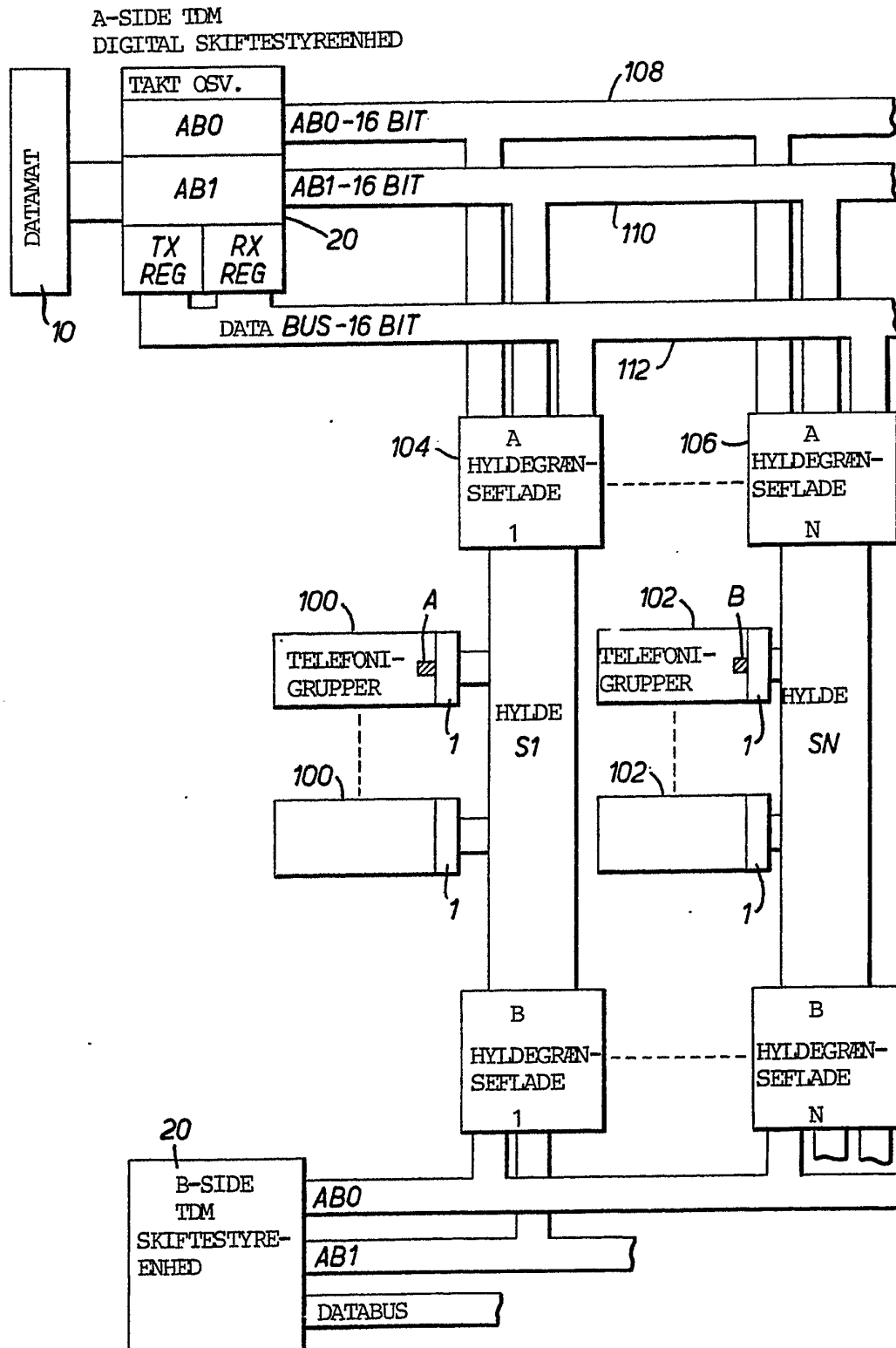


FIG. 2.

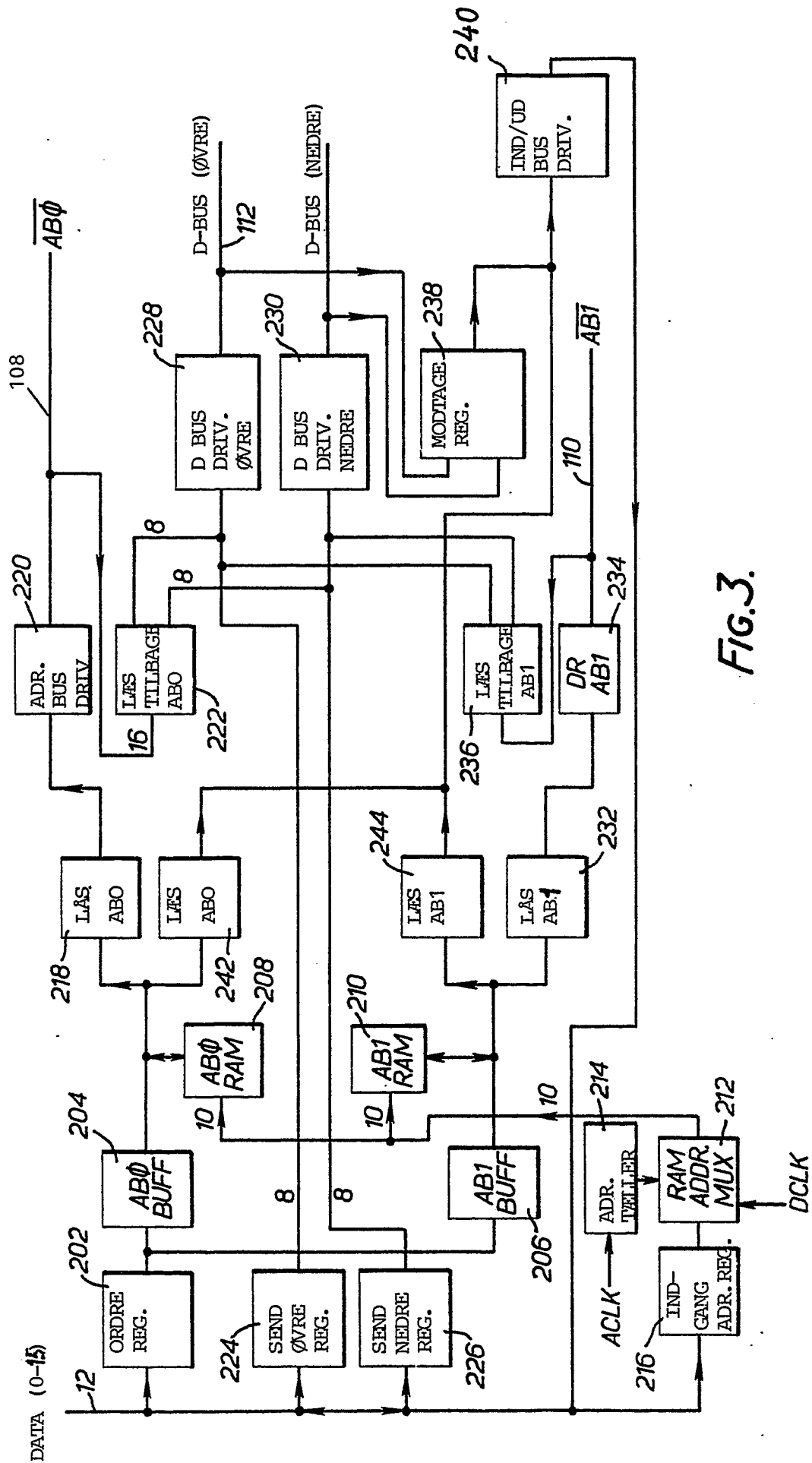


FIG. 3.

FIG. 4A-1.	FIG. 4A-2.	FIG. 4A-3.	FIG. 4A-4.	FIG. 4A-5.	FIG. 4A-6.
FIG. 4A-7	FIG. 4A-8	FIG. 4A-9	FIG. 4A-10	FIG. 4A-11	FIG. 4A-12

FIG. 4A.

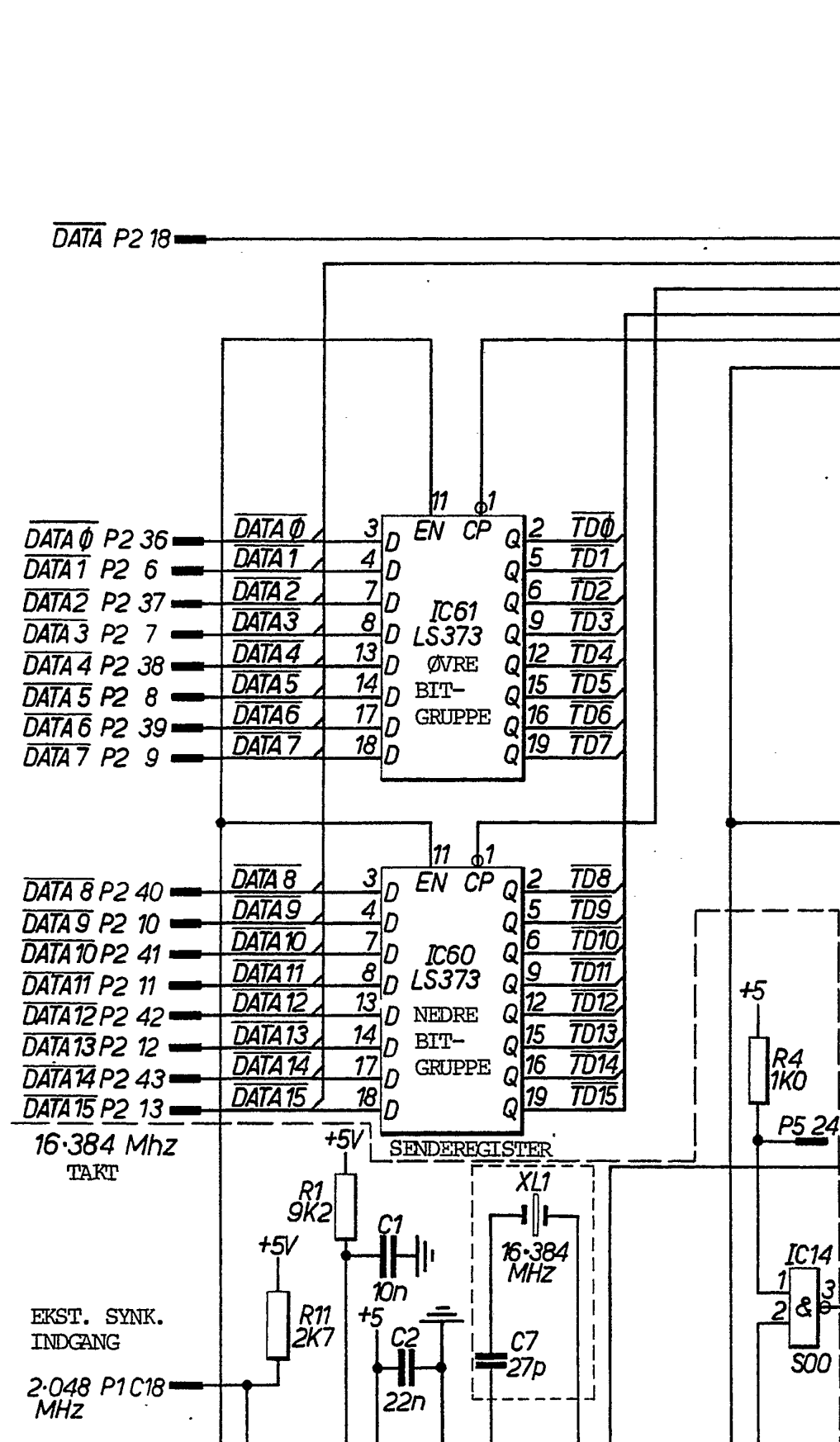


FIG. 4A-1.

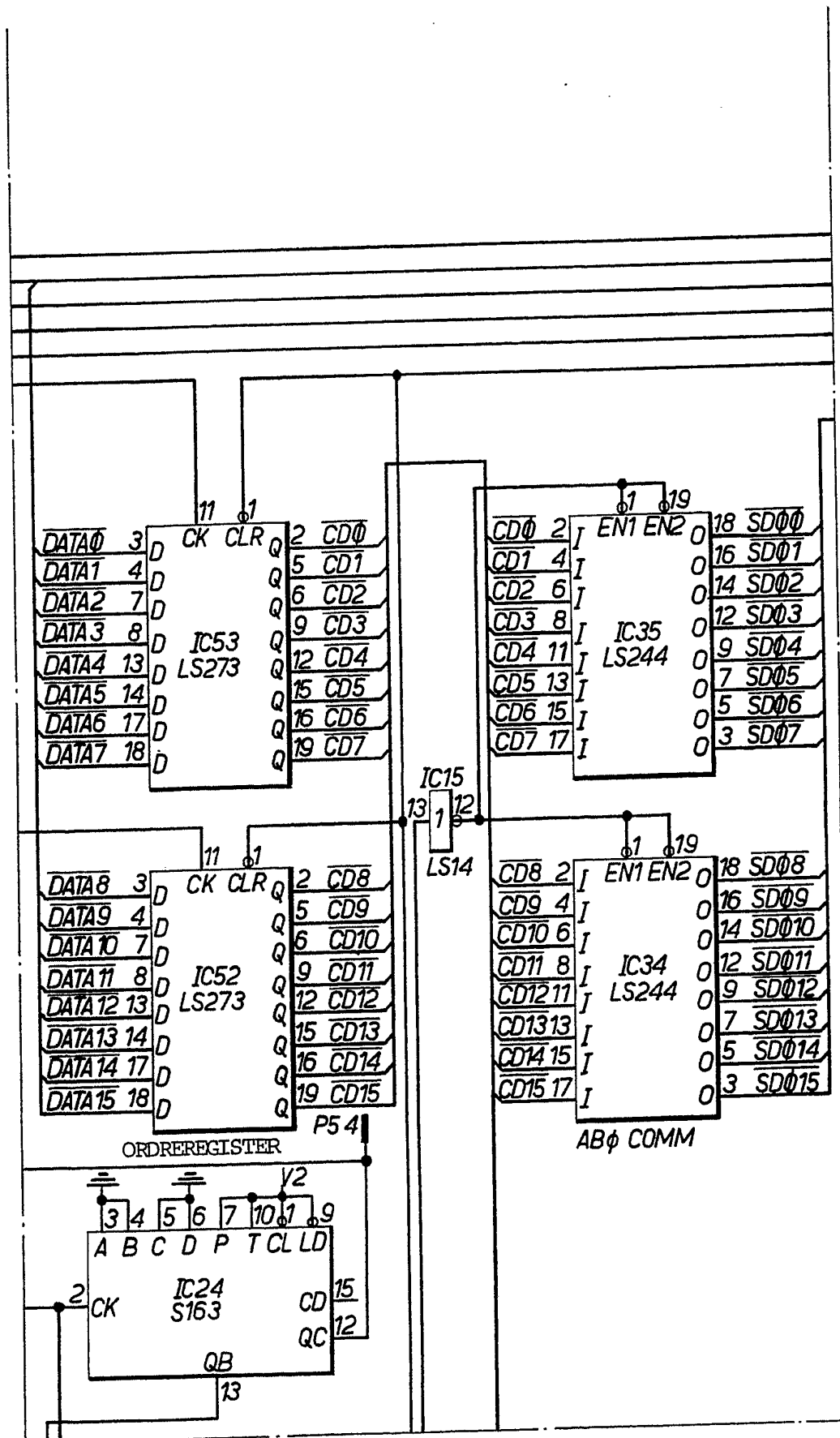


FIG. 4A-2.

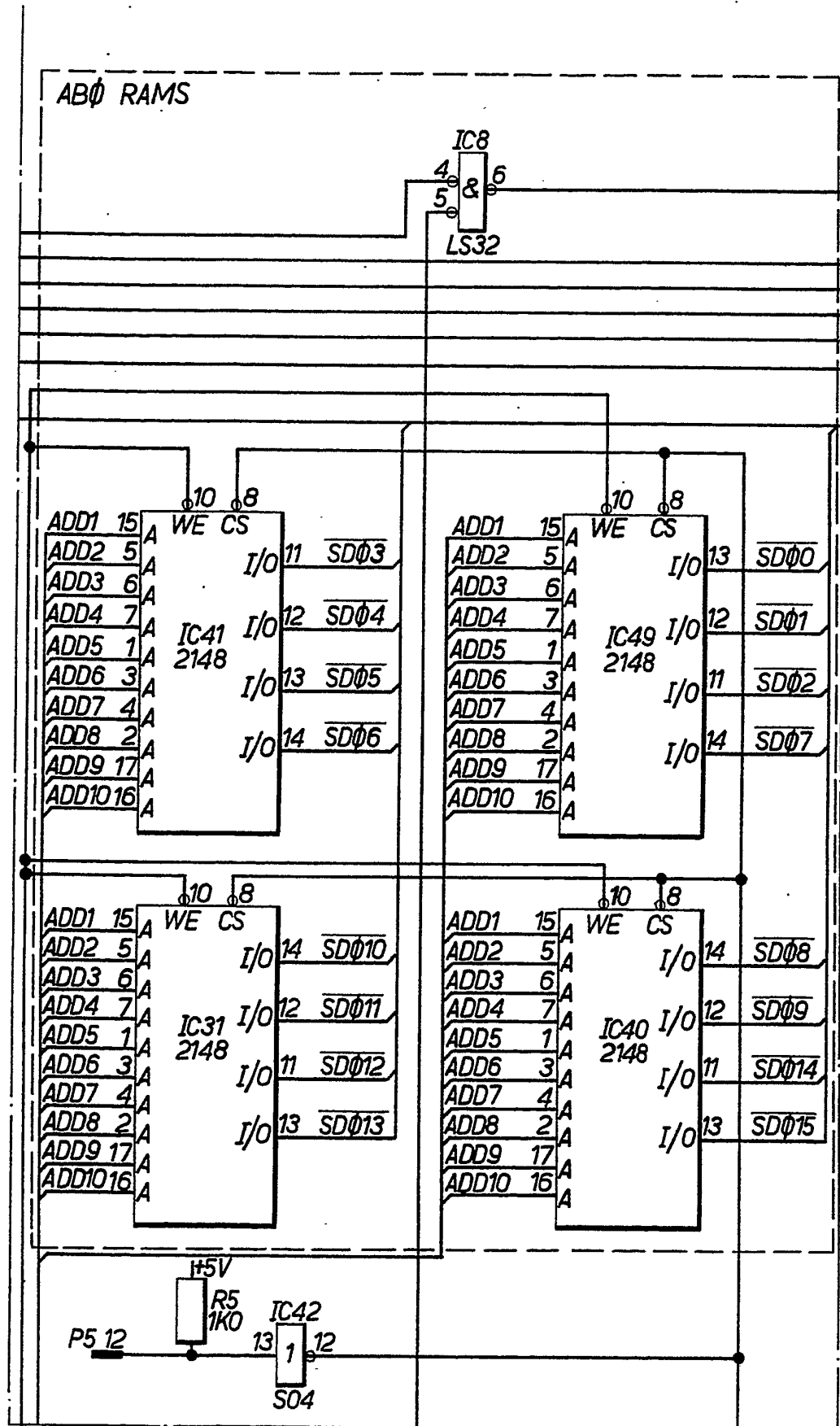


FIG. 4A-3.

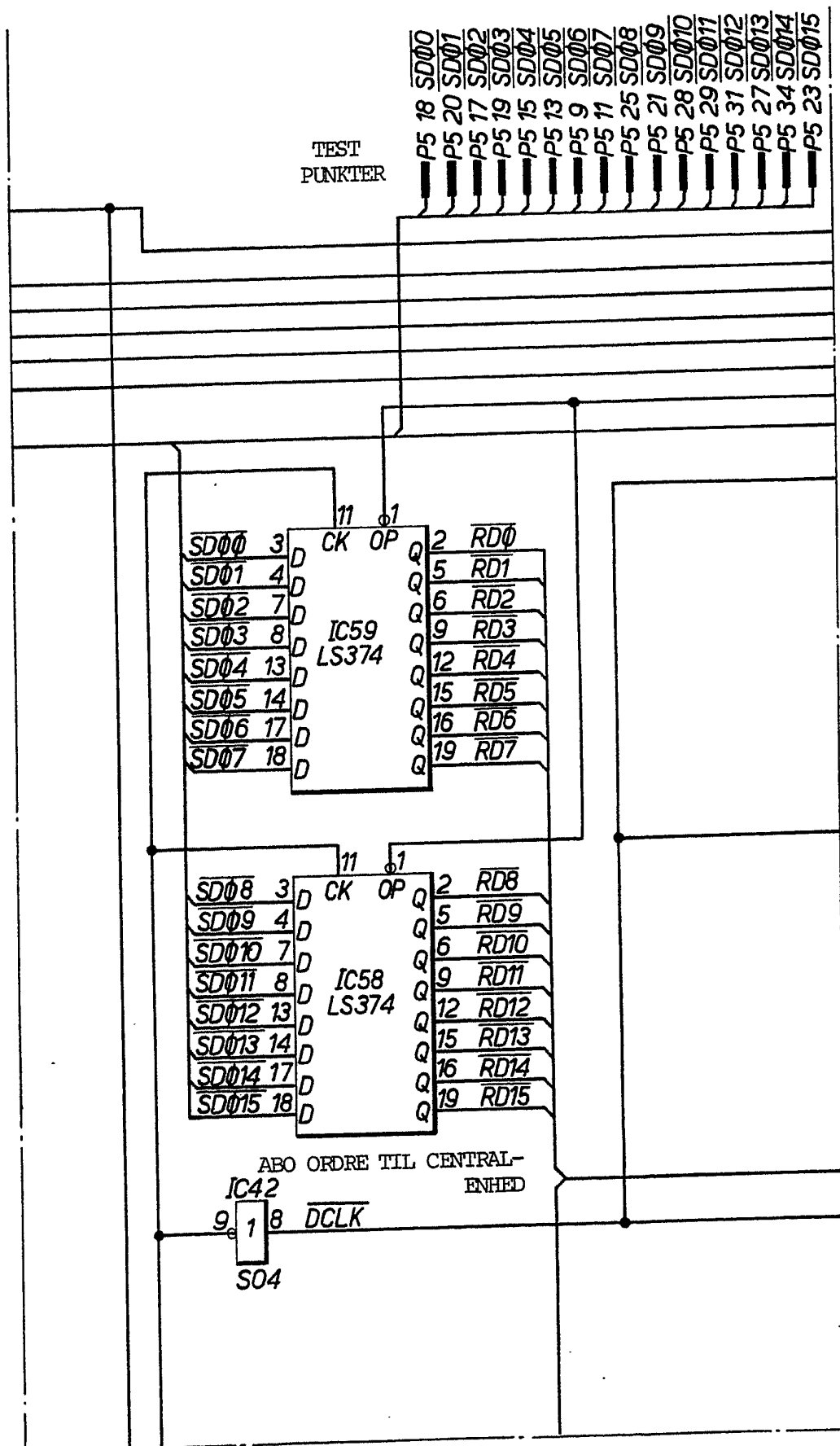


FIG. 4A-4.

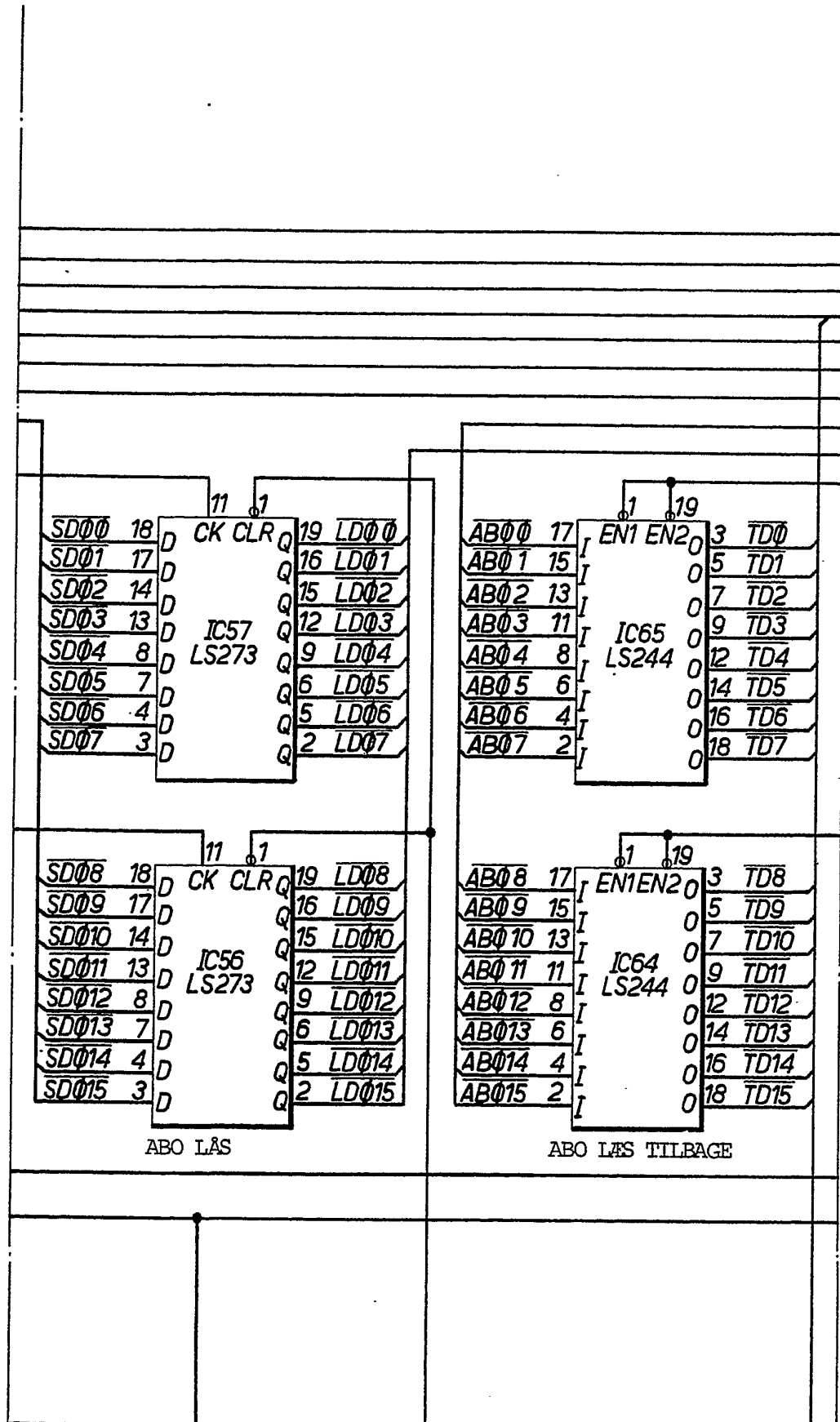


FIG.4A-5.

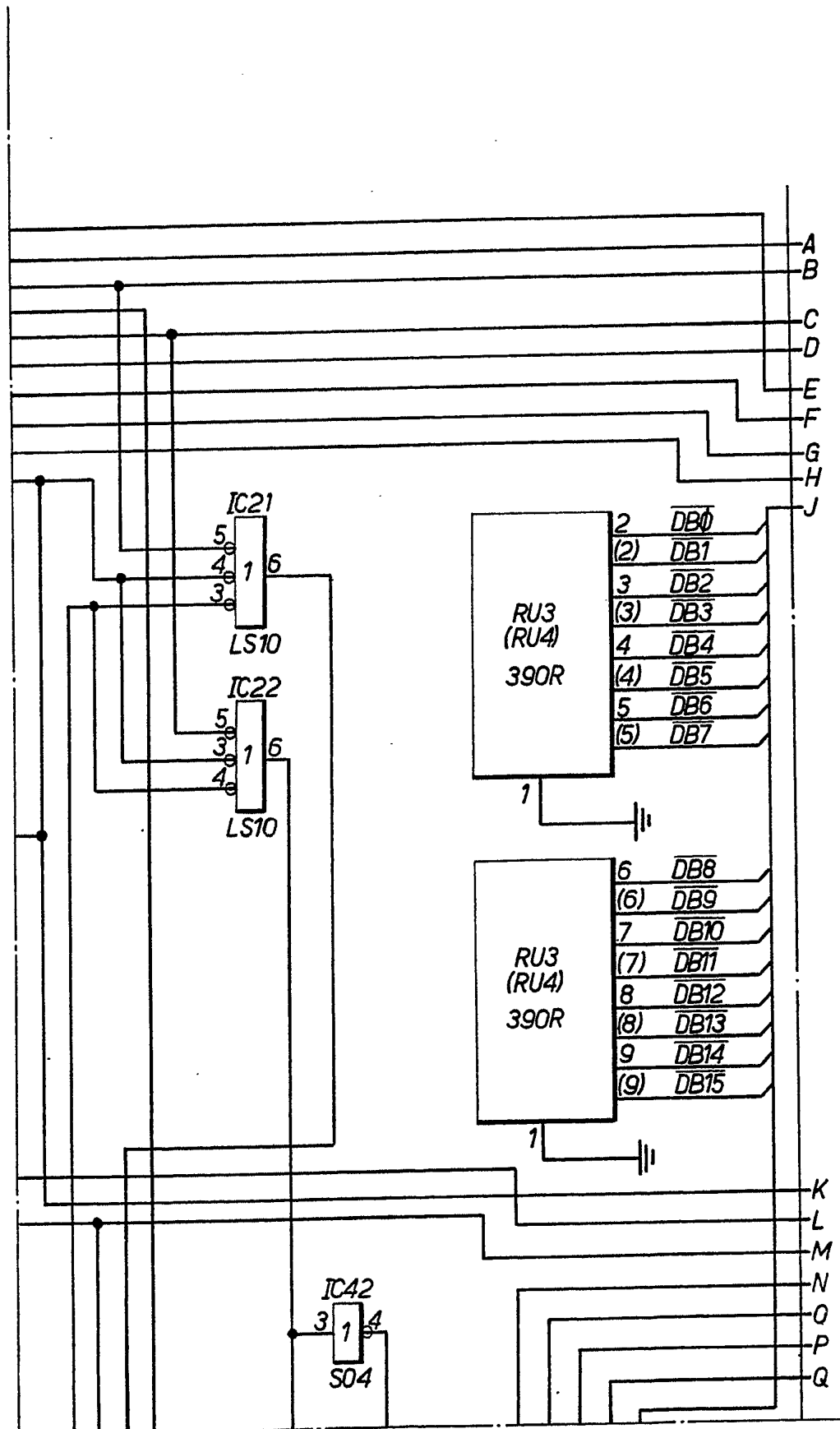


FIG. 4A-6.

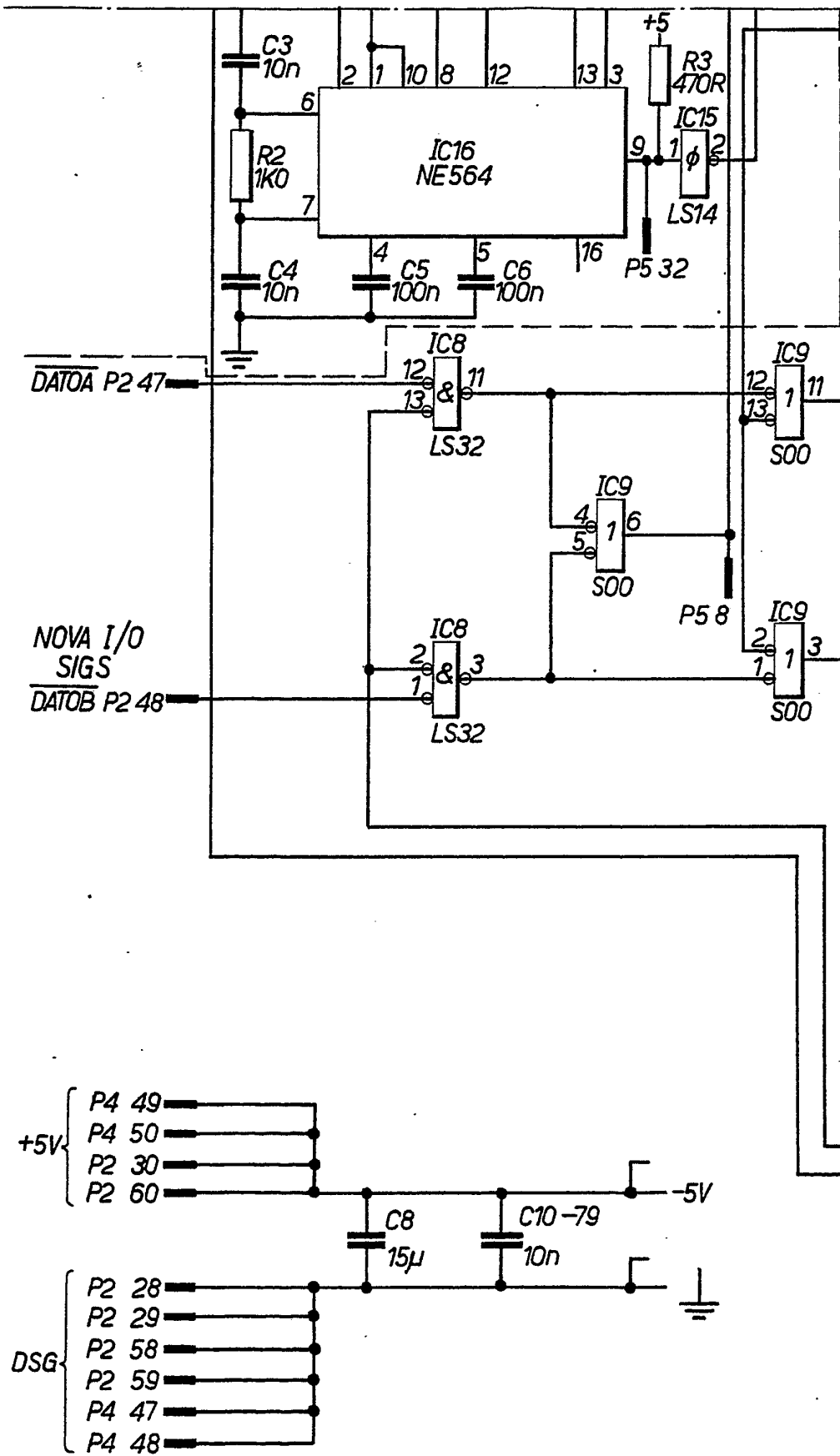


FIG. 4A-7.

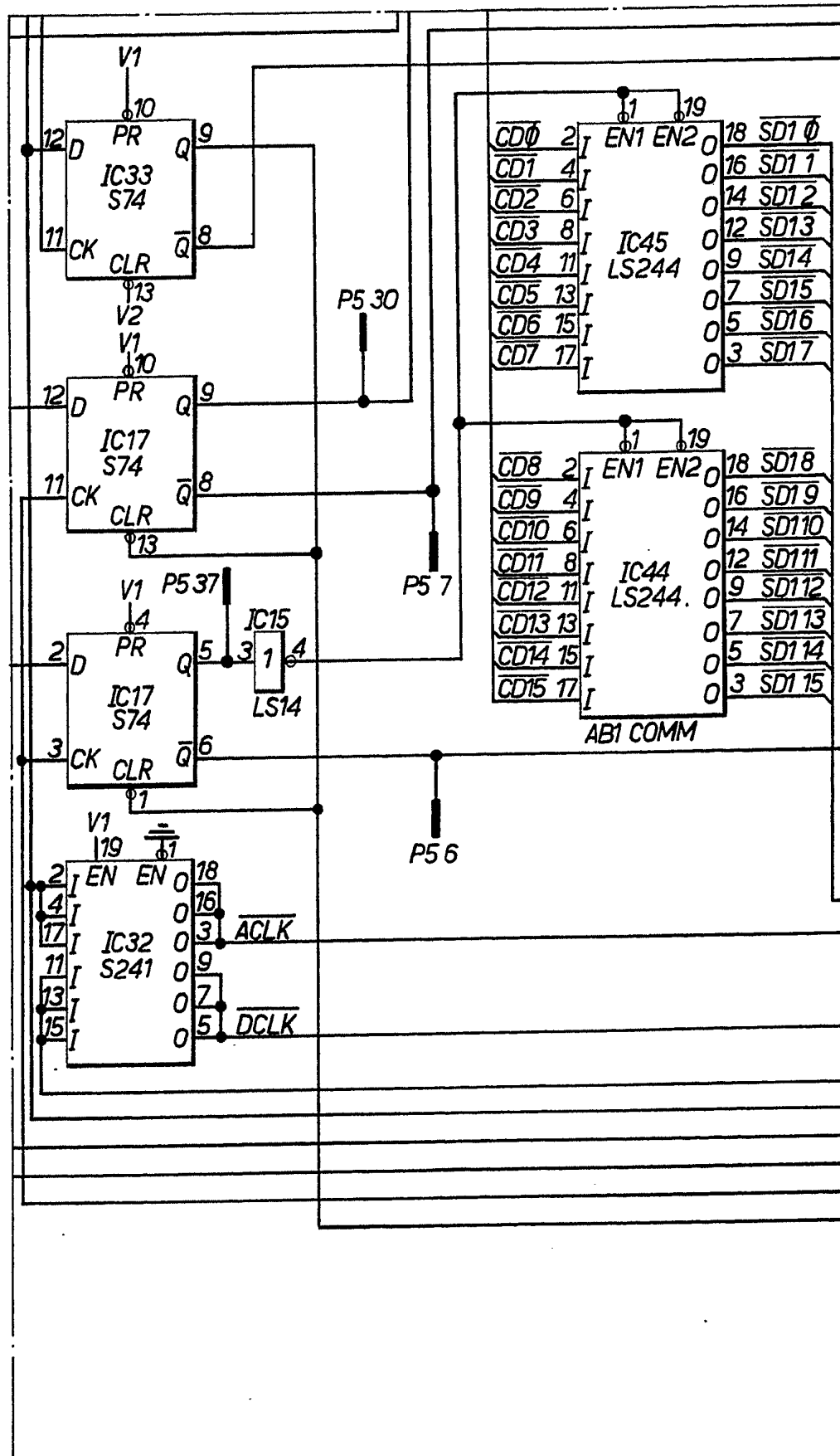


FIG. 4A-8.

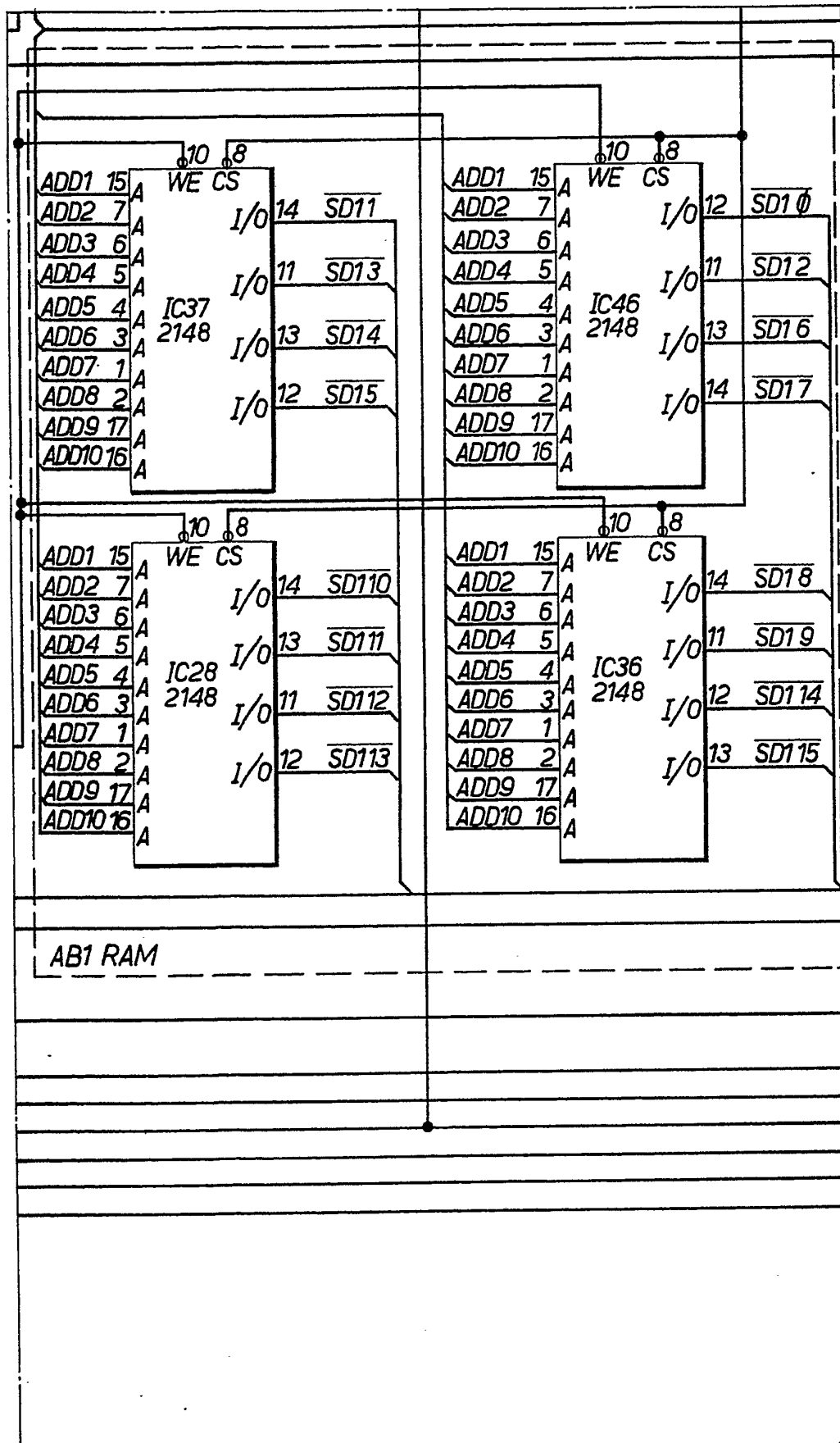


FIG. 4A-9.

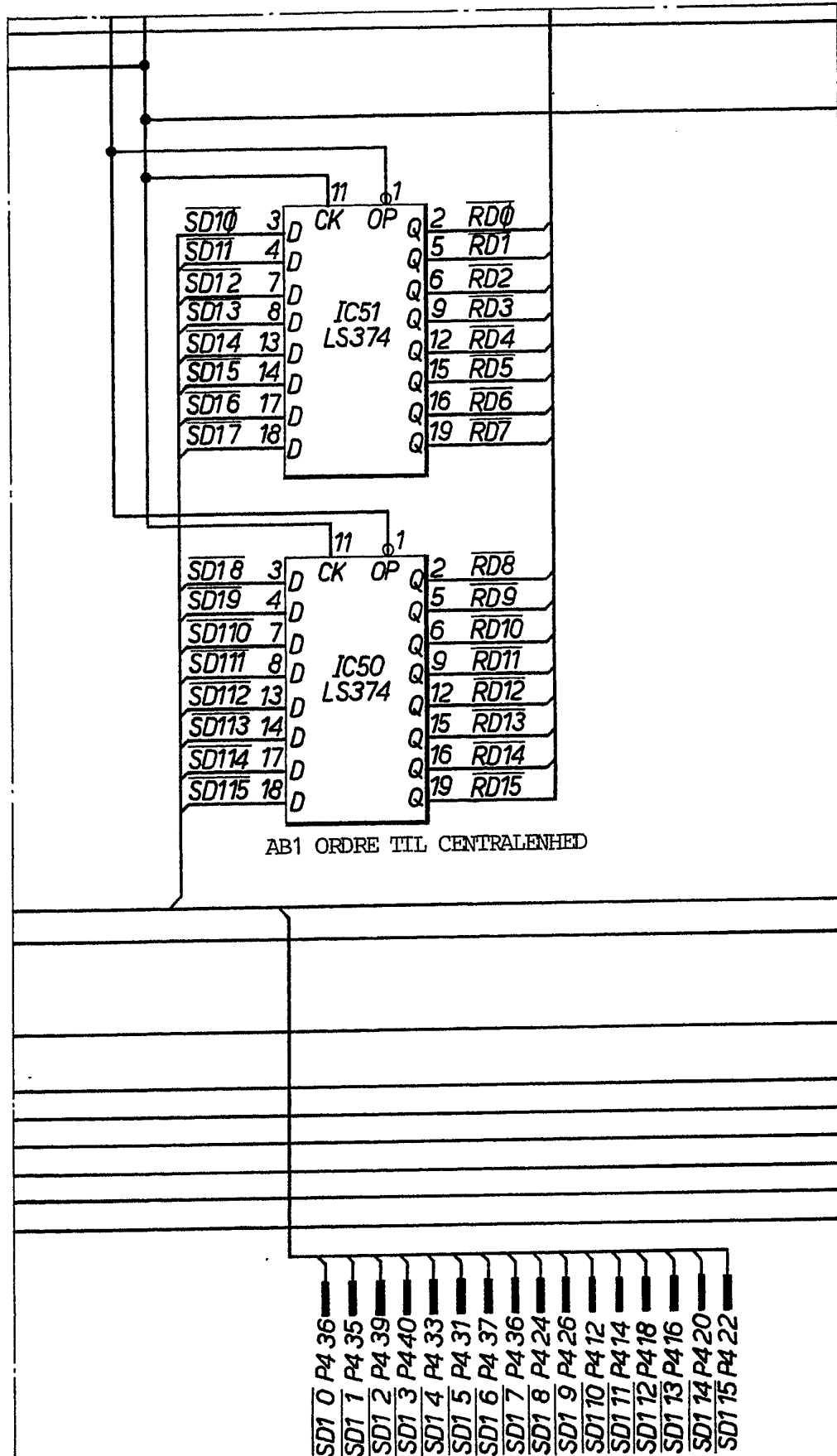


FIG. 4A-10.

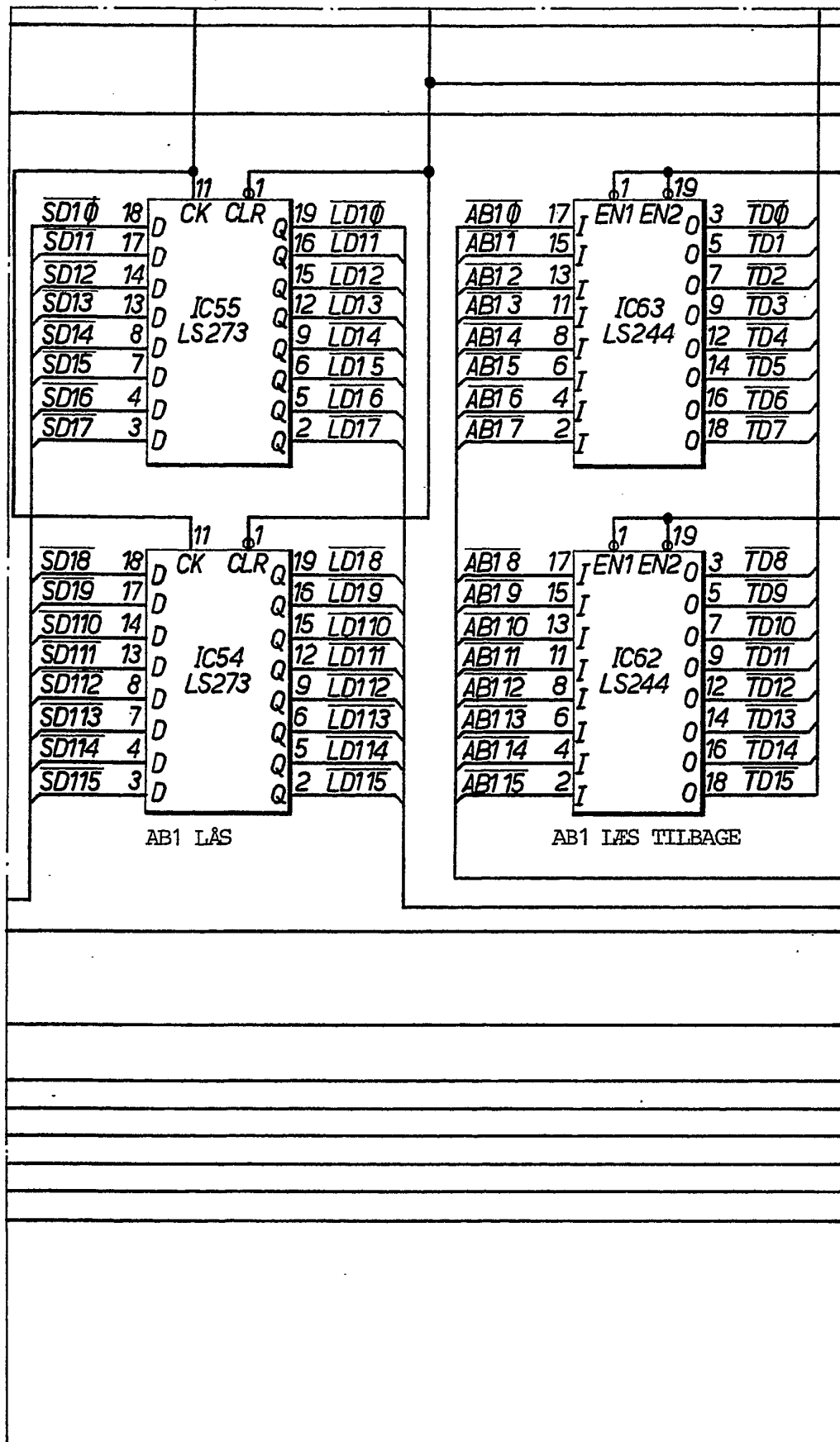


FIG.4A-II.

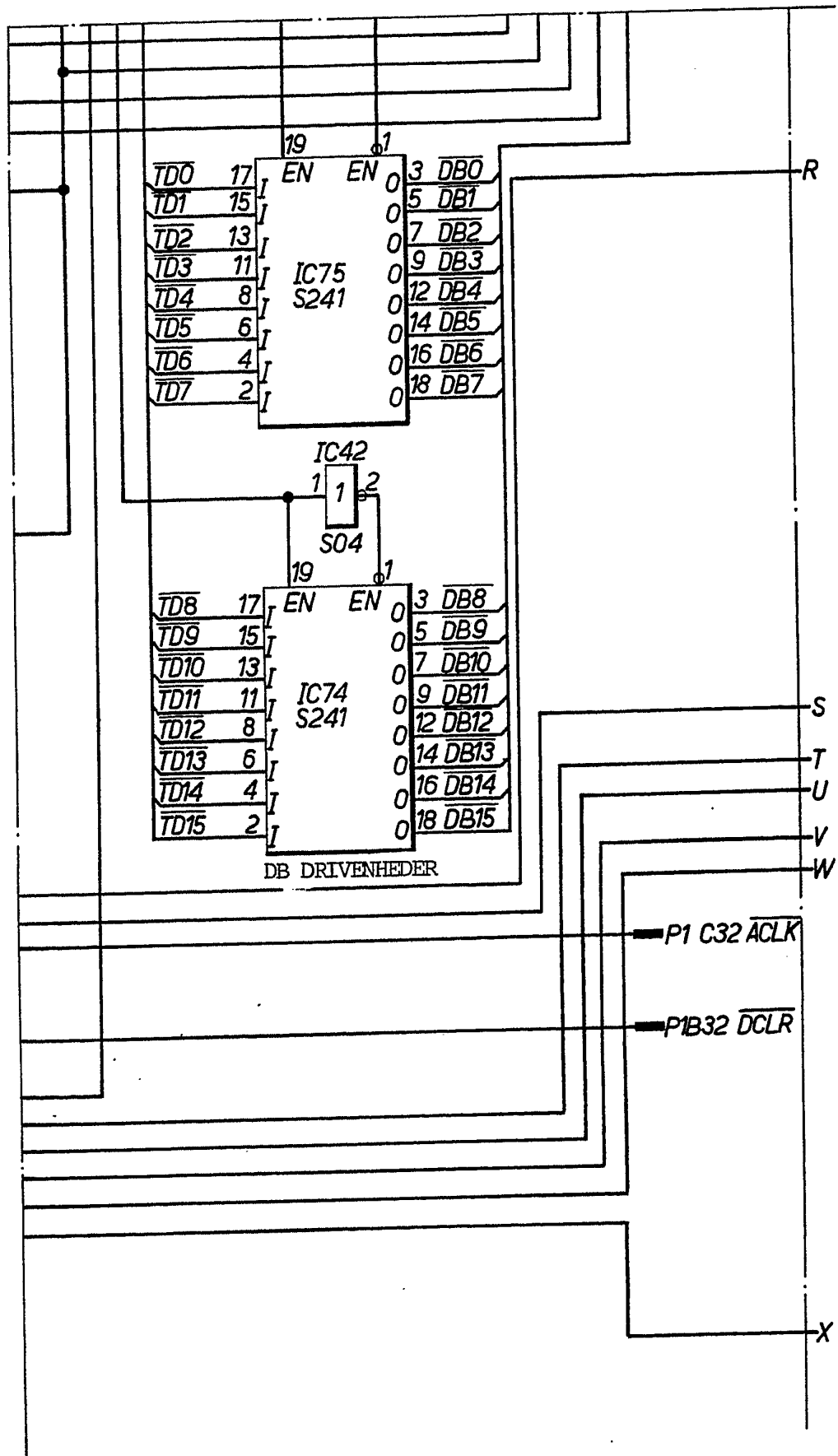


FIG. 4A-12.

Fig. 4B-1.	Fig. 4B-2.	Fig. 4B-3.	Fig. 4B-4.	Fig. 4B-5.
Fig. 4B-6.	Fig. 4B-7.	Fig. 4B-8.	Fig. 4B-9.	Fig. 4B-10.

FIG. 4B.

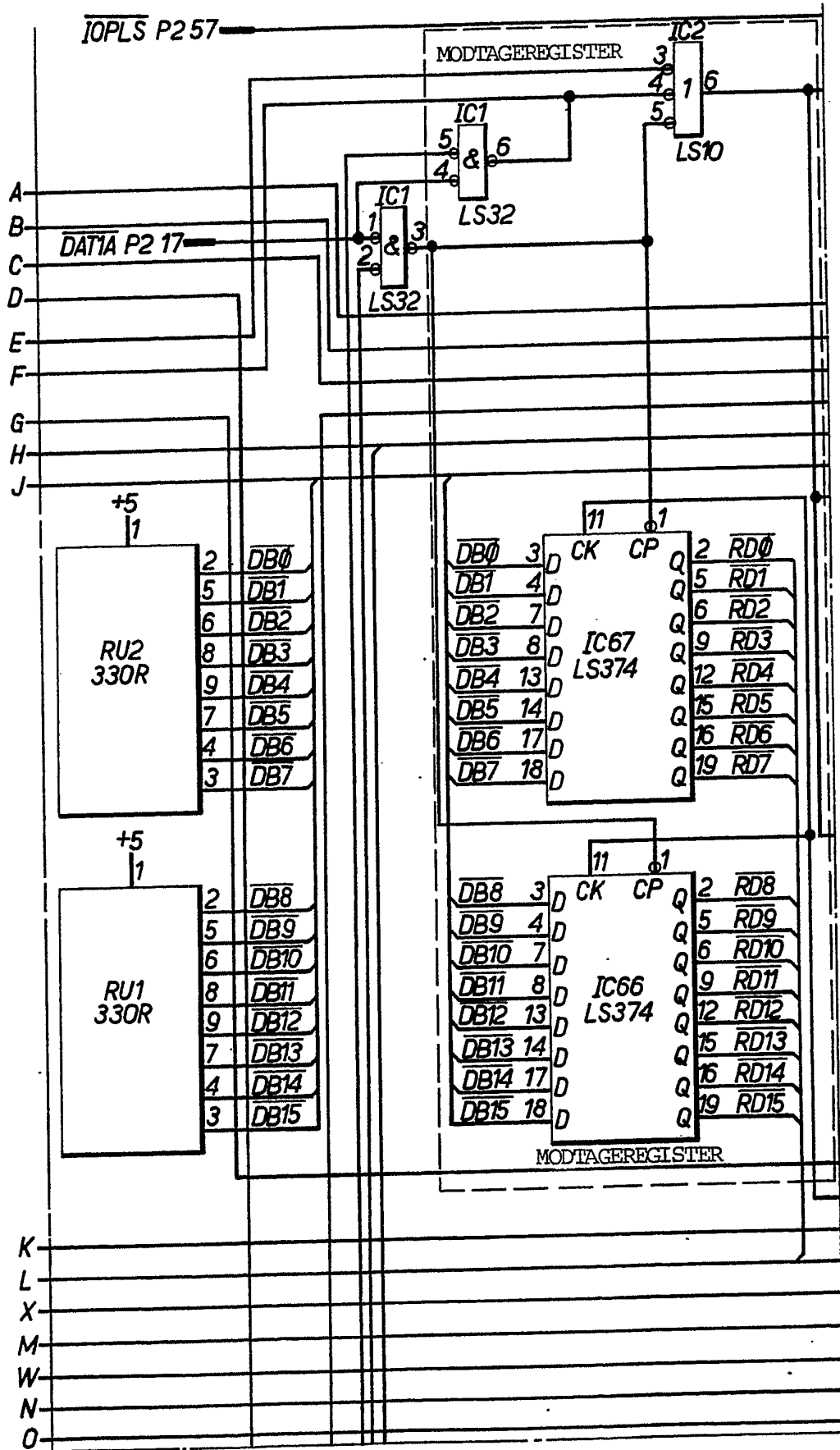


FIG. 4B-1.

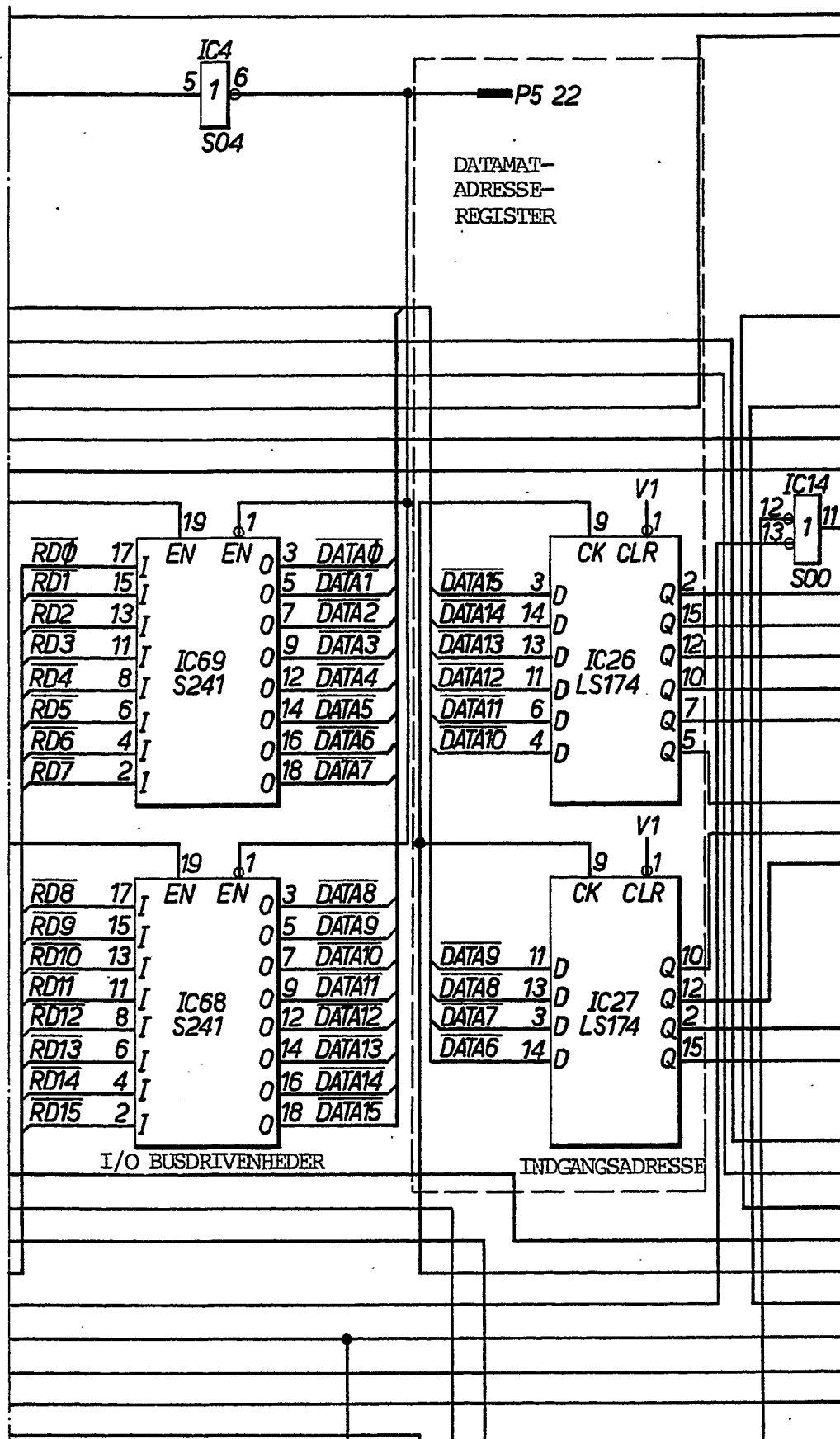


FIG.4B-2.

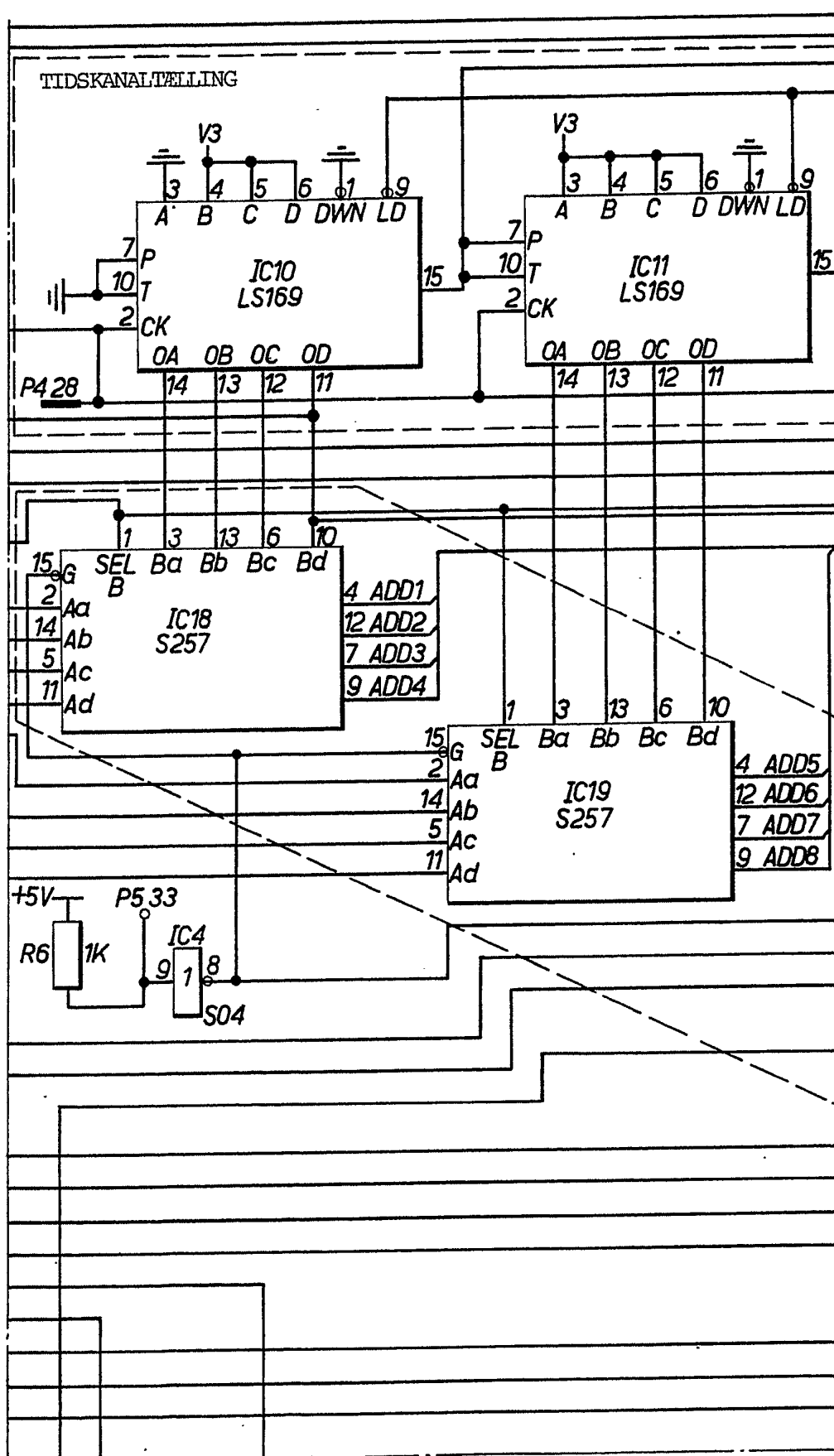


FIG. 4B-3.

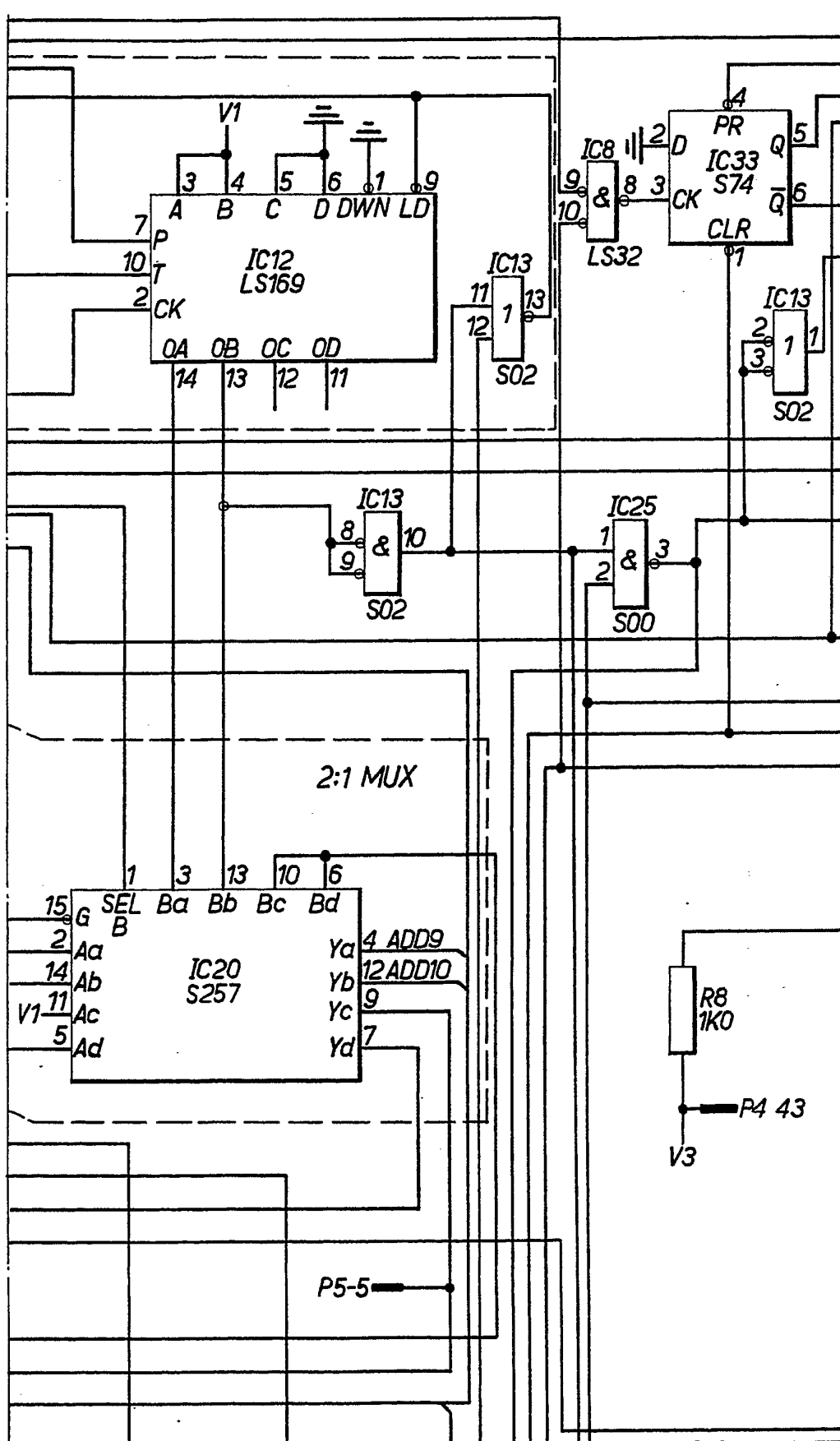


FIG.4B-4.

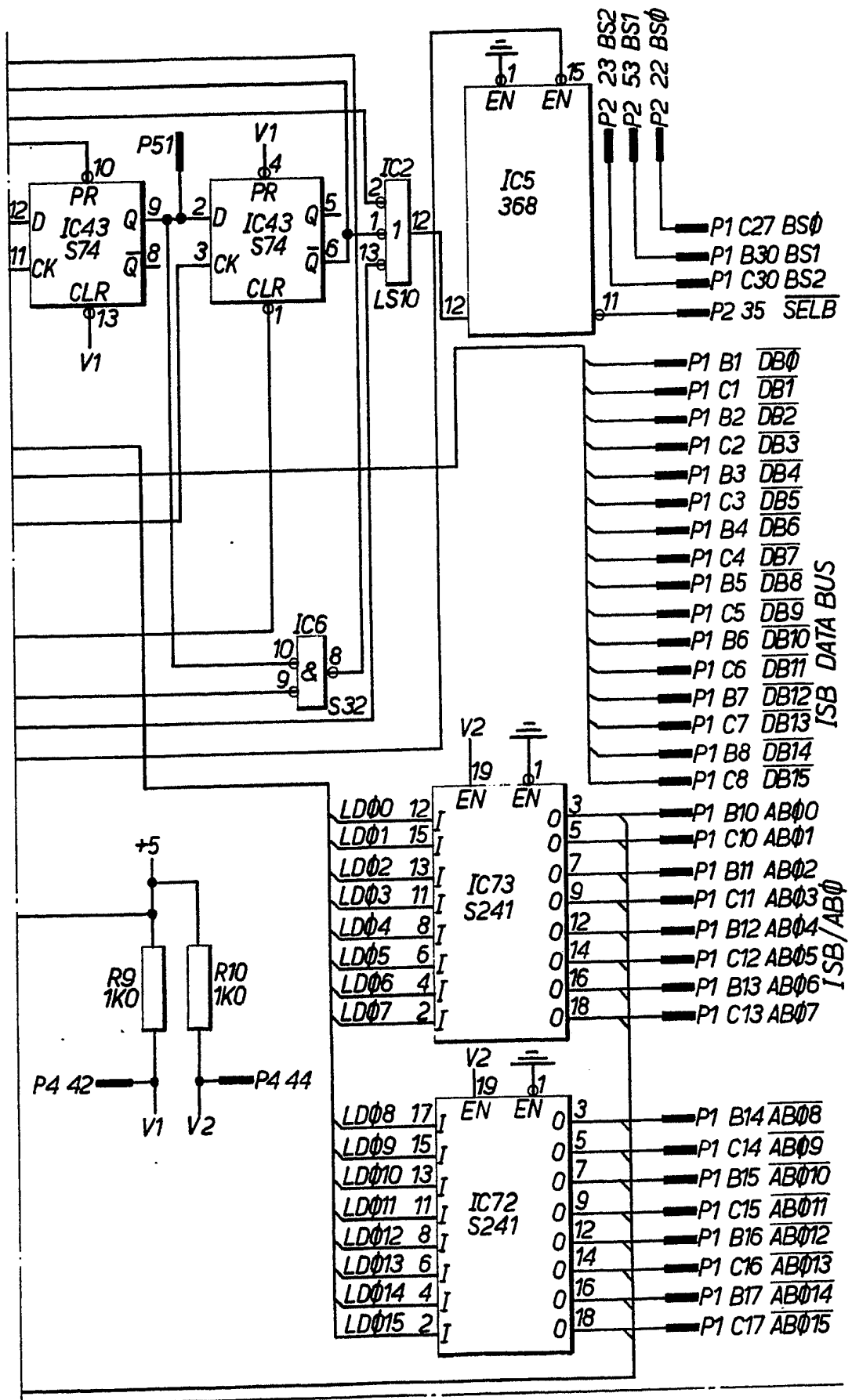


FIG. 4B-5.

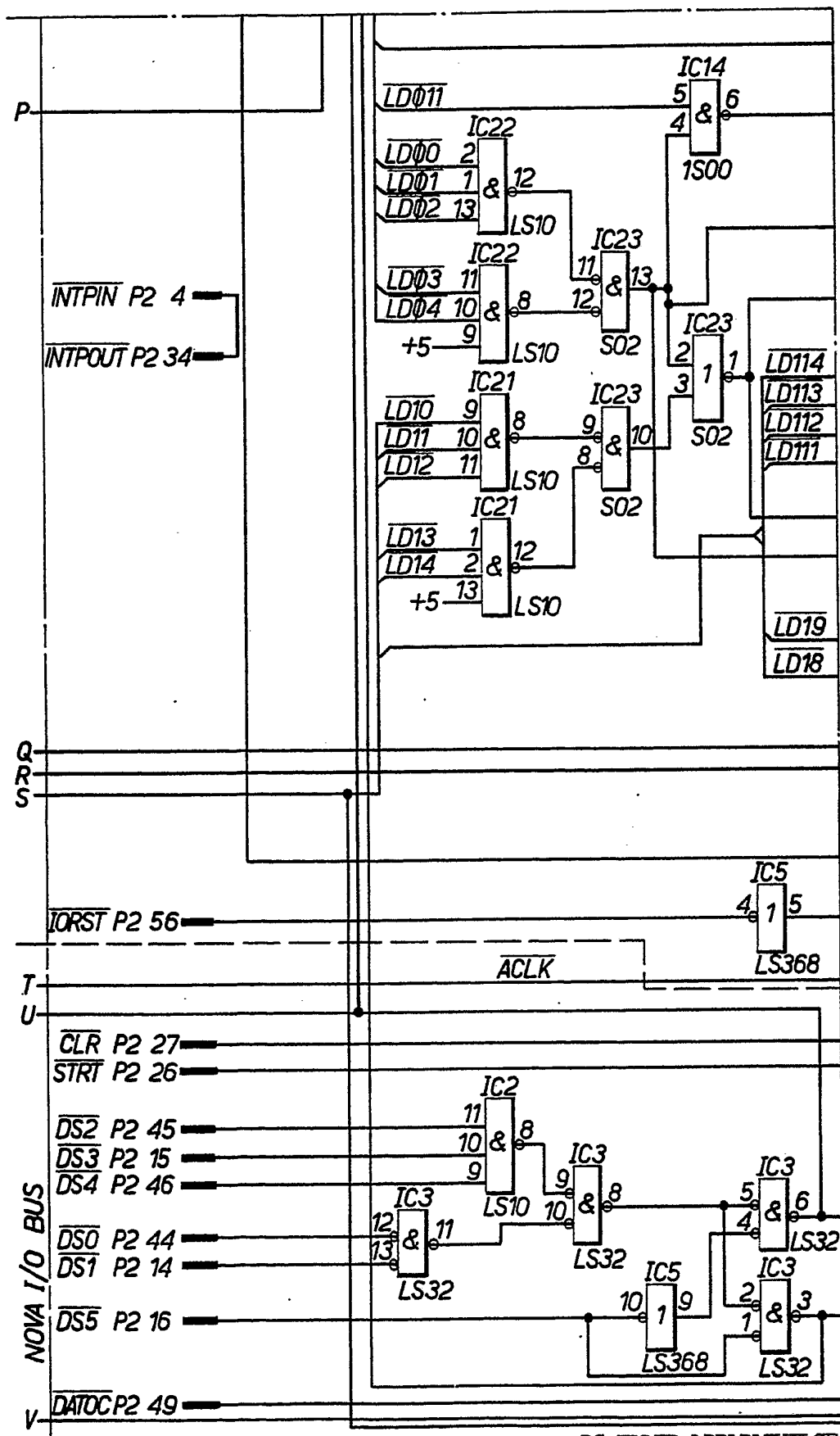


FIG. 4B-6.

DS ELLER APPARATVÆLGE-
LOGIK 60₈ ELLER 61₈

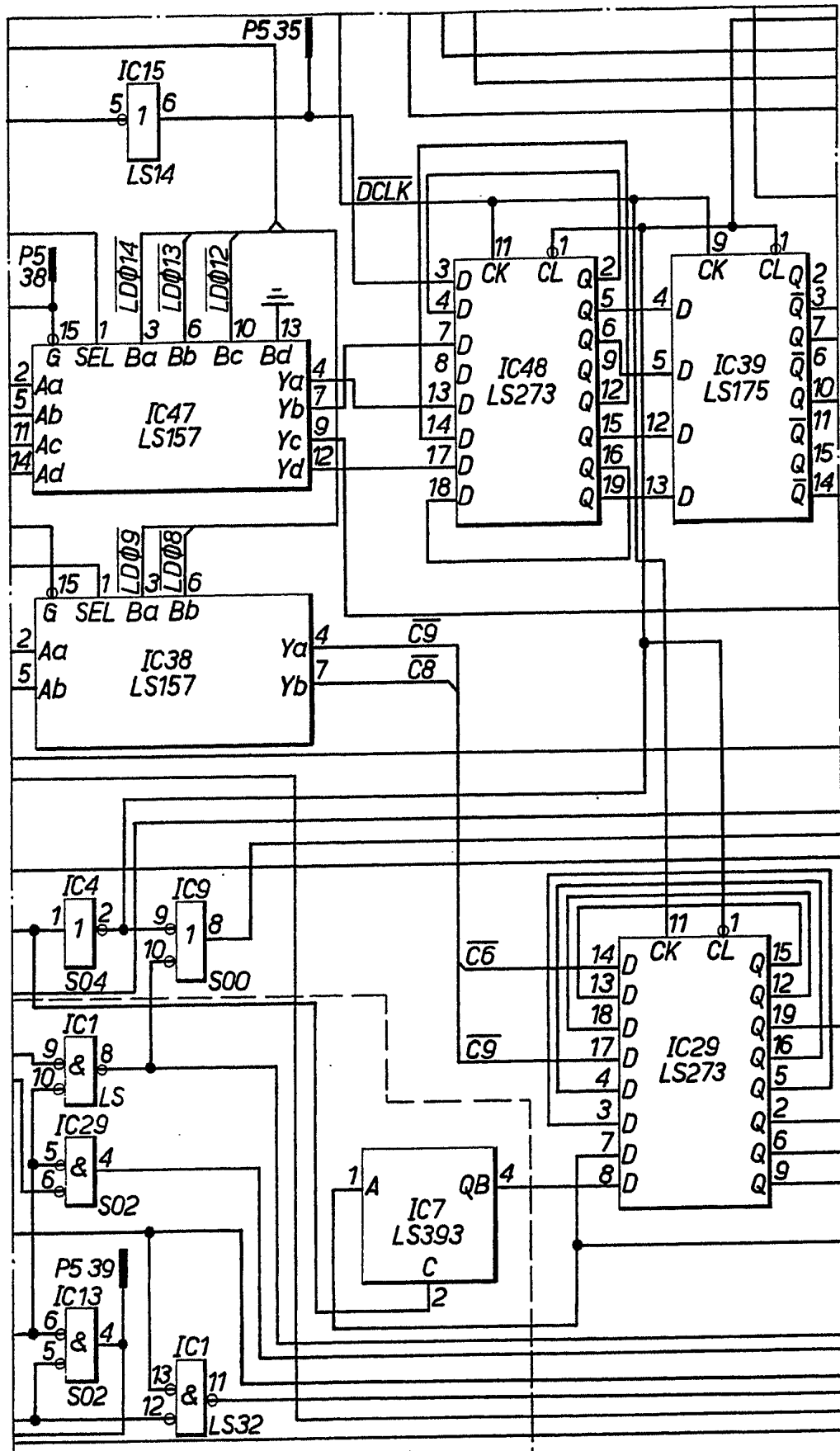


Fig. 4B-7.

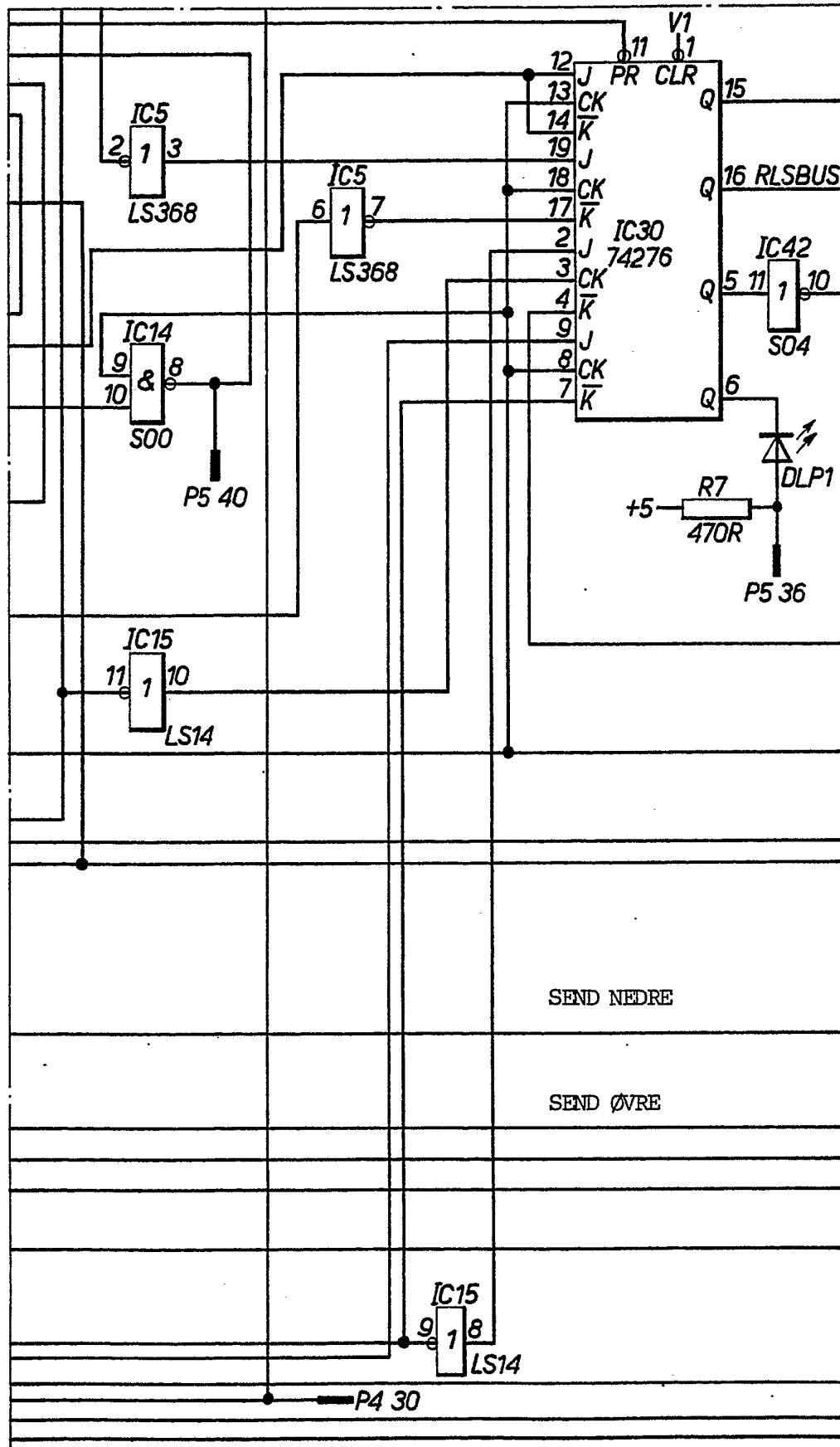


FIG. 4B-8.

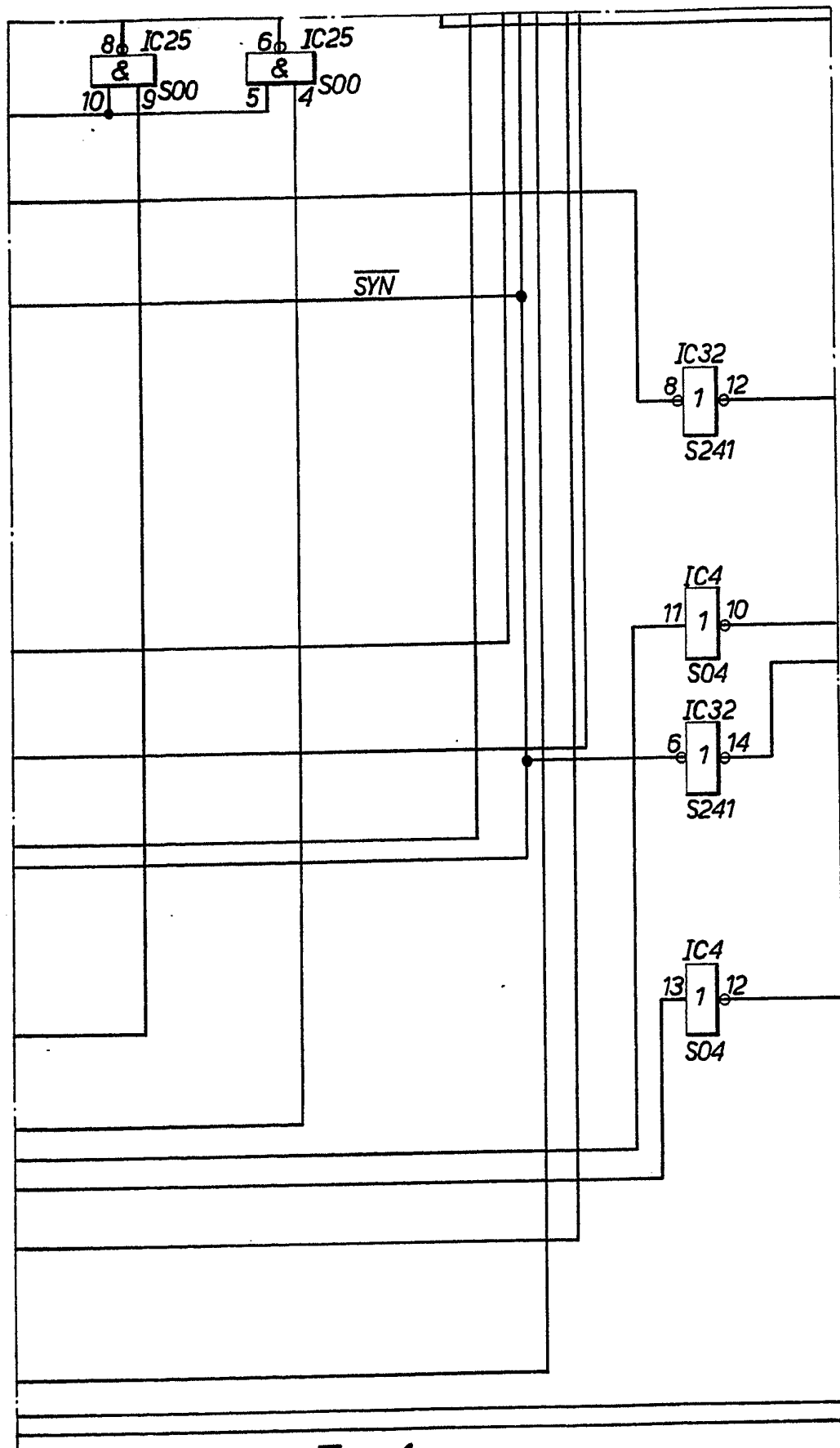


FIG. 4B-9.

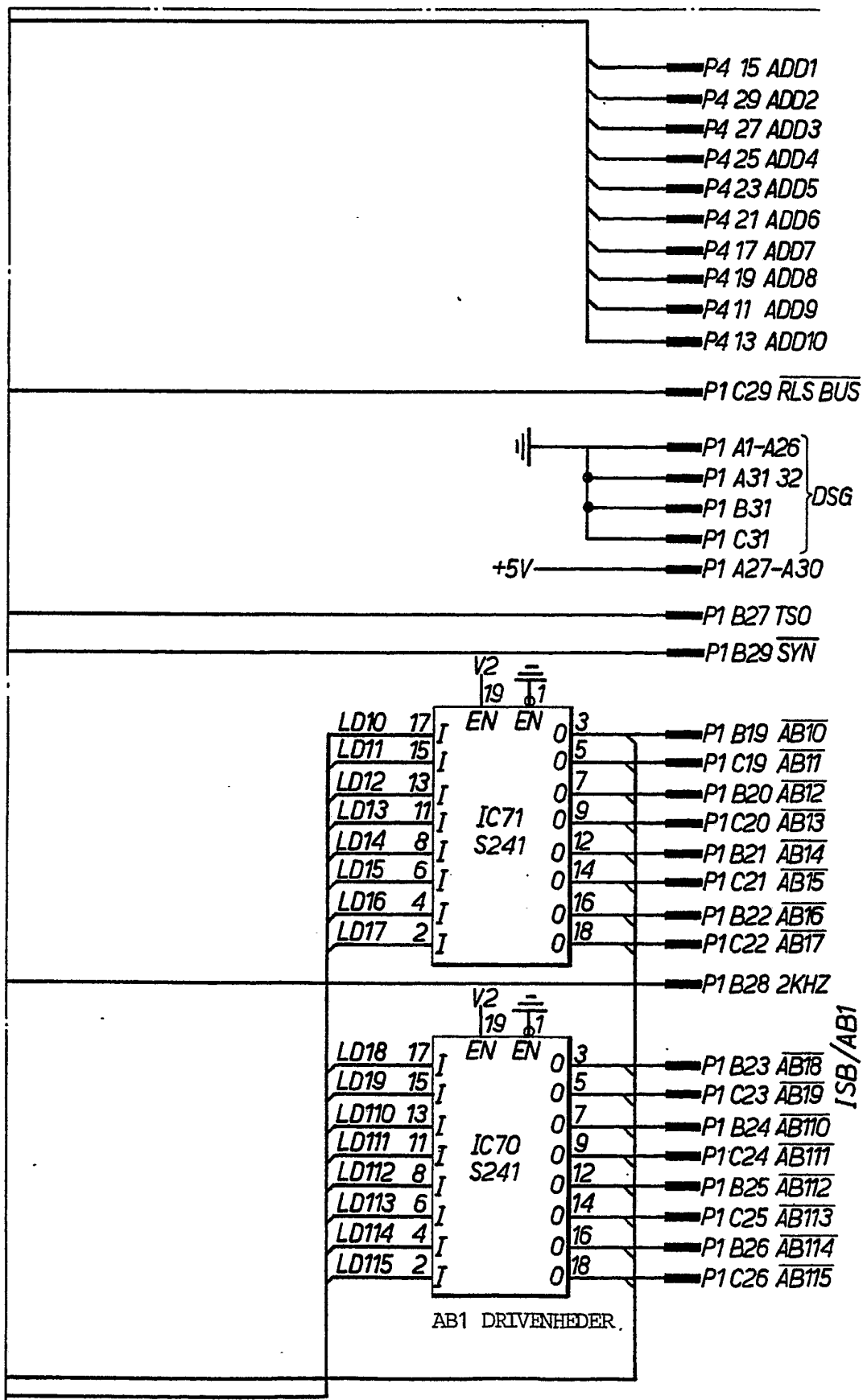


FIG. 4B-10.

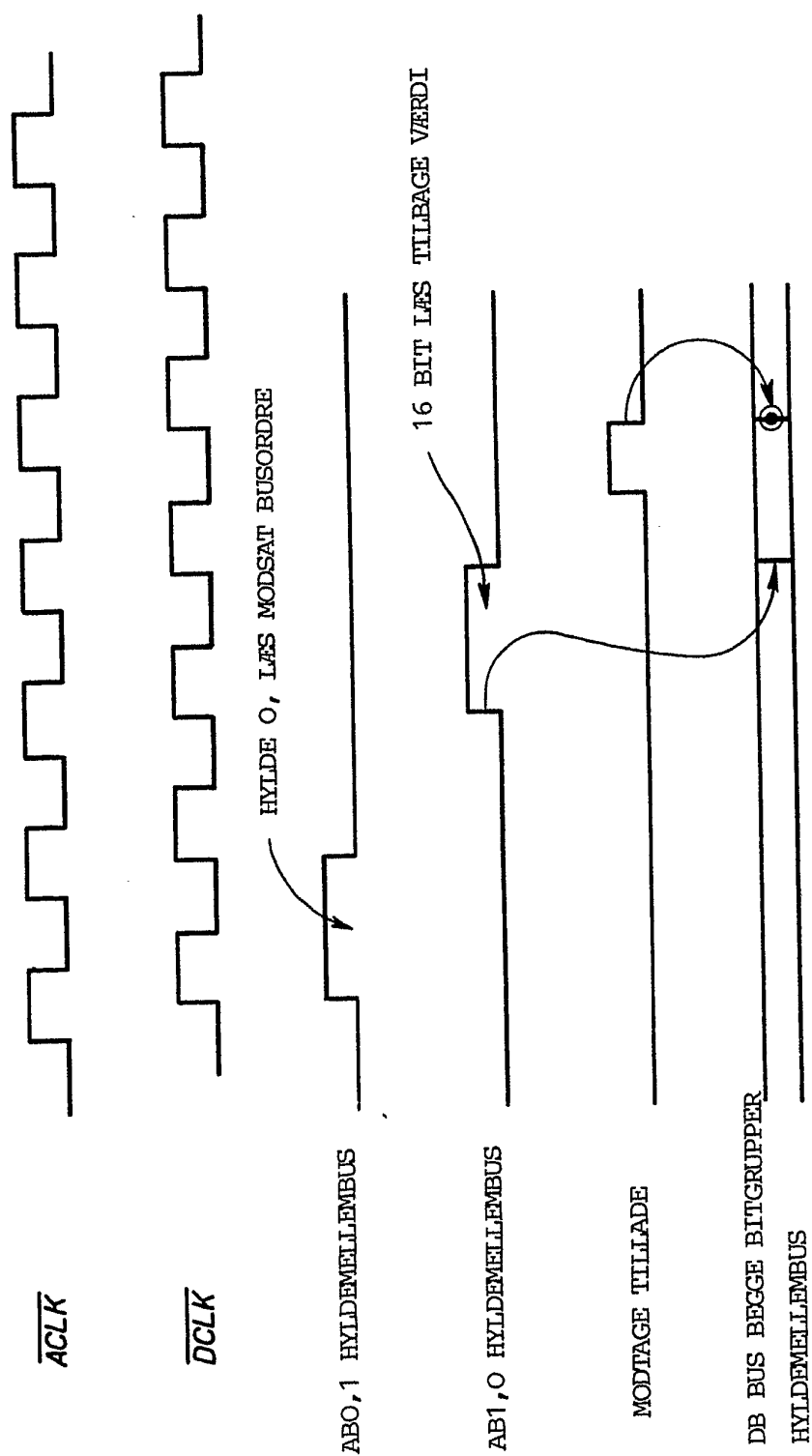


FIG. 5.

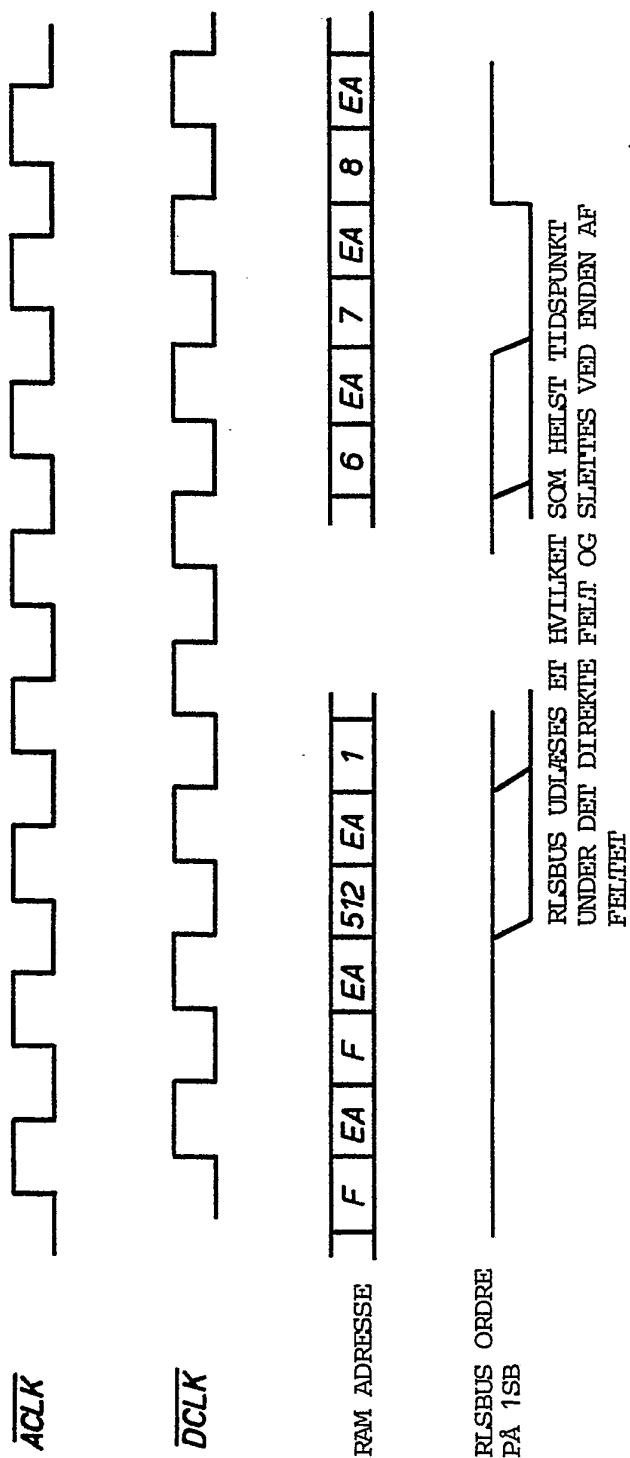


Fig. 6.

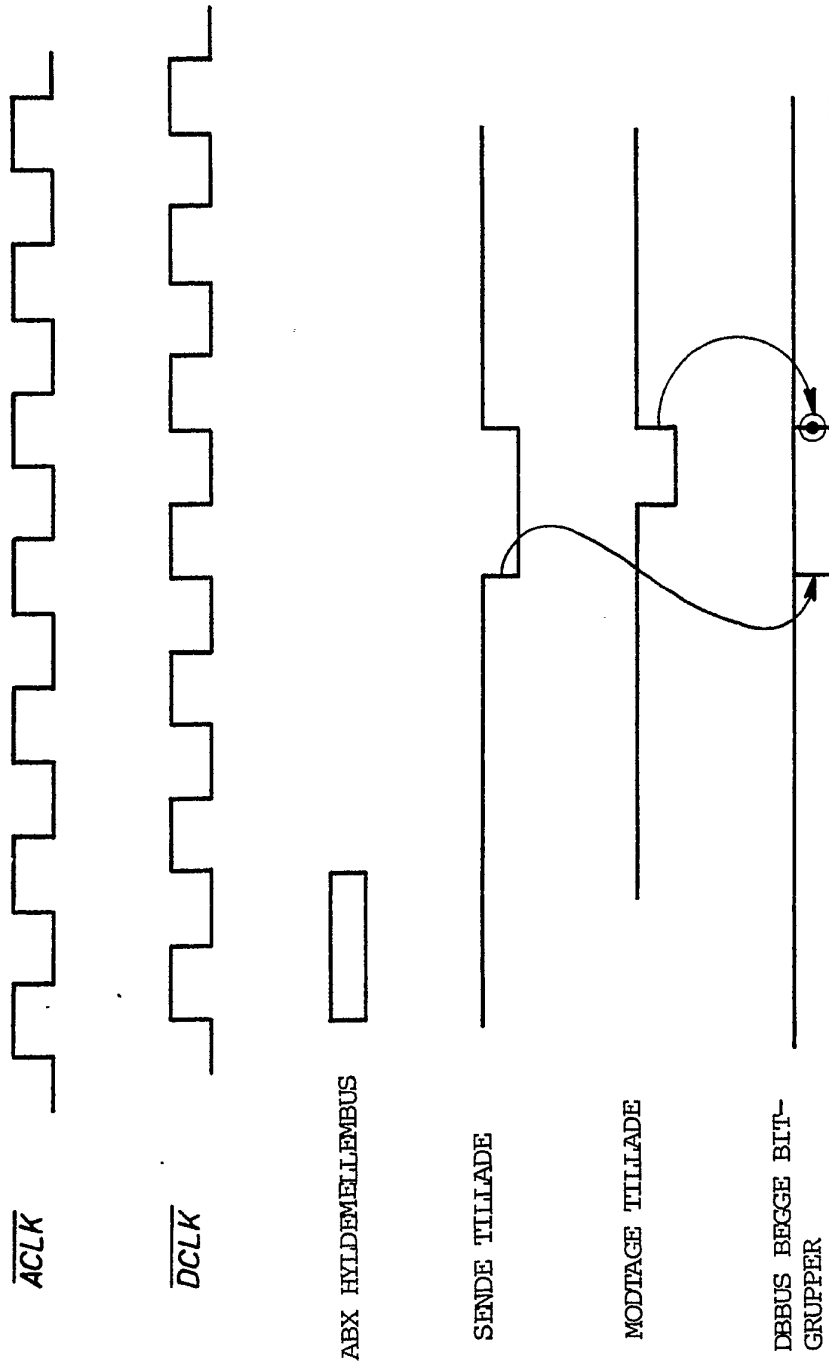


FIG. 7.

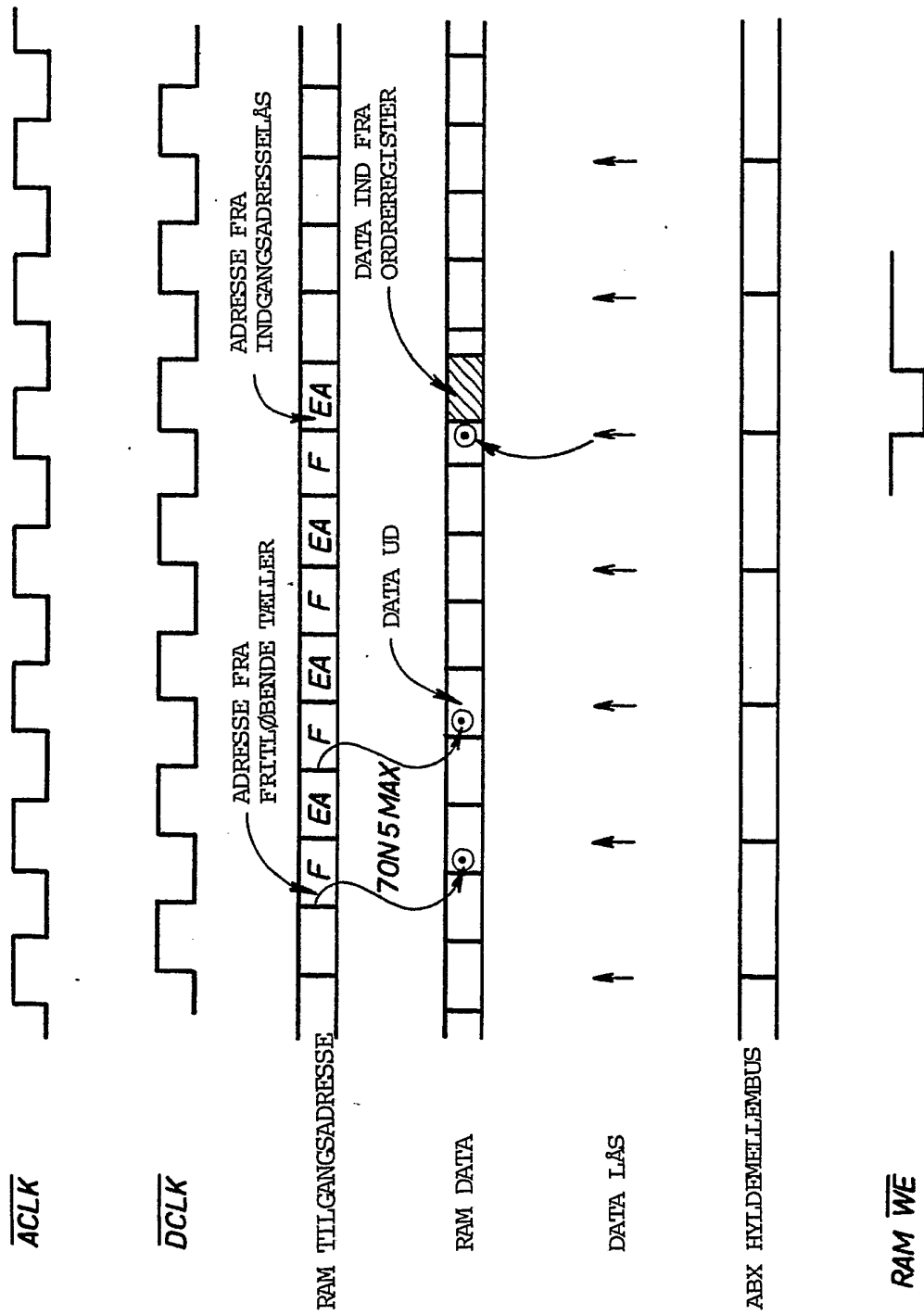


Fig.8.

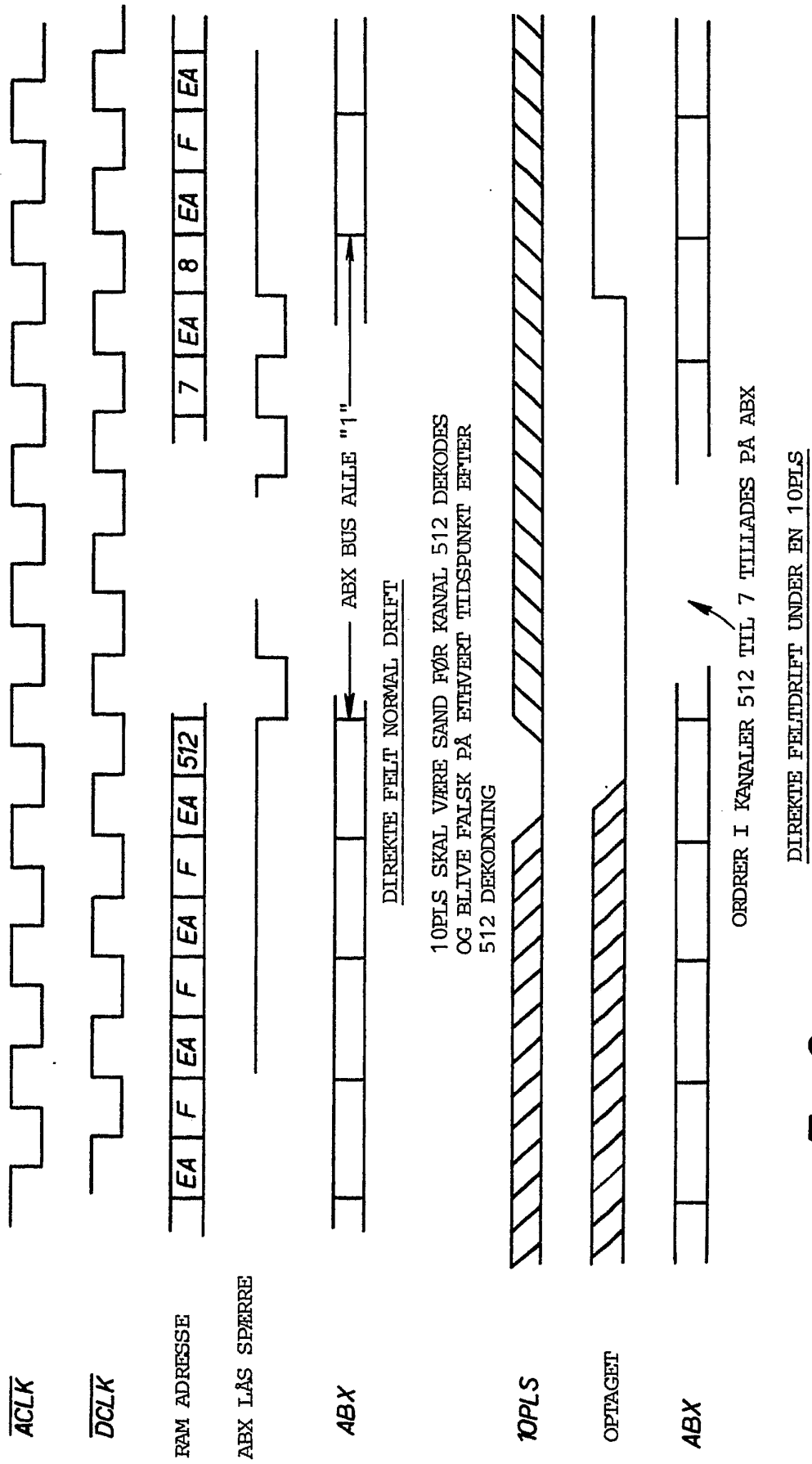


Fig. 9.

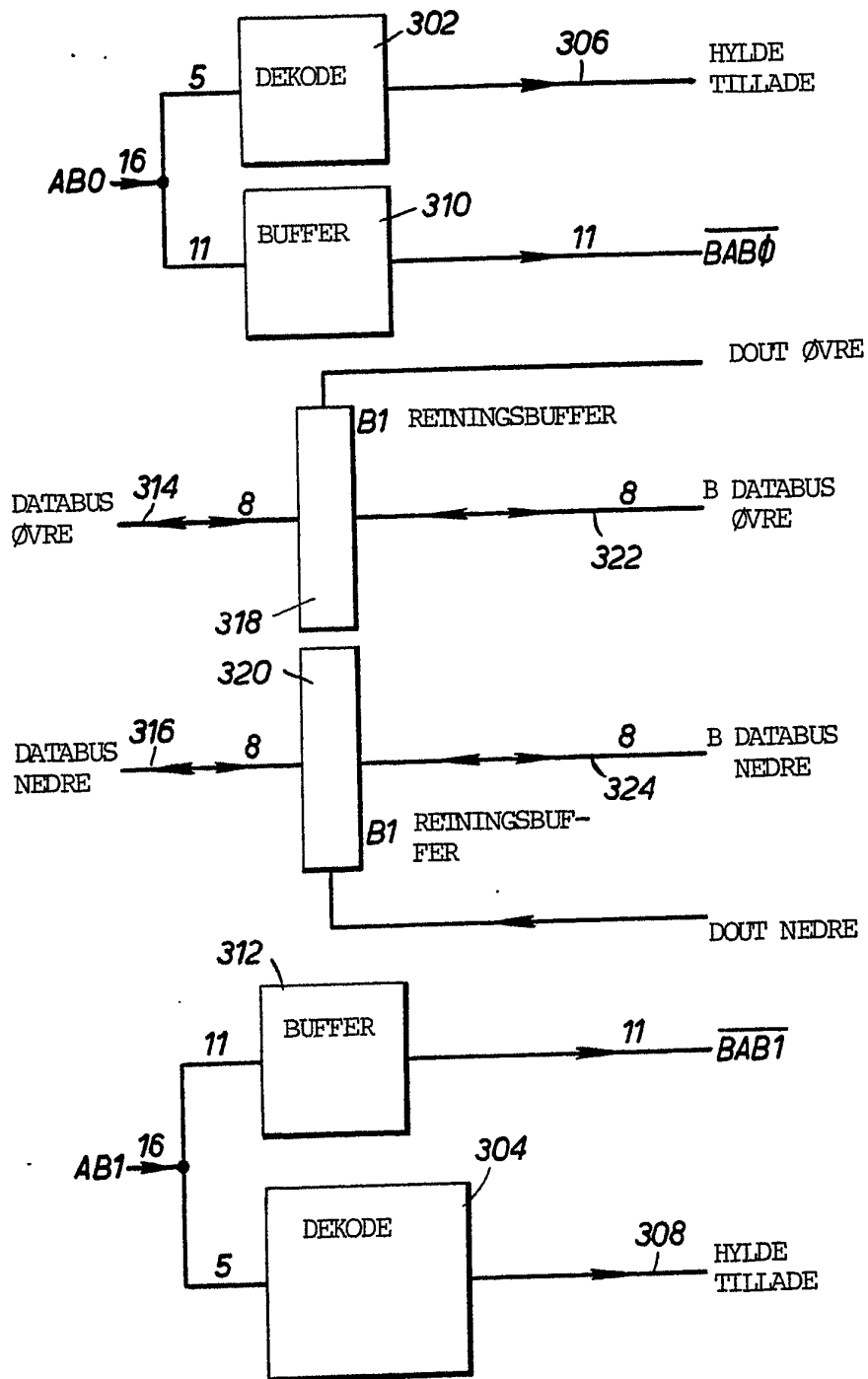


Fig. II.

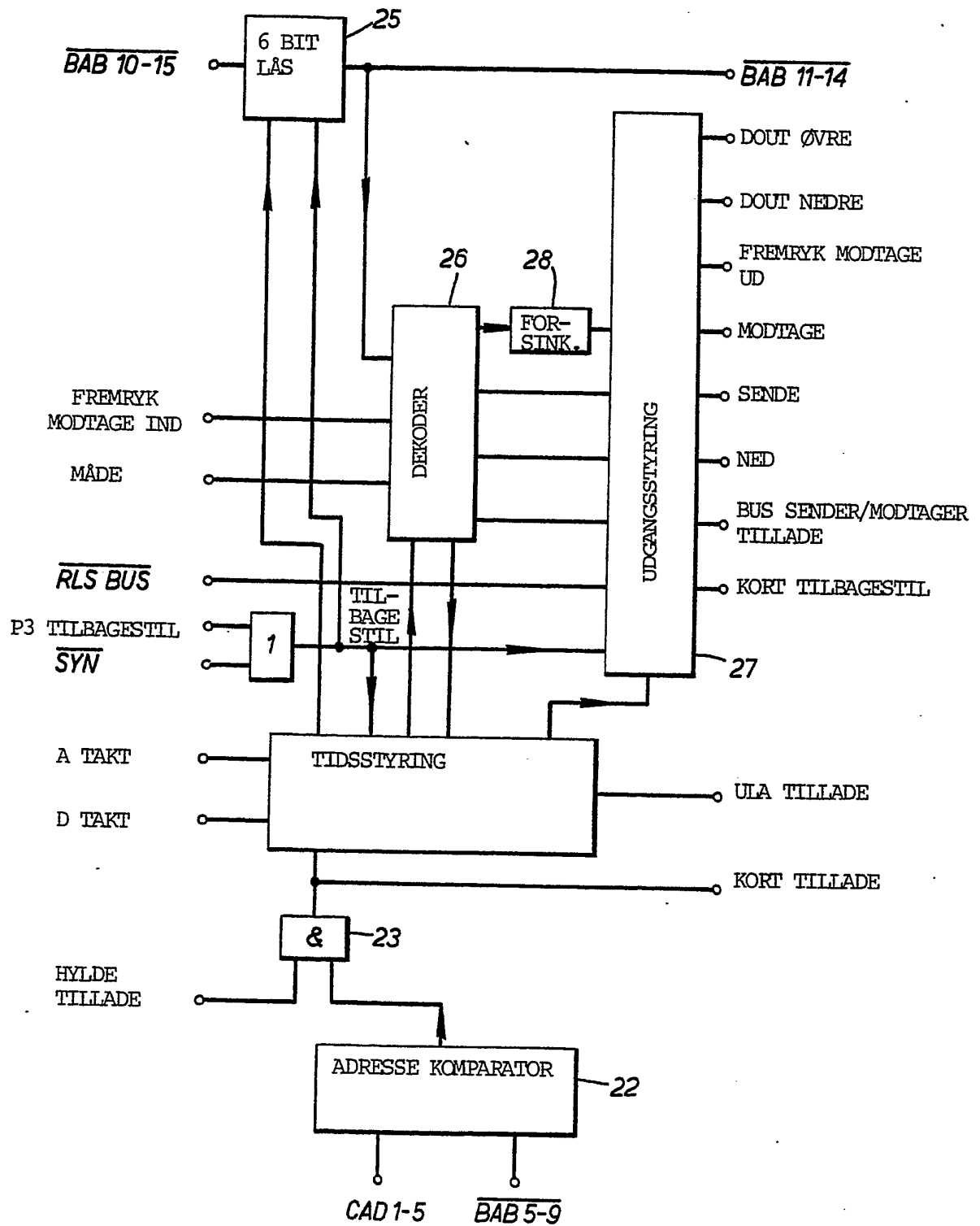


Fig.12.

<i>FIG.13A.</i>	<i>FIG.13B.</i>	<i>FIG.13C.</i>	<i>FIG.13D.</i>	<i>FIG.13E.</i>
<i>FIG.13F.</i>	<i>FIG.13G.</i>	<i>FIG.13H.</i>	<i>FIG.13I.</i>	<i>FIG.13J.</i>
<i>FIG.13K.</i>	<i>FIG.13L.</i>	<i>FIG.13M.</i>	<i>FIG.13N.</i>	<i>FIG.13O.</i>

FIG. 13.

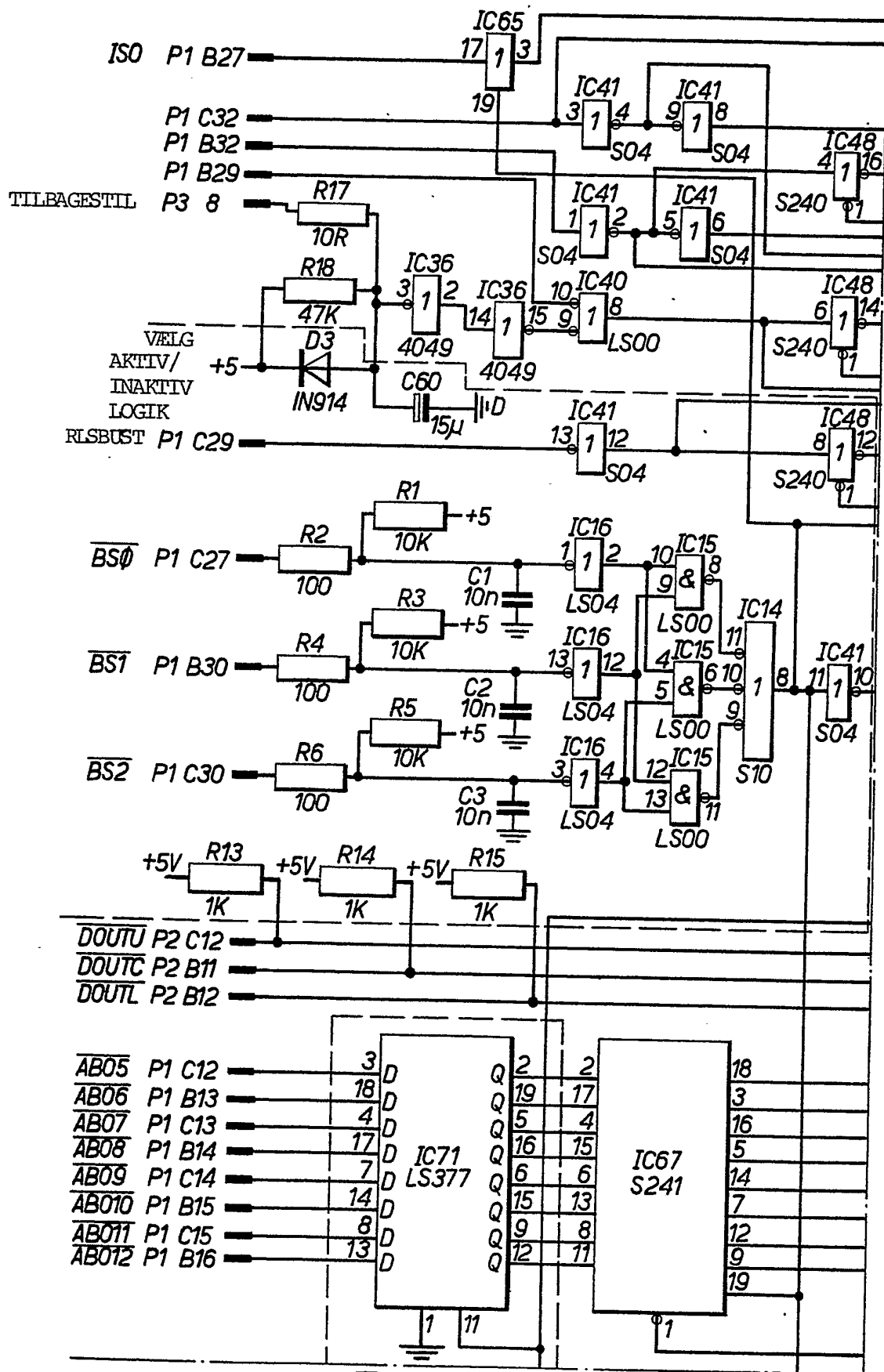


FIG. 13A.

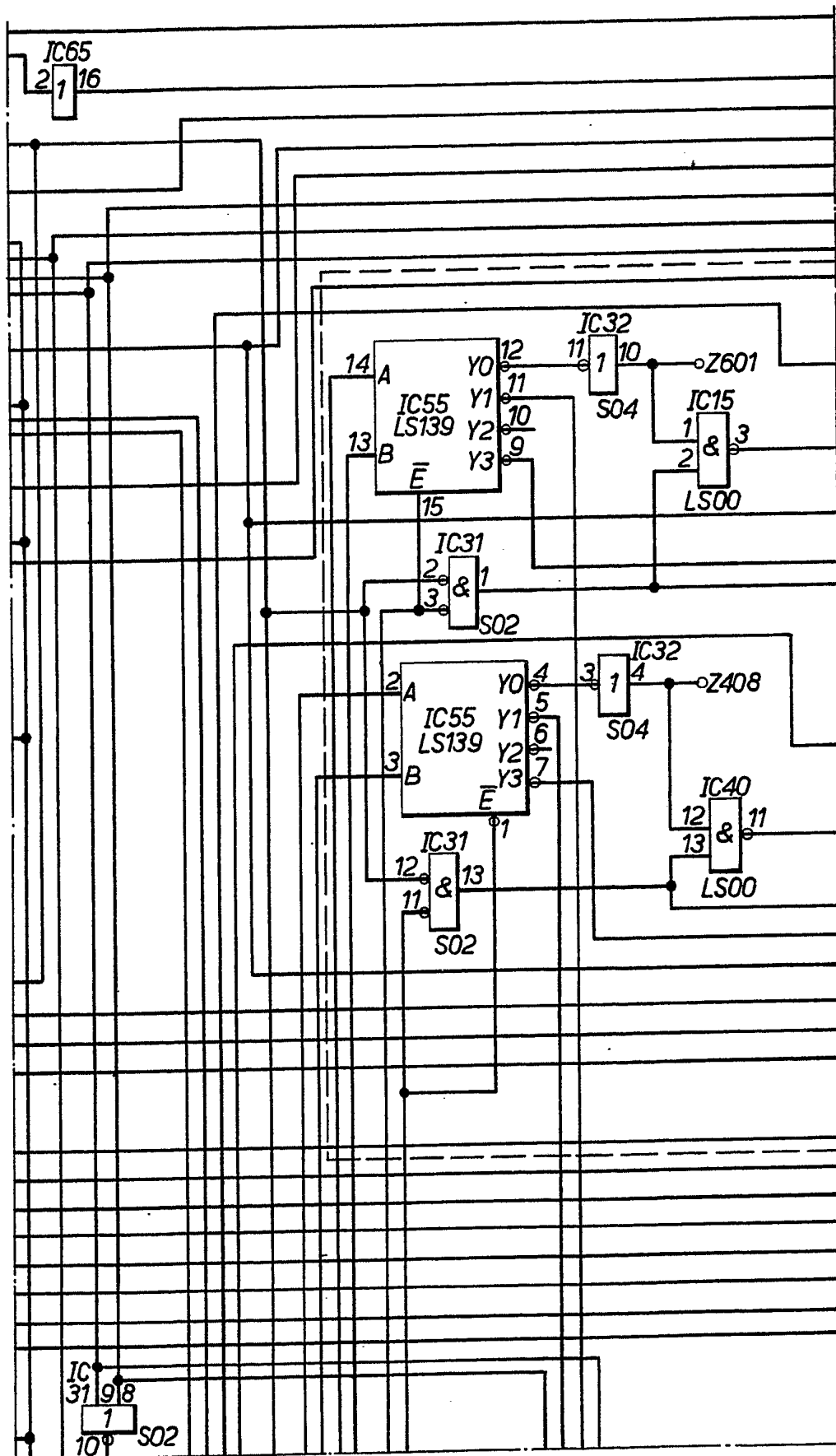


FIG. 13B.

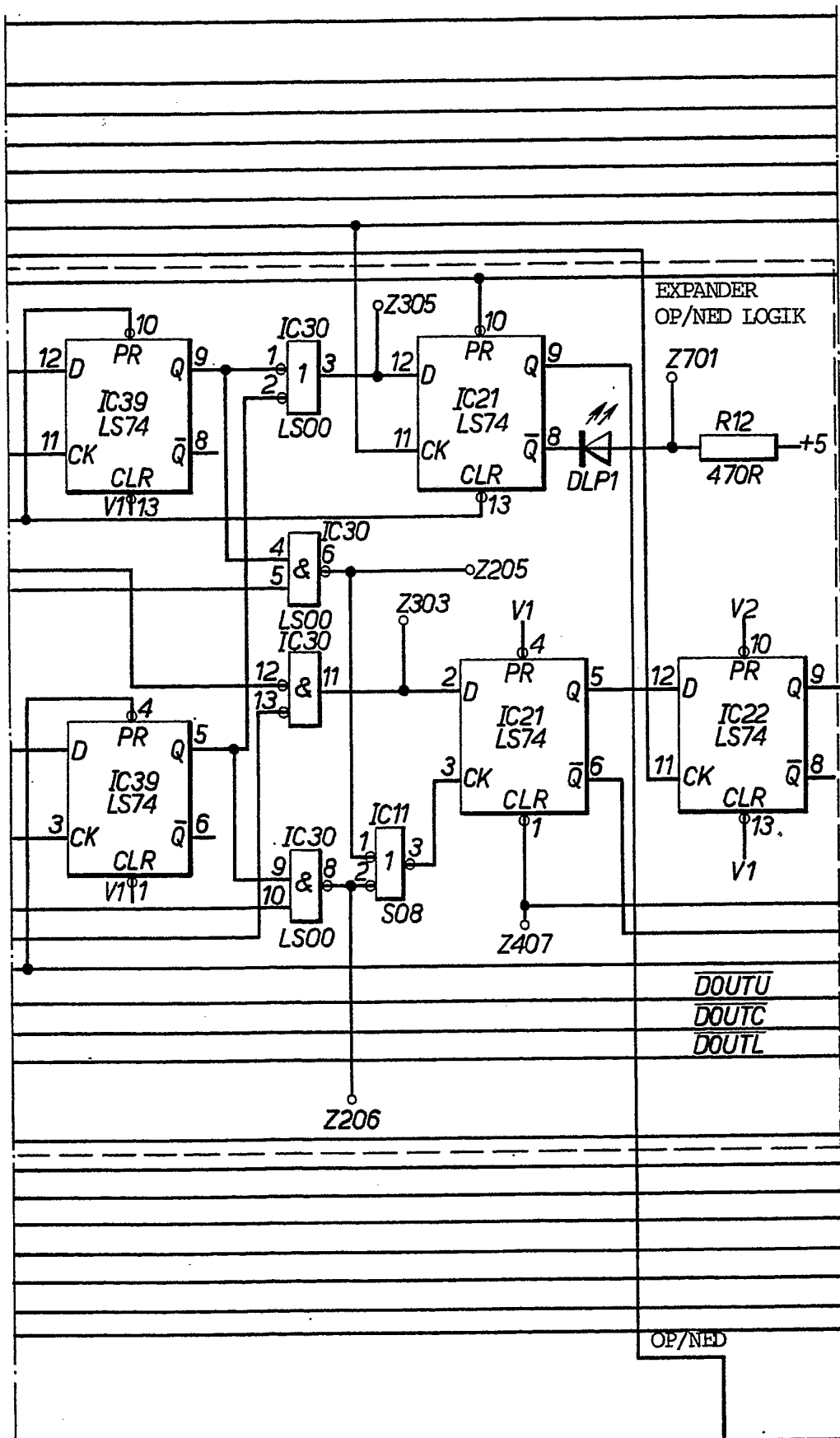


FIG. 13c.

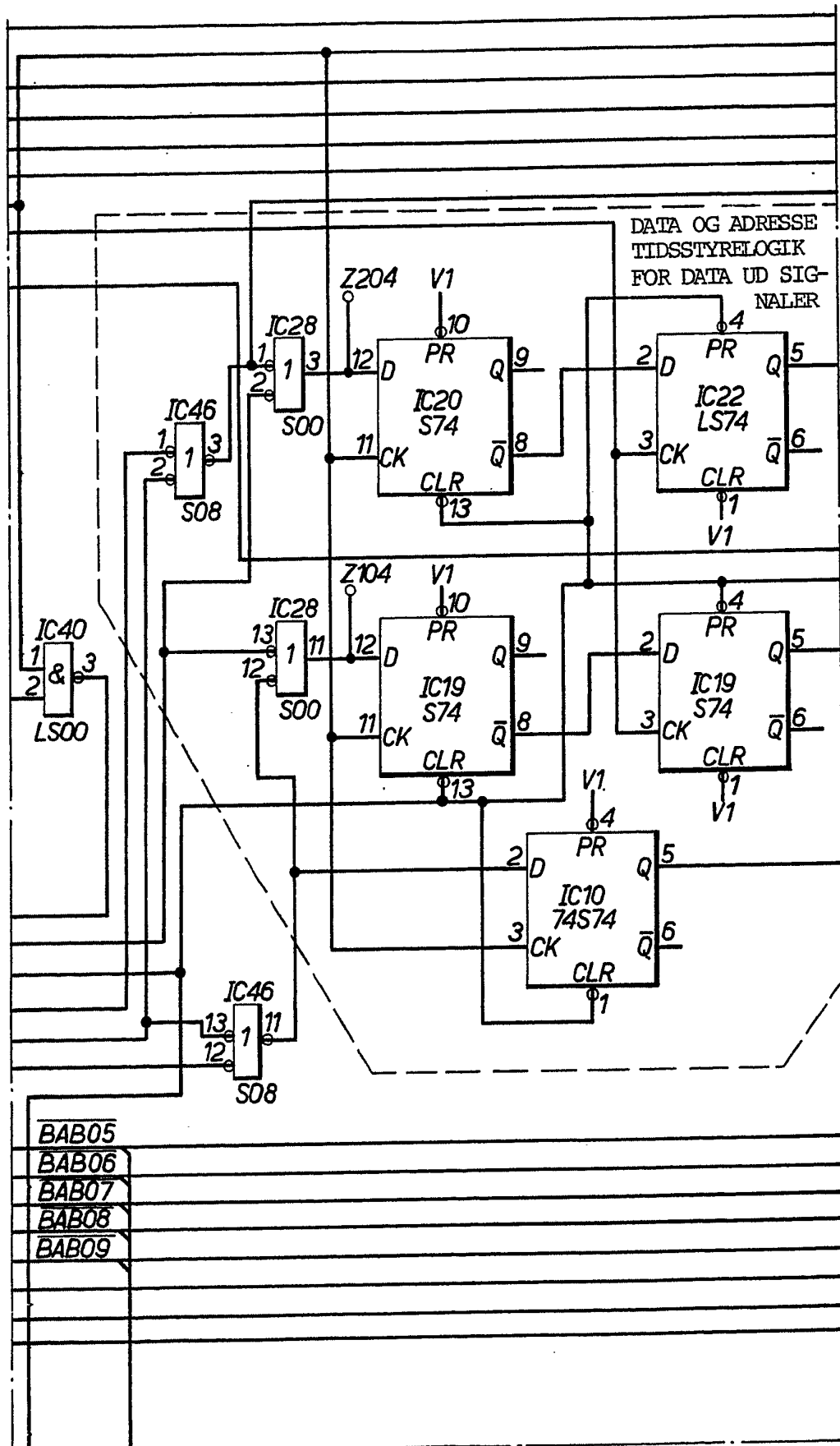


Fig. 13D.

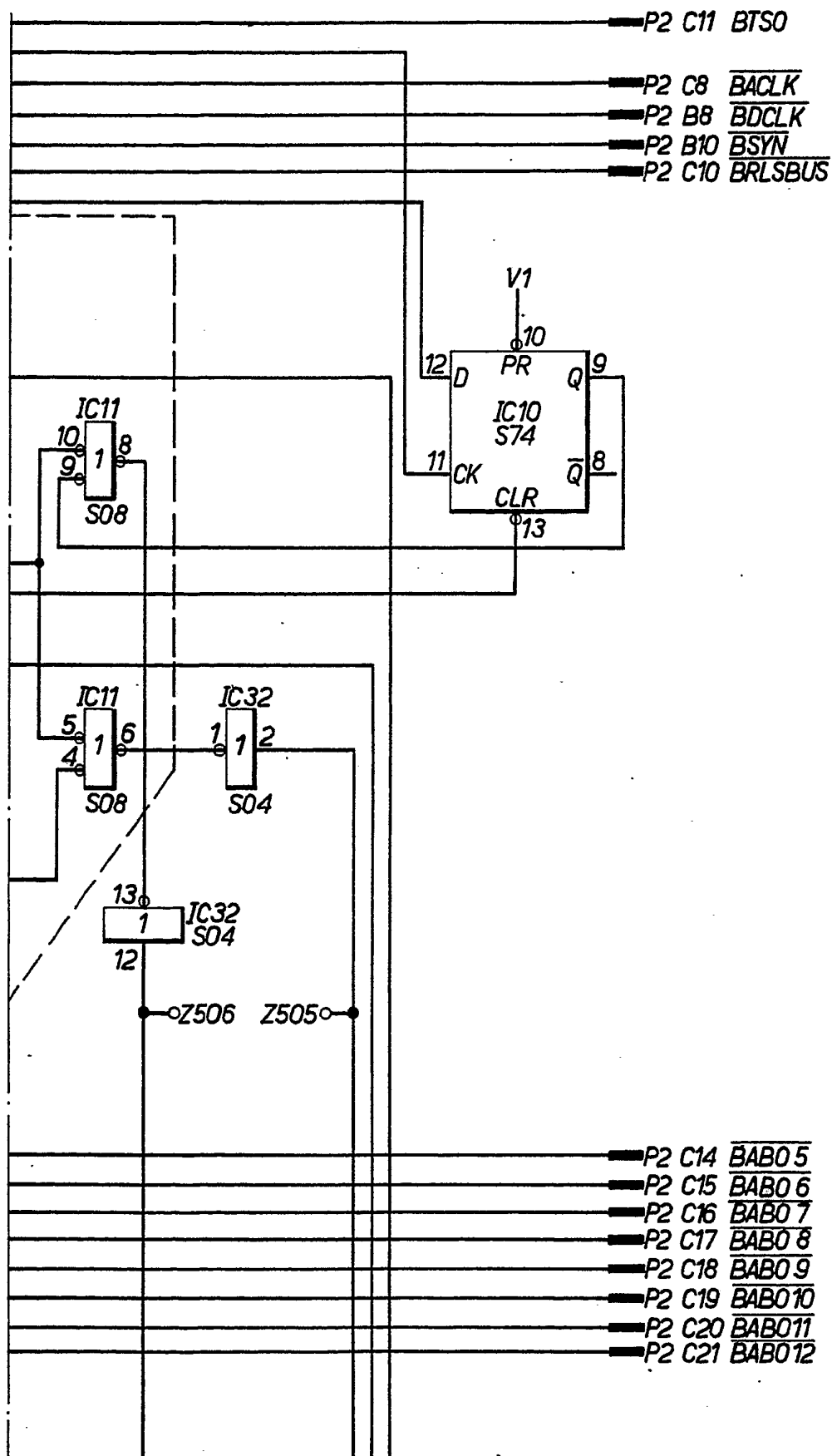


FIG. 13E.

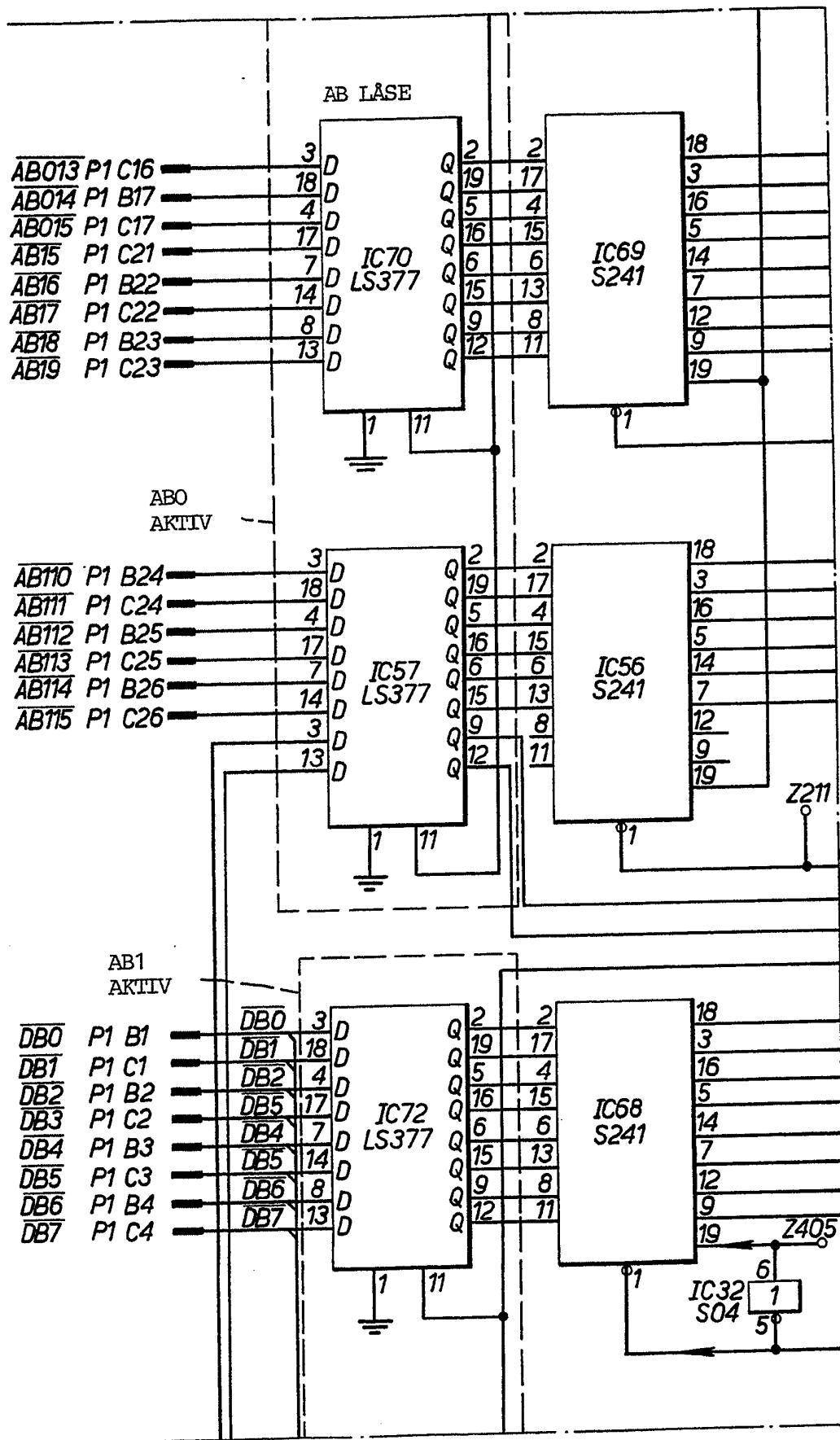


Fig. 13F.

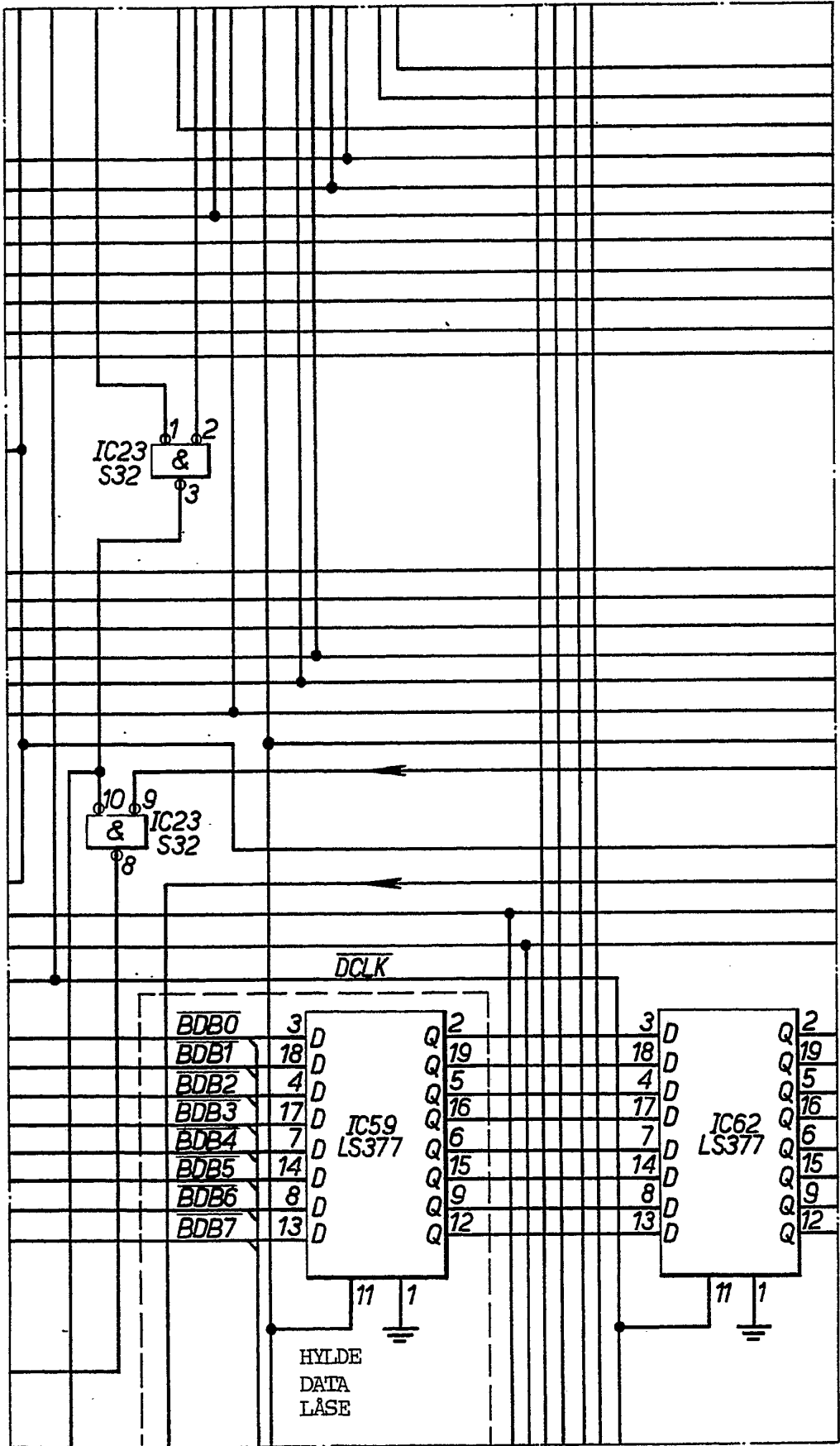


Fig. 13G.

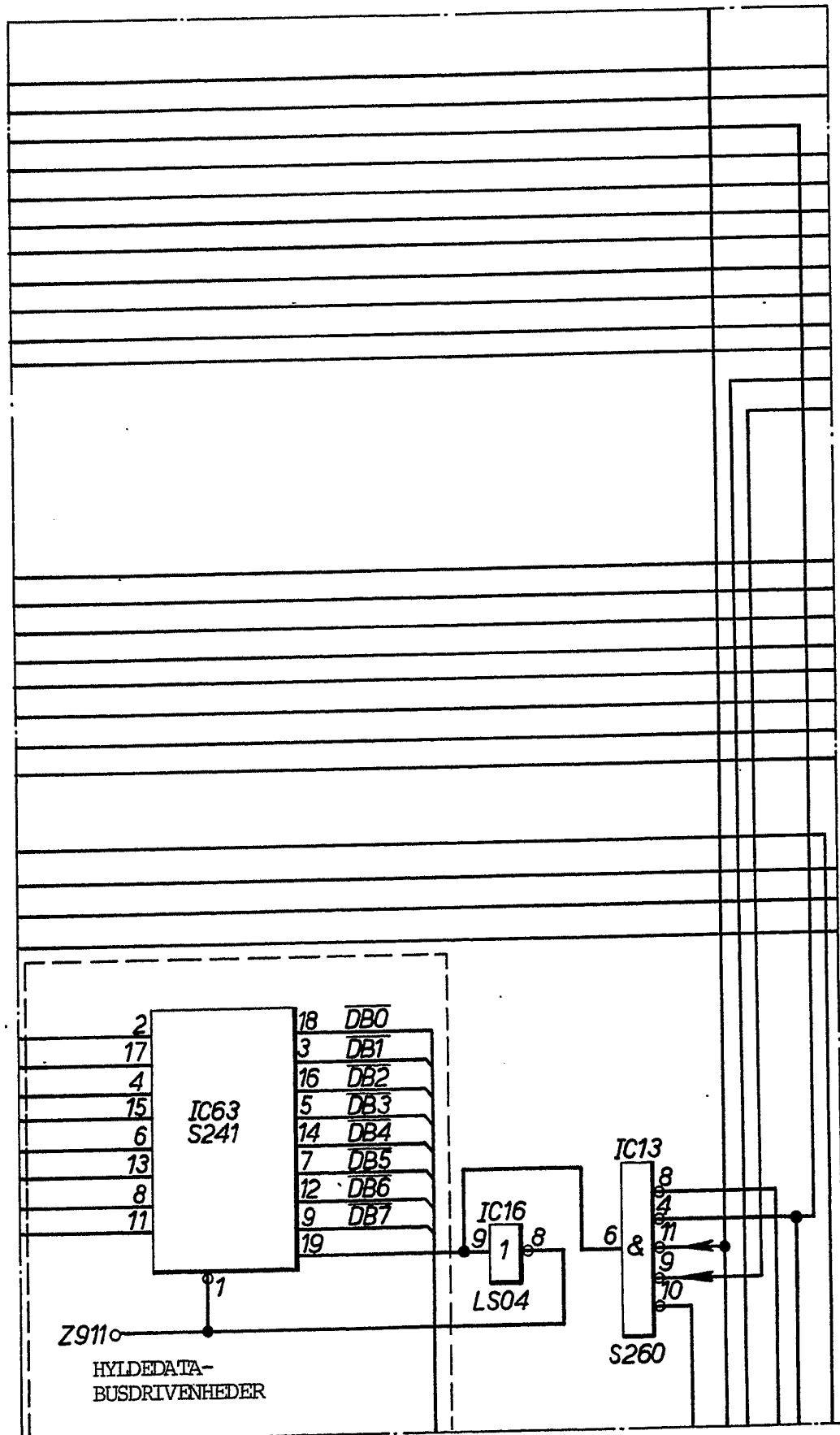


FIG. 13H.

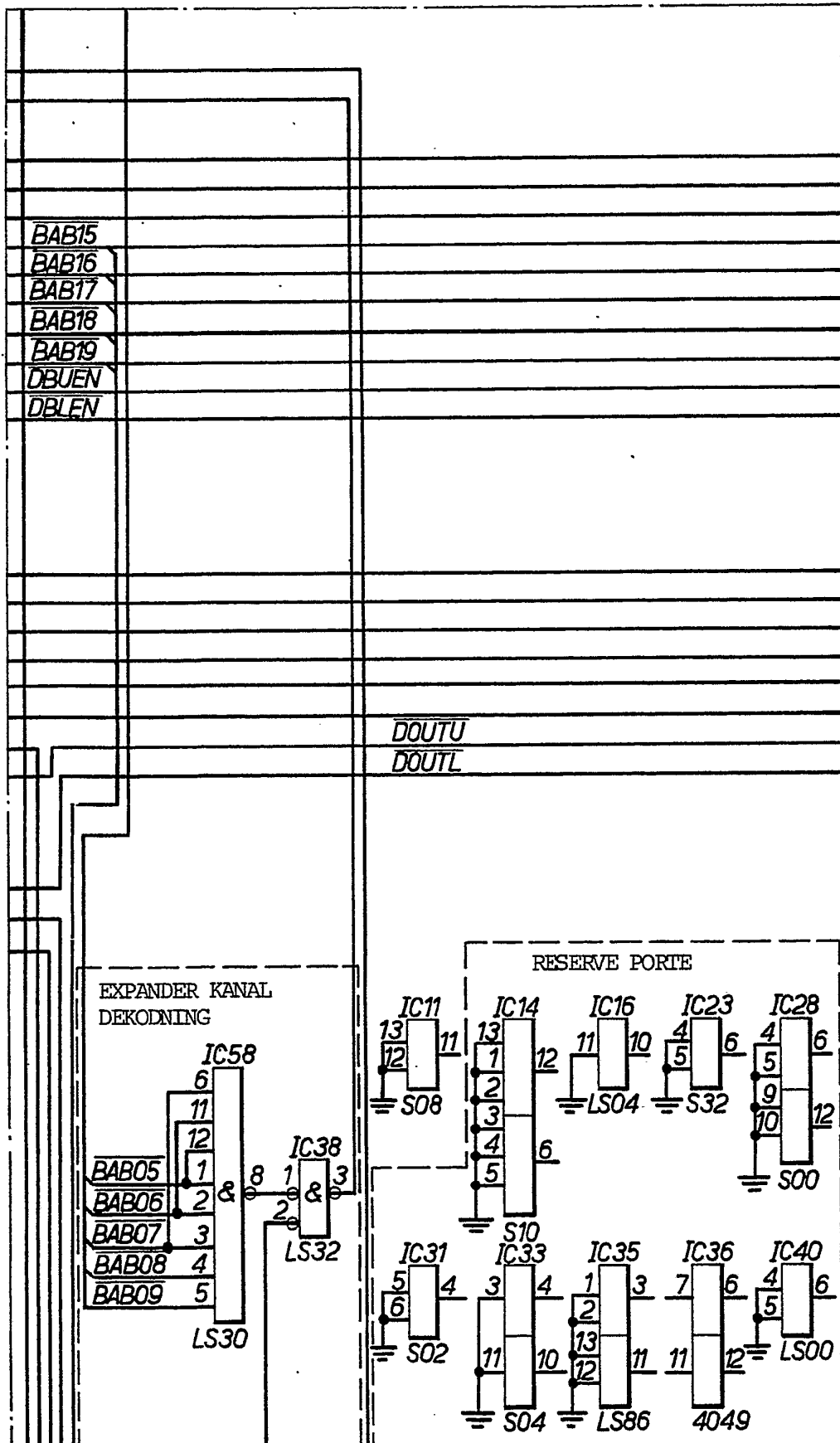


Fig. 131.

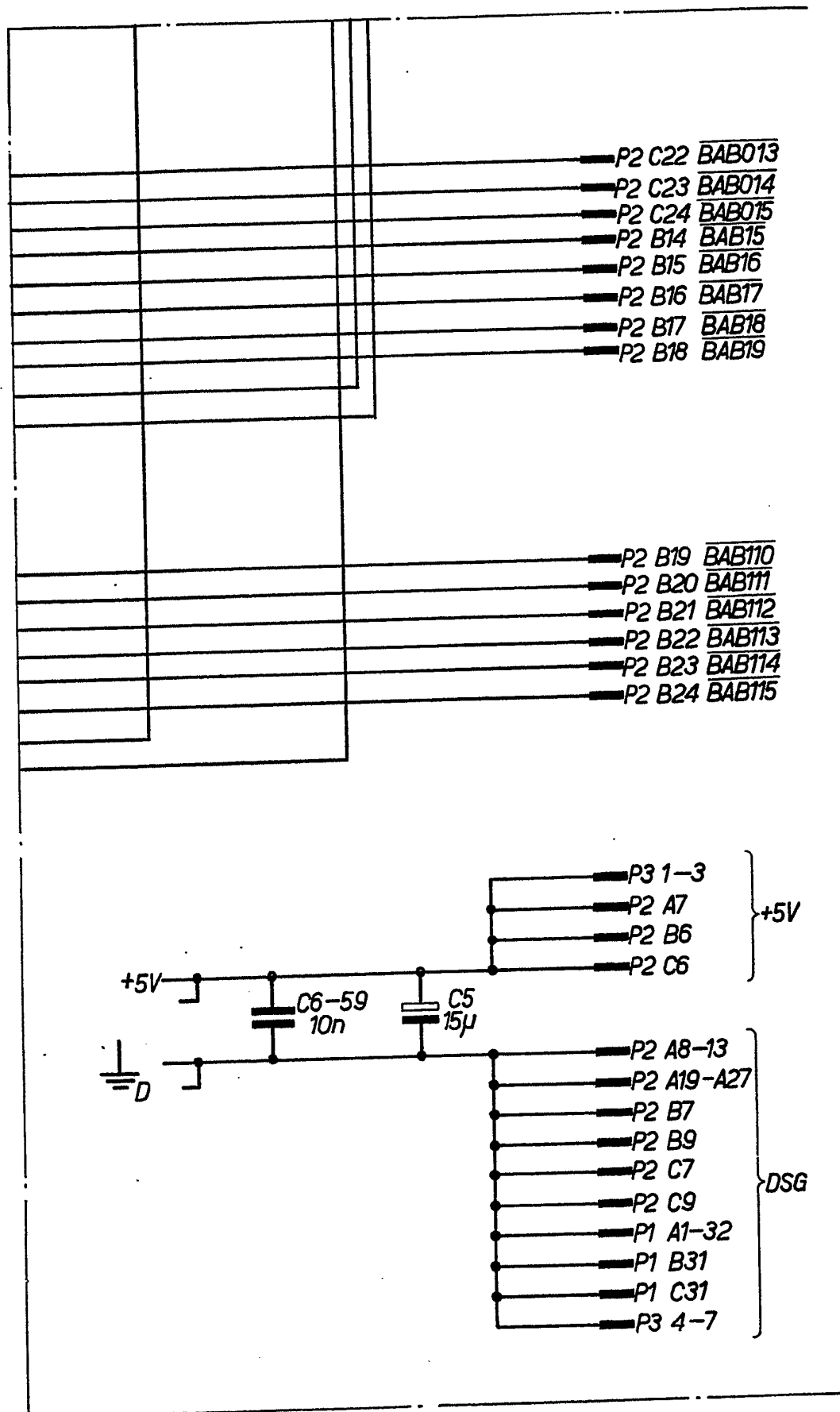
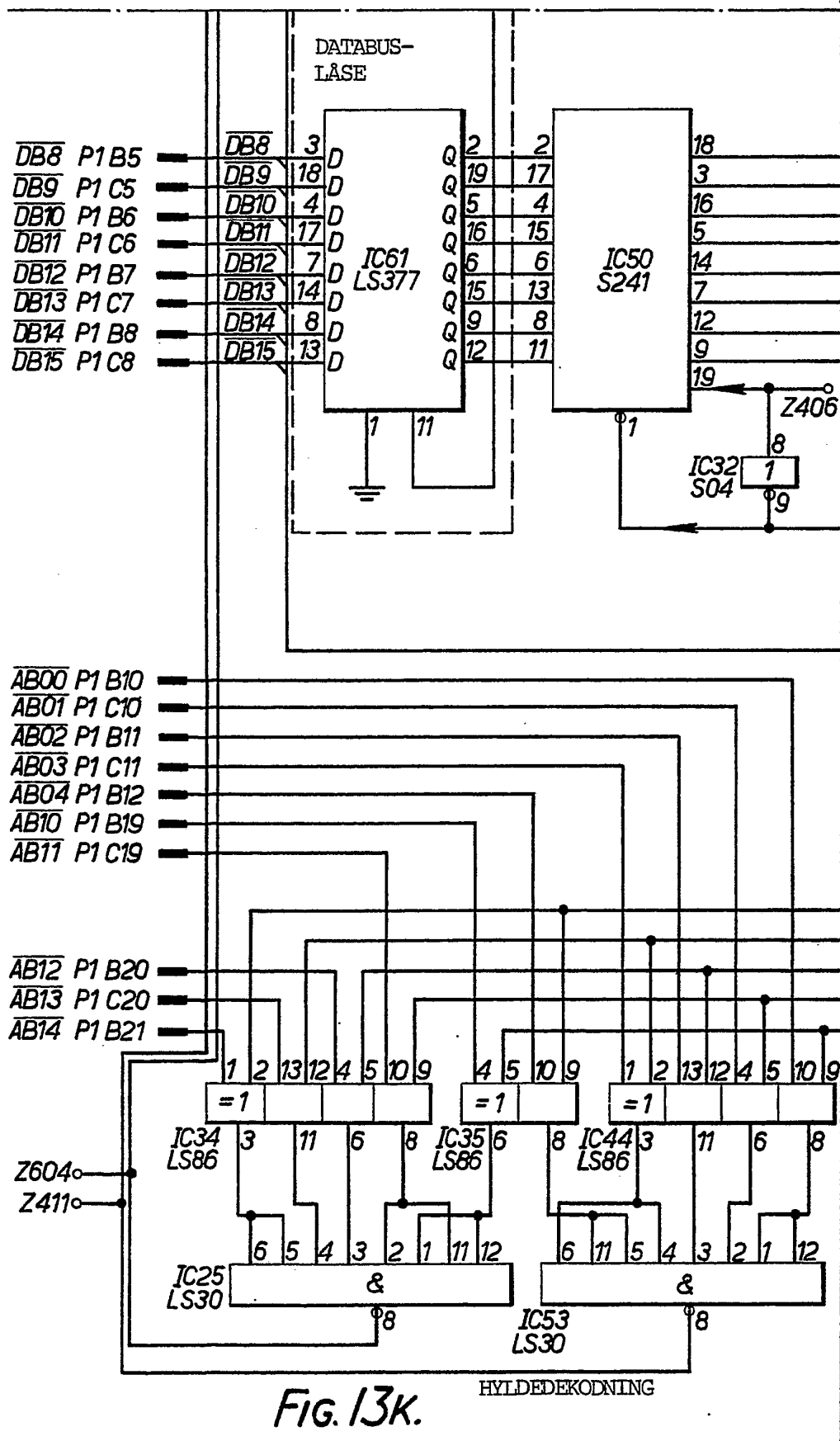


FIG. 13J.



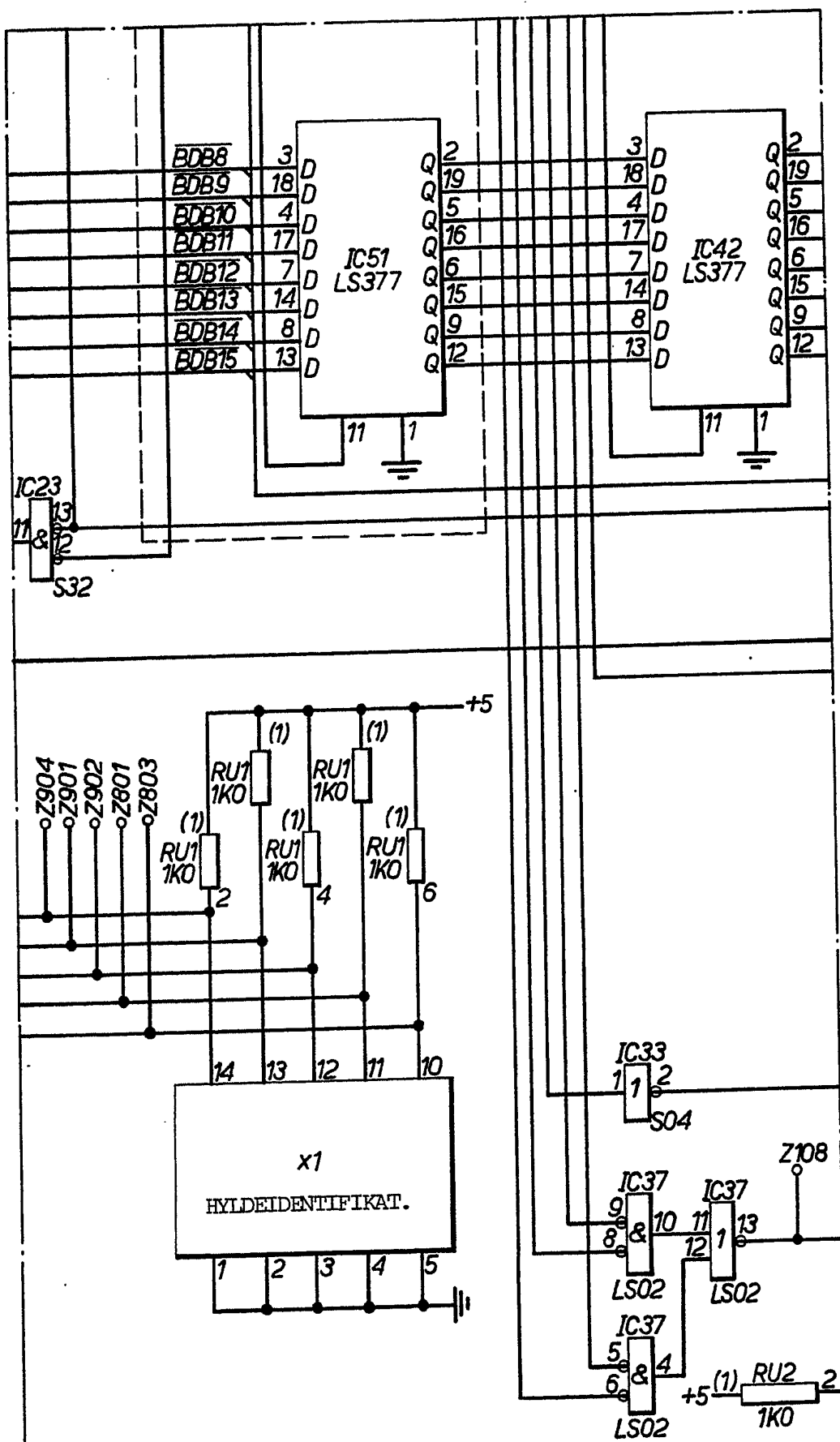
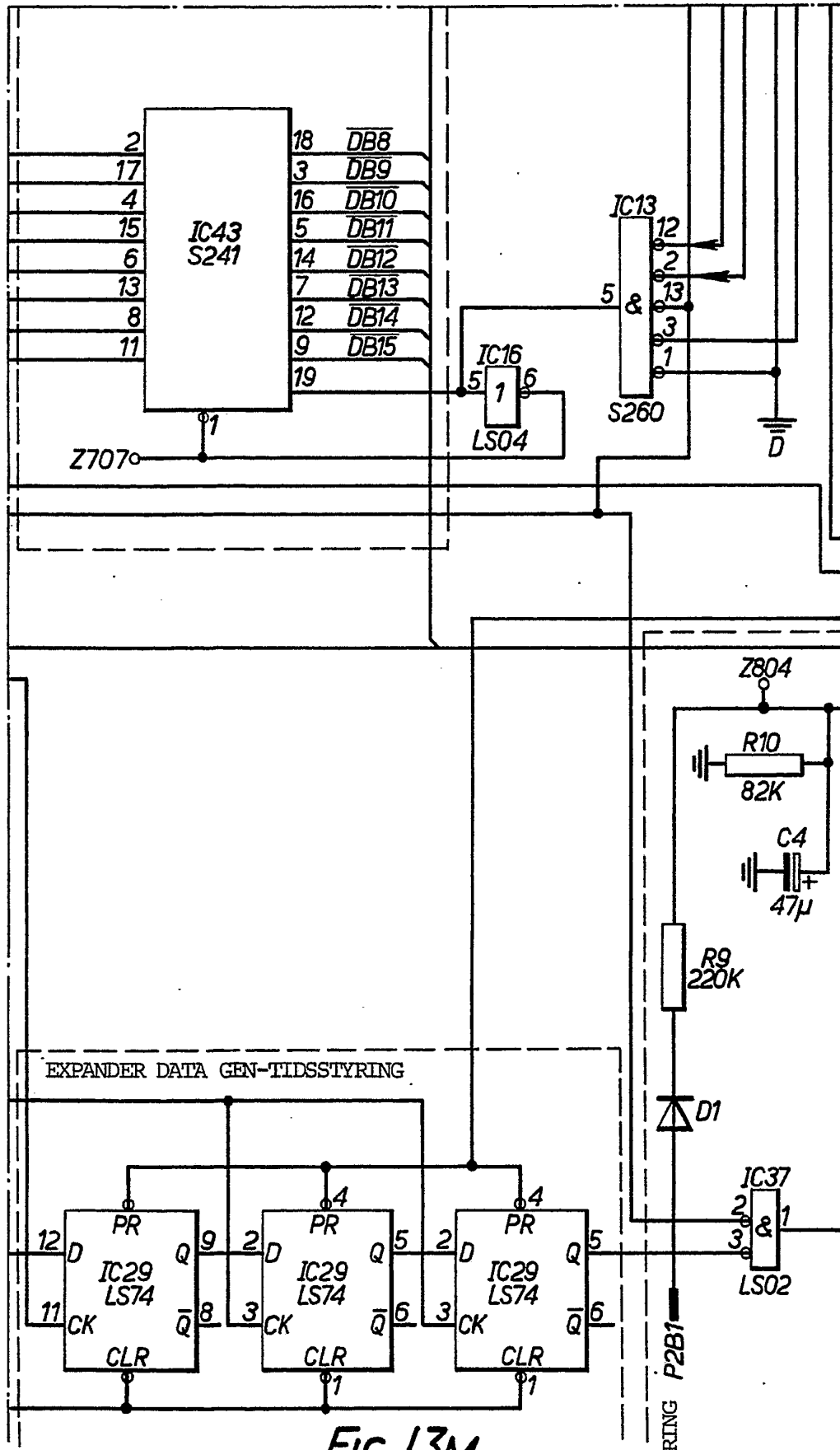


FIG. 13L.



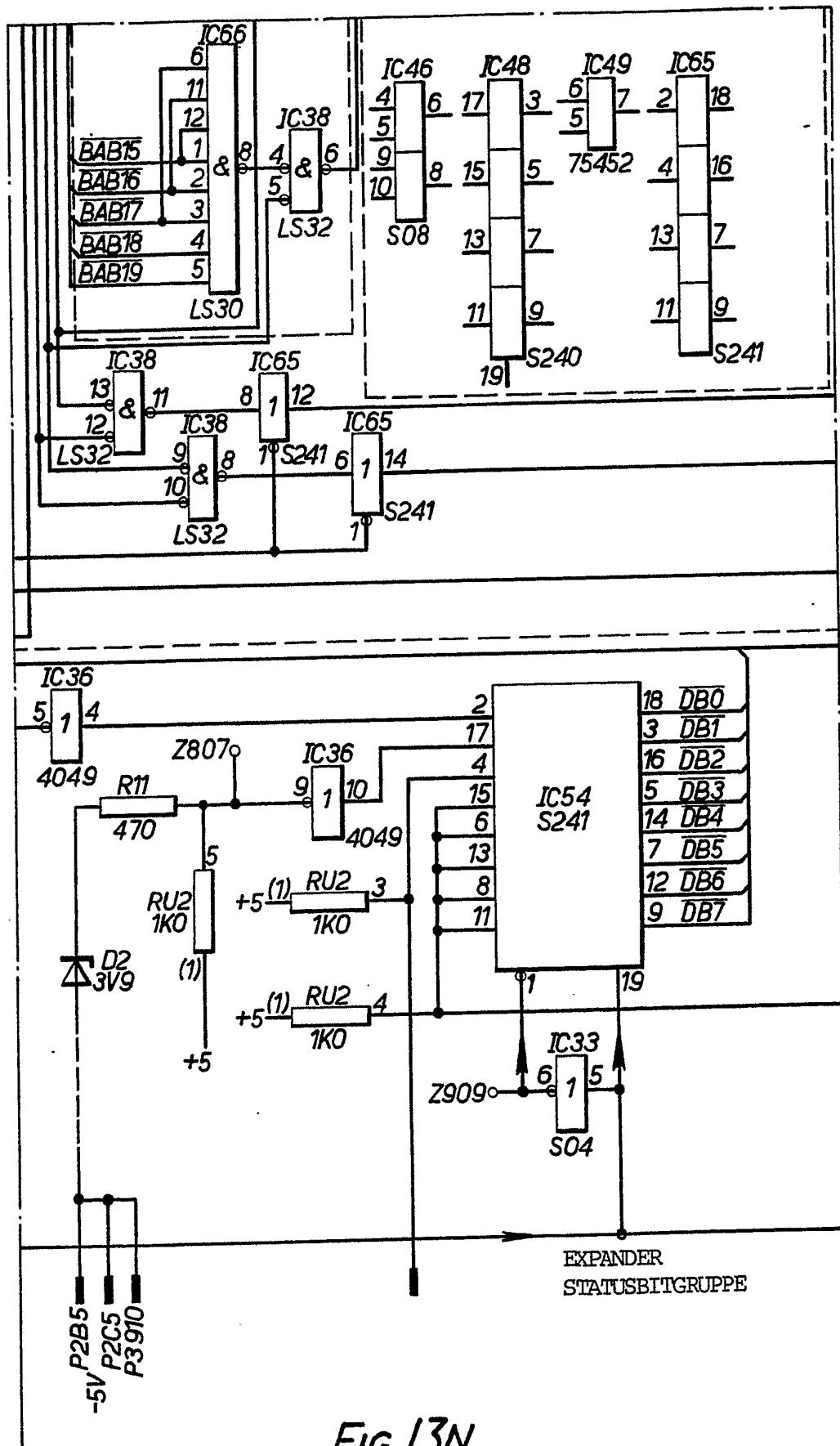


FIG. 13N.

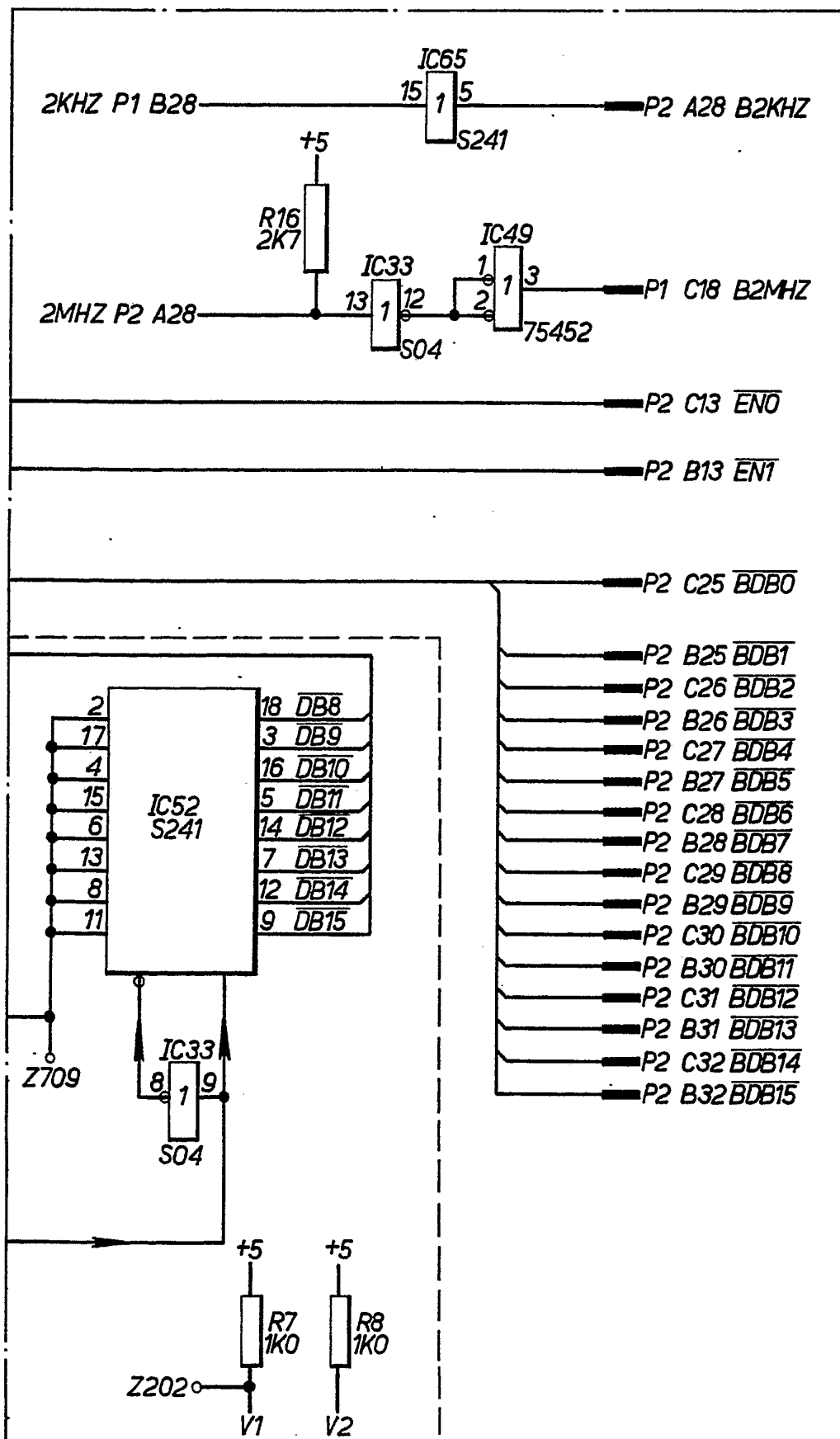


Fig. 130.

ADRESSEBUS

BAB

10	11	12	13	14	15
1	X	X	X	X	0

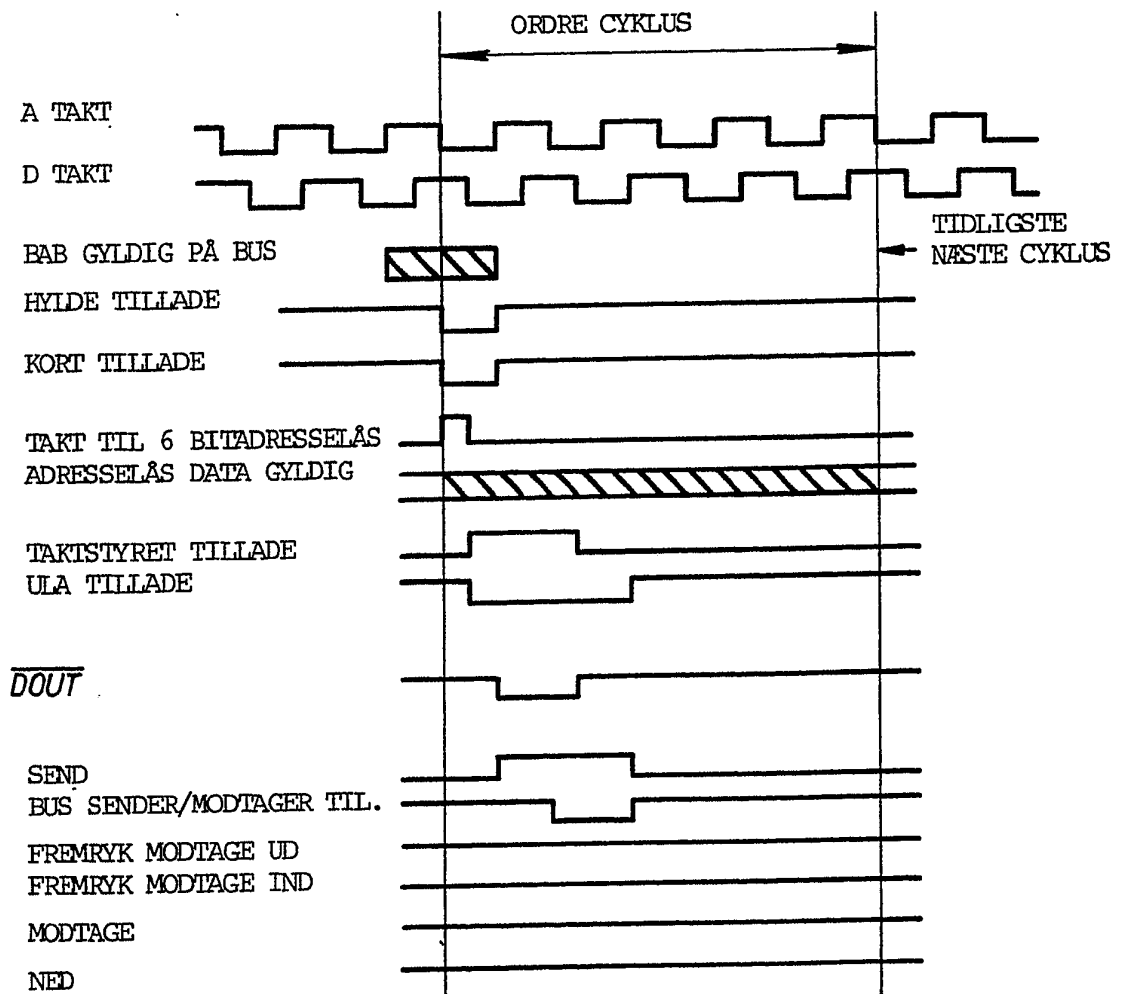
MÅDE BEN ☒ORDRE SEND

Fig.14.

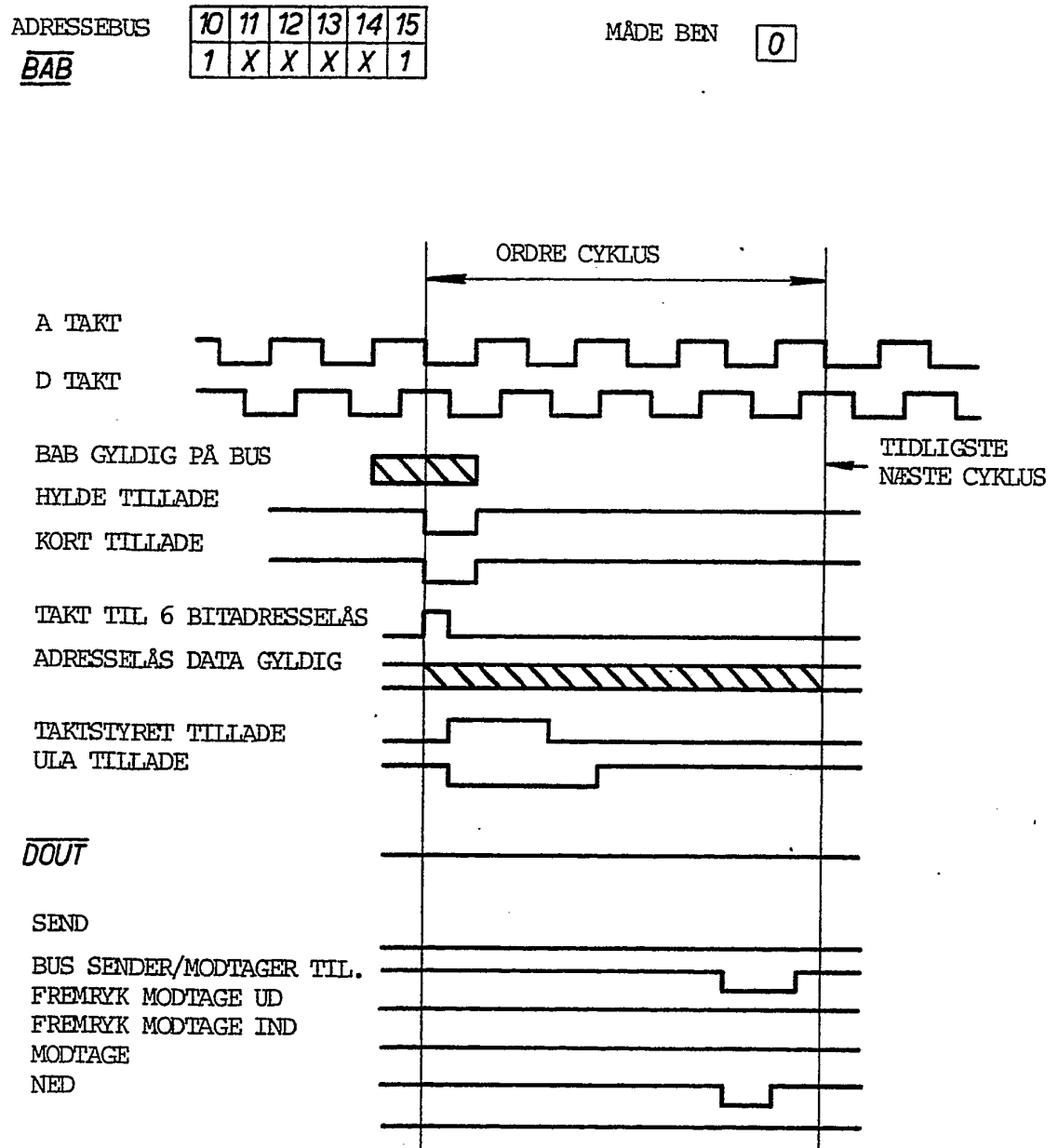


Fig. 15.

ADRESSEBUS

10	11	12	13	14	15
1	X	X	X	X	1

BAB

MÅDE BEN 1

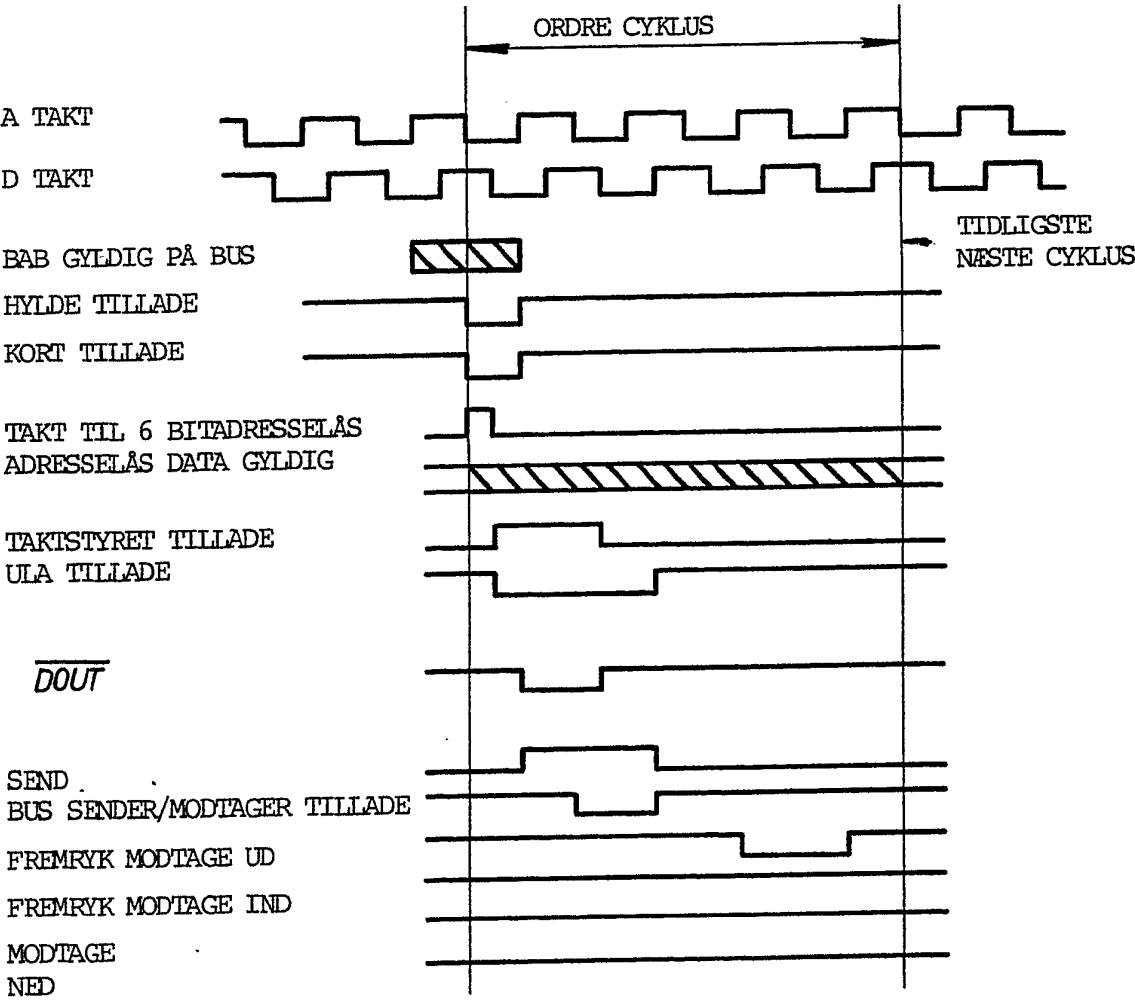


Fig.16.

ADRESSEBUS

BAB

10	11	12	13	14	15
1	X	X	X	X	X

MÅDE BEN X

ORDRE MODTAG FRA 2. ULA (CODEC ANVENDELSE)

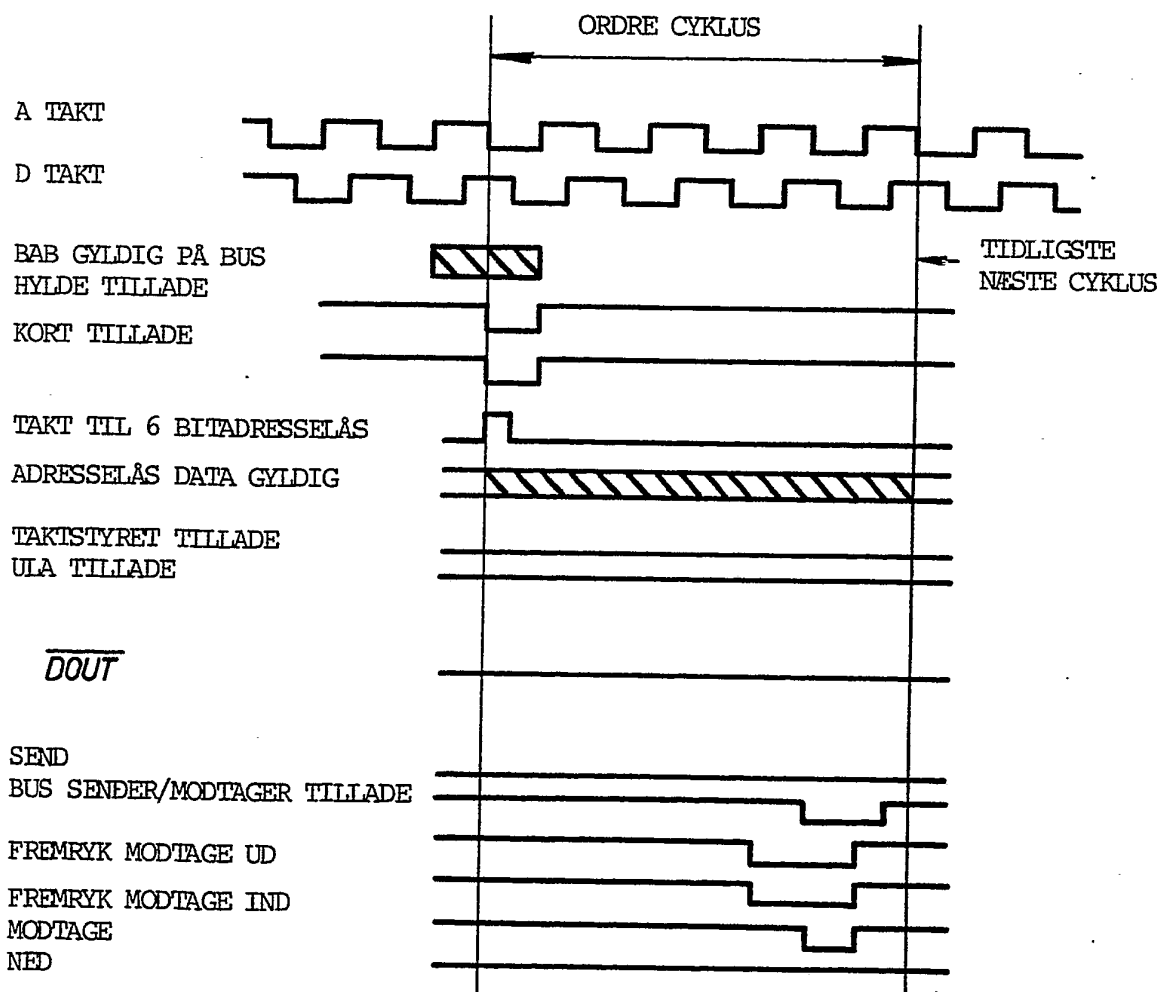


Fig.17.

ADRESSEBUS

10	11	12	13	14	15
0	0	0	0	0	1

MÅDE BEN ☒

BAB

ORDRE OP

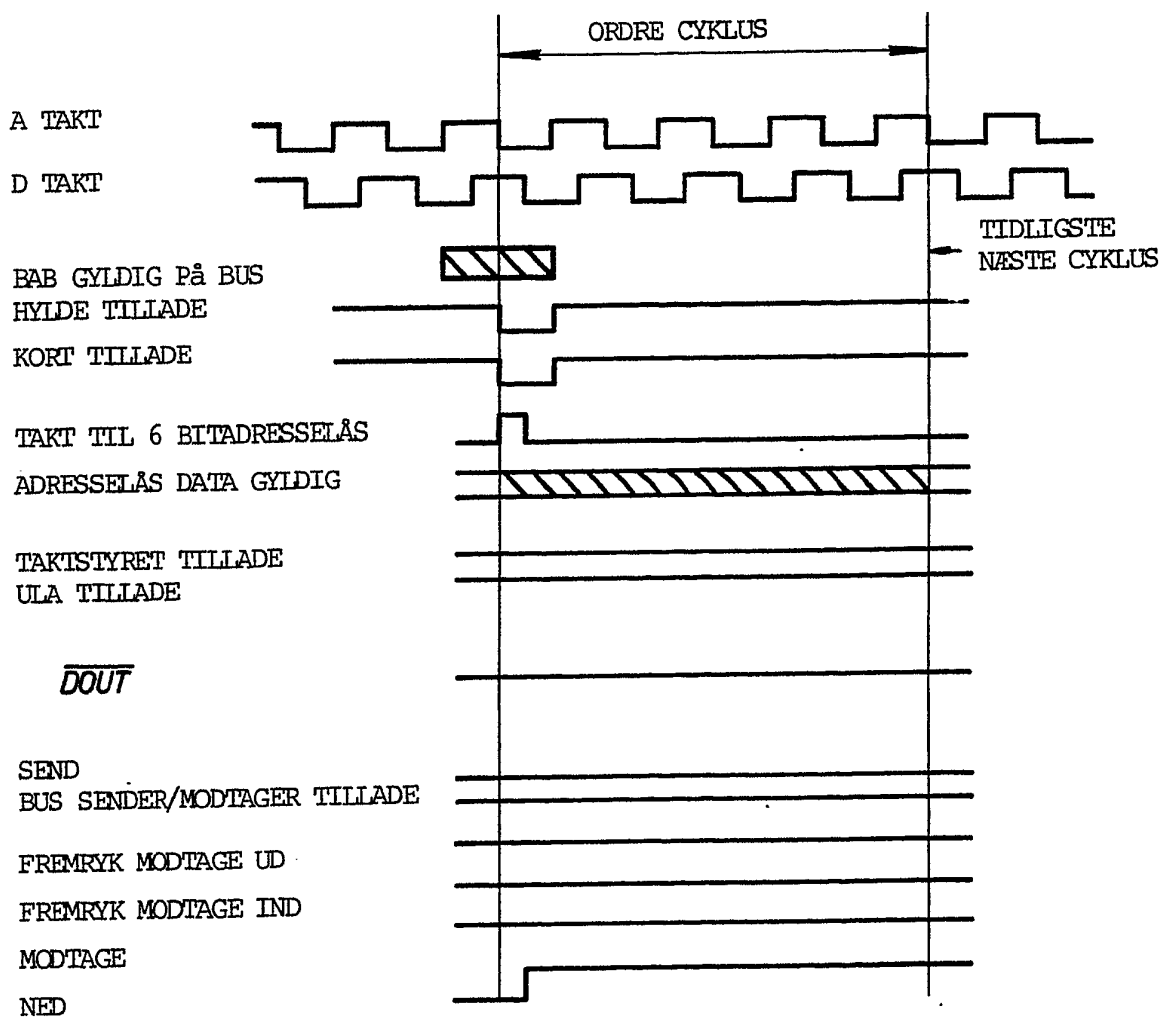


Fig.18.

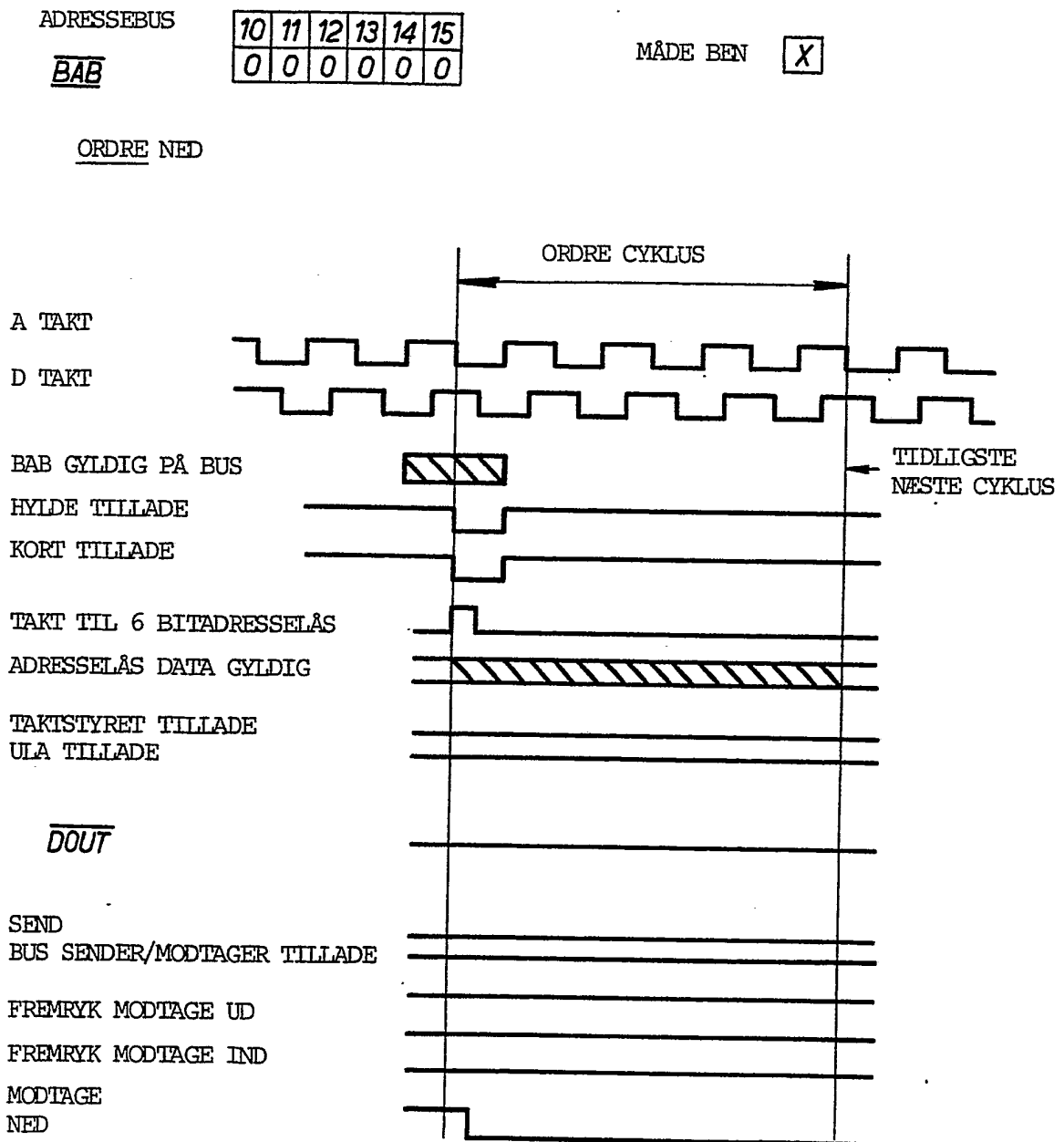


Fig.19.

TABEL 1 ADRESSE ORDRESTRUKTUR

BAB	10	11	12	13	14	15
	0	X	X	X	X	1 SEND KUN KANAL 1-16
	0	X	X	X	X	0 MODTAG KUN KANAL 1-16 (IKKE CODEC) SEND KANAL 1-16 (CODEC)
	1	1	1	1	1	0 OP
	1	1	1	1	1	1 NED
	1	1	1	1	0	0 TK SEND ØVRE FREMTIDIG BRUG
	1	1	1	1	0	1 TK SEND NEDRE
	1 1	0 1	0 1	0 TIL 0	0 1	1 FREMTIDIG BRUG SEND KUN KANAL 17-30 1
	1 1	0 1	0 1	0 TIL 0	0 1	0 FREMTIDIG BRUG MODTAG KANAL 17-30 0



PÅ LOKALTELEFONGRÆNSEFLADE SENDEORDRE

0 = BEGYNDELSESSUMBIT

1 = JORDKNAP SUMBIT

BEMÆRK: MATERIELIMPLEMENTERING ER AKTIV LAV SÅLEDES

LAV = 1 OG HØJ = 0

Fig. 20.