

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-201076
(P2019-201076A)

(43) 公開日 令和1年11月21日(2019.11.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/10 (2006.01)	HO 1 L 25/14	Z 5H770
HO 1 L 25/11 (2006.01)	HO 2 M 7/48	Z
HO 1 L 25/18 (2006.01)		
HO 2 M 7/48 (2007.01)		

審査請求 未請求 請求項の数 14 O L (全 15 頁)

(21) 出願番号 特願2018-93955 (P2018-93955)
(22) 出願日 平成30年5月15日 (2018.5.15)

(71) 出願人 000003207
トヨタ自動車株式会社
愛知県豊田市トヨタ町1番地
(74) 代理人 110000110
特許業務法人快友国際特許事務所
(72) 発明者 川島 崇功
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
Fターム(参考) 5H770 BA02 CA04 DA44 JA10X JA18X
JA19X PA15 PA21 PA42 QA05
QA06 QA10 QA11

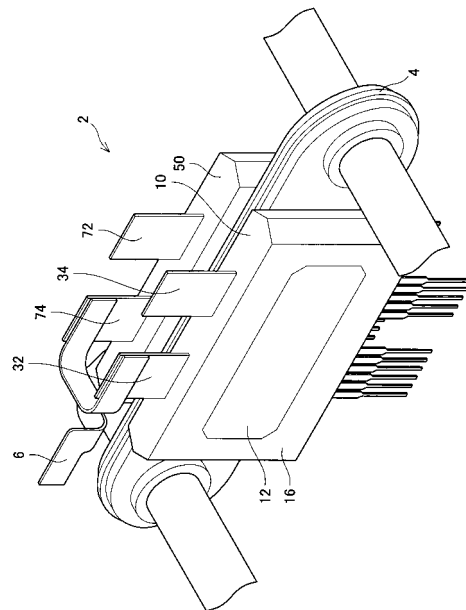
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 複数の半導体モジュールを備える半導体装置においてインダクタンスを低減する。

【解決手段】 半導体装置は、第1半導体モジュールと第2半導体モジュールとを備える。第1半導体素子は、第1半導体素子と、第1半導体素子を封止する第1封止体と、第1封止体の内部において第1半導体素子に接続されているとともに第1封止体の外部へ延びる第1電力端子及び第2電力端子とを有する。第2半導体モジュールは、第2半導体素子と、第2半導体素子を封止する第2封止体と、第2封止体の内部において第2半導体素子に接続されているとともに第2封止体の外部へ延びる第3電力端子及び第4電力端子とを有する。第1封止体及び第2封止体の外部では、第1電力端子と第4電力端子とが互いに対向しながら延びており、第2電力端子と第3電力端子とが互いに対向しながら延びている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 半導体モジュールと、
前記第 1 半導体モジュールに対して積層配置される第 2 半導体モジュールと、を備え、
前記第 1 半導体モジュールは、
少なくとも一つの第 1 半導体素子と、
前記少なくとも一つの第 1 半導体素子を封止する第 1 封止体と、
前記第 1 封止体の内部において前記第 1 半導体素子の上面電極へ電氣的に接続されているとともに、前記第 1 封止体の外部へ延びる第 1 電力端子と、
前記第 1 封止体の内部において前記第 1 半導体素子の下面電極に電氣的に接続されているとともに、前記第 1 封止体の外部へ延びる第 2 電力端子と、を有し、
前記第 2 半導体モジュールは、
少なくとも一つの第 2 半導体素子と、
前記少なくとも一つの第 2 半導体素子を封止する第 2 封止体と、
前記第 2 封止体の内部において前記第 2 半導体素子の上面電極へ電氣的に接続されているとともに、前記第 2 封止体の外部へ延びる第 3 電力端子と、
前記第 2 封止体の内部において前記第 2 半導体素子の下面電極に電氣的に接続されているとともに、前記第 2 封止体の外部へ延びる第 4 電力端子と、を有し、
前記第 1 封止体及び前記第 2 封止体の外部では、前記第 1 電力端子と前記第 4 電力端子とが互いに対向しながら延びており、前記第 2 電力端子と前記第 3 電力端子とが互いに対向しながら延びている、
半導体装置。

【請求項 2】

前記第 1 半導体素子の前記上面電極が、前記第 2 半導体素子の前記上面電極に向かい合うように、又は、前記第 1 半導体素子の前記下面電極が、前記第 2 半導体素子の前記下面電極に向かい合うように、前記第 1 半導体モジュールと前記第 2 半導体モジュールとが互いに配置されている、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 半導体モジュールは、複数の前記第 1 半導体素子を有し、
前記第 2 半導体モジュールは、複数の前記第 2 半導体素子を有する、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 1 電力端子及び前記第 2 電力端子は、前記第 1 半導体モジュールにおいて左右対称に配置されており、
前記第 3 電力端子及び前記第 4 電力端子は、前記第 2 半導体モジュールにおいて左右対称に配置されている、請求項 1 から 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記第 1 半導体モジュールと前記第 2 半導体モジュールは、同一の構造を有するとともに、互いに反転させた姿勢で配置されている、請求項 1 から 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記第 1 電力端子と前記第 4 電力端子とが互いに電氣的に接続され、前記第 2 電力端子と前記第 3 電力端子との間において、前記第 1 半導体素子と前記第 2 半導体素子とが直列に接続される、請求項 1 から 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記第 2 電力端子及び前記第 3 電力端子は、キャパシタに接続される、請求項 6 に記載の半導体装置。

【請求項 8】

前記第 1 半導体モジュールは、第 1 導体板と、前記少なくとも一つの第 1 半導体素子を挟んで前記第 1 導体板に対向する第 2 導体板とをさらに備え、

前記第 1 導体板は、前記第 1 半導体素子の前記上面電極へ電氣的に接続されているとともに、前記第 1 電力端子へ電氣的に接続されており、

前記第 2 導体板は、前記第 1 半導体素子の前記下面電極へ電氣的に接続されているとともに、前記第 2 電力端子へ電氣的に接続されており、

前記第 2 半導体モジュールは、第 3 導体板と、前記少なくとも一つの第 2 半導体素子を挟んで前記第 3 導体板に対向する第 4 導体板とをさらに備え、

前記第 3 導体板は、前記第 2 半導体素子の前記上面電極へ電氣的に接続されているとともに、前記第 3 電力端子へ電氣的に接続されており、

前記第 4 導体板は、前記第 2 半導体素子の前記下面電極へ電氣的に接続されているとともに、前記第 4 電力端子へ電氣的に接続されている、請求項 1 から 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記第 1 半導体モジュールでは、前記第 1 電力端子が、前記第 1 導体板の前記第 2 導体板側に位置する下面に接合されており、前記第 2 導体板には、前記第 1 電力端子と対向する範囲に切欠部が設けられている、請求項 8 に記載の半導体装置。

【請求項 10】

前記第 2 半導体モジュールでは、前記第 3 電力端子が、前記第 3 導体板の前記第 4 導体板側に位置する下面に接合されており、前記第 4 導体板には、前記第 3 電力端子と対向する範囲に切欠部が設けられている、請求項 8 又は 9 に記載の半導体装置。

【請求項 11】

前記第 1 半導体モジュールでは、前記第 1 導体板と前記第 2 導体板との少なくとも一方に、前記第 1 電力端子又は前記第 2 電力端子と前記少なくとも一つの第 1 半導体素子との間に孔が形成されている、請求項 8 から 10 のいずれか一項に記載の半導体装置。

【請求項 12】

前記第 2 半導体モジュールでは、前記第 3 導体板と前記第 4 導体板との少なくとも一方に、前記第 3 電力端子又は前記第 4 電力端子と前記少なくとも一つの第 2 半導体素子との間に孔が形成されている、請求項 8 から 11 のいずれか一項に記載の半導体装置。

【請求項 13】

前記第 1 半導体素子と前記第 2 半導体素子のそれぞれは、スイッチング素子である、請求項 1 から 12 のいずれか一項に記載の半導体装置。

【請求項 14】

前記第 1 半導体素子と前記第 2 半導体素子のそれぞれは、IGBT 又は MOSFET であり、

前記第 1 半導体素子及び前記第 2 半導体素子の各上面電極は、前記 IGBT のエミッタ電極又は前記 MOSFET のソース電極であり、

前記第 1 半導体素子及び前記第 2 半導体素子の各下面電極は、前記 IGBT のコレクタ電極又は前記 MOSFET のドレイン電極である、請求項 1 から 13 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書が開示する技術は、複数の半導体モジュールを備える半導体装置に関する。

【背景技術】

【0002】

特許文献 1 に、複数の半導体モジュールを備える半導体装置が開示されている。各々の半導体モジュールは、一又は複数の半導体素子と、半導体素子に接続された複数の電力端子を備える。複数の半導体モジュールは、冷却器を介して積層配置されており、それらの電力端子が互いに電氣的に接続されている。この種の半導体装置は、例えば電力制御装置に用いられ、インバータやコンバータといった電力変換回路の少なくとも一部を構成する。

。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2012-235081号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

半導体装置では、半導体装置に流れる電流が急変したときに、サージ電圧が発生することがある。サージ電圧は、例えば半導体素子の故障や、無用な電力消費の原因となることから、抑制されることが望まれる。サージ電圧を抑制するためには、半導体装置のインダクタンスを低減させることが有効である。本明細書は、複数の半導体モジュールを備える半導体装置において、インダクタンスを低減し得る技術を提供する。

10

【課題を解決するための手段】

【0005】

本明細書が開示する半導体装置は、第1半導体モジュールと、第1半導体モジュールに対して積層配置される第2半導体モジュールとを備える。第1半導体モジュールは、少なくとも一つの第1半導体素子と、少なくとも一つの第1半導体素子を封止する第1封止体と、封止体の内部において第1半導体素子の上面電極へ電氣的に接続されているとともに封止体の外部へ延びる第1電力端子と、封止体の内部において第1半導体素子の下面電極に電氣的に接続されているとともに封止体の外部へ延びる第2電力端子とを有する。第2半導体モジュールは、少なくとも一つの第2半導体素子と、少なくとも一つの第2半導体素子を封止する第2封止体と、封止体の内部において第2半導体素子の上面電極へ電氣的に接続されているとともに封止体の外部へ延びる第3電力端子と、封止体の内部において第2半導体素子の下面電極に電氣的に接続されているとともに封止体の外部へ延びる第4電力端子とを有する。第1封止体及び第2封止体の外部では、第1電力端子と第4電力端子とが互いに対向しながら延びており、第2電力端子と第3電力端子とが互いに対向しながら延びている。

20

【0006】

上記した半導体装置では、第1半導体モジュールの第1電力端子と、第2半導体モジュールの第4電力端子とが、互いに対向しながら延びている。従って、第1電力端子及び第4電力端子において互いに逆向きの電流が流れたときに、第1電力端子の電流が形成する磁界と、第4電力端子の電流が形成する磁界とが、互いに打ち消し合う。これにより、第1電力端子及び第4電力端子の周囲に形成される磁界が抑制され、第1電力端子及び第4電力端子のインダクタンスは低減される。同様に、第1半導体モジュールの第2電力端子と、第2半導体モジュールの第3電力端子とが、互いに対向しながら延びている。従って、第2電力端子及び第3電力端子において互いに逆向きの電流が流れたときに、第2電力端子の電流が形成する磁界と、第3電力端子の電流が形成する磁界とが、互いに打ち消し合う。これにより、第2電力端子及び第3電力端子の周囲に形成される磁界が抑制され、第2電力端子及び第3電力端子のインダクタンスは低減される。

30

【0007】

特に、第1半導体モジュールでは、第1電力端子と第2電力端子が、第1半導体素子を介して互いに接続されているので、第1電力端子及び第2電力端子には、互いに逆向きの電流が流れる。同様に、第2半導体モジュールでは、第3電力端子と第4電力端子が、第2半導体素子を介して互いに接続されているので、第3電力端子及び第4電力端子には、互いに逆向きの電流が流れる。従って、第1半導体モジュールの第1電力端子と第2半導体モジュールの第4電力端子との間で、互いに逆向きの電流が流れるときは、第1半導体モジュールの第2電力端子と第2半導体モジュールの第3電力端子との間でも、互いに逆向きの電流が流れる。これにより、第1電力端子と第4電力端子との間でインダクタンスが低減されるときに、第2電力端子と第3電力端子との間でもインダクタンスが同時に低減されるので、半導体装置のインピーダンスが効果的に低減される。

40

50

【図面の簡単な説明】

【0008】

【図1】半導体装置2の外観を示す図。

【図2】第1半導体モジュール10の外観を示す図。

【図3】第1半導体モジュール10の断面構造を示す図。

【図4】第1封止体16を省略して、第1半導体モジュール10の内部構造を示す平面図。

【図5】第1封止体16を省略して、第1半導体モジュール10の内部構造を示す分解図。

【図6】第2半導体モジュール50の外観を示す図。

10

【図7】第2半導体モジュール50の断面構造を示す図。

【図8】第2封止体56を省略して、第2半導体モジュール50の内部構造を示す平面図。

【図9】第2封止体56を省略して、第2半導体モジュール50の内部構造を示す分解図。

【図10】半導体装置2の回路構造を示す図。

【図11】第1導体板12に孔42を設けた変形例を説明する図。

【図12】第2導体板14に孔44を設けた変形例を説明する図。

【発明を実施するための形態】

【0009】

20

本技術の一実施形態では、第1半導体素子の上面電極が、第2半導体素子の上面電極に向かい合うように、又は、第1半導体素子の下面電極が、第2半導体素子の下面電極に向かい合うように、第1半導体モジュールと第2半導体モジュールとが互いに配置されていてもよい。このような構成によると、第1半導体モジュールと第2半導体モジュールとを互いに同一又は類似の構造とすることができる。

【0010】

本技術の一実施形態では、第1半導体モジュールが複数の第1半導体素子を有し、第2半導体モジュールが複数の第2半導体素子を有してもよい。即ち、本技術は、半導体素子の数にかかわらず、様々な半導体装置に適用されて、同様の効果を奏することができる。

【0011】

30

本技術の一実施形態において、第1電力端子及び第2電力端子は、第1半導体モジュールにおいて左右対称に配置されており、第3電力端子及び第4電力端子は、第2半導体モジュールにおいて左右対称に配置されていてもよい。このような構成によると、第1半導体モジュールと第2半導体モジュールとをコンパクトに積層配置することができる。

【0012】

本技術の一実施形態において、第1半導体モジュールと第2半導体モジュールは、同一の構造を有するとともに、互いに反転させた姿勢で配置されていてもよい。このような構成によると、二つの半導体モジュールの構造が同一であると、例えば半導体装置の製造コストを抑制することができる。

【0013】

40

本技術の一実施形態において、第1電力端子と第4電力端子とが互いに電氣的に接続され、第2電力端子と第3電力端子との間において、第1半導体素子と第2半導体素子とが直列に接続されてもよい。このような構成によると、第1半導体モジュール及び第2半導体モジュールは、インバータやコンバータにおいて上下のアームを構成することができる。この場合、第2電力端子及び第3電力端子は、電圧及び/又は電流の変動を抑制するために、キャパシタに接続されてもよい。

【0014】

本技術の一実施形態において、第1半導体モジュールは、第1導体板と、少なくとも一つの第1半導体素子を挟んで第2導体板に対向する第2導体板とをさらに備えてもよい。この場合、第1導体板は、第1半導体素子の上面電極へ電氣的に接続されているとともに

50

第1電力端子へ電氣的に接続され、第2導体板は、第1半導体素子の下面電極へ電氣的に接続されているとともに第2電力端子へ電氣的に接続されていてもよい。同様に、第2半導体モジュールは、第3導体板と、少なくとも一つの第2半導体素子を挟んで第3導体板に対向する第4導体板とをさらに備えてもよい。この場合、第3導体板は、第2半導体素子の上面電極へ電氣的に接続されているとともに第3電力端子へ電氣的に接続され、第4導体板は、第2半導体素子の下面電極へ電氣的に接続されているとともに第4電力端子へ電氣的に接続されていてもよい。

【0015】

上記した実施形態において、第1半導体モジュールでは、第1電力端子が、第1導体板の第2導体板側に位置する下面に接合されており、第2導体板には、第1電力端子と対向する範囲に切欠部が設けられていてもよい。このような構成によると、第1電力端子と第2導体板との間の絶縁性を維持しつつ、第1導体板と第2導体板とが互いに対向する面積を大きくして、第1半導体モジュールのインピーダンスを低減することができる。

10

【0016】

上記に加えて、又は代えて、第2半導体モジュールでは、第3電力端子が、第3導体板の第4導体板側に位置する下面に接合されており、第4導体板には、第3電力端子と対向する範囲に切欠部が設けられていてもよい。このような構成によると、第3電力端子と第4導体板との間の絶縁性を維持しつつ、第3導体板と第4導体板とが互いに対向する面積を大きくして、第2半導体モジュールのインピーダンスを低減することができる。

20

【0017】

上記した実施形態において、第1半導体モジュールでは、第1導体板と第2導体板との少なくとも一方に孔が形成されていてもよい。この場合、その孔は、第1電力端子と第1半導体素子との間、又は、第2電力端子と第1半導体素子との間に位置してもよい。このような構成によると、第1導体板又は第2導体板を流れる電流を、孔によって迂回させることで、特定の半導体素子に電流が偏ることを抑制することができる。

【0018】

上記に加えて、又は代えて、第2半導体モジュールでは、第3導体板と第4導体板との少なくとも一方に孔が形成されていてもよい。この場合、その孔は、第3電力端子と第2半導体素子との間、又は、第4電力端子と第2半導体素子との間に位置してもよい。このような構成によると、第3導体板又は第4導体板を流れる電流を、孔によって迂回させることで、特定の半導体素子に電流が偏ることを抑制することができる。

30

【0019】

本技術の一実施形態において、第1半導体素子と第2半導体素子のそれぞれは、例えばIGBT (Insulated Gate Bipolar Transistor) 又はMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) といったスイッチング素子であってよい。この場合、第1半導体素子及び第2半導体素子の各上面電極は、IGBTのエミッタ電極又はMOSFETのソース電極であり、第1半導体素子及び第2半導体素子の各下面電極は、IGBTのコレクタ電極又はMOSFETのドレイン電極であってよい。

【実施例】

【0020】

図面を参照して、実施例の半導体装置2について説明する。半導体装置2は、例えば電気自動車の電力制御装置に採用され、コンバータやインバータといった電力変換回路の少なくとも一部を構成することができる。ここでいう電気自動車は、車輪を駆動するモータを有する自動車を広く意味し、例えば、外部の電力によって充電される電気自動車、モータに加えてエンジンを有するハイブリッド車、及び燃料電池を電源とする燃料電池車等を含む。

40

【0021】

図1に示すように、半導体装置2は、第1半導体モジュール10と、第2半導体モジュール50とを備える。第2半導体モジュール50は、第1半導体モジュール10に対して積層配置されている。第1半導体モジュール10と第2半導体モジュール50の間には、

50

冷却器 4 が配置されている。なお、半導体装置 2 は、第 1 半導体モジュール 1 0 と第 2 半導体モジュール 5 0 に加えて、さらに多くの半導体モジュールを備えてもよい。この場合、本明細書で説明する第 1 半導体モジュール 1 0 と第 2 半導体モジュール 5 0 との組み合わせが、冷却器 4 を介在させながら繰り返し配列された構造を有してもよい。

【 0 0 2 2 】

図 2 - 図 5 に示すように、第 1 半導体モジュール 1 0 は、第 1 導体板 1 2 と、第 2 導体板 1 4 と、複数の第 1 半導体素子 2 2、2 4、2 6 と、第 1 封止体 1 6 とを備える。第 1 導体板 1 2 と第 2 導体板 1 4 は、互いに平行であって、互いに対向している。複数の第 1 半導体素子 2 2、2 4、2 6 は、第 1 導体板 1 2 と第 2 導体板 1 4 との間に位置している。複数の第 1 半導体素子 2 2、2 4、2 6 は、第 1 導体板 1 2 及び第 2 導体板 1 4 の長手方向（図 3、図 4 における左右方向）に沿って、直線的に配列されている。複数の第 1 半導体素子 2 2、2 4、2 6 は、第 1 封止体 1 6 によって封止されている。

10

【 0 0 2 3 】

第 1 導体板 1 2 及び第 2 導体板 1 4 は、銅又はその他の金属といった、導体で形成されている。各々の第 1 半導体素子 2 2、2 4、2 6 は、第 1 導体板 1 2 に接続されているとともに、第 2 導体板 1 4 にも接続されている。これにより、複数の第 1 半導体素子 2 2、2 4、2 6 は、第 1 導体板 1 2 及び第 2 導体板 1 4 との間において、互いに並列に接続されている。なお、各々の第 1 半導体素子 2 2、2 4、2 6 と第 1 導体板 1 2 との間には、導体スペーサ 1 8 が設けられている。ここで、第 1 導体板 1 2 及び第 2 導体板 1 4 の具体的な構成は特に限定されない。例えば、第 1 導体板 1 2 と第 2 導体板 1 4 との少なくとも一方は、例えば D B C (Direct Bonded Copper) 基板といった、絶縁体（例えばセラミック）の中間層を有する絶縁基板であってもよい。即ち、第 1 導体板 1 2 と第 2 導体板 1 4 との各々は、必ずしも全体が導体で構成されていなくてもよい。

20

【 0 0 2 4 】

複数の第 1 半導体素子 2 2、2 4、2 6 は、電力回路用のいわゆるパワー半導体素子であって、互いに同一の構成を有している。各々の第 1 半導体素子 2 2、2 4、2 6 は、上面電極 2 2 a、2 4 a、2 6 a と、下面電極 2 2 b、2 4 b、2 6 b と、複数の信号パッド 2 2 c、2 4 c、2 6 c とを有する。上面電極 2 2 a、2 4 a、2 6 a と下面電極 2 2 b、2 4 b、2 6 b は電力用の電極であり、複数の信号パッド 2 2 c、2 4 c、2 6 c は信号用の電極である。上面電極 2 2 a、2 4 a、2 6 a 及び複数の信号パッド 2 2 c、2 4 c、2 6 c は第 1 半導体素子 2 2、2 4、2 6 の上面に位置しており、下面電極 2 2 b、2 4 b、2 6 b は第 1 半導体素子 2 2、2 4、2 6 の下面に位置している。上面電極 2 2 a、2 4 a、2 6 a は、導体スペーサ 1 8 を介して第 1 導体板 1 2 へ接合されており、下面電極 2 2 b、2 4 b、2 6 b は、第 2 導体板 1 4 へ接合されている。

30

【 0 0 2 5 】

一例ではあるが、本実施例における第 1 半導体素子 2 2、2 4、2 6 は、スイッチング素子であり、詳しくは、エミッタ及びコレクタを有する I G B T 構造を含んでいる。I G B T 構造のエミッタは、上面電極 2 2 a、2 4 a、2 6 a に接続されており、I G B T 構造のコレクタは、下面電極 2 2 b、2 4 b、2 6 b に接続されている。但し、第 1 半導体素子 2 2、2 4、2 6 の具体的な種類や構造は特に限定されない。第 1 半導体素子 2 2、2 4、2 6 は、ダイオード構造をさらに有する R C (Reverse Conducting) - I G B T 素子であってもよい。あるいは、第 1 半導体素子 2 2、2 4、2 6 は、I G B T 構造に代えて、又は加えて、例えば M O S F E T 構造を有してもよい。この場合、M O S F E T 構造のソースが上面電極 2 2 a、2 4 a、2 6 a に接続され、M O S F E T 構造のドレインが下面電極 2 2 b、2 4 b、2 6 b に接続されるとよい。また、第 1 半導体素子 2 2、2 4、2 6 に用いられる半導体材料についても特に限定されず、例えばシリコン (S i)、炭化シリコン (S i C)、又は窒化ガリウム (G a N) といった窒化物半導体であってもよい。

40

【 0 0 2 6 】

第 1 封止体 1 6 は、特に限定されないが、例えばエポキシ樹脂といった熱硬化性樹脂又

50

はその他の絶縁体で構成されることができる。第1封止体16は、例えばモールド樹脂又はパッケージとも称される。ここで、第1半導体素子22、24、26の数については特に限定されない。本実施例では、第1半導体モジュール10が三つの第1半導体素子22、24、26を有するが、他の実施形態として、第1半導体モジュール10は、少なくとも一つの第1半導体素子を有すればよい。

【0027】

第1導体板12及び第2導体板14は、複数の第1半導体素子22、24、26と電氣的に接続されているだけでなく、複数の第1半導体素子22、24、26と熱的にも接続されている。また、第1導体板12及び第2導体板14は、それぞれ第1封止体16の表面に露出しており、第1半導体素子22、24、26の熱を第1封止体16の外部へ放出することができる。このように、本実施例における第1半導体モジュール10は、複数の第1半導体素子22、24、26の両側に放熱板が配置された両面冷却構造を有する。

10

【0028】

第1半導体モジュール10はさらに、第1電力端子32と、第2電力端子34と、複数の第1信号端子36とを備える。各々の端子32、34、36は、銅又はアルミニウムといった導体で構成されており、第1封止体16の内部から外部に亘って延びている。第1電力端子32は、第1封止体16の内部において、第1導体板12に接続されている。第2電力端子34は、第1封止体16の内部において、第2導体板14に接続されている。これにより、複数の第1半導体素子22、24、26は、第1電力端子32と第2電力端子34との間で、電氣的に並列に接続されている。各々の第1信号端子36は、第1半導体素子22、24、26の対応する一つの信号パッド22c、24c、26cに、ボンディングワイヤ38を介して接続されている。

20

【0029】

第1電力端子32及び第2電力端子34は、それぞれ板状であるとともに、第1封止体16から同じ方向へ突出している。第1電力端子32及び第2電力端子34は、同一平面に位置しており、互いに平行に延びている。第1電力端子32及び第2電力端子34は、左右対称に配置されている。一例ではあるが、第1電力端子32は、はんだ付けによって第1導体板12に接合されており、第2電力端子34は、第2導体板14に一体に形成されている。但し、第1電力端子32は、第1導体板12と一体に形成されていてもよい。また、第2電力端子34は、第2導体板14と別部材で形成され、例えばはんだ付けによって、第2導体板14に接合されていてもよい。さらに、各々の第1信号端子36は、ボンディングワイヤ38を介することなく、対応する一つの信号パッド22c、24c、26cへ直接的に接続されてもよい。

30

【0030】

本実施例の第1半導体モジュール10では、第1電力端子32は、第1導体板12の第2導体板14側に位置する下面に接合されている。そして、第2導体板14には、第1電力端子32と対向する範囲に、切欠部40が設けられている。このような構成によると、第1電力端子32と第2導体板14との間の絶縁性を維持しつつ、第1導体板12と第2導体板14とが互いに対向する面積を大きくして、第1半導体モジュール10のインピーダンスを低減することができる。

40

【0031】

次に、図6 - 図9を参照して、第2半導体モジュール50について説明する。図6 - 図9に示すように、第2半導体モジュール50は、第3導体板52と、第4導体板54と、複数の第2半導体素子62、64、66と、第2封止体56とを備える。第3導体板52と第4導体板54は、互いに平行であって、互いに対向している。複数の第2半導体素子62、64、66は、第3導体板52と第4導体板54との間に位置している。複数の第2半導体素子62、64、66は、第3導体板52及び第4導体板54の長手方向(図7、図8における左右方向)に沿って、直線的に配列されている。複数の第2半導体素子62、64、66は、第2封止体56によって封止されている。

【0032】

50

第3導体板52及び第4導体板54は、銅又はその他の金属といった、導体で形成されている。各々の第2半導体素子62、64、66は、第3導体板52に接続されているとともに、第4導体板54にも接続されている。これにより、複数の第2半導体素子62、64、66は、第3導体板52及び第4導体板54との間において、互いに並列に接続されている。なお、各々の第2半導体素子62、64、66と第3導体板52との間には、導体スペーサ58が設けられている。ここで、第3導体板52及び第4導体板54の具体的な構成は特に限定されない。例えば、第3導体板52と第4導体板54との少なくとも一方は、例えばDBC(Direct Bonded Copper)基板といった、絶縁体(例えばセラミック)の中間層を有する絶縁基板であってもよい。即ち、第3導体板52と第4導体板54との各々は、必ずしも全体が導体で構成されていなくてもよい。

10

【0033】

複数の第2半導体素子62、64、66は、電力回路用のいわゆるパワー半導体素子であって、互いに同一の構成を有している。各々の第2半導体素子62、64、66は、上面電極62a、64a、66aと、下面電極62b、64b、66bと、複数の信号パッド62c、64c、66cとを有する。上面電極62a、64a、66aと下面電極62b、64b、66bは電力用の電極であり、複数の信号パッド62c、64c、66cは信号用の電極である。上面電極62a、64a、66a及び複数の信号パッド62c、64c、66cは第2半導体素子62、64、66の上面に位置しており、下面電極62b、64b、66bは第2半導体素子62、64、66の下面に位置している。上面電極62a、64a、66aは、導体スペーサ58を介して第3導体板52へ接合されており、下面電極62b、64b、66bは、第4導体板54へ接合されている。

20

【0034】

一例ではあるが、本実施例における第2半導体素子62、64、66は、スイッチング素子であり、詳しくは、エミッタ及びコレクタを有するIGBT構造を含んでいる。IGBT構造のエミッタは、上面電極62a、64a、66aに接続されており、IGBT構造のコレクタは、下面電極62b、64b、66bに接続されている。但し、第2半導体素子62、64、66の具体的な種類や構造は特に限定されない。第2半導体素子62、64、66は、ダイオード構造をさらに有するRC-IGBT素子であってもよい。あるいは、第2半導体素子62、64、66は、IGBT構造に代えて、又は加えて、例えばMOSFET構造を有してもよい。この場合、MOSFET構造のソースが上面電極62a、64a、66aに接続され、MOSFET構造のドレインが下面電極62b、64b、66bに接続されるとよい。また、第2半導体素子62、64、66に用いられる半導体材料についても特に限定されず、例えばシリコン(Si)、炭化シリコン(SiC)、又は窒化ガリウム(GaN)といった窒化物半導体であってもよい。

30

【0035】

第2封止体56は、特に限定されないが、例えばエポキシ樹脂といった熱硬化性樹脂又はその他の絶縁体で構成されることができる。第2封止体56は、例えばモールド樹脂又はパッケージとも称される。ここで、第2半導体素子62、64、66の数については特に限定されない。本実施例では、第2半導体モジュール50が三つの第2半導体素子62、64、66を有するが、他の実施形態として、第2半導体モジュール50は、少なくとも一つの第2半導体素子を有すればよい。

40

【0036】

第3導体板52及び第4導体板54は、複数の第2半導体素子62、64、66と電氣的に接続されているだけでなく、複数の第2半導体素子62、64、66と熱的にも接続されている。また、第3導体板52及び第4導体板54は、それぞれ第2封止体56の表面に露出しており、第2半導体素子62、64、66の熱を第2封止体56の外部へ放出することができる。このように、本実施例における第2半導体モジュール50は、複数の第2半導体素子62、64、66の両側に放熱板が配置された両面冷却構造を有する。

【0037】

第2半導体モジュール50はさらに、第3電力端子72と、第4電力端子74と、複数

50

の第2信号端子76とを備える。各々の端子72、74、76は、銅又はアルミニウムといった導体で構成されており、第2封止体56の内部から外部に亘って延びている。第3電力端子72は、第2封止体56の内部において、第3導体板52に接続されている。第4電力端子74は、第2封止体56の内部において、第4導体板54に接続されている。これにより、複数の第2半導体素子62、64、66は、第3電力端子72と第4電力端子74との間で、電氣的に並列に接続されている。各々の第2信号端子76は、第2半導体素子62、64、66の対応する一つの信号パッド62c、64c、66cに、ボンディングワイヤ78を介して接続されている。

【0038】

第3電力端子72及び第4電力端子74は、それぞれ板状であるとともに、第2封止体56から同じ方向へ突出している。第3電力端子72及び第4電力端子74は、左右対称に配置されている。第3電力端子72及び第4電力端子74は、同一平面に位置しており、互いに平行に延びている。一例ではあるが、第3電力端子72は、はんだ付けによって第3導体板52に接合されており、第4電力端子74は、第4導体板54に一体に形成されている。但し、第3電力端子72は、第3導体板52と一体に形成されていてもよい。また、第4電力端子74は、第4導体板54と別部材で形成され、例えばはんだ付けによって、第4導体板54に接合されていてもよい。さらに、各々の第2信号端子76は、ボンディングワイヤ78を介することなく、対応する一つの信号パッド62c、64c、66cへ直接的に接続されてもよい。

10

【0039】

本実施例の第2半導体モジュール50では、第3電力端子72が、第3導体板52の第4導体板54側に位置する下面に接合されている。そして、第4導体板54には、第3電力端子72と対向する範囲に、切欠部80が設けられている。このような構成によると、第3電力端子72と第4導体板54との間の絶縁性を維持しつつ、第3導体板52と第4導体板54とが互いに対向する面積を大きくして、第2半導体モジュール50のインピーダンスを低減することができる。

20

【0040】

図1、図10に示すように、第1半導体モジュール10の第1電力端子32と、第2半導体モジュール50の第4電力端子74は、バスバー6によって互いに電氣的に接続されている。これにより、第1半導体モジュール10の第2電力端子34と、第2半導体モジュール50の第3電力端子72との間では、複数の第1半導体素子22、24、26と複数の第2半導体素子62、64、66とが直列に接続されている。このような回路構造は、コンバータやインバータといった電力変換回路において、一对の上下アームを構成することができる。この場合、図10に示すように、第1半導体モジュール10の第2電力端子34と、第2半導体モジュール50の第3電力端子72は、キャパシタ8に接続されるとよい。

30

【0041】

図1に示すように、第1半導体モジュール10の第1電力端子32と、第2半導体モジュール50の第4電力端子74は、第1封止体16及び第2封止体56の外部において、互いに対向しながら延びている。従って、第1電力端子32及び第4電力端子74において互いに逆向きの電流が流れたときに、第1電力端子32の電流が形成する磁界と、第4電力端子74の電流が形成する磁界とが、互いに打ち消し合う。これにより、第1電力端子32及び第4電力端子74の周囲に形成される磁界が抑制され、第1電力端子32及び第4電力端子74のインダクタンスは低減される。

40

【0042】

同様に、第1半導体モジュール10の第2電力端子34と、第2半導体モジュール50の第3電力端子72は、第1封止体16及び第2封止体56の外部において、互いに対向しながら延びている。従って、第2電力端子34及び第3電力端子72において互いに逆向きの電流が流れたときに、第2電力端子34の電流が形成する磁界と、第3電力端子72の電流が形成する磁界とが、互いに打ち消し合う。これにより、第2電力端子34及び

50

第 3 電力端子 7 2 の周囲に形成される磁界が抑制され、第 2 電力端子 3 4 及び第 3 電力端子 7 2 のインダクタンスは低減される。

【 0 0 4 3 】

特に、第 1 半導体モジュール 1 0 では、第 1 電力端子 3 2 と第 2 電力端子 3 4 が、第 1 半導体素子 2 2、2 4、2 6 を介して互いに接続されているので、第 1 電力端子 3 2 及び第 2 電力端子 3 4 には、互いに逆向きの電流が流れる。同様に、第 2 半導体モジュール 5 0 では、第 3 電力端子 7 2 と第 4 電力端子 7 4 が、第 2 半導体素子 6 2、6 4、6 6 を介して互いに接続されているので、第 3 電力端子 7 2 及び第 4 電力端子 7 4 には、互いに逆向きの電流が流れる。従って、第 1 半導体モジュール 1 0 の第 1 電力端子 3 2 と第 2 半導体モジュール 5 0 の第 4 電力端子 7 4 との間で、互いに逆向きの電流が流れるときは、第 1 半導体モジュール 1 0 の第 2 電力端子 3 4 と第 2 半導体モジュール 5 0 の第 3 電力端子 7 2 との間でも、互いに逆向きの電流が流れる。これにより、四つの電力端子 3 2、3 4、7 2、7 4 の全てでインダクタンスが同時に低減される。半導体装置 2 のインピーダンスが効果的に低減されることで、第 1 半導体素子 2 2、2 4、2 6 及び第 2 半導体素子 6 2、6 4、6 6 のスイッチング時におけるサージ電圧を抑制することができる。

10

【 0 0 4 4 】

本実施例の半導体装置 2 では、第 1 半導体モジュール 1 0 と第 2 半導体モジュール 5 0 が、同一の構造を有するとともに、互いに反転させた姿勢で配置されている。即ち、第 1 半導体素子 2 2、2 4、2 6 の下面電極 2 2 b、2 4 b、2 6 b が、第 2 半導体素子 6 2、6 4、6 6 の下面電極 6 2 b、6 4 b、6 6 b と向かい合うように、第 1 半導体モジュール 1 0 と第 2 半導体モジュール 5 0 とが積層配置されている。但し、他の実施形態では、第 1 半導体素子 2 2、2 4、2 6 の上面電極 2 2 a、2 4 a、2 6 a が、第 2 半導体素子 6 2、6 4、6 6 の上面電極 6 2 a、6 4 a、6 6 a と向かい合うように、第 1 半導体モジュール 1 0 と第 2 半導体モジュール 5 0 とが積層配置されてもよい。

20

【 0 0 4 5 】

本実施例の半導体装置 2 では、第 1 半導体モジュール 1 0 と第 2 半導体モジュール 5 0 が、同一の構造を有している。二つの半導体モジュール 1 0、5 0 が同一の構造を有していると、例えば半導体装置 2 の製造コストを抑制することができる。但し、二つの半導体モジュール 1 0、5 0 は、必ずしも同一の構造を有する必要はなく、互いに異なる構造を有してもよい。例えば、第 1 半導体モジュール 1 0 が有する第 1 半導体素子 2 2、2 4、2 6 の数と、第 2 半導体モジュール 5 0 が有する第 2 半導体素子 6 2、6 4、6 6 の数とが、互いに異なってもよい。

30

【 0 0 4 6 】

図 1 1 に示すように、第 1 導体板 1 2 には、孔 4 2 が設けられてもよい。この孔 4 2 は、第 1 電力端子 3 2 と、複数の第 1 半導体素子 2 2、2 4、2 6 との間に位置する。第 1 導体板 1 2 の孔 4 2 は、三つの第 1 半導体素子 2 2、2 4、2 6 に流れる電流を均一化するために設けられている。即ち、第 1 電力端子 3 2 と、複数の第 1 半導体素子 2 2、2 4、2 6 との間の各距離は、完全に一致しない。例えば、左側に位置する第 1 半導体素子 2 2 は、第 1 電力端子 3 2 から比較的離れて位置しており、右側に位置する第 1 半導体素子 2 6 は、第 1 電力端子 3 2 の比較的近くに位置している。このような距離の差は、電気抵抗の差をもたらすことから、各々の第 1 半導体素子 2 2、2 4、2 6 に流れる電流を互いに相違させてしまう。

40

【 0 0 4 7 】

この問題に対して、第 1 導体板 1 2 に孔 4 2 が設けられていると、電流の経路が部分的に制限されることによって、上記した距離の差を小さくすることができる。孔 4 2 の位置や形状は、第 1 電力端子 3 2 と、複数の第 1 半導体素子 2 2、2 4、2 6 との間の各距離における差が小さくなるように、適宜設計するとよい。但し、孔 4 2 の少なくとも一部は、第 1 電力端子 3 2 と、複数の第 1 半導体素子 2 2、2 4、2 6 のなかで第 1 電力端子 3 2 に最も近接する第 1 半導体素子 2 6 との間に位置するとよい。また、孔 4 2 は、貫通孔であってもよいし、有底の孔（即ち、凹部）であってもよい。このような孔 4 2 は、第 1

50

半導体モジュール 10 の第 1 導体板 12 に代えて、又は加えて、第 2 半導体モジュール 50 の第 3 導体板 52 に設けてもよい。

【0048】

上記に加え、又は代えて、図 12 に示すように、第 2 導体板 14 には、孔 44 が設けられてもよい。第 2 導体板 14 に孔 44 が設けることによっても、三つの第 1 半導体素子 22、24、26 に流れる電流を均一化することができる。第 1 導体板 12 の孔 42 と同様に、第 2 導体板 14 の孔 44 についても、その位置や形状は適宜設計することができる。但し、孔 44 の少なくとも一部は、第 2 電力端子 34 と、複数の第 1 半導体素子 22、24、26 のなかで第 2 電力端子 34 に最も近接する第 1 半導体素子 22 との間に位置するとよい。また、孔 44 は、貫通孔であってもよいし、有底の孔（即ち、凹部）であってもよい。このような孔 44 は、第 1 半導体モジュール 10 の第 2 導体板 14 に代えて、又は加えて、第 2 半導体モジュール 50 の第 4 導体板 54 に設けてもよい。

10

【0049】

以上、いくつかの具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。本明細書又は図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものである。

【符号の説明】

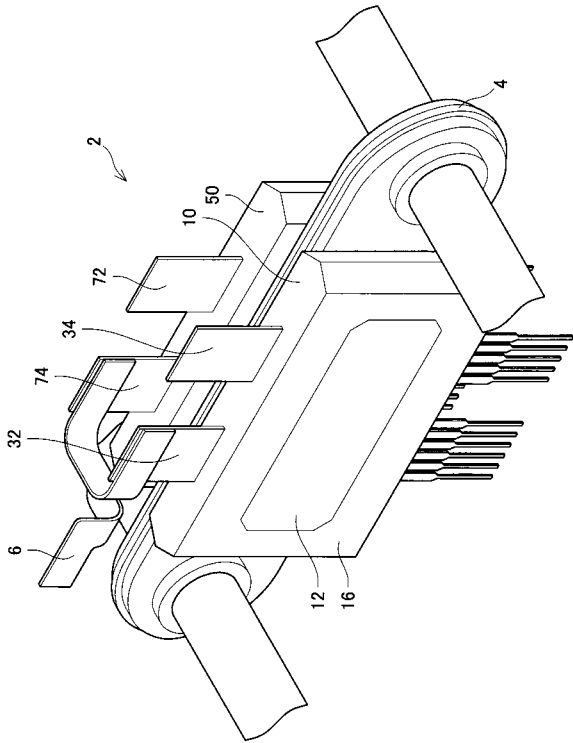
【0050】

2：半導体装置
 10：第 1 半導体モジュール
 12：第 1 導体板
 14：第 2 導体板
 16：第 1 封止体
 22、24、26：第 1 半導体素子
 32：第 1 電力端子
 34：第 2 電力端子
 50：第 2 半導体モジュール
 52：第 3 導体板
 54：第 4 導体板
 16：第 2 封止体
 62、64、66：第 2 半導体素子
 72：第 3 電力端子
 74：第 4 電力端子

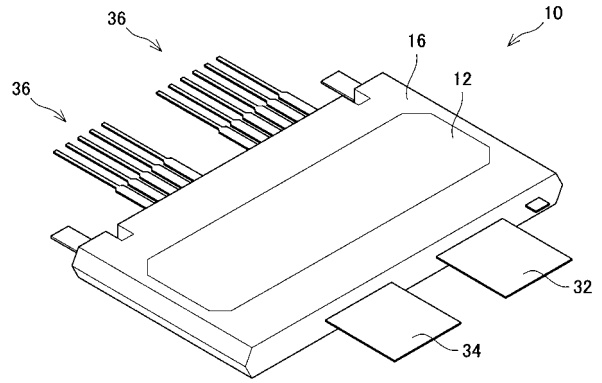
20

30

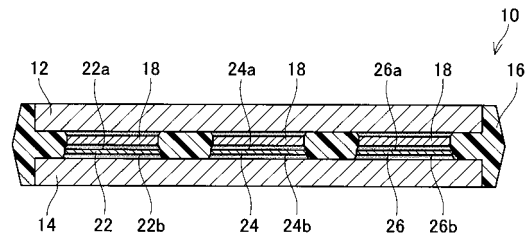
【 図 1 】



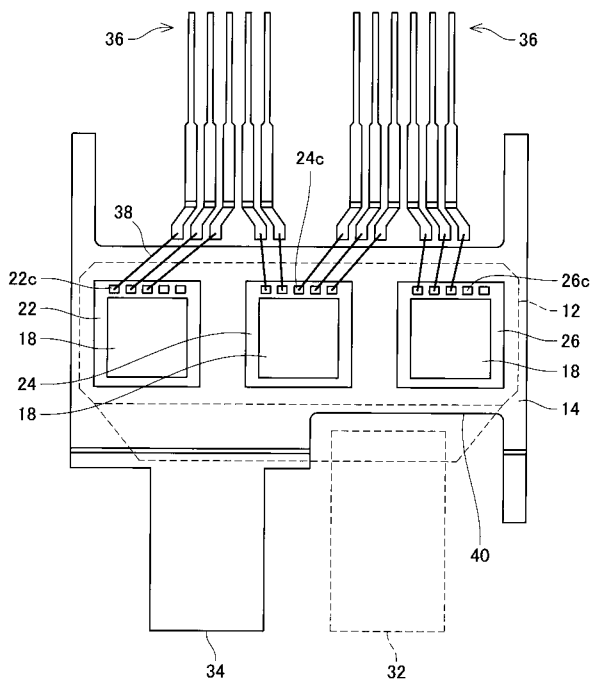
【 図 2 】



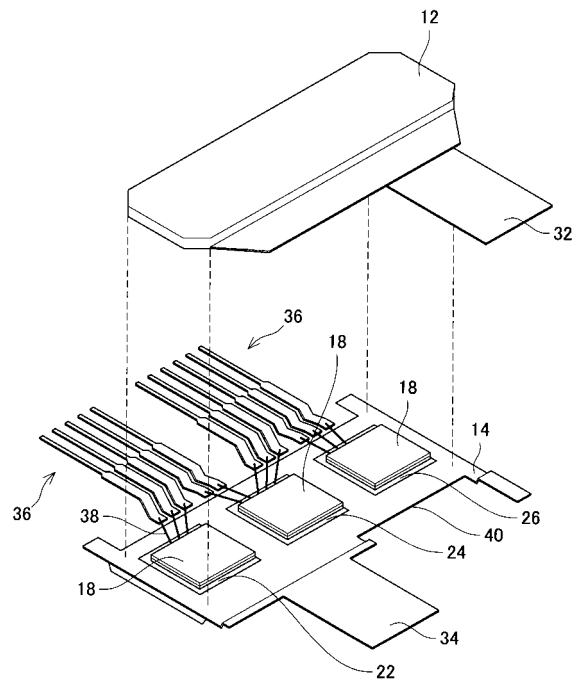
【 図 3 】



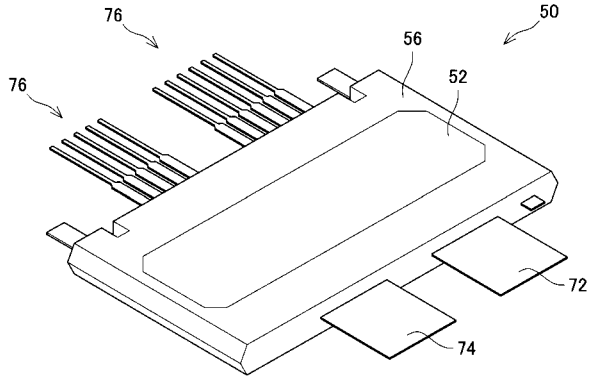
【 図 4 】



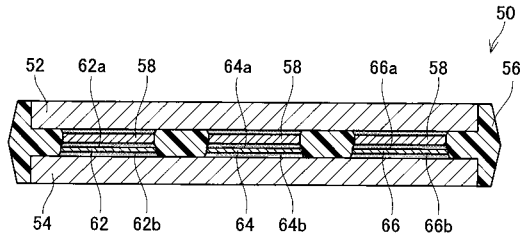
【 図 5 】



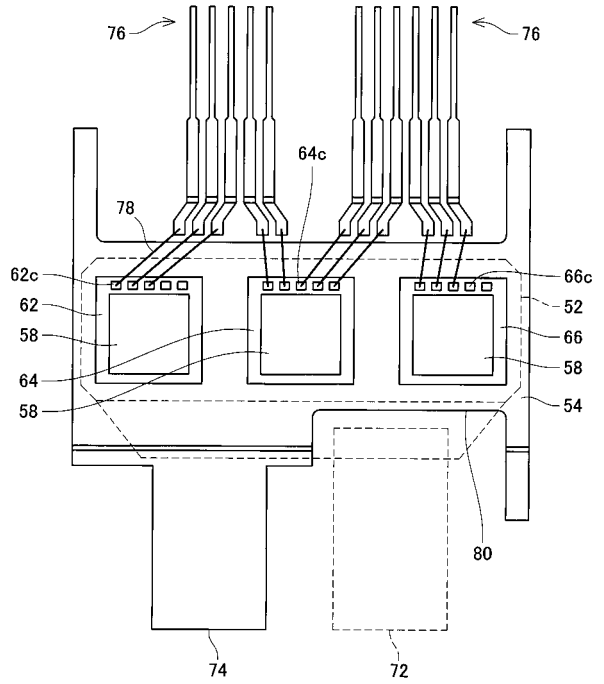
【図 6】



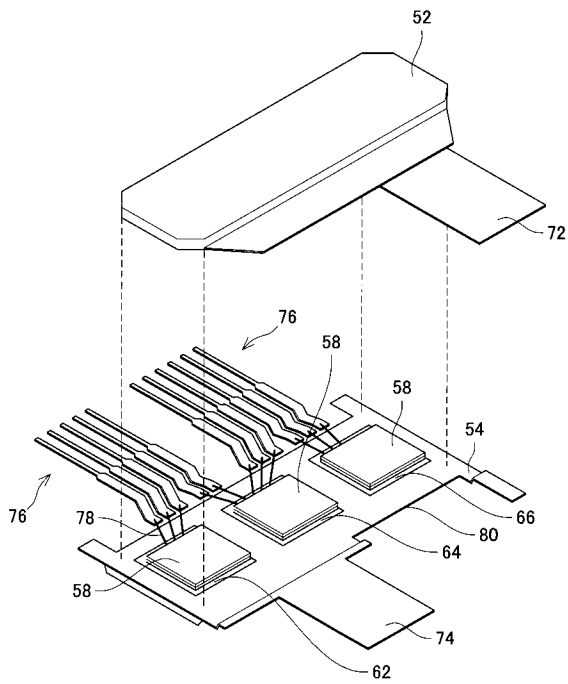
【図 7】



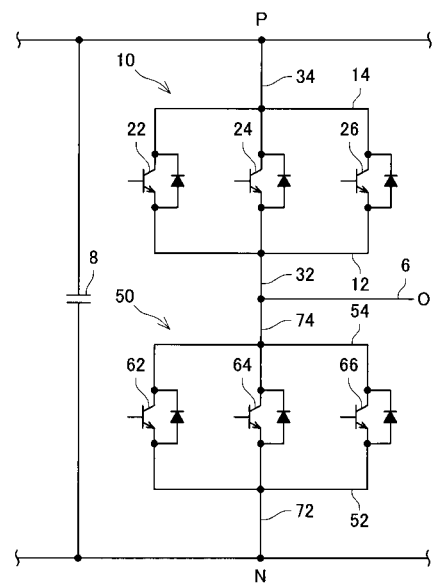
【図 8】



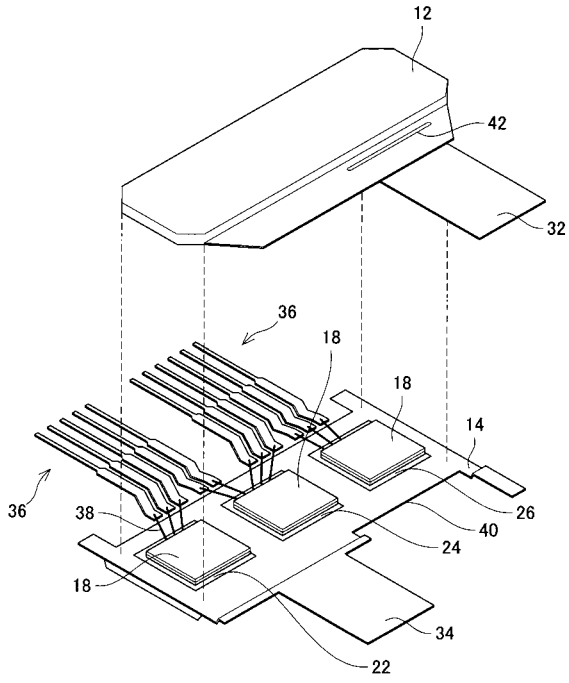
【図 9】



【図 10】



【図 1 1】



【図 1 2】

