公告本

申請日期：10	案號：88119658
類別：H04L 12/43	

（以上各欄由本局填註）

發明專利說明書 484281

一、發明名稱	中文	橫跨高電壓介面之同步資料傳輸協定
	英文	SYNCHRONIZING DATA TRANSFER PROTOCOL ACROSS HIGH VOLTAGE INTERFACE
二、發明人	姓名（中文）	1. 湯尼 S. 艾爾-齊克 2. 唐諾 雷蒙 樂托瑞爾 3. 蘭 A. 史密斯
	姓名（英文）	1. TONY S. EL-KIK 2. DONALD RAYMOND LATURELL 3. LANE A. SMITH
	國籍	1. 美國 2. 美國 3. 美國
	住、居所	1. 美國賓州艾倫頓市脊林路3869號 2. 美國賓州艾倫頓市高脊街10號 3. 美國賓州伊斯頓市史克勒街905號
三、申請人	姓名（名稱）（中文）	1. 美商朗訊科技公司
	姓名（名稱）（英文）	1. LUCENT TECHNOLOGIES INC.
	國籍	1. 美國
	住、居所（事務所）	1. 美國新澤西州摩里山丘市山脈大道600號
	代表人姓名（中文）	1. 麥克・R・格林
	代表人姓名（英文）	1. MICHAEL R. GREENE

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	1998/12/23	09/219,775	有

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明 (1)

發明範圍

本發明與一種改進的序列介面有關。本發明尤其與去除同步信號有關，例如，同步序列資料流或分時多工序列資料流中，以同步資料協定取代訊框同步信號。

相關技藝的發明背景

序列通訊是兩項數位組件之間最具高效率通訊的方法，尤其是重視成本的應用中，如果不採用序列通訊，而採用平行通序時，將需要使硬體需求量降至最少，才能節省成本。例如，傳統的多用途編碼解碼器中已導入一項序列介面技術，該序列介面技術導入傳輸線、接收線、資料時序線、及訊框同步線(及重置線)。

編碼解碼器是多年以前就允許電話級語音數位化之高效率及低成本的裝置。典型的編碼解碼器(codec；COder-DECoder的縮寫)是一種積體電路或其他的電子裝置，係組合將類比信號轉換成數位信號及將數位信號轉換成類比信號所需的電路，例如，博碼調變(Pulse Code Modulation；PCM)數位信號。

早期的編碼解碼器以8 KHz速率，將類比信號轉換成電話中使用的8位元PCM，並且無法處理數據機輸入。近年來，編碼解碼器高效率且低成本的優點，使編碼解碼器發展成能夠以48 KHz取樣速率，將類比信號轉換成超越電話所需之高品質用途的16位元立體聲(甚至高達20位元立體聲)。現今，編碼解碼器具有更的高品質及加寬的頻寬能力，所以可實際應用在音頻帶數據機之類的消費性設備

上。

隨著這些更複雜用途之編碼解碼器的發展，進一步需要將訊雜比(signal-to-noise；S/N)改進到至少75到90 dB。最近，實現達成高S/N比之主要步驟的方式是，將傳統編碼解碼器分成兩項單獨的子系統：控制器子系統或積體電路(IC)，主要用以處理接到主處理器的數位介面；以及，類比子系統或積體電路(IC)，主要用以處理混合或轉換類比信號的介面。最近，已將此分離的數位/類比架構記錄到1996年9月15日「Audio Codec '97 Component Specification」1.03修訂版文件(「AC '97規格書」)。AC '97規格書以提及的方式整份併入本文中。

圖3顯示根據AC '97規格書，將傳統分離架構式音訊編碼解碼器經由介面與低速率音頻帶數據機510之類的裝置連接。

尤其是，圖3中的AC控制器子系統700經由稱為AC連結504之五線同步序列資料匯流排(即，分時多工(TDM)匯流排)與AC類比子系統702連接。AC連結504之五線分時多工(TDM)匯流排包括同步信號712、重置信號520、從AC控制器子系統700到AC類比子系統702的序列分時多工(TDM)資料流SDATA_OUT 716、時序信號BIT_CLK 714、及從AC類比子系統702到AC控制器700的序列分時多工(TDM)資料流SDATA_IN 718。時序信號BIT_CLK 714源自於控制器700或有關控制器700的時序來源506。

經由介面與低速率音頻帶數據機之類的外部類比裝置連

五、發明說明 (3)

接之傳統AC類比子系統702中的電路，係包括一項類比到數位轉換器(ADC) 522及一項數位到類比轉換器(DAC) 524。ADC 522對輸入到AC類比子系統702的類比數據機信號進行取樣，並以48 Ks/s速率將16位元、18位元、或20位元資料提供給AC連結504，以便插入到用以輸出到的AC控制器子系統700之序列分時多工(TDM)資料流SDATA_IN 718的適合時槽中。反之，DAC 524接收來自AC連結504之AC控制器子系統700之序列分時多工(TDM)資料流SDATA_OUT 716的16位元、18位元、或20位元資料，並將該資料轉換成輸出到低速率音頻帶數據機510的類比信號。與ADC 522及/或DAC 524連接的數位信號處理器(DSP)及/或其他的處理器可執行正交調幅(quadrature amplitude modulaton；QAM)或無載波振幅及相位(Carrierless Amplitude and Phase；CAP)之類的傳統解調及調變技術。

圖4顯示根據AC '97規格書之分離架構式音訊編碼解碼器之類的類比與控制器子系統702、700之間的12個時槽分時多工(TDM)雙向資料流中的傳統同步信號712、序列分時多工(TDM)資料流SDATA_OUT 716、及序列分時多工(TDM)資料流SDATA_IN 718。序列分時多工(TDM)資料流序列分時多工(TDM)資料流SDATA_OUT 716及SDATA_IN 718的12個時槽1到12藉由傳統同步信號712界定。同步信號712源自於時槽0期間從TAG相位600 (TAG Phase 600)收到的信號。所有的時槽為20位位元。

五、發明說明 (4)

同步信號712將有關時序信號BIT_CLK 714之SDATA_OUT 716及SDATA_IN 718的接收與傳輸同步。圖5中更詳細顯示資料線與時序信號之間的同步。

尤其，圖5顯示關於同步信號712的時序信號BIT_CLK 714與序列分時多工(TDM)資料流SDATA_OUT 716。同步信號712以時序信號BIT_CLK 714為基礎，而時序信號BIT_CLK 714為固定速率12.288 MHz時序信號。

圖6顯示利用序列介面的傳統差分實施，與低電壓電路上之控制器700連接的AC類比子系統702（即，編碼解碼器）的實施。如圖6顯示，編碼解碼器702通常暴露在超過電源電壓的電壓，因此，本文中將之稱為高電壓電路。在某些情況下，希望AC耦合序列介面中的時序信號，藉此將編碼解碼器或其他的高電壓電路702可與低電壓電路的接地絕緣。同樣地，希望AC耦合傳輸資料信號716、接收資料信號718、訊框同步信號712、及重置信號520。如果低電壓控制器700與高電壓編碼解碼器702之間的信號都已耦合AC，則低電壓控制器700的接地與高電壓編碼解碼器702的接地之間基本上不需要連接。

遺憾地是，在實際情況下，一旦低電壓控制器700與高電壓編碼解碼器702之間的接地斷線，則低電壓控制器700的接地電位與高電壓編碼解碼器702的接地電位之間可能有大型共模電壓。此大型共模電壓在高電壓編碼解碼器702中可能干擾AC耦合的數位信號。另外，隔離變壓器791的成本可能非常重要，如果編碼解碼器702是執行與局端

的阻抗模擬，則變壓器791可降低編碼解碼器702與電話線之間的阻抗匹配。

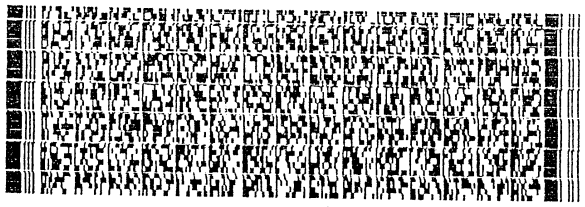
因此，已發展序列介面的另一種實施，其中編碼解碼器（編碼解碼器可能連接到電話線、數據機、音源、等等）放置在圖7顯示之系統的高電壓部份，而不需要使用昂貴且大型的變壓器791，其中變壓器791在傳統的實施中通常用來將低電壓方耦合到高電壓方。此技術並不需要使用變壓器791，但是針對其他原因而言卻是個缺點，例如，因為需要AC耦合電容器C（通常標稱值為3000V AC）之類的附加硬體。

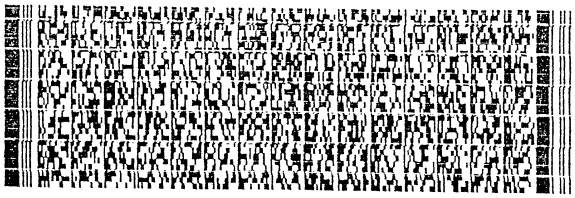
例如，序列介面可配合LUCENT TECHNOLOGIES CSP1034多處理器模式SIO介面一起使用。在此類的範例中，通常需要五條提供介面的序列線，且對應於五條序列線之五個信號中的每一個信號，都必須轉換成差分信號對。五個差分信號對中的每一個差分信號對，都必須與用以隔離電壓之對應的電容器對隔離，因此總共需要十個高電壓電容器。

減少電路之間介面所需的通訊線數量非常重要，尤其對於會遇到高電壓的電路（例如，編碼解碼器）而言，因為每條個別的線路都需要相對的硬體與空間成本。因此，有必要減少同步序列介面中信號線的數量，例如，AC '97規格書的分時多工（TDM）序列介面。

發明概述

根據本發明的原理，主裝置與從屬裝置之間非經常性同





步定時中使用的同步資料協定，係包括主定時裝置中的前置同步信號插入模組，適合將前置同步信號碼字組插入到傳輸至從屬裝置的資料流中。從屬裝置中的同步前置同步信號偵測模式，適合偵測資料流中出現的前置同步信號碼字組。

根據本發明另一項觀點，透過序列資料匯流排將從屬裝置與主裝置同步的方法，係包括提供中斷信號給從屬裝置。監視從屬裝置收到的資料流，以確定是否有出現同步的前置同步信號碼字組。從屬裝置中的定時是根據從屬裝置偵測到之同步前置同步信號碼字組的定時。

圖式描述

熟知此項技藝之人士可從下文中參照圖示的說明，清楚瞭解本發明的功能與優點，其中：

圖1顯示根據本發明原理，不需要配合訊框同步使用之同步資料協定的範例。

圖2顯示圖1顯示之同步資料協定的更詳細圖示。

圖3顯示根據AC '97規格書之兩項分開的電路之間傳統的四條信號（加上重置）序列介面。

圖4顯示圖3顯示之分離架構式音訊編碼解碼器之類的類比與控制器子系統之間的傳統同步信號、12個時槽、序列分時多工（TDM）傳輸及接收資料流的圖示。

圖5顯示關於配合圖3顯示之序列介面一起使用之同步信號之位元時序信號及序列分時多工（TDM）資料流的更詳細實施。

五、發明說明 (7)

圖6顯示傳統變壓器隔離電路。

圖7顯示傳統數位AC耦合的電容器隔離電路。

最佳具體實施例詳細說明

本發明提供一種同步資料協定，該同步資料協定係包括一個或一個以上的序列輸出/入(serial input-output；SIO)控制字組及橫跨高電壓介面傳送的資料，而不需要訊框同步信號。

圖6顯示橫跨高電壓介面傳送編碼解碼器資料的傳統方法及相關說明，該方法是在介面的低電壓方上放置編碼解碼器702，並橫跨變電壓791提供之高電壓隔離(例如，3000伏特隔離)的高電壓障礙傳送類比信號。變電壓791也將隔離編碼解碼器702，以免受到低頻共模雜訊干擾，例如，電話線104的雙絞線上的雜訊。此外，變電壓791也將隔離局端113的電話系統，以免受到控制器700及編碼解碼器702中數位子系統產生之高頻共模雜訊干擾。但是，因為變電壓791會產生振幅及相位失真，而導致使用變電壓791時，將使編碼解碼器702與局端113的阻抗匹配更加困難。

另外，為了不使用變電壓791，編碼解碼器702可能放置在高電壓電路方，如圖7所顯示。在此情況下，編碼解碼器702是AC耦合到差分數位SIO信號712、714、716、718、及520。利用此項技術，差分接收器傳送數位信號並去除大份的共模雜訊，且將高電壓容器C與差分接收器的組合取代變電壓791 (圖6)提供的功能。

五、發明說明 (8)

本發明原理藉由去除同步信號712，來促推圖7中顯示之傳統技術。

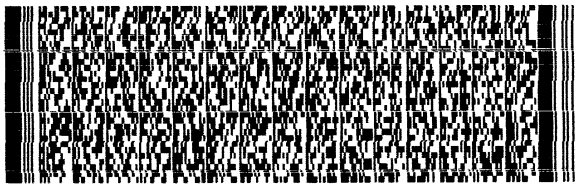
去除同步信號712可節省控制器700及編碼解碼器702上的兩個信號接腳針，去除所需的電路板空間並降低整體系統的成本，例如，藉由去除兩個昂貴的AC耦合壓容器C。

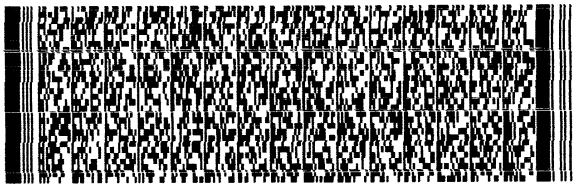
圖1顯示根據本發明揭示的具體實施例，其完成去除傳統的同步信號712的方式是，在介面的某一方(例如，在低電壓方)上新增電路元件或軟體，將預先決定的同步碼字組插入到在高電壓方上的資料流中；以及，辨識是否有出現預先決定的同步碼字組。說明的具體實施例涉及低電壓方上之裝置控制的同步，及與低電壓方上之裝置之定時同步的高電壓方上之裝置控制的同步，而本發明的原理則涉及低電壓方上之裝置或高電壓方上之裝置控制的同步。

另外，揭示的具體實施例涉及在符合AC '97規格書之AC連結上通訊的控制器及音訊編碼解碼器，而本發明的原理則同樣涉及用其他方面需要同步脈衝(例如，同步序列資料流或分時多工(TDM)同步序列資料流通訊系統中的訊框同步脈衝)的任何序列通訊連結。

根據揭示的具體實施例，將導入資料協定，用以取代訊框同步信號的需要。資料協定若配合非常穩定的TDM通訊線將特別實用。

揭示的具體實施例中，會在控制器與音訊編碼解碼器之間傳送1位元累積和增量(sigma delta)資料。資料協定是在資料線上實施，用以提供傳輸系統(例如，圖1中的編碼





解碼器106)傳輸之資料與接收系統(例如，圖1中的控制器100)接收之資料之間非經常性同步。

本發明的原理更適合實施，進一步減少數位組件之間(例如，控制器100與編碼解碼器106之間)所需的信號。例如，藉由將根據本發明原理之同步資料協定與利用雙相制編碼將傳輸信號與資料時序編碼在一起之信號組合的方式，可進一步減少所需的信號及對應之AC耦合電容器的數量，如1998年1月27日歸檔之美國申請專利號碼09/013,943，標題為「Method and Apparatus For Combining Serial Data With A Clock Signal」中的說明，該說明書於本文中以提及的方式併入。

圖1顯示用以形成根據AC '97規格書之AC連結基礎之序列分時多工(TDM)介面的具體實施例。可是，圖1中去除其他方式之傳統訊框同步信號(例如，圖7中的712)，而由根據本發明原理之控制器100中的同步資料協定取代。

尤其，圖1顯示高電壓電路方上之編碼解碼器106，及低電壓電路方上之控制器100的實施。揭示的具體實施例中，編碼解碼器106經由介面與DAA 102連接，接著，DAA 102透過電話線104連接到電話公司局端113。但是，根據本發明原理及AC '97規格書，編碼解碼器106可能實際上經由介面與任何的類比裝置連接，尤其是與消費性語音及電話裝置有關的類比裝置。

控制器100與編碼解碼器106之間的序列介面包括三項基本通訊信號，即資料傳輸分時多工(TDM)信號116、資料接

五、發明說明 (10)

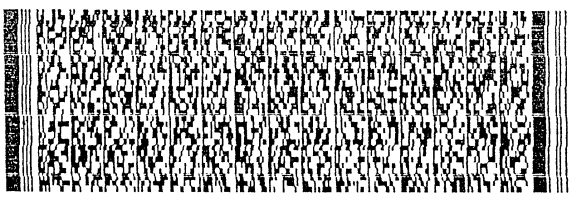
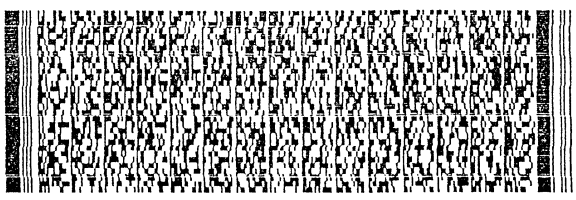
收分時多工(TDM)信號118、及資料時序信號110。若須要，也可根據特定應用的需要，導入重置信號(未顯示)。

揭示的具體實施例中，傳輸信號116、接收信號118、及時序信號110都是差分信號，各自差分信號線的每一端都包括至少一個AC耦合電容器C。但是，本發明原理同樣適用於單端序列線，另外，傳輸信號116及時序信號110可能組合成單一的編碼信號，如美國申請專利號碼09/013,943中的說明，該說明書於本文中以提及的方式併入。

低電壓電路(即，控制器100)包括一前置同步信號插入模組134、一無時序計時器(clock absence timer) 132、及一時序來源130。高電壓電路(即，編碼解碼器106)包括一同步前置同步信號偵測模組140、一無時序計時器(clock absence timer) 138、一同步定時模組136、及一緩衝器142，該緩衝器142在沒有接收到時序信號之後，在資料流中偵測到前置同步信號碼字組時啟用。

尤其，前置同步信號插入模組134適合將一個預先決定之前置同步信號碼字組(例如，'11101')插入到傳輸信號線116上傳輸的資料流。視特定應用而定，前置同步信號碼字組可能是任何的代碼及任何的長度。前置同步信號碼字組最好至少有5位位元，並且最好以'111'開始。

沒有接收到時序信號之後，將前置同步信號碼字組插入到資料流中。因此，為了初始重新同步化，控制器100故意暫停時序來源130一段預定的時間(例如，至少700 mS)，然後再將前置同步信號碼字組插入到傳輸資料流116

中。

控制器100中的無時序計時器(clock absence timer) 132與控制器的自我監視功能有關，用以確定控制器100已暫停時序信號線110上輸出之時序來源130多久的時間。在抑制編碼解碼器106時序一段足夠的時間後(例如，700 mS後)，前置同步信號插入模組134將前置同步信號碼字組插入到傳輸信號線116上正在傳輸之傳輸資料流的適當時槽中。

控制器100是主要裝置，而編碼解碼器106是關於序列分時多工(TDM)介面之定時的從屬裝置。因此，在編碼解碼器中，是由同步定時模組136執行定時接收與同步。無時序計時器(clock absence timer) 138也監視時序信號。無時序計時器(clock absence timer) 138一旦偵測到超過限定總時間(例如，超過700 mS)未收到時序信號(absence of the clock signal)，就會啟動同步前置同步信號偵測功能140。同步前置同步信號偵測功能140啟動後，立即監視傳輸線116上收到的資料流，以確定是否有出現預先決定的前置同步信號碼字組。

本發明人在本發明的發展過程中，瞭解到分時多工(TDM)序列介面的穩定性，特別是AC連結的穩定性。例如，憑經驗確定傳統式傳輸信號線716上傳送之資料的位元錯誤率(bit error rate；BER)是每隔十年小於1位元錯誤的規律。因此，作出下列的決定，在序列分時多工(TDM)資料傳輸如此穩定的情況下，不需要每個訊框都出

現訊框同步，來維持這樣的穩定性。而決定透過識別特有的資料協定來執行非經常性同步，就可提供適當的同步，來維持極穩定的通訊連結（即，具有低位元速率），且同時可去除附加同步信號所需的成本與空間（例如，圖7顯示之傳統介面中的712）。根據本發明的原理，同步後，只利用傳輸信號116、接收信號118、及時序信號110，就可隨意執行資料傳輸。

圖2顯示同步前置同步信號偵測功能140的具體實施例，其中控制資料可能與前同步信號碼字組一起從控制器100傳送到編碼解碼器106。

尤其，可能分開分析資料流緩衝器210，以確定前同步信號碼字組是否連同位址及/或資料資訊一起出現。例如，前同步信號碼字組202可能是'11000110'之類的8位元碼字組，並可能在第一緩衝器210c中接收。第二緩衝器210b可接收位址資訊，例如，高達256個暫存器，每暫存器含有一8位元位址。同樣地，可能在第三緩衝器210a接收一般的資料資訊，例如，16位元資料字組。

根據前同步信號碼字組202的識別，比較器及鎖定控制器204可將資料緩衝器210a所含之資料引入適當的暫存器208，並將位址緩衝器210b所含之位址引入適當的暫存器206。鎖入暫存器206、208的資料與位址資訊可能與通常在系統啟動或定時同步初始化的系統參數有關。

為了區別控制字組與信號資料，可建立中斷程序，而不需要使用中斷線路。揭示的具體實施例中，當無時序計時

五、發明說明 (13)

器(clock absence timer) 138偵測到沒有時序信號(absence of the clock signal)時就會觸發中斷程序。當時序停止至少預先的時間長度後，則會重置同步前置同步信號偵測功能140，藉此監視是否有出現前同步信號碼字組202。一旦偵測到前同步信號碼字組202後，就會將資料與位址資訊鎖入適當的暫存器206、208。資料與位址暫存器206、208將不會接收新資料，直到收到另一個中斷，即，直到時序停止並再次開始。

一旦所有想要的暫存器都程式化後，就會將位元143設為1，使緩衝器142可以開啟資料，例如，傳遞到編碼解碼器的累積和增量(sigma delta)資料。只要編碼解碼器106繼續出現時序信號，則會將資料傳遞到編碼解碼器過濾器。

因此，根據本發明的原理，在某些應用中，同步資料協定只需要在通訊交易開始時傳輸一次即可。但是，當特定應用指示時，則可能希望非經常性啟動同步資料協定，以便進一步確保可靠且無錯誤的通訊。例如，偵測到編碼解碼器106在至少最短的總時間內未接收到時序信號後(例如，大於25微秒(uS)的時間沒有時序信號)，則可能會啟動熱同步，其儲存的暫存器及駐存參數的其他記憶體很可能維持穩定。在此類的熱同步中，由控制器100中的前置同步信號插入模組134將前置同步信號插入資料流中，由編碼解碼器106中的同步前置同步信號偵測器140偵測前置同步信號，並開始資料傳輸。

五、發明說明（1）

另外，另一項具體實施例中，可能感測到電話線電力電流損失。在某些國家，電話線上的可用的電流可能會例行中斷長達700毫秒(mS)的時間，因此，由線路電流供電的電路元件必須適應此類電力電流中的間斷。但是，如果發生大於700 mS之超過規格的電流中斷，則編碼解碼器106及其他的電路元件(如果電路元件由電話線104供電)可能會遭遇到不可預料的時間內沒有供電。在此情況下，從電流損失恢復後，可能會執行根據本發明原理的同步資料協定，以便重新同步通訊。

以本發明原理的同步資料協定取代同步信號已經測試證實非常可靠，即使使用具有大量雜訊的通訊線路。

本發明原理也適用於一般的同步序列資料流，而不是只適用於分時多工(time division multiplexed；TDM)序列資料流。例如，本發明可能配合連續同步序列傳輸資料流執行，而其他傳統方式則是利用訊框同步信號或其他信號將接收裝置與序列資料傳輸同步。

另外，本發明是配合參考特定編碼解碼器(即，符合AC'97的編碼解碼器)說明，而本發明的原理則是涉及與任何編碼解碼器裝置的通訊。

本發明已配合參考其示範性最佳具體實施例進行說明，熟知技藝的人士可進行各種修改，而不脫離本發明的範疇與精神。

圖式元件符號表

100	控制器	102	DAA
104	電話線	106	編碼解碼器

五、發明說明 (15)

110 資料時序信號 113 電話公司局端

116 資料傳輸分時多工(TDM)信號 118 資料接收分時多工信號

130 時序來源 132 無時序計時器

134 前置同步信號插入模組 136 同步定時模組

138 無時序計時器 140 同步前置同步信號偵測模組

142 緩衝器

143 位元 202 前同步信號碼字組

204 鎖定控制器 206 暫存器

208 暫存器 210 資料流緩衝器

210a 第三緩衝器 210b 第二緩衝器

210c 第一緩衝器 504 AC連結

506 時序來源 510 低速率音頻帶數據機

520 重置信號 522 類比到數位轉換器(ADC)

524 數位到類比轉換器(DAC) 600 TAG相位

650 資料相位 700 AC控制器子系統

702 AC類比子系統 712 同步信號(訊框同步信號)

714 時序信號BIT_CLK

716 時序分時多工資料流SDATA_OUT (傳輸資料信號)

718 時序分時多工資料流SDATA_IN (接收資料信號)

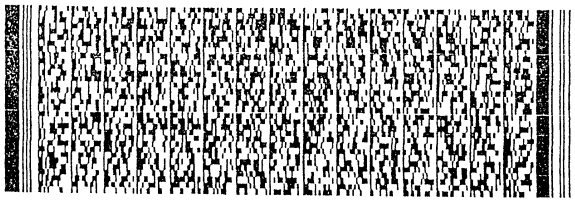
791 變壓器

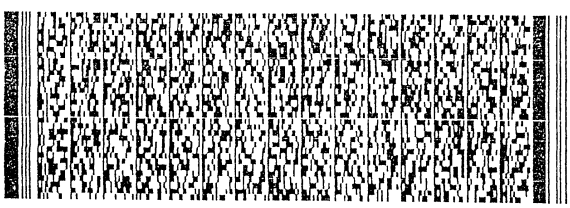
四、中文發明摘要 （發明之名稱：橫跨高電壓介面之同步資料傳輸協定）

本發明提供一種同步資料協定，該同步資料協定係包括橫跨高電壓介面傳送的一個或一個以上之序列輸出/入（serial input-output；SIO）控制字組及資料，以便允許去除訊框同步信號（及對應的AC耦合電容器）。本發明特別適用於（例如）分時多工（time division multiplexed；TDM）資料、序列資料通訊裝置、或一般的同步序列通訊介面，以及根據AC '97規格書-即AC連結，音訊編碼解碼裝置中控制器與編碼解碼器之間的通訊。同步資料協定是在傳輸資料信號線上實施，以便提供兩台通訊裝置之間的非經常性同步（即，不是按訊框逐一同步）。主裝置包括一項前置同步信號插入模組，以便將預先決定的前置同步信號碼字組插入到傳輸的資料流中。藉由將資料時序信號抑制

英文發明摘要 （發明之名稱：SYNCHRONIZING DATA TRANSFER PROTOCOL ACROSS HIGH VOLTAGE INTERFACE）

The present invention provides a synchronizing data protocol comprising one or more serial input-output (SIO) control word(s) and data passed across a high voltage interface, to allow the elimination of a frame synchronization signal (and corresponding AC coupling capacitors). The present invention has particular applicability to, e.g., time division multiplexed (TDM) data, serial data communication devices, or synchronous serial communication interfaces in general, and to the



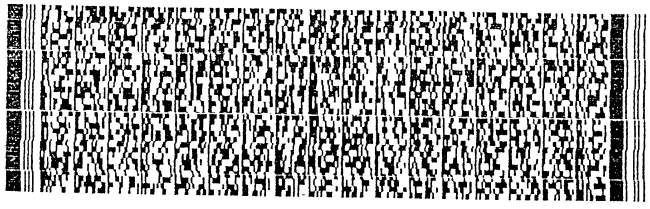


四、中文發明摘要　(發明之名稱：橫跨高電壓介面之同步資料傳輸協定)

一段預定的時間量，就可將中斷傳送到從屬裝置。從屬裝置根據收到的中斷來監視資料流，以便確定是否有出現前置同步信號碼字組。根據偵測到的前置同步信號碼字組，再次開啟編碼解碼器傳輸資料。

英文發明摘要　(發明之名稱：SYNCHRONIZING DATA TRANSFER PROTOCOL ACROSS HIGH VOLTAGE INTERFACE)

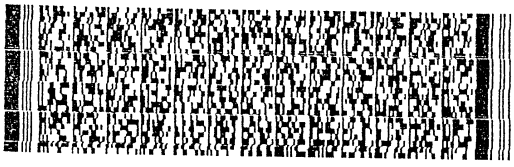
communication between a controller and a codec in an audio codec device in accordance with the AC '97 Specification, i.e., the AC Link. The synchronizing data protocol is implemented over a transmit data signal line to provide occasional synchronization (i.e., not frame-by-frame synchronization) between the two communicating devices. The master device includes a preamble insertion module to insert a predetermined preamble code word into the transmitted data



四、中文發明摘要　（發明之名稱：橫跨高電壓介面之同步資料傳輸協定）

英文發明摘要　（發明之名稱：SYNCHRONIZING DATA TRANSFER PROTOCOL ACROSS HIGH VOLTAGE INTERFACE）

stream. An interrupt is sent to the slave device by withholding the data clock signal for a predetermined amount of time. Upon receipt of the interrupt, the slave device monitors the data stream for the presence of the preamble code word. Upon detection of the preamble code word, data transmitted by the codec is again enabled.



修正補充

六、申請專利範圍

1. 一種主裝置及編碼解碼器之間同步定時中使用的同步資料協定，係包括：

該主定時裝置中的一前置同步信號插入模組，適合將前置同步信號碼字組插入到用以傳輸到編碼解碼器之傳輸資料流中的所選訊框中；以及

該編碼解碼器中的一同步前置同步信號偵測模組，適合偵測該資料流中是否有出現該前置同步信號碼字組。

2. 如申請專利範圍第1項之主裝置及編碼解碼器之間同步定時中使用的同步資料協定，其中：

該所選訊框不是連續的訊框。

3. 如申請專利範圍第1項之主裝置及編碼解碼器之間同步定時中使用的同步資料協定，進一步包括：

該編碼解碼器中的定時係根據偵測到該資料流中之該前置同步信號碼字組之定時同步。

4. 如申請專利範圍第1項之主裝置及編碼解碼器之間同步定時中使用的同步資料協定，進一步包括：

適合與該前置同步信號碼字組一起傳輸的控制位址與資料資訊，該控制位址與資料資訊與該編碼解碼器中的系統參數有關。

5. 如申請專利範圍第1項之主裝置及編碼解碼器之間同步定時中使用的同步資料協定，進一步包括：

一中斷模組，其操作係根據從該主裝置到該編碼解碼器之時序信號的變化。

6. 如申請專利範圍第5項之主裝置及編碼解碼器之間同

六、申請專利範圍

步定時中使用的同步資料協定，其中該中斷模組包括：

該編碼解碼器中的一第一無時序計時器(clock absence timer)，適合偵測至少預定時間內沒有時序信號。

7. 如申請專利範圍第6項之主裝置及編碼解碼器之間同步定時中使用的同步資料協定，其中該中斷模組進一步包括：

該主裝置中的一第二無時序計時器(clock absence timer)，用以為該主裝置提供該預定時間長度的指示。

8. 如申請專利範圍第5項之主裝置及編碼解碼器之間同步定時中使用的同步資料協定，其中：

該時序信號的變化是至少預定時間長度的無變化時序信號。

9. 如申請專利範圍第1項之主裝置及編碼解碼器之間同步定時中使用的同步資料協定，進一步包括：

該編碼解碼器中的一緩衝器，適合根據偵測的該前同步信號碼字組來啟動緩衝器。

10. 一種透過序列資料匯流排將編碼解碼器與主裝置同步的方法，該方法包括：

提供中斷信號給該編碼解碼器；

監視該編碼解碼器收到的資料流，以確定是否有出現同步前同步信號碼字組的前同步信號；以及

該編碼解碼器中的定時係根據該編碼解碼器偵測到的該同步前置同步信號碼字組的定時。

六、申請專利範圍

11. 如申請專利範圍第10項之透過序列資料匯流排將編碼解碼器與主裝置同步的方法，其中該提供的步驟包括：

將該序列資料匯流排上時序信號的傳輸暫停至少預定的時間長度。

12. 如申請專利範圍第10項之透過序列資料匯流排將編碼解碼器與主裝置同步的方法，其中：

該同步是關於一訊框信號之非經常性執行。

13. 如申請專利範圍第11項之透過序列資料匯流排將編碼解碼器與主裝置同步的方法，其中：

該預定的時間長度至少25微秒。

14. 一種用以透過序列資料匯流排將編碼解碼器與主裝置同步的裝置，該裝置包括：

一些裝置，用以提供中斷信號給該編碼解碼器；

一些裝置，用以監視該編碼解碼器收到的資料流，以確定是否有出現同步前同步信號碼字組的前同步信號；以及

一些裝置，用以將該編碼解碼器中的定時根據該編碼解碼器偵測到的該同步前置同步信號碼字組的定時。

15. 如申請專利範圍第14項之透過序列資料匯流排將編碼解碼器與主裝置同步的裝置，其中用以提供中斷信號的彼等裝置包括：

一些裝置，用以將該序列資料匯流排上時序信號的傳輸暫停至少預定的時間長度。

16. 如申請專利範圍第14項之透過序列資料匯流排將編

六、申請專利範圍

碼解碼器與主裝置同步的裝置，其中：

該同步是關於一訊框信號之非經常性執行。

17. 如申請專利範圍第15項之透過序列資料匯流排將編碼解碼器與主裝置同步的裝置，其中：

該預定的時間長度至少25微秒。

案號 88119658 90年6月19日 修正
補充

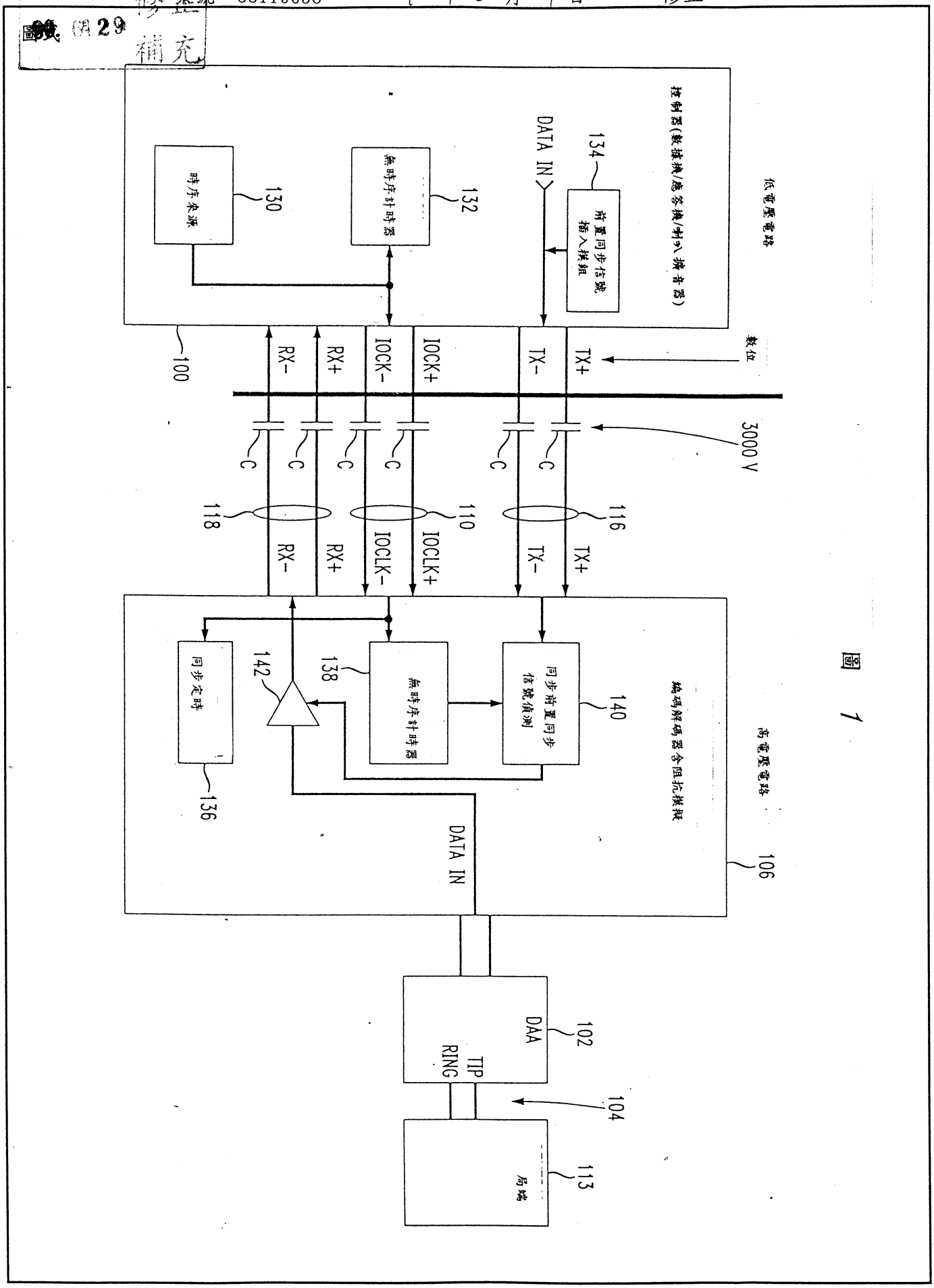


圖 1

圖式

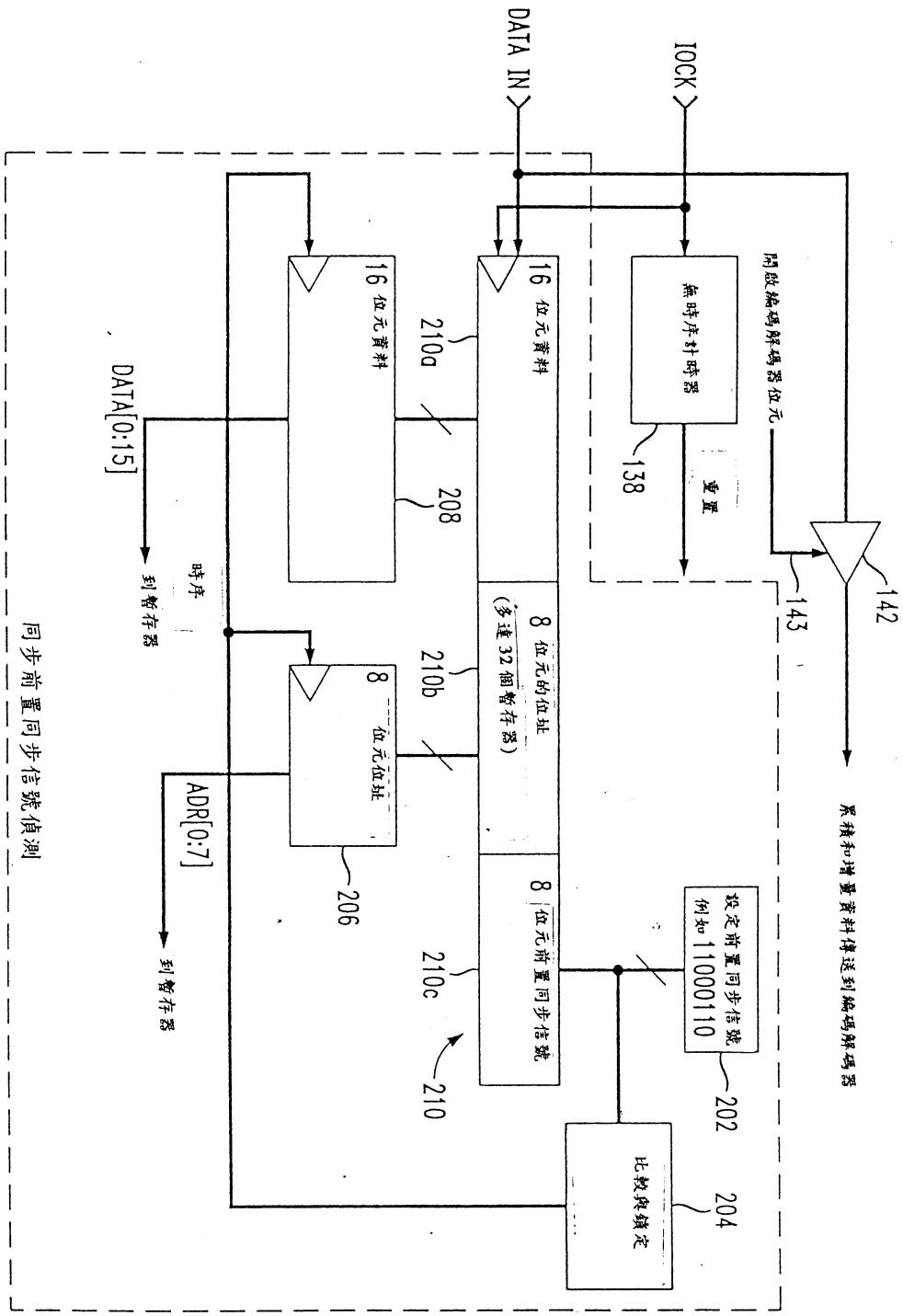

DATA IN
IOCK
閒啟編碼解碼器位元
無時序計時器
138
重置
142
143
累積和增量資料傳送到編碼解碼器
16 位元資料
210a
208
16 位元資料
DATA[0:15]
時序
到暫存器
8 位元的位址
(多達 32 個暫存器)
210b
8 位元位址
206
ADR[0:7]
到暫存器
8 位元前置同步信號
210c
210
設定前置同步信號
例如 11000110
202
比較與鎖定
204
同步前置同步信號偵測

圖 2

圖式

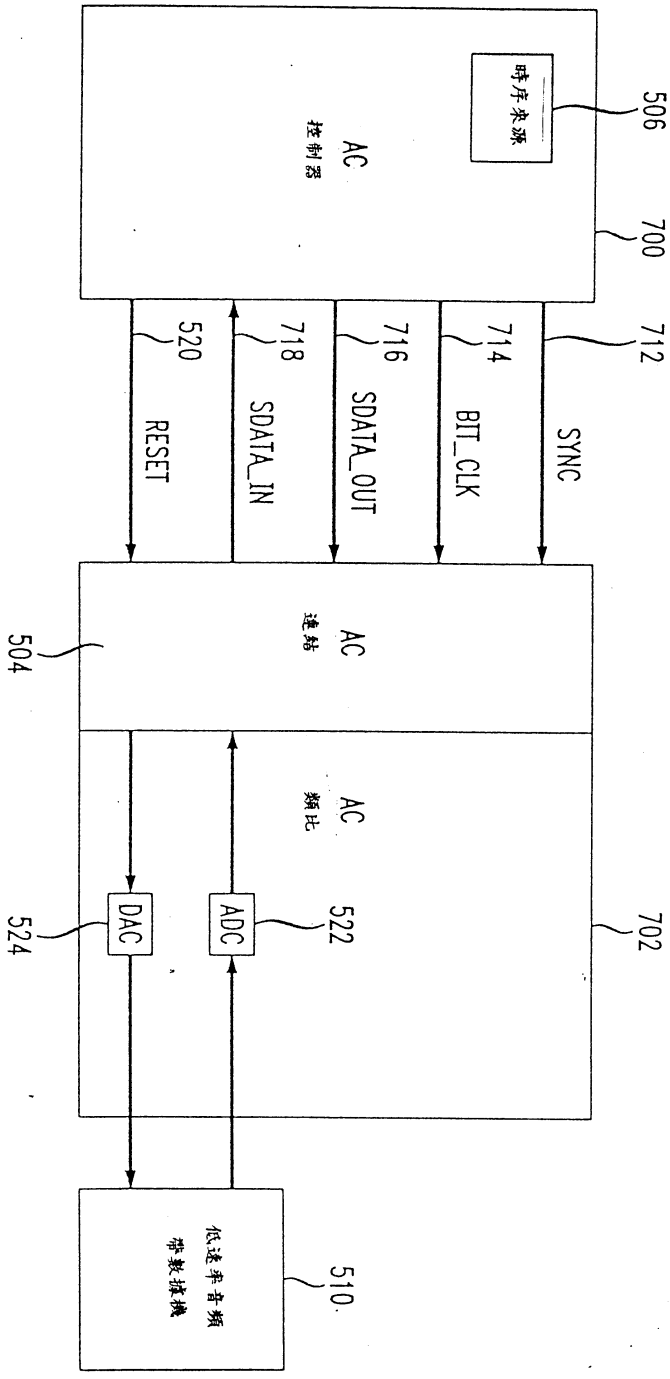
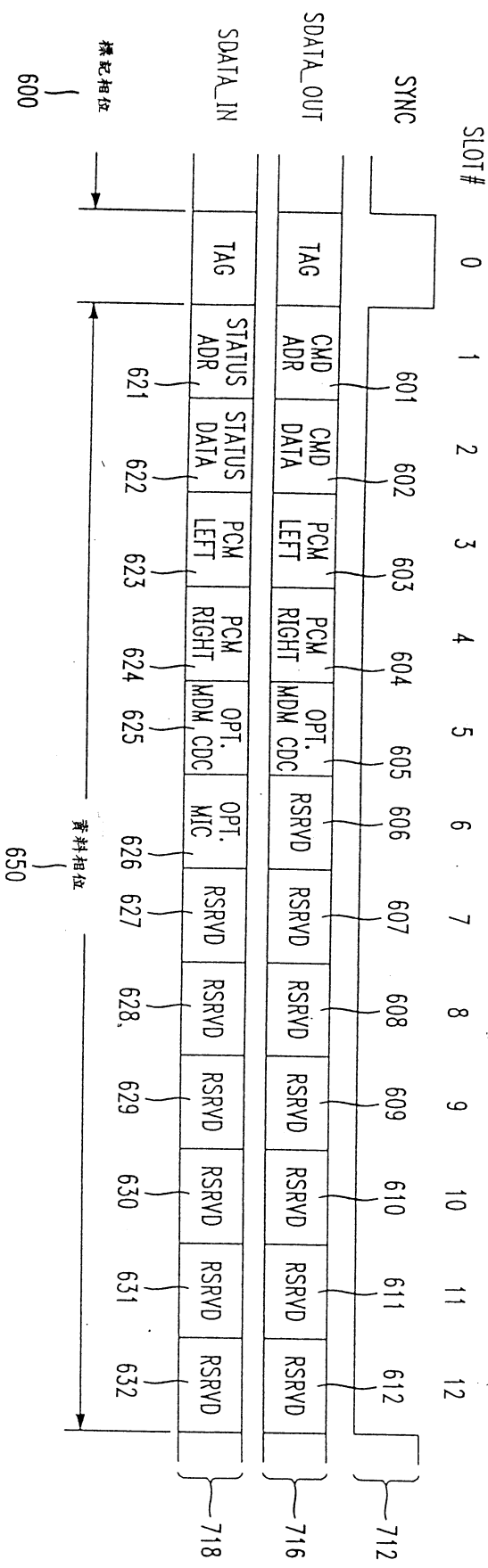

時序來源
506
AC
控制器
700
520
RESET
718
SDATA_IN
716
SDATA_OUT
714
BIT_CLK
712
SYNC
504
AC
連結
AC
頻比
702
DAC
524
ADC
522
低速率音頻
帶數據機
510

圖 3
先前技藝

圖式

圖 4
先前技藝

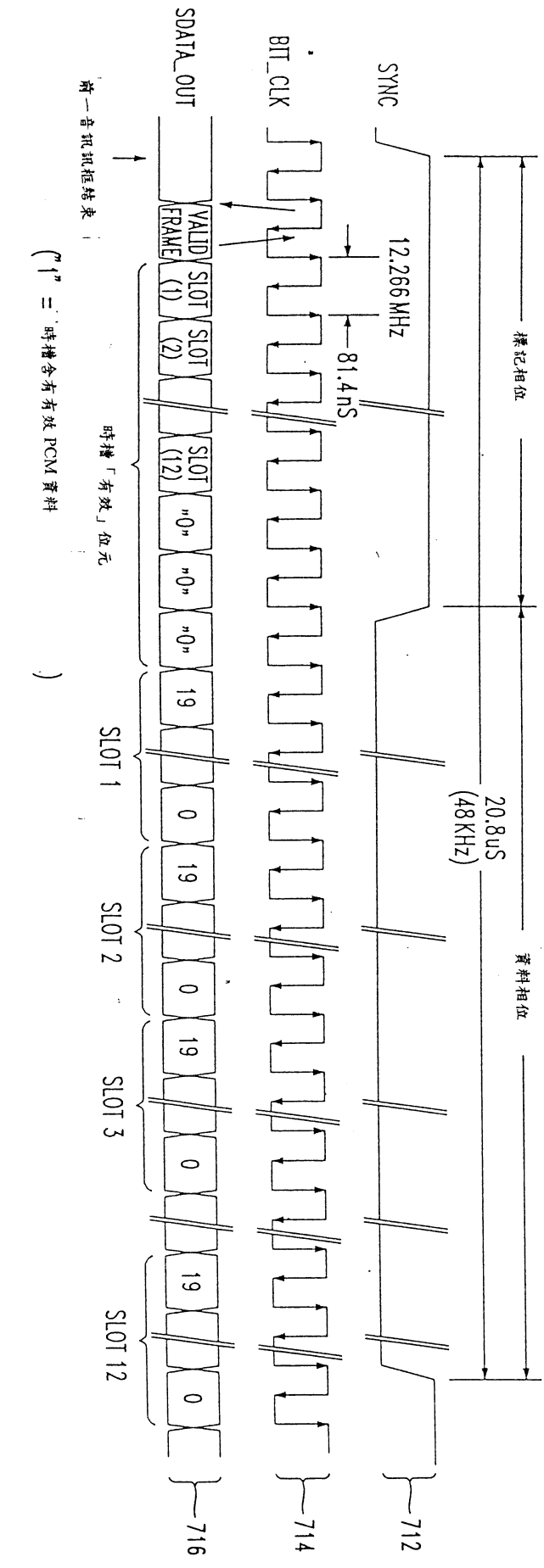

SLOT# 0 1 2 3 4 5 6 7 8 9 10 11 12
SYNC
SDATA_OUT
SDATA_IN
TAG
CMD ADR
CMD DATA
PCM LEFT
PCM RIGHT
OPT. MDM CDC
RSRVD
OPT. MIC
STATUS ADR
STATUS DATA
PCM LEFT
PCM RIGHT
OPT. MDM CDC
OPT. MIC
RSRVD
601 602 603 604 605 606 607 608 609 610 611 612
621 622 623 624 625 626 627 628 629 630 631 632
712
716
718
標記相位
600
資料相位
650

圖式

圖 5

先前技藝

AC-連結音訊輸出訊框



圖式

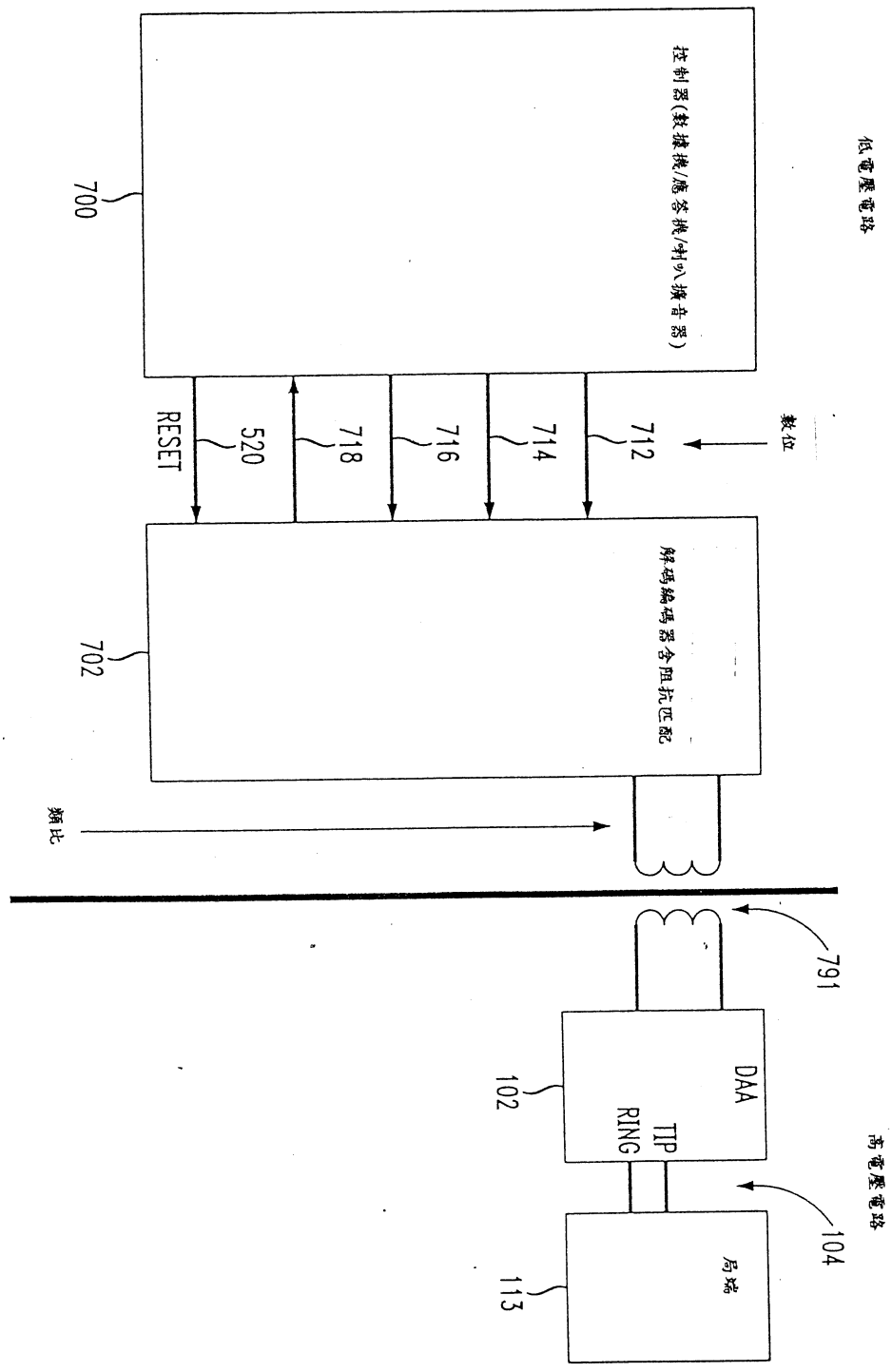

控制器(數據機/應答機/喇叭擴音器)
700
低電壓電路
RESET
520
718
716
714
712
數位
解碼編碼器含阻抗匹配
702
類比
791
DAA
TIP
RING
102
高電壓電路
104
局端
113

圖 6
先前技藝

圖式

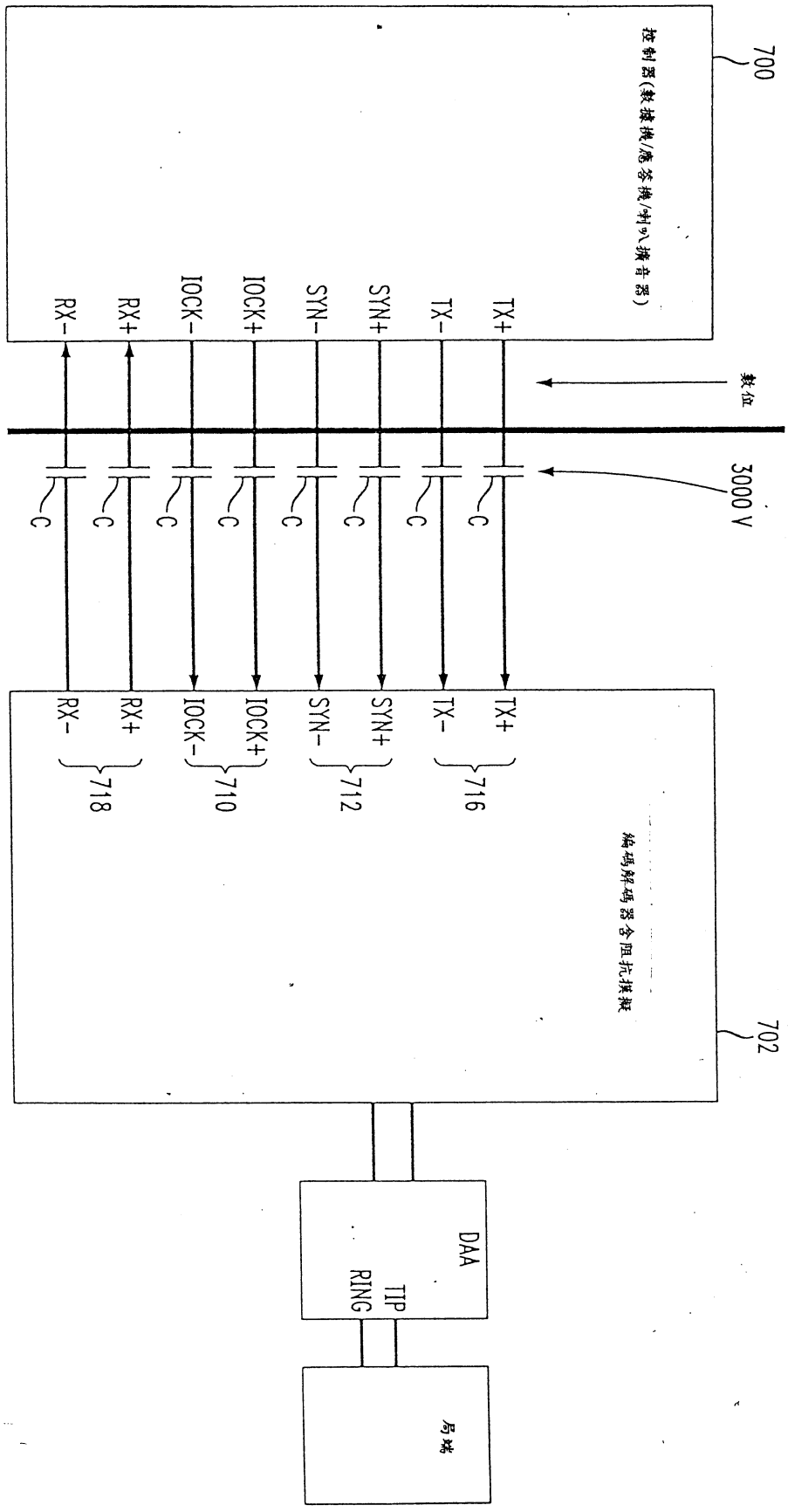

控制器(數據機/應答機/對講音器)
700
低電壓電路
TX+
TX-
SYN+
SYN-
IOCK+
IOCK-
RX+
RX-
數位
3000 V
C
高電壓電路
編碼解碼器含阻抗模擬
702
716
712
710
718
DAA
TIP
RING
局端

圖 7
先前技藝