

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5665299号
(P5665299)

(45) 発行日 平成27年2月4日(2015.2.4)

(24) 登録日 平成26年12月19日(2014.12.19)

(51) Int.Cl.

F 1

G 1 1 C	19/28	(2006.01)	G 1 1 C	19/28	D
G 1 1 C	19/00	(2006.01)	G 1 1 C	19/00	J
G 0 9 G	3/36	(2006.01)	G 1 1 C	19/00	C
G 0 9 G	3/20	(2006.01)	G 0 9 G	3/36	
			G 0 9 G	3/20	6 2 2 E

請求項の数 23 (全 61 頁) 最終頁に続く

(21) 出願番号 特願2009-233035 (P2009-233035)
 (22) 出願日 平成21年10月7日 (2009.10.7)
 (65) 公開番号 特開2010-135050 (P2010-135050A)
 (43) 公開日 平成22年6月17日 (2010.6.17)
 審査請求日 平成24年9月6日 (2012.9.6)
 (31) 優先権主張番号 特願2008-280837 (P2008-280837)
 (32) 優先日 平成20年10月31日 (2008.10.31)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 飛田 洋一
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
 審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】シフトレジスタ回路

(57) 【特許請求の範囲】

【請求項 1】

入力端子、出力端子およびクロック端子と、
 前記クロック端子に入力されるクロック信号を前記出力端子に供給する第1トランジスタと、

前記出力端子を放電する第2トランジスタと、
 前記第1トランジスタの制御電極が接続する第1ノードの充放電を行うことで当該第1トランジスタを駆動するプルアップ駆動回路と、

前記第2トランジスタの制御電極が接続する第2ノードの充放電を行うことで当該第2トランジスタを駆動するプルダウン駆動回路と
 を備えるシフトレジスタ回路であって、

前記プルアップ駆動回路が、

前記入力端子に入力される入力信号の活性化に応じて前記第1ノードを充電する第3トランジスタと、

前記入力信号の活性化に応じて、前記第3トランジスタの制御電極が接続する第3ノードの電圧が前記入力信号の振幅よりも大きくなるように、当該第3ノードを昇圧する昇圧手段とを備え、

前記第3トランジスタは、

前記入力端子と前記第1ノードとの間に接続しており、

前記昇圧手段は、

10

20

前記入力信号の活性化に先んじて前記第3ノードを充電し、前記入力信号の非活性化に先んじて前記第3ノードを放電する充放電回路を含み、

前記第3ノードの昇圧は、

前記第3トランジスタの寄生容量により行われることを特徴とするシフトレジスタ回路。

【請求項2】

請求項1記載のシフトレジスタ回路であって、

前記充放電回路は、

所定の電源端子に接続した制御電極を有し、

前記第3ノードと前記第2ノードとの間に接続する第4トランジスタであることを特徴とするシフトレジスタ回路。

10

【請求項3】

請求項2記載のシフトレジスタ回路であって、

前記プルダウン駆動回路は、

前記入力信号が活性化してから一定時間だけ遅れて前記第2ノードを非活性レベルにする

ことを特徴とするシフトレジスタ回路。

【請求項4】

請求項1から請求項3のいずれか一項に記載のシフトレジスタ回路であって、

前記プルアップ駆動回路は、

所定のリセット端子に入力されるリセット信号に応じて、前記第1ノードを放電する第5トランジスタをさらに備える

ことを特徴とするシフトレジスタ回路。

20

【請求項5】

請求項1から請求項4のいずれか一項に記載のシフトレジスタ回路であって、

前記プルアップ駆動回路は、

前記第1ノードの信号を反転した信号で制御され、前記第1ノードを放電する第6トランジスタをさらに備える

ことを特徴とするシフトレジスタ回路。

30

【請求項6】

入力端子、出力端子およびクロック端子と、

前記クロック端子に入力されるクロック信号を前記出力端子に供給する第1トランジスタと、

前記出力端子を放電する第2トランジスタと、

前記第1トランジスタの制御電極が接続する第1ノードの充放電を行うことで当該第1トランジスタを駆動するプルアップ駆動回路と、

前記第2トランジスタの制御電極が接続する第2ノードの充放電を行うことで当該第2トランジスタを駆動するプルダウン駆動回路と

を備えるシフトレジスタ回路であって、

前記プルアップ駆動回路が、

前記入力端子に入力される入力信号の活性化に応じて前記第1ノードを充電する第3トランジスタと、

前記入力信号の活性化に応じて、前記第3トランジスタの制御電極が接続する第3ノードの電圧が前記入力信号の振幅よりも大きくなるように、当該第3ノードを昇圧する昇圧手段とを備え、

前記昇圧手段は、

前記入力信号の活性化に応じて前記第3ノードを充電する充電回路と、

前記充電回路が前記第3ノードの充電を開始してから一定時間だけ遅れて前記第3ノードを昇圧する昇圧回路とを含み、

前記充電回路は、

40

50

前記第3ノードと前記入力端子との間に接続する第4トランジスタと、
所定の電源端子に接続した制御電極を有し、前記第4トランジスタの制御電極と前記第2ノードとの間に接続する第5トランジスタとを備え、
前記昇圧回路は、
前記第2ノードを入力端とするインバータと、
当該インバータの出力端である第4ノードと前記第3ノードとの間に接続する第1容量素子とを備える
ことを特徴とするシフトレジスタ回路。

【請求項7】

入力端子、出力端子およびクロック端子と、 10
前記クロック端子に入力されるクロック信号を前記出力端子に供給する第1トランジスタと、
前記出力端子を放電する第2トランジスタと、
前記第1トランジスタの制御電極が接続する第1ノードの充放電を行うことで当該第1トランジスタを駆動するプルアップ駆動回路と、
前記第2トランジスタの制御電極が接続する第2ノードの充放電を行うことで当該第2トランジスタを駆動するプルダウン駆動回路と
を備えるシフトレジスタ回路であって、
前記プルアップ駆動回路が、
前記入力端子に入力される入力信号の活性化に応じて前記第1ノードを充電する第3トランジスタと、 20
前記入力信号の活性化に応じて、前記第3トランジスタの制御電極が接続する第3ノードの電圧が前記入力信号の振幅よりも大きくなるように、当該第3ノードを昇圧する昇圧手段とを備え、
前記昇圧手段は、
前記入力信号の活性化に応じて前記第3ノードを充電する充電回路と、
前記充電回路が前記第3ノードの充電を開始してから一定時間だけ遅れて前記第3ノードを昇圧する昇圧回路とを含み、

前記充電回路は、
所定の電源端子に接続した制御電極を有し、前記第3ノードと前記入力端子との間に接続する第4トランジスタであり、 30
前記昇圧回路は、
前記第2ノードを入力端とするインバータと、
当該インバータの出力端である第4ノードと前記第3ノードとの間に接続する第1容量素子とを備え、
前記インバータは、
前記第4ノードを充電する第6トランジスタと、
前記第2ノードに接続した制御電極を有し、前記第4ノードを放電する第7トランジスタとから成り、
前記プルアップ駆動回路は、 40
前記第6トランジスタの制御電極が接続する第5ノードと前記入力端子との間に接続し、
前記電源端子に接続した制御電極を有する第8トランジスタと、
前記第4ノードと前記第5ノードとの間に接続する第2容量素子とをさらに備える
ことを特徴とするシフトレジスタ回路。

【請求項8】

請求項6記載のシフトレジスタ回路であって、
前記インバータは、
前記第3ノードに接続した制御電極を有し、前記第4ノードを充電する第6トランジスタと、
前記第2ノードに接続した制御電極を有し、前記第4ノードを放電する第7トランジス 50

タとから成る

ことを特徴とするシフトレジスタ回路。

【請求項 9】

請求項 6 記載のシフトレジスタ回路であって、

前記インバータは、

前記第4ノードを充電する第6トランジスタと、

前記第2ノードに接続した制御電極を有し、前記第4ノードを放電する第7トランジス
タとから成り、

前記プルアップ駆動回路は、

前記第6トランジスタの制御電極が接続する第5ノードと前記入力端子との間に接続し
、前記第4トランジスタの制御電極に接続した制御電極を有する第8トランジスタと、

前記第4ノードと前記第5ノードとの間に接続する第2容量素子とをさらに備える

ことを特徴とするシフトレジスタ回路。

【請求項 10】

請求項 6 または請求項 8 記載のシフトレジスタ回路であって、

前記プルアップ駆動回路は、

制御電極が前記第1ノードに接続し、一方の電流電極が前記第3ノードに接続し、他方
の電流電極に前記入力信号または前記入力信号と同相のクロック信号が供給される第9ト
ランジスタをさらに備える

ことを特徴とするシフトレジスタ回路。

10

【請求項 11】

請求項 9 記載のシフトレジスタ回路であって、

前記プルアップ駆動回路は、

制御電極が前記第1ノードに接続し、一方の電流電極が前記第3ノードに接続し、他方
の電流電極に前記入力信号または前記入力信号と同相のクロック信号が供給される第9ト
ランジスタと、

制御電極が前記第1ノードに接続し、一方の電流電極が前記第5ノードに接続し、他方
の電流電極に前記入力信号または前記入力信号と同相のクロック信号が供給される第10
トランジスタとをさらに備える

ことを特徴とするシフトレジスタ回路。

20

【請求項 12】

請求項 7 記載のシフトレジスタ回路であって、

前記第4トランジスタの制御電極が接続する前記電源端子には、前記クロック信号の振
幅に等しい電圧が供給され、

前記第3トランジスタのドレインには、前記クロック信号の振幅よりも大きな電圧が供
給されている

ことを特徴とするシフトレジスタ回路。

【請求項 13】

請求項 6、請求項 8 から請求項 11 のいずれか一項に記載のシフトレジスタ回路であっ
て、

40

前記第5トランジスタの制御電極が接続する前記電源端子には、前記クロック信号の振
幅に等しい電圧が供給され、

前記第3トランジスタのドレインには、前記クロック信号の振幅よりも大きな電圧が供
給されている

ことを特徴とするシフトレジスタ回路。

【請求項 14】

請求項 12 または請求項 13 記載のシフトレジスタ回路であって、

前記インバータには、電源として前記クロック信号の振幅よりも大きな電圧が供給され
ている

ことを特徴とするシフトレジスタ回路。

50

【請求項 15】

請求項 12 から請求項 14 のいずれか一項に記載のシフトレジスタ回路であって、前記クロック信号の振幅よりも大きな電圧を生成する電圧発生回路をさらに備え、前記電圧発生回路は、
生成した電圧を出力するための電圧出力端子と、
所定の電源端子と前記電圧出力端子との間に直列接続した第 1 および第 2 の整流素子と
、
前記第 1 および第 2 の整流素子の間の接続ノードと所定のクロック信号が入力されるクロック入力端子との間に接続した容量素子とを含んでいる
ことを特徴とするシフトレジスタ回路。

10

【請求項 16】

請求項 6 から請求項 15 のいずれか一項に記載のシフトレジスタ回路であって、前記プルアップ駆動回路は、
前記第 2 ノードに接続した制御電極を有し、前記第 1 ノードを放電する第 11 トランジスタをさらに備える
ことを特徴とするシフトレジスタ回路。

【請求項 17】

請求項 6 から請求項 16 のいずれか一項に記載のシフトレジスタ回路であって、前記プルアップ駆動回路は、
所定のリセット端子に入力されるリセット信号に応じて、前記第 1 ノードを放電する第 12 トランジスタをさらに備える
ことを特徴とするシフトレジスタ回路。

20

【請求項 18】

請求項 6 から請求項 17 のいずれか一項に記載のシフトレジスタ回路であって、
プルダウン駆動回路は、
前記第 1 ノードのレベルの活性化に応じて前記第 2 ノードを放電し、
前記第 1 ノードのレベルの非活性化に応じて前記第 2 ノードを充電する
ことを特徴とするシフトレジスタ回路。

【請求項 19】

請求項 1 から請求項 17 のいずれか一項に記載のシフトレジスタ回路であって、
前記プルダウン駆動回路は、
前記入力信号の活性化に応じて前記第 2 ノードを放電し、
所定のリセット端子に入力されるリセット信号に応じて前記第 2 ノードを充電する
ことを特徴とするシフトレジスタ回路。

30

【請求項 20】

請求項 1 から請求項 17 のいずれか一項に記載のシフトレジスタ回路であって、
前記プルダウン駆動回路は、
前記入力信号の活性化および前記出力端子から出力される出力信号の活性化に応じて前記第 2 ノードを放電し、
前記出力信号の非活性化に応じて前記第 2 ノードを充電する
ことを特徴とするシフトレジスタ回路。

40

【請求項 21】

複数のシフトレジスタ回路が継続接続して成る多段のシフトレジスタ回路であって、
前記多段の各段は、
請求項 1 から請求項 20 のいずれか一項に記載のシフトレジスタ回路であって、
前段および後段の出力信号を受け、そのどちらを前記入力端子に供給するかを切り換える
可能な切換回路をさらに備える
ことを特徴とするシフトレジスタ回路。

【請求項 22】

第 1 および第 2 入力端子、出力端子およびクロック端子と、

50

前記クロック端子に入力されるクロック信号を前記出力端子に供給する第1トランジスタと、

前記出力端子を放電する第2トランジスタと、

前記第1トランジスタの制御電極が接続する第1ノードの充放電を行うことで当該第1トランジスタを駆動するブルアップ駆動回路と、

前記第2トランジスタの制御電極が接続する第2ノードの充放電を行うことで当該第2トランジスタを駆動するブルダウン駆動回路と

を備え、信号のシフト方向を切り替え可能なシフトレジスタ回路であって、

前記ブルアップ駆動回路が、

前記第1入力端子に入力される第1入力信号の活性化に応じて前記第1ノードを充電する第3トランジスタと、 10

前記第1入力信号の活性化に応じて、前記第3トランジスタの制御電極が接続する第3ノードの電圧が前記第1入力信号の振幅よりも大きくなるように、当該第3ノードを昇圧する第1昇圧手段と、

前記第2入力端子に入力される第2入力信号の活性化に応じて前記第1ノードを充電する第4トランジスタと、

前記第2入力信号の活性化に応じて、前記第4トランジスタの制御電極が接続する第4ノードの電圧が前記第2入力信号の振幅よりも大きくなるように、当該第4ノードを昇圧する第2昇圧手段とを備え、

シフト方向が第1方向のとき、前記第4トランジスタはオフに維持され、 20

シフト方向が第2方向のとき、前記第3トランジスタはオフに維持され、

前記第3トランジスタは、前記第1入力端子と前記第1ノードとの間に接続しており、

前記第4トランジスタは、前記第2入力端子と前記第1ノードとの間に接続しており、

前記第1昇圧手段は、

シフト方向が前記第1方向のとき、前記第1入力信号の活性化に先んじて前記第3ノードを充電し、前記第1入力信号の非活性化に先んじて前記第3ノードを放電する第1充放電回路を含み、

前記第3ノードの昇圧は、

前記第1入力端子および前記第1ノードと前記第3ノードとの間の結合容量によって行われる 30

前記第2昇圧手段は、

シフト方向が前記第2方向のとき、前記第2入力信号の活性化に先んじて前記第4ノードを充電し、前記第2入力信号の非活性化に先んじて前記第4ノードを放電する第2充放電回路を含み、

前記第4ノードの昇圧は、

前記第2入力端子および前記第1ノードと前記第4ノードとの間の結合容量によって行われる

ことを特徴とするシフトレジスタ回路。

【請求項23】

請求項22記載のシフトレジスタ回路であって、 40

前記第1入力端子および前記第1ノードと前記第3ノードとの間の結合容量は、前記第3トランジスタの寄生容量であり、

前記第2入力端子および前記第1ノードと前記第4ノードとの間の結合容量は、前記第4トランジスタの寄生容量である

ことを特徴とするシフトレジスタ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、走査線駆動回路に関するものであり、特に、例えば画像表示装置やイメージセンサなどなどの電気光学装置に使用される、同一導電型の電界効果トランジスタのみを

用いて構成される走査線駆動回路に関するものである。

【背景技術】

【0002】

液晶表示装置等の画像表示装置（以下「表示装置」）では、複数の画素が行列状に配列された表示パネルの画素行（画素ライン）ごとにゲート線（走査線）が設けられ、表示信号の1水平期間の周期でそのゲート線を順次選択して駆動することにより表示画像の更新が行われる。そのように画素ラインすなわちゲート線を順次選択して駆動するためのゲート線駆動回路（走査線駆動回路）としては、表示信号の1フレーム期間で一巡するシフト動作を行うシフトレジスタを用いることができる。

【0003】

10

ゲート線駆動回路に使用されるシフトレジスタは、表示装置の製造プロセスにおける工程数を少なくするために、同一導電型の電界効果トランジスタのみで構成されることが望ましい。このため、N型またはP型の電界効果トランジスタのみで構成されたシフトレジスタおよびそれを搭載する表示装置が種々提案されている（例えば特許文献1）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2004-78172号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0005】

ゲート線駆動回路としてのシフトレジスタは、1つの画素ラインすなわち1つのゲート線ごとに設けられた複数のシフトレジスタ回路が縦続接続（カスケード接続）して構成される。本明細書では説明の便宜上、ゲート線駆動回路を構成する複数のシフトレジスタ回路の各々を「単位シフトレジスタ」と称する。即ち、ゲート線駆動回路を構成する個々の単位シフトレジスタの出力端子は、その次段あるいは後段の単位シフトレジスタの入力端子に接続される。

【0006】

特許文献1の図7に従来の単位シフトレジスタの構成が示されている。同図に示されているように、従来の単位シフトレジスタは、出力端子（GOUT[N]）とクロック端子（CKV）との間に接続する第1トランジスタ（M1）と、出力端子と第1電源端子（VOFF）との間に接続する第2トランジスタ（M2）とを備えている。単位シフトレジスタの出力信号は、第1トランジスタがオン、第2トランジスタがオフとなった状態で、クロック端子に入力されるクロック信号が出力端子に伝達されることによって出力される。

30

【0007】

特に、ゲート線駆動回路はその出力信号を用いてゲート線を高速に充電して活性化させる必要があるため、それを構成する個々の単位シフトレジスタにおいて、第1トランジスタに高い駆動能力（電流を流す能力）が要求される。そのため、第1トランジスタがオンになる間は、そのゲート・ソース間電圧が高い状態で維持されることが望ましい。

【0008】

40

第1トランジスタのゲートが接続する第1ノード（N1）には、当該第1ノードを充電するための第3トランジスタ（M3）が接続する。従来の単位シフトレジスタでは、第3トランジスタは第1ノードと第2電源端子（VON）との間に接続し、そのゲートは当該単位シフトレジスタの入力端子（すなわち前段の単位シフトレジスタの出力端子（GOUT[N-1]））に接続していた。つまり第3トランジスタは前段の単位シフトレジスタの出力信号が活性化されたときにオンし、第2電源端子に接続した電源から第1ノードへ電荷を供給して第1ノードを充電（プリチャージ）する。それによって第1トランジスタがオンになり、その後にクロック信号がハイ（H）レベルになるとそれが出力端子に伝達され、出力信号が出力される。

【0009】

50

特許文献1のシフトレジスタ回路においては、出力端子すなわち第1トランジスタのソースと第1ノードとの間に容量素子(C)が設けられている。そのため、第1ノードのプリチャージにより第1トランジスタがオンし、その後クロック信号に応じて出力端子がHレベルになったときには、その容量素子を介した結合によって第1ノードが昇圧され、第1トランジスタのゲート・ソース間電圧は高く維持される。その結果、第1トランジスタは高い駆動能力を有することになる。

【0010】

但し、第1ノードが昇圧されている間における第1トランジスタのゲート・ソース間電圧は、昇圧前の状態から増大するわけではなく、ほぼ同じに保たれるに過ぎない。つまり、単位シフトレジスタにおける第1トランジスタの駆動能力は、第3トランジスタによるプリチャージの際に与えられるゲート・ソース間電圧により決定される。つまり、第1トランジスタの駆動能力を高くするためには、プリチャージの段階で第1ノードを充分高いレベルに充電することが必要である。10

【0011】

第2電源端子の電位およびクロック信号のHレベルをVDD、第3トランジスタのしきい値電圧をVthとすると、理論上、第1ノードの電位はプリチャージによってVDD-Vthまで上昇する。しかし、クロック信号の周波数が高くなり、入力信号(前段の単位シフトレジスタの出力信号)のパルス幅が狭くなると、第1ノードを最大のプリチャージレベル(VDD-Vth)にまで到達させることができ難くなる。第1ノードのプリチャージ時には第3トランジスタ(M3)はソースフォロアモードで動作することがその原因として挙げられる。つまり、第1ノードのレベルが上昇すると第3トランジスタのゲート・ソース間電圧が小さくなるので、第1ノードの充電が進むに従い第3トランジスタの駆動能力が小さくなつて、そのレベル上昇の速度が大きく低下するためである。20

【0012】

即ち、従来の単位シフトレジスタではソースフォロアモードで動作する第3トランジスタによって第1トランジスタのゲート(第1ノード)がプリチャージされているため、第1ノードを最大のプリチャージレベルにまで充電するのに比較的長い時間を要していた。そのためクロック信号の周波数が高くなると、第1ノードを充分にプリチャージすることができなくなり、第1トランジスタの駆動能力の低下を招いていた。特に、ゲート線駆動回路では、単位シフトレジスタの出力信号を用いてゲート線を高速に充電して活性化させる必要があり、第1トランジスタに高い駆動能力が必要とされるため問題となる。つまり、クロック信号の周波数を上げてゲート線駆動回路の動作の高速化を図ることが困難であるために、表示装置の高解像度化の妨げとなるという問題が生じる。30

【0013】

本発明は以上のような課題を解決するためになされたものであり、クロック信号の周波数が高くなった場合における駆動能力の低下を抑制可能なシフトレジスタ回路を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明に係るシフトレジスタ回路は、入力端子、出力端子およびクロック端子と、前記クロック端子に入力されるクロック信号を前記出力端子に供給する第1トランジスタと、前記出力端子を放電する第2トランジスタと、前記第1トランジスタの制御電極が接続する第1ノードの充放電を行うことで当該第1トランジスタを駆動するプルアップ駆動回路と、前記第2トランジスタの制御電極が接続する第2ノードの充放電を行うことで当該第2トランジスタを駆動するプルダウン駆動回路とを備えるシフトレジスタ回路であつて、前記プルアップ駆動回路が、前記入力端子に入力される入力信号の活性化に応じて前記第1ノードを充電する第3トランジスタと、前記入力信号の活性化に応じて、前記第3トランジスタの制御電極が接続する第3ノードを当該第3トランジスタが非飽和領域で動作するレベルまで昇圧する昇圧手段とを備え、前記第3トランジスタは、前記入力端子と前記第1ノードとの間に接続しており、前記昇圧手段は、前記入力信号の活性化に先んじて前40

記第3ノードを充電し、前記入力信号の非活性化に先んじて前記第3ノードを放電する充放電回路を含み、前記第3ノードの昇圧は、前記第3トランジスタの寄生容量により行われるものである。

【発明の効果】

【0015】

本発明に係るシフトレジスタ回路によれば、本発明に係るシフトレジスタ回路によれば、第3トランジスタが非飽和領域で動作して第1ノードの充電（プリチャージ）を行う。よって、クロック信号の周波数が高くなり入力端子に入力される信号のパルス幅が狭くなつた場合であっても第1ノードを充分にプリチャージすることができる。即ち、第1トランジスタの駆動能力の低下を防止することができる。また、第3トランジスタが非飽和領域で動作するためそのしきい値電圧分の損失が生じず、従来よりも第1ノードを高いレベルにプリチャージすることができるので、従来よりも第1トランジスタの駆動能力は高くなる。10

【図面の簡単な説明】

【0016】

【図1】液晶表示装置の構成を示す概略ブロック図である。

【図2】実施の形態1に係るゲート線駆動回路の構成を示す図である。

【図3】実施の形態1に係る単位シフトレジスタの回路図である。

【図4】実施の形態1に係る単位シフトレジスタの動作を説明するためのタイミング図である。20

【図5】実施の形態1の第2の変更例に係る単位シフトレジスタの回路図である。

【図6】実施の形態1の第3の変更例に係る単位シフトレジスタの回路図である。

【図7】実施の形態1の第4の変更例に係る単位シフトレジスタの回路図である。

【図8】実施の形態1の第5の変更例に係る単位シフトレジスタの回路図である。

【図9】実施の形態1の第5の変更例に係る単位シフトレジスタの回路図である。

【図10】実施の形態1の第5の変更例に係る単位シフトレジスタの回路図である。

【図11】実施の形態1の第6の変更例に係る単位シフトレジスタの回路図である。

【図12】実施の形態2に係る単位シフトレジスタの回路図である。

【図13】実施の形態2に係る単位シフトレジスタの動作を説明するためのタイミング図である。30

【図14】実施の形態3に係る単位シフトレジスタの回路図である。

【図15】実施の形態3に係る電圧発生回路の回路図である。

【図16】実施の形態3の第1の変更例に係る電圧発生回路の構成を示す回路図である。

【図17】実施の形態3の第2の変更例に係る単位シフトレジスタの回路図である。

【図18】実施の形態3の第3の変更例に係る単位シフトレジスタの回路図である。

【図19】実施の形態4に係る単位シフトレジスタの回路図である。

【図20】実施の形態4の第1の変更例に係る単位シフトレジスタの回路図である。

【図21】実施の形態4の第2の変更例に係る単位シフトレジスタの回路図である。

【図22】実施の形態5に係る単位シフトレジスタの回路図である。40

【図23】実施の形態5の変更例に係る単位シフトレジスタの回路図である。

【図24】実施の形態6に係る単位シフトレジスタの回路図である。

【図25】実施の形態6に係る単位シフトレジスタの動作を説明するためのタイミング図である。

【図26】実施の形態6の第3の変更例に係る単位シフトレジスタの回路図である。

【図27】実施の形態6の第4の変更例に係る単位シフトレジスタの回路図である。

【図28】実施の形態6の第5の変更例に係る単位シフトレジスタの回路図である。

【図29】実施の形態6の第6の変更例に係る単位シフトレジスタの回路図である。

【図30】実施の形態6の第7の変更例に係る単位シフトレジスタの回路図である。

【図31】実施の形態6の第8の変更例に係る単位シフトレジスタの回路図である。50

- 【図32】実施の形態6の第9の変更例に係る単位シフトレジスタの回路図である。
- 【図33】実施の形態6の第10の変更例に係る単位シフトレジスタの回路図である。
- 【図34】実施の形態7に係る単位シフトレジスタの回路図である。
- 【図35】実施の形態7の第1の変更例に係る単位シフトレジスタの回路図である。
- 【図36】実施の形態7の第2の変更例に係る単位シフトレジスタの回路図である。
- 【図37】ゲート線駆動回路の動作を示す信号波形図である。
- 【図38】実施の形態6の第11の変更例に係る単位シフトレジスタの回路図である。
- 【図39】実施の形態8に係る単位シフトレジスタの回路図である。
- 【図40】実施の形態8の変更例に係る単位シフトレジスタの回路図である。

【発明を実施するための形態】

10

【0017】

以下、本発明の実施の形態を図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

【0018】

また、各実施の形態に用いられるトランジスタは、絶縁ゲート型電界効果トランジスタである。絶縁ゲート型電界効果トランジスタは、ゲート絶縁膜中の電界により半導体層内のドレイン領域とソース領域との間の電気伝導度が制御される。ドレイン領域およびソース領域が形成される半導体層の材料としては、ポリシリコン、アモルファスシリコン、ペンタセン等の有機半導体、単結晶シリコンあるいはIGZO (In-Ga-Zn-O) 等の酸化物半導体などを用いることができる。

20

【0019】

よく知られているように、トランジスタは、それぞれ制御電極（狭義にはゲート（電極））と、一方の電流電極（狭義にはドレイン（電極）またはソース（電極））と、他方の電流電極（狭義にはソース（電極）またはドレイン（電極））とを含む少なくとも3つの電極を有する素子である。トランジスタはゲートに所定の電圧を印加することによりドレインとソース間にチャネルが形成されるスイッチング素子として機能する。トランジスタのドレインとソースは、基本的に同一の構造であり、印加される電圧条件によって互いにその呼称が入れ代わる。例えば、N型トランジスタであれば、相対的に電位（以下「レベル」とも称する）の高い電極をドレイン、低い電極をソースと呼称する（P型トランジスタの場合にはその逆となる）。

30

【0020】

特に示さない限り、それらのトランジスタは半導体基板上に形成されるものであってもよく、またガラスなどの絶縁性基板上に形成される薄膜トランジスタ（TFT）であってもよい。トランジスタが形成される基板としては、単結晶基板あるいはSOI、ガラス、樹脂などの絶縁性基板であってもよい。

【0021】

本発明のゲート線駆動回路は、单一導電型のトランジスタのみを用いて構成される。例えばN型トランジスタは、ゲート・ソース間電圧が当該トランジスタのしきい値電圧よりも高いH（ハイ）レベルになると活性状態（オン状態、導通状態）となり、同しきい値電圧よりも低いL（ロー）レベルで非活性状態（オフ状態、非導通状態）となる。そのためN型トランジスタを用いた回路においては信号のHレベルが「活性レベル」、Lレベルが「非活性レベル」となる。また、N型トランジスタを用いて構成した回路の各ノードは、充電されてHレベルになることで、非活性レベルから活性レベルへの変化が生じ、放電されてLレベルになることで、活性レベルから非活性レベルへの変化が生じる。

40

【0022】

逆にP型トランジスタは、ゲート・ソース間電圧がトランジスタのしきい値電圧（ソースを基準として負の値）よりも低いLレベルになると活性状態（オン状態、導通状態）となり、同しきい値電圧よりも高いHレベルで非活性状態（オフ状態、非導通状態）となる。そのためP型トランジスタを用いた回路においては信号のLレベルが「活性レベル」、

50

H レベルが「非活性レベル」となる。また、P 型トランジスタを用いて構成した回路の各ノードは、充電・放電の関係がN型トランジスタの場合と逆になり、充電されてL レベルになることで、非活性レベルから活性レベルへの変化が生じ、放電されてH レベルになることで、活性レベルから非活性レベルへの変化が生じる。

【 0 0 2 3 】

また本明細書においては、二つの素子間、二つのノード間あるいは一の素子と一のノードとの間の「接続」とはその他の要素（素子やスイッチなど）を介しての接続であるが実質的に直接接続されているのと等価な状態を含むものとして説明する。例えば二つの素子がスイッチを介して接続している場合であっても、それらが直接接続されているときと同一に機能できるような場合には、その二つの素子が「接続している」と表現する。

10

【 0 0 2 4 】

本発明においては、互いに位相の異なるクロック信号（多相クロック信号）が用いられる。以下では説明の簡単のため、一のクロック信号の活性期間とその次に活性化するクロック信号の活性期間との間に一定の間隔を設けている（図37の t）。しかし本発明では各クロック信号の活性期間が実質的に重ならなければよく、上記の間隔は無くてもよい。例えば活性レベルをH レベルとすると、一のクロック信号の立ち下がりタイミングとその次に活性化するクロック信号の立ち上がりタイミングとが同時であってもよい。

【 0 0 2 5 】

< 実施の形態 1 >

図1は、本発明の実施の形態1に係る表示装置の構成を示す概略ブロック図であり、表示装置の代表例として液晶表示装置100の全体構成を示している。なお、本発明のゲート線駆動回路は、液晶表示装置への適用に限定されるものではなく、エレクトロルミネッセンス（EL）、有機EL、プラズマディスプレイ、電子ペーパー、イメージセンサなどの電気光学装置に広く適用することが可能である。

20

【 0 0 2 6 】

液晶表示装置100は、液晶アレイ部10と、ゲート線駆動回路（走査線駆動回路）30と、ソースドライバ40とを備える。後の説明により明らかになるが、本発明の実施の形態に係るシフトレジスタは、ゲート線駆動回路30に搭載される。

【 0 0 2 7 】

液晶アレイ部10は、行列状に配設された複数の画素15を含む。画素の行（以下「画素ライン」とも称する）の各々にはそれぞれゲート線GL₁, GL₂...（総称「ゲート線GL」）が配設され、また、画素の列（以下「画素列」とも称する）の各々にはそれぞれデータ線DL₁, DL₂...（総称「データ線DL」）がそれぞれ設けられる。図1には、第1行の第1列および第2列の画素15、並びにこれに対応するゲート線GL₁およびデータ線DL₁, DL₂が代表的に示されている。

30

【 0 0 2 8 】

各画素15は、対応するデータ線DLと画素ノードNpとの間に設けられる画素スイッチ素子16と、画素ノードNpおよび共通電極ノードNCの間に並列に接続されるキャパシタ17および液晶表示素子18とを有している。画素ノードNpと共に電極ノードNCとの間の電圧差に応じて、液晶表示素子18中の液晶の配向性が変化し、これに応答して液晶表示素子18の表示輝度が変化する。これにより、データ線DLおよび画素スイッチ素子16を介して画素ノードNpへ伝達される表示電圧によって、各画素の輝度をコントロールすることが可能となる。即ち、最大輝度に対応する電圧差と最小輝度に対応する電圧差との間の中間的な電圧差を、画素ノードNpと共に電極ノードNCとの間に印加することによって、中間的な輝度を得ることができる。従って、上記表示電圧を段階的に設定することにより、階調的な輝度を得ることが可能となる。

40

【 0 0 2 9 】

ゲート線駆動回路30は、所定の走査周期に基づき、ゲート線GLを順に選択して活性化させる。画素スイッチ素子16のゲート電極は、それぞれ対応するゲート線GLと接続される。特定のゲート線GLが選択されている間は、それに接続する各画素において、画

50

素スイッチ素子 16 が導通状態になり画素ノード N p が対応するデータ線 D L と接続される。そして、画素ノード N p へ伝達された表示電圧がキャパシタ 17 によって保持される。一般的に、画素スイッチ素子 16 は、液晶表示素子 18 と同一の絶縁体基板（ガラス基板、樹脂基板等）上に形成される TFT で構成される。

【0030】

ソースドライバ 40 は、N ビットのデジタル信号である表示信号 S I G によって段階的に設定される表示電圧を、データ線 D L へ出力するためのものである。ここでは一例として、表示信号 S I G は 6 ビットの信号であり、表示信号ビット D B 0 ~ D B 5 から構成されるものとする。6 ビットの表示信号 S I G に基づくと、各画素において、 $2^6 = 64$ 段階の階調表示が可能となる。さらに、R (Red)、G (Green) および B (Blue) の 3 つの画素により 1 つのカラー表示単位を形成すれば、約 26 万色のカラー表示が可能となる。10

【0031】

また、図 1 に示すように、ソースドライバ 40 は、シフトレジスタ 50 と、データラッチ回路 52, 54 と、階調電圧生成回路 60 と、デコード回路 70 と、アナログアンプ 80 とから構成されている。

【0032】

表示信号 S I G においては、各々の画素 15 の表示輝度に対応する表示信号ビット D B 0 ~ D B 5 がシリアルに生成される。すなわち、各タイミングにおける表示信号ビット D B 0 ~ D B 5 は、液晶アレイ部 10 中のいずれか 1 つの画素 15 における表示輝度を示している。20

【0033】

シフトレジスタ 50 は、表示信号 S I G の設定が切り換わる周期に同期したタイミングで、データラッチ回路 52 に対して、表示信号ビット D B 0 ~ D B 5 の取り込みを指示する。データラッチ回路 52 は、シリアルに生成される表示信号 S I G を順に取り込み、1 つの画素ライン分の表示信号 S I G を保持する。

【0034】

データラッチ回路 54 に入力されるラッチ信号 L T は、データラッチ回路 52 に 1 つの画素ライン分の表示信号 S I G が取り込まれるタイミングで活性化する。データラッチ回路 54 はそれに応答して、そのときデータラッチ回路 52 に保持されている 1 つの画素ライン分の表示信号 S I G を取り込む。30

【0035】

階調電圧生成回路 60 は、高電圧 V D H および低電圧 V D L の間に直列に接続された 6 3 個の分圧抵抗で構成され、64 段階の階調電圧 V 1 ~ V 64 をそれぞれ生成する。

【0036】

デコード回路 70 は、データラッチ回路 54 に保持されている表示信号 S I G をデコードし、当該デコード結果に基づいて各デコード出力ノード N d₁, N d₂...（総称「デコード出力ノード N d」）に出力する電圧を、階調電圧 V 1 ~ V 64 のうちから選択して出力する。

【0037】

その結果、デコード出力ノード N d には、データラッチ回路 54 に保持された 1 つの画素ライン分の表示信号 S I G に対応した表示電圧（階調電圧 V 1 ~ V 64 のうちの 1 つ）が同時に（パラレルに）出力される。なお、図 1 においては、第 1 列目および第 2 列目のデータ線 D L₁, D L₂ に対応するデコード出力ノード N d₁, N d₂ が代表的に示されている。40

【0038】

アナログアンプ 80 は、デコード回路 70 からデコード出力ノード N d₁, N d₂... に出力された各表示電圧に対応したアナログ電圧を電流增幅して、それぞれデータ線 D L₁, D L₂... に出力する。

【0039】

ソースドライバ 40 が、所定の走査周期に基づいて、一連の表示信号 S I G に対応する50

表示電圧を1画素ライン分ずつデータ線D Lへ繰り返し出力し、ゲート線駆動回路3 0がその走査周期に同期してゲート線G L₁, G L₂…を順に駆動することにより、液晶アレイ部1 0に表示信号S I Gに基づいた画像の表示が成される。

【0040】

なお、図1には、ゲート線駆動回路3 0およびソースドライバ4 0が液晶アレイ部1 0と一体的に形成された液晶表示装置1 0 0の構成を例示したが、ゲート線駆動回路3 0と液晶アレイ部1 0とを一体的に形成し、ソースドライバ4 0については液晶アレイ部1 0の外部回路として設ける、あるいはゲート線駆動回路3 0およびソースドライバ4 0については、液晶アレイ部1 0の外部回路として設けることも可能である。

【0041】

図2は、ゲート線駆動回路3 0の構成を示す図である。このゲート線駆動回路3 0は、縦続接続(カスケード接続)した複数の単位シフトレジスタS R₁, S R₂, S R₃, S R₄…で構成されるシフトレジスタから成っている(説明の便宜上、縦続接続するシフトレジスタ回路S R₁, S R₂…を「単位シフトレジスタS R」と総称する)。各単位シフトレジスタS Rは、1つの画素ラインすなわち1つのゲート線G Lごとに設けられる。

【0042】

本実施の形態のゲート線駆動回路3 0では、最後段の単位シフトレジスタS R_nのさらに次段に、ゲート線に接続されないダミーの単位シフトレジスタS R D(以下「ダミー段」)が設けられている。基本的にダミー段S R Dも他の単位シフトレジスタS Rと同様の構成を有している。

【0043】

また図2に示すクロック信号発生器3 1は、互いに位相の異なる(活性期間が重ならない)クロック信号C L K, / C L Kからなる2相クロックをゲート線駆動回路3 0の単位シフトレジスタS Rに入力するものである。このクロック信号C L K, / C L Kは互いに逆相であり、表示装置の走査周期に同期したタイミングで、交互に活性化するよう制御されている。

【0044】

各単位シフトレジスタS Rは、入力端子I N、出力端子O U T、クロック端子C Kおよびリセット端子R S Tを有している。図2のように、各単位シフトレジスタS Rのクロック端子C Kには、クロック信号C L K, / C L Kのいずれかが供給される。具体的には、クロック信号C L Kは奇数段の単位シフトレジスタS R₁, S R₃, S R₅…に供給され、クロック信号/ C L Kは偶数段の単位シフトレジスタS R₂, S R₄, S R₆…に供給される。

【0045】

図2の例では最後段である第n段目(第nステージ)の単位シフトレジスタS R_nは偶数段であり、当該単位シフトレジスタS R_nには、クロック信号/ C L Kが供給されている。よって、ダミー段S R Dは奇数段となり、そのクロック端子C Kにはクロック信号C L Kが供給される。

【0046】

第1段目(第1ステージ)である単位シフトレジスタS R₁の入力端子I Nには、ゲート線駆動回路3 0に信号のシフト動作を開始させるためのスタートパルスS Pが入力される。スタートパルスS Pは、スタート信号発生器3 2で生成される。本実施の形態において、スタートパルスS Pは画像信号の各フレーム期間の先頭に対応するタイミングで活性化される(Hレベルになる)信号である。また第2段目以降の各単位シフトレジスタS Rでは、入力端子I Nはその前段の単位シフトレジスタS Rの出力端子O U Tに接続される。

【0047】

各単位シフトレジスタS Rのリセット端子R S Tは、その次段の単位シフトレジスタS Rの出力端子O U Tに接続される。最後段の単位シフトレジスタS R_nのリセット端子R S Tは、ダミー段S R Dの出力端子O U Tに接続される。なお、ダミー段S R Dのリセッ

10

20

30

40

50

ト端子 R S T には、そのクロック端子 C K に入力されるクロック信号 C L K とは位相の異なるクロック信号 / C L K が入力される。

【 0 0 4 8 】

このように各単位シフトレジスタ S R の出力端子 O U T から出力される出力信号 G は、水平（又は垂直）走査パルスとして、それぞれ対応するゲート線 G L へと供給されると共に、自己の次段の入力端子 I N および自己の前段のリセット端子 R S T へと供給される。

【 0 0 4 9 】

ゲート線駆動回路 3 0 の単位シフトレジスタ S R の各々は、クロック信号 C L K , / C L K に同期して、入力端子 I N に入力される信号（スタートパルス S P あるいは自身の前段の出力信号）を時間的にシフトさせながら、対応するゲート線 G L 並びに自身の後段の単位シフトレジスタ S R へと伝達する。その結果図 3 7 に示すように、各単位シフトレジスタ S R の出力信号は、G₁, G₂, G₃...と順番に活性化される（単位シフトレジスタ S R の動作の詳細は後述する）。従って、一連の単位シフトレジスタ S R は、所定の走査周期に基づいたタイミングでゲート線 G L を順に活性化させる、いわゆるゲート線駆動ユニットとして機能する。

10

【 0 0 5 0 】

図 3 は、本発明の実施の形態 1 に係る単位シフトレジスタ S R の構成を示す回路図である。なおゲート線駆動回路 3 0 においては、縦続接続された各単位シフトレジスタ S R の構成は実質的にどれも同じであるので、ここでは代表的に、第 k 段目の単位シフトレジスタ S R_kについて説明する。本実施の形態の単位シフトレジスタ S R_kを構成するトランジスタは、全て同一導電型の電界効果トランジスタであるが、以下に示す実施の形態および変更例においては全て N 型 T F T であるものとする。

20

【 0 0 5 1 】

図 3 の如く、単位シフトレジスタ S R_kは、図 2 にも示した入力端子 I N 、出力端子 O U T 、クロック端子 C K およびリセット端子 R S T の他に、低電位側電源電位（ロー側電源電位）V S S が供給される第 1 電源端子 S 1 、高電位側電源電位（ハイ側電源電位）V D D 1 , V D D 2 がそれぞれ供給される第 2 電源端子 S 2 および第 3 電源端子 S 3 を有している。ハイ側電源電位 V D D 1 , V D D 2 は、互いに同レベルであってもよい。以下の説明ではロー側電源電位 V S S を回路の基準電位として説明するが、実使用では、画素に書き込まれるデータの電圧を基準にして基準電位が設定され、例えばハイ側電源電位 V D D 1 , V D D 2 は 17 V 、ロー側電源電位 V S S は -12 V などと設定される。

30

【 0 0 5 2 】

単位シフトレジスタ S R_kは、出力回路 2 0 、プルアップ駆動回路 2 1 、プルダウン駆動回路 2 2 から構成されている。出力回路 2 0 は、出力信号 G_kの活性化および非活性化を行うものであり、ゲート線 G L_kの選択期間に出力信号 G_kを活性状態（H レベル）にするトランジスタ Q 1（出力プルアップトランジスタ）と、ゲート線 G L_kの非選択期間に出力信号 G_kを非活性状態（L レベル）に維持するためのトランジスタ Q 2（出力プルダウントランジスタ）とを含んでいる。

【 0 0 5 3 】

トランジスタ Q 1 は、出力端子 O U T とクロック端子 C K との間に接続しており、クロック端子 C K に入力されるクロック信号を出力端子 O U T に供給することによって出力信号 G_kを活性化させる。またトランジスタ Q 2 は、出力端子 O U T と第 1 電源端子 S 1 との間に接続しており、出力端子 O U T を放電して電位 V S S にすることで、出力信号 G_kを非活性レベルに維持する。ここで、トランジスタ Q 1 のゲート（制御電極）が接続するノードを「ノード N 1」と定義する。

40

【 0 0 5 4 】

トランジスタ Q 1 のゲート・ソース間（即ち出力端子 O U T とノード N 1 との間）には容量素子 C 1 が設けられている。この容量素子 C 1 は、出力端子 O U T とノード N 1 との間を容量結合し、出力端子 O U T のレベル上昇に伴うノード N 1 の昇圧効果を高めるためのものである。但し、容量素子 C 1 は、トランジスタ Q 1 のゲート・チャネル間容量が充

50

分大きい場合にはそれで置き換えることができるので、そのような場合には省略してもよい。

【0055】

通常、1つの半導体集積回路内においては、容量素子の誘電体層となる絶縁膜の厚さは、トランジスタのゲート絶縁膜の厚さと同じになるので、容量素子をトランジスタのゲート容量に置き換える場合には、その容量素子と同一面積のトランジスタで代替することができる。よって図3の容量素子C1をトランジスタQ1のゲート・チャネル間容量で置き換える場合、トランジスタQ1のゲート幅を相当分だけ広くすればよい。

【0056】

プルアップ駆動回路21は、トランジスタQ1（出力プルアップトランジスタ）を駆動する回路であり、トランジスタQ1を、ゲート線 G_{L_k} の選択期間はオンにし、非選択期間はオフにするよう動作する。そのためプルアップ駆動回路21は、入力端子INに入力される前段の出力信号 G_{k-1} （またはスタートパルスSP）の活性化に応じてノードN1（トランジスタQ1）を充電し、リセット端子RSTに入力されるリセット信号としての次段の出力信号 G_{k+1} （またはダミー段SRDの出力信号GDM）の活性化に応じてノードN1を放電する。
10

【0057】

プルアップ駆動回路21において、ノードN1と第2電源端子S2との間には、第2電源端子S2の電位VDD1をノードN1に供給することで、ノードN1を充電するトランジスタQ3（第3トランジスタ）が接続する。またノードN1と第1電源端子S1との間には、第1電源端子S1の電位VSSをノードN1に供給することで、ノードN1を放電するトランジスタQ4, Q5が接続する。トランジスタQ4のゲートはリセット端子RSTに接続する。トランジスタQ5のゲートは後述するプルダウン駆動回路22の出力端（「ノードN2」と定義する）に接続される。
20

【0058】

トランジスタQ3のゲートノードを「ノードN3」と定義すると、ノードN3と入力端子INとの間には、ゲートが第2電源端子S2に接続されたトランジスタQ8が接続される。詳細は後述するが、ノードN3がLレベルのときトランジスタQ8はオン状態であるので、ノードN3は、前段の出力信号 G_{k-1} がHレベルになるとトランジスタQ8を通して充電される。つまりトランジスタQ8は、前段の出力信号 G_{k-1} の活性化に応じてノードN3を充電する充電回路として機能する。
30

【0059】

一方、第2電源端子S2と第1電源端子S1との間には、トランジスタQ9, Q10が直列に接続されている。トランジスタQ9, Q10間の接続ノードを「ノードN4」と定義すると、トランジスタQ9は、第2電源端子S2とノードN4との間に接続し、そのゲートはノードN3に接続される。トランジスタQ10は、ノードN4と第1電源端子S1との間に接続し、そのゲートはプルダウン駆動回路22の出力端（ノードN2）に接続される。またトランジスタQ10は、トランジスタQ9よりもオン抵抗が充分小さく（つまり駆動能力が大きく）設定されている。
40

【0060】

これらトランジスタQ9, Q10は、ノードN2を入力端、ノードN4を出力端とするレシオ型インバータを構成している。当該インバータにおいて、トランジスタQ9は負荷素子、トランジスタQ10は駆動素子として機能する。

【0061】

またトランジスタQ9のゲート・ソース間（ノードN3とノードN4との間）には容量素子C2が接続される。この容量素子C2は、ノードN3, N4間を容量結合しており、上記インバータの出力レベルが上昇するときにノードN3を昇圧するよう機能する。

【0062】

一方、プルダウン駆動回路22は、トランジスタQ2（出力プルダウントランジスタ）を駆動する回路であり、その出力端（ノードN2）はトランジスタQ2のゲートに接続さ
50

れる。本実施の形態のプルダウン駆動回路 2 2 は、ノード N 1 のレベル変化に応じてノード N 2 を充放電する。具体的には、ノード N 1 が H レベルになるとノード N 2 を放電し、ノード N 1 が L レベルになるとノード N 2 を充電するように動作する。それによりトランジスタ Q 2 は、ゲート線 G L_k の選択期間にはオフになり、非選択期間にはオンになる。また、先に述べたように、ノード N 2 にはプルアップ駆動回路 2 1 のトランジスタ Q 5 , Q 10 のゲートも接続されている。

【 0 0 6 3 】

プルダウン駆動回路 2 2 は、第 3 電源端子 S 3 と第 1 電源端子 S 1 との間に直列接続したトランジスタ Q 6 , Q 7 から構成されている。トランジスタ Q 6 は、ノード N 2 と第 3 電源端子 S 3 との間に接続し、そのゲートは第 3 電源端子 S 3 に接続されている（即ちトランジスタ Q 6 はダイオード接続されている）。トランジスタ Q 7 はノード N 2 と第 1 電源端子 S 1 との間に接続し、そのゲートはノード N 1 に接続している。10

【 0 0 6 4 】

トランジスタ Q 7 は、トランジスタ Q 6 よりもオン抵抗が充分小さく（つまり駆動能力が大きく）設定されている。よって、トランジスタ Q 7 のゲート（ノード N 1 ）が H レベルのときにはトランジスタ Q 7 がオンするのでノード N 2 は L レベルになり、逆にノード N 1 の L レベルのときにはトランジスタ Q 7 がオフするのでノード N 2 は H レベルになる。即ちプルダウン駆動回路 2 2 は、ノード N 1 を入力端、ノード N 2 を出力端とするレシオ型インバータを構成している。当該インバータにおいて、トランジスタ Q 6 は負荷素子、トランジスタ Q 7 は駆動素子として機能する。20

【 0 0 6 5 】

以下、本実施の形態に係る単位シフトレジスタ S R の具体的な動作を説明する。ゲート線駆動回路 3 0 を構成する各単位シフトレジスタ S R およびダミー段 S R D の動作は実質的にどれも同じであるので、ここでも代表的に第 k 段目の単位シフトレジスタ S R_k の動作を説明する。単位シフトレジスタ S R_k では、クロック端子 C K にクロック信号 C L K が入力されているものとする（奇数段の単位シフトレジスタ S R₁ , S R₃ … がこれに該当する）。

【 0 0 6 6 】

また説明の簡単のため、以下では特に示さない限り、クロック信号 C L K , / C L K 、スタートパルス S P の H レベルの電位は全て等しいと仮定し、そのレベルを V D D とする。また V D D はハイ側電源電位 V D D 1 , V D D 2 のレベルとも等しいとする（即ち、V D D = V D D 1 = V D D 2）。またクロック信号 C L K , / C L K およびスタートパルス S P の L レベルの電位はロー側電源電位 V S S と等しいものとし、その電位を 0 V とする（V S S = 0）。さらに、各トランジスタのしきい値電圧は全て等しいと仮定し、その値を V t h とする。なお、クロック信号 C L K , / C L K は、図 3 7 に示されるように、互いに 1 水平期間（1 H）の位相差を持つ繰り返し信号である。30

【 0 0 6 7 】

図 4 は、実施の形態 1 に係る単位シフトレジスタの動作を説明するためのタイミング図である。単位シフトレジスタ S R_k の動作を、図 4 を参照しつつ説明する。

【 0 0 6 8 】

まず単位シフトレジスタ S R_k の初期状態（時刻 t₁ の直前の状態）として、ノード N 1 が L レベル（V S S）、ノード N 2 が H レベル（V D D - V t h）であると仮定する。この状態では、トランジスタ Q 1 がオフ（遮断状態）、トランジスタ Q 2 がオン（導通状態）であるので、クロック端子 C K （クロック信号 C L K）のレベルに関係なく、出力端子 O U T （出力信号 G_k）は L レベルに保たれる（以下、この状態を「リセット状態」と称す）。よってこの単位シフトレジスタ S R_k に対応するゲート線 G L_k は非選択状態にある。

【 0 0 6 9 】

また時刻 t₁ の直前では、単位シフトレジスタ S R_k のクロック端子 C K （クロック信号 C L K）、入力端子 I N （前段の出力信号 G_{k-1}）、リセット端子 R S T （次段の出力信4050

号 G_{k+1}) は何れも L レベルであるとする。よってノード N 3 はトランジスタ Q 8 を通して放電されて L レベル (VSS) になっている。またトランジスタ Q 10 がオンしているためノード N 4 は L レベル (VSS) である。

【 0070 】

その状態から、時刻 t_1 でクロック信号 / CLK (不図示) が H レベルに変化すると共に、前段の出力信号 G_{k-1} (第 1 段目の単位シフトレジスタ SR₁ の場合にはスタートパルス SP) が活性化されたとする。応じて単位シフトレジスタ SR_k の入力端子 IN のレベルが上昇する。ゲートが第 2 電源端子 S₂ に接続したトランジスタ Q 8 はオン状態であるので、前段の出力信号 G_{k-1} のレベル上昇に追随してノード N 3 のレベルが上昇する。

【 0071 】

前段の出力信号 G_{k-1} のレベルが充分に上昇するまでの間は、トランジスタ Q 8 のゲート・ソース間電圧 (第 2 電源端子 S₂ とノード N 3 との電位差) が大きく、トランジスタ Q 8 は非飽和領域で動作しており、トランジスタ Q 8 のオン抵抗値は充分低い状態にある。そのためノード N 3 のレベルは、前段の出力信号 G_{k-1} に殆ど遅れることなく上昇し始める。ところが前段の出力信号 G_{k-1} のレベル上昇が進むと、トランジスタ Q 8 のゲート・ソース間電圧が小さくなり、当該トランジスタ Q 8 は飽和領域で動作するようになりオン抵抗値が高くなる。よって図 4 の如く、ノード N 3 のレベル上昇速度は、前段の出力信号 G_{k-1} のレベルが上昇するにつれ遅くなる。

【 0072 】

ノード N 3 が H レベルになるとトランジスタ Q 3 がオンになる。このときノード N 2 は H レベルであるのでトランジスタ Q 5 もオンしているが、トランジスタ Q 3 はトランジスタ Q 5 よりもオン抵抗が充分小さく (ゲート幅が広く) 設定されているため、ノード N 1 のレベルが上昇をはじめる。そしてノード N 1 のレベルがトランジスタ Q 7 のしきい値電圧 (Vth) を越えると、トランジスタ Q 7 がオンになり、ノード N 2 のレベルが低下し始める。

【 0073 】

このとき、ノード N 2 のレベルが下がるに従いトランジスタ Q 5 のオン抵抗値が上昇するので、ノード N 1 のレベル上昇速度は加速される。するとトランジスタ Q 7 のオン抵抗が低くなるので、ノード N 2 のレベル低下速度が加速される。このループにより、ノード N 1 のレベル上昇速度およびノード N 2 のレベル低下速度はさらに加速される。

【 0074 】

そしてノード N 2 のレベルが低下して L レベルになると、トランジスタ Q 10 がオフになる。この時点ではノード N 3 は H レベルになっているためトランジスタ Q 9 はオン状態であり、ノード N 4 のレベルが上昇する。即ち、トランジスタ Q 9 , Q 10 から成るインバータの出力端 (ノード N 4) のレベルが、 L レベルから H レベルへと変化する (時刻 tD) 。

【 0075 】

ノード N 4 のレベル上昇は、容量素子 C₂ を介する結合によりノード N 3 のレベルを上昇させる。ノード N 3 のレベルが高くなるとトランジスタ Q 9 のオン抵抗が下がるため、ノード N 4 のレベル上昇が加速する。この正帰還ループにより、ノード N 3 , N 4 のレベルは急速に上昇する。

【 0076 】

このようにノード N 3 が昇圧されると、トランジスタ Q 8 の電流電極は、ノード N 3 側がドレイン、入力端子 IN 側がソースとなる。トランジスタ Q 8 のゲート電位は VDD (= VDD1) なので、ゲート・ソース間電圧は 0 となり、トランジスタ Q 8 はオフ状態となる。そのためノード N 3 は高インピーダンス状態 (フローティング状態) になり、電位 VDD よりも高いレベルにまで昇圧され得る。

【 0077 】

ノード N 4 のレベルが上昇する時刻 tD (即ちトランジスタ Q 9 , Q 10 から成るインバータの出力が L レベルから H レベルに変化する時刻) は、トランジスタ Q 3 , Q 5 のオ

10

20

30

40

50

ン抵抗の比、およびノードN 2 の放電時定数等により決まる。本実施の形態ではこの時刻 t_D が、図4のようにノードN 3 のレベルが充分に上昇した後になるように設定される。そのためノードN 3 は、ノードN 4 のレベル上昇に応じて昇圧された結果、トランジスタQ 3 を非飽和領域で動作させるのに充分なだけの高い電位（図4の $V_{DD} + V_1$ ）に達する。即ち、ノードN 3 の電圧は前段の出力信号 G_{k-1} の振幅（ V_{DD} ）よりも大きくなる。このとき $V_{DD} + V_1 = V_{DD} + V_{th}$ 、即ち $V_1 = V_{th}$ となれば、トランジスタQ 3 は非飽和領域で動作する。なお、その条件が満たされなかつとしても、ノードN 3 の電圧が前段の出力信号 G_{k-1} の振幅（ V_{DD} ）より大きくなれば、トランジスタQ 3 の駆動能力は少なくとも従来の単位シフトレジスタ（特許文献1の図7）の場合よりも大きくなる。

10

【0078】

よってノードN 1 はトランジスタQ 3 を通して高速に充電（プリチャージ）され、第2電源端子S 2 と同じ電位 V_{DD} まで上昇してH レベルになる。同様にトランジスタQ 9 も非飽和領域で動作するため、ノードN 4 の電位も V_{DD} に達する。

【0079】

このように、トランジスタQ 9 , Q 10 から成るインバータ、および容量素子C 2 は、トランジスタQ 8 （充電回路）がノードN 3 の充電を開始してから一定時間（ $t_D - t_1$ ）だけ遅れて当該ノードN 3 を昇圧する昇圧回路として機能する。

【0080】

このようにして単位シフトレジスタ S_R_k はノードN 1 がH レベル、ノードN 2 がL レベルになり、トランジスタQ 1 がオン、トランジスタQ 2 がオフの状態となる（以下、この状態を「セット状態」と称す）。但しこの時点では、クロック信号 C_{LK} はL レベルなので、出力端子OUT から出力される出力信号 G_k はL レベルのままである。

20

【0081】

従来の単位シフトレジスタ（特許文献1の図7）では、トランジスタQ 3 に相当するトランジスタが、ソースフォロアモードで動作するため、出力プルアップトランジスタ（トランジスタQ 1 に相当）のゲートを、 $V_{DD} - V_{th}$ 以上には充電（プリチャージ）できず、また充電が進むほどその速度が低下する。それに対し、図3の単位シフトレジスタ S_{R_k} では、トランジスタQ 3 が非飽和領域で動作してノードN 1 をプリチャージするため、ノードN 1 を V_{DD} のレベルまで上昇させることができ、且つその速度は速い。

30

【0082】

ここでノードN 1 のプリチャージ時におけるトランジスタQ 8 の動作に注目する。トランジスタQ 8 は、前段の出力信号 G_{k-1} のレベルが立ち上がる段階（時刻 t_1 ~ 時刻 t_D ）では、前段の出力信号 G_{k-1} をノードN 3 に伝達してノードN 3 を充電する抵抗素子として働く。しかしその後にノードN 3 が容量素子C 2 によって昇圧される段階（時刻 t_D ~ 時刻 t_2 ）では、ノードN 3 から入力端子INへの電荷の流出を阻止する遮断素子として働く。また後述するように、トランジスタQ 8 は、前段の出力信号 G_{k-1} が立ち下がる段階（時刻 t_2 ）では、ノードN 3 の電荷を入力端子INへと放電する抵抗素子として働く。

【0083】

40

ここではトランジスタQ 8 のゲートに供給される電位 V_{DD1} は、前段の出力信号 G_{k-1} のH レベルの電位と同じ V_{DD} として説明したが、トランジスタQ 8 がこのように動作することができる電位であればよい。例えば、電位 V_{DD1} が高いほど、トランジスタQ 8 はノードN 3 を高速に充電できるので、時刻 t_D までにノードN 3 を充分高いレベルにでき、昇圧後のノードN 3 のレベル（図4の $V_{DD} + V_1$ ）をより高くできる。しかし電位 V_{DD1} が、 $V_{DD} + V_{th}$ を超えるとノードN 3 の昇圧段階にトランジスタQ 8 がオフにならない（遮断素子として機能しない）。つまり電位 V_{DD1} （トランジスタQ 8 のゲート電位）は $V_{DD} + V_{th}$ を超えてはならないが、それに近い値がほしい。

【0084】

時刻 t_2 でクロック信号 / C_{LK} が立ち下がると、前段の出力信号 G_{k-1} はL レベルに変

50

化する。すると単位シフトレジスタ $S R_k$ のノード N_3 はトランジスタ Q_8 を通して放電されて L レベルになる。応じてトランジスタ Q_3, Q_9 はオフになる。

【0085】

このようにノード N_3 が H レベル ($V_{DD} + V_1$) から L レベル (V_{SS}) に変化するとき、容量素子 C_2 を介した結合のため、ノード N_4 のレベルも下がるようとする。ノード N_3 のレベルが下がる過程でトランジスタ Q_9 がオフになると、このときトランジスタ Q_{10} もオフであるのでノード N_4 はフローティング状態になる。よってノード N_4 のレベルは、 V_{SS} よりもさらに下がり負電圧になる。但し、トランジスタ Q_9, Q_{10} のゲート電位は V_{SS} となっており、ノード N_4 が $-V_{th}$ よりも下がるとそれらがオンになるため、ノード N_4 のレベルは $-V_{th}$ にクランプされる。

10

【0086】

またノード N_3 が立ち下がる過程でトランジスタ Q_3 がオフになったとき、トランジスタ Q_3 のゲート容量を介した結合のため、ノード N_1 のレベルも若干下がる(図4の V_2)。このノード N_1 のレベル低下は従来の単位シフトレジスタでも生じるものである。トランジスタ Q_3 のゲート電位がより高い電位 ($V_{DD} + V_1$) に昇圧されていた分、トランジスタ Q_3 のゲート電位の変化が大きいので、 V_2 は従来の単位シフトレジスタの場合に比べ大きくなるが、 V_2 低下した後でもノード N_1 のレベルは従来より高い。

【0087】

そして時刻 t_3 でクロック信号 CLK が立ち上がると、そのレベル変化がオン状態のトランジスタ Q_1 を通して出力端子 OUT へと伝達され、出力信号 G_k のレベルが上昇する。このとき容量素子 C_1 を介する結合によりノード N_1 が昇圧され、トランジスタ Q_1 を非飽和領域で動作させる。よって出力信号 G_k は、クロック信号 CLK の H レベルと同じ電位 V_{DD} の H レベルになる。

20

【0088】

ここで、ノード N_1 の寄生容量が十分小さいとすると、ノード N_1 は出力信号 G_k の振幅と同程度昇圧されるので、昇圧後のノード N_1 のレベル $V_a[N_1]$ は次の(1)式で表される。

【0089】

$$V_a[N_1] = 2 \cdot V_{DD} - V_2 \dots (1)$$

時刻 t_4 でクロック信号 CLK が立ち下がると、オン状態のトランジスタ Q_1 を通して出力端子 OUT からクロック端子 CK へと電流が流れ、出力端子 OUT が放電される。その結果、出力信号 G_k は L レベルになる。このとき容量素子 C_1 を介する結合により、ノード N_1 は昇圧される前のレベル ($V_{DD} - V_2$) に戻る。

30

【0090】

ここで、出力信号 G_k は、次段の単位シフトレジスタ $S R_{k+1}$ の入力端子 IN にも入力されているので、上記の時刻 t_3 で出力信号 G_k が H レベルになったとき、単位シフトレジスタ $S R_{k+1}$ はセット状態に移行している。

【0091】

そのため時刻 t_5 で、クロック信号 / CLK のレベルが立ち上がると、次段の出力信号 G_{k+1} (不図示) が H レベルになる。次段の出力信号 G_{k+1} は当該単位シフトレジスタ $S R_k$ のリセット端子 RS に入力されるので、単位シフトレジスタ $S R_k$ では、トランジスタ Q_4 がオンになり、ノード N_1 が放電されて L レベルになる。応じてトランジスタ Q_7 がオフになるため、ノード N_2 がトランジスタ Q_6 により充電されて H レベルになる。つまり単位シフトレジスタ $S R_k$ は、トランジスタ Q_1 がオフ、トランジスタ Q_2 がオンのリセット状態に戻る。

40

【0092】

またノード N_2 が H レベルになったことで、トランジスタ Q_5 およびトランジスタ Q_10 がオンになる。このとき、 $-V_{th}$ となっていたノード N_4 の電位は、トランジスタ Q_10 を通して流れ込む電荷により V_{SS} に変化する。

【0093】

50

その後、次段の出力信号 G_{k+1} は L レベルに戻るが、単位シフトレジスタ $S R_k$ は、次のフレーム期間で前段の出力信号 G_{k-1} が活性化されるまでリセット状態に維持される。トランジスタ Q₅, Q₆, Q₇ から成るハーフラッチ回路が、ノード N₁, N₂ のレベルを保持するからである。またその間、トランジスタ Q₂ がオンしているので、出力端子 OUT は低インピーダンスで L レベルに維持される。

【0094】

このように単位シフトレジスタ $S R_k$ は、前段の出力信号 G_{k-1} (あるいはスタートパルス S P) の活性化に応じてセット状態になり、そのときクロック端子 C K に入力されるクロック信号の活性化に応じて自己の出力信号 G_k を活性化させ、その後、次段の出力信号 G_{k+1} (あるいはダミー段 S RD の出力信号 G DM) の活性化に応じてリセット状態に戻り出力信号 G_k を L レベルに維持する。10

【0095】

よってゲート線駆動回路 30においては、図 37 のように、単位シフトレジスタ $S R_1$ に入力されるスタートパルス S P の活性化を切っ掛けにして、クロック信号 C L K, / C L K に同期したタイミングで出力信号 $G_1, G_2, G_3 \dots$ が順に活性化される。それによつて、ゲート線駆動回路 30 は、所定の走査周期でゲート線 $G L_1, G L_2, G L_3 \dots$ を順番に駆動することができる。

【0096】

以上のように、本実施の形態に係る単位シフトレジスタ $S R$ においては、トランジスタ Q₈, Q₉ および容量素子 C₂ から成る昇圧手段が、ノード N₁ のプリチャージ時のトランジスタ Q₃ のゲート (ノード N₃) を昇圧する。それによりトランジスタ Q₃ は非飽和領域で動作するので、ノード N₁ のレベル上昇速度は従来よりも高速になる。よって、クロック信号の周波数が高くなり、入力端子 I N に入力される信号のパルス幅が狭くなった場合であっても、ノード N₁ を充分にプリチャージすることができる。即ち、トランジスタ Q₁ の駆動能力の低下を防止することができる。20

【0097】

また、トランジスタ Q₃ が非飽和領域で動作するため、ノード N₁ のプリチャージ時にしきい値電圧分の損失が生じず、ノード N₁ を従来よりも高いレベル (V DD) にプリチャージすることができる。よって従来よりもトランジスタ Q₁ の駆動能力は高くなる。

【0098】

[第 1 の変更例]

図 3 の単位シフトレジスタ $S R_k$ において、プルダウン駆動回路 22 のトランジスタ Q₆ は、インバータの負荷素子として働く。プルダウン駆動回路 22 のインバータの負荷素子は、ゲート線 $G L_k$ の非選択期間にノード N₂ を H レベルに保持する働きができるものであればよい。よってトランジスタ Q₆ に代えて、例えば定電流素子や抵抗素子などの電流駆動素子を用いてもよい。30

【0099】

また図 3 では、トランジスタ Q₆ のゲートに一定のハイ側電源電位 V DD₂ を供給していたが、それに代えて次段の出力信号 G_{k+1} と同相のクロック信号 / C L K を供給してもよい。単位シフトレジスタ $S R_k$ が出力信号 G_k を活性化させるのに際し、トランジスタ Q₇ は 2 水平期間 (図 4 の時刻 $t_1 \sim t_5$) オンになる。図 3 の回路ではその 2 水平期間、終始トランジスタ Q₆, Q₇ を通して貫通電流が流れるが、トランジスタ Q₇ のゲートに次段の出力信号 G_{k+1} と同相のクロック信号 / C L K を供給した場合にはそのうち半分の期間はトランジスタ Q₆ がオフになるので、貫通電流を半分にすることができる。あるいは、トランジスタ Q₆ のゲートとドレインの両方に次段の出力信号 G_{k+1} と同相のクロック信号 / C L K を供給してもよい。40

【0100】

本変更例は、以下の全ての実施の形態およびその変更例についても適用できる。

【0101】

[第 2 の変更例]

10

20

30

40

50

図5は、実施の形態1の第2の変更例に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ は、図3の回路に対し、プルダウン駆動回路22にトランジスタQ11を設けたものである。トランジスタQ11は、入力端子INに接続したゲートを有し、ノードN2と第1電源端子S1との間に接続される。またトランジスタQ11は、トランジスタQ6よりもオン抵抗が充分小さく設定されている。

【0102】

図3の回路では、前段の出力信号 G_{k-1} が活性化されてトランジスタQ3がノードN1を充電し始めた時点では、トランジスタQ5はオン状態である。トランジスタQ5は、ノードN1の充電が進んでトランジスタQ7がオンになり、応じてノードN2がLレベルになったときにオフになる。そのためトランジスタQ3はトランジスタQ5よりもオン抵抗が充分小さいことが必要である。10

【0103】

これに対し、図5の単位シフトレジスタ $S R_k$ では、前段の出力信号 G_{k-1} が活性化した時点でトランジスタQ11がオンになり、ノードN2をLレベルにする。そのためトランジスタQ5は、トランジスタQ3がオンになるのとほぼ同時にオフになり、その状態でノードN1の充電が行われる。よって、トランジスタQ3, Q5のオン抵抗値と無関係に、ノードN1のプリチャージを行うことが可能になる。ただしトランジスタQ9, Q10から成るインバータの出力（ノードN4の信号）によりノードN3が昇圧されるタイミング（時刻 t_D ）が、ノードN3が充分に高いレベルにまで上昇した後になるように、ノードN2の放電時間を考慮する必要がある。20

【0104】

[第3の変更例]

図6は、実施の形態1の第3の変更例に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ は、図3の回路に対し、プルアップ駆動回路21のトランジスタQ5のソースを入力端子INに接続させたものである。つまり当該トランジスタQ5のソースには前段の出力信号 G_{k-1} が入力される。

【0105】

図6の単位シフトレジスタ $S R_k$ では、前段の出力信号 G_{k-1} が活性化したとき、トランジスタQ5はそのソース電位が高くなるためオフになる。つまり、トランジスタQ3がオンになるのとほぼ同時にトランジスタQ5がオフになり、その状態でノードN1の充電が行われる。よって、トランジスタQ3, Q5のオン抵抗値と無関係に、ノードN1のプリチャージを行うことができる。このため回路設計が容易になる。またトランジスタQ3, Q5を通して第2電源端子S2から第1電源端子S1へと流れる貫通電流を無くすことができ、消費電力を低減する効果も得られる。30

【0106】

[第4の変更例]

上記の第3の変更例の単位シフトレジスタ $S R_k$ （図6）では、トランジスタQ3によるノードN1の充電開始当初からトランジスタQ5がオフしているため、図3の場合よりノードN1のレベル上昇速度が速くなる。それに応じて、ノードN4がHレベルに変化するタイミング、すなわち図4の時刻 t_D も早くなる。40

【0107】

上記のとおり、時刻 t_D はノードN3のレベルが充分に高くなった後であることが好ましい。時刻 t_D が早くなると、ノードN3はあまり高くないレベルを起点にして容量素子C2により昇圧されるため、昇圧後のノードN3のレベル（図4のVDD+V1）が低くなる。そうなるとトランジスタQ3のオン抵抗が上がり、本発明の効果が低減する。ここでは、その対策のための変更例を提案する。

【0108】

図7は、実施の形態1の第4の変更例に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ は、図6の回路に対し、プルダウン駆動回路22としてトランジスタQ6, Q7A, Q7B, Q7Cから構成されるシュミットトリガ型のインバ

10

20

30

40

50

ータを用いたものである。

【0109】

図7の如く、トランジスタQ6は、ノードN2と第2電源端子S2との間に接続し、そのゲートは第2電源端子S2に接続している(つまりトランジスタQ6はダイオード接続している)。トランジスタQ7A, Q7Bは、ノードN2と第1電源端子S1との間に直列に接続し、それらのゲートは共にノードN1に接続される。トランジスタQ7Cは、第2電源端子S2とトランジスタQ7A, Q7B間の接続ノードとの間に接続し、そのゲートはノードN2に接続される。

【0110】

このシュミットトリガ型インバータでは、トランジスタQ6が負荷素子として機能し、直列接続したトランジスタQ7A, Q7Bが駆動素子として機能する。そしてトランジスタQ7Cが、当該インバータの出力信号(ノードN2の信号)に応じてトランジスタQ7A, Q7B間の接続ノードへ帰還電流を流す電流駆動素子として機能する。10

【0111】

シュミットトリガ型インバータは、通常のレシオ型インバータ(図6のプルダウン駆動回路22)よりもしきい値電圧が高いので、このプルダウン駆動回路22によれば、ノードN1のレベル上昇に応じてノードN2のレベルが下がるタイミングが遅れる。その分、トランジスタQ10のオフするのも遅れるため、図6の場合よりもノードN4のレベルが上昇するタイミング(時刻tD)が遅くなる。従って、ノードN1のレベル上昇速度が速い場合であっても、ノードN3のレベルが充分に高くなるよりも先に、ノードN4がHレベルに変化することを防止できる。20

【0112】

[第5の変更例]

図8は実施の形態1の第5の変更例に係る単位シフトレジスタ S_{R_k} の回路図である。当該単位シフトレジスタ S_{R_k} は、図3の回路に対し、プルダウン駆動回路22(トランジスタQ6, Q7から成るインバータ)をトランジスタQ1のゲート(ノードN1)から分離して構成したものである。ここでトランジスタQ6, Q7から成るインバータの入力端(トランジスタQ7のゲート)を「ノードN5」と定義する。

【0113】

プルダウン駆動回路22には、ノードN1から分離されたインバータの入力端(ノードN5)に適切な信号を供給するための入力回路が設けられる。当該入力回路は、トランジスタQ12, Q13, Q14から成っている。30

【0114】

トランジスタQ12は、入力端子INに接続したゲートを有し、第2電源端子S2とノードN5との間に接続される。トランジスタQ13, Q14は、共にノードN5と第1電源端子S1との間に接続するが、トランジスタQ13のゲートはノードN2に接続され、トランジスタQ14のゲートはリセット端子_RSTに接続される。トランジスタQ12はトランジスタQ13よりもオン抵抗が充分小さく設定されている。

【0115】

ここで図8の単位シフトレジスタ S_{R_k} におけるプルダウン駆動回路22の動作を説明する。初期状態として、当該単位シフトレジスタ S_{R_k} 並びにその前段および後段の出力信号 G_k, G_{k-1}, G_{k+1} は何れもLレベルであり、また単位シフトレジスタ S_{R_k} のノードN5はLレベルであると仮定する。このときトランジスタQ7はオフ状態であるためノードN2はHレベルであり、トランジスタQ13はオン状態である。40

【0116】

その状態から、ゲート線 $G_{L_{k-1}}$ の選択期間になって前段の出力信号 G_{k-1} がHレベルになると、トランジスタQ12がオンになる。この時点ではトランジスタQ13もオンしているが、トランジスタQ12はトランジスタQ13よりも充分オン抵抗が小さいため、ノードN5はHレベルになる。応じてトランジスタQ7がオンしてノードN2がLレベルになり、トランジスタQ13がオフになる。50

【0117】

前段の出力信号 G_{k-1} が L レベルに戻ると、トランジスタ Q12 はオフになるが、トランジスタ Q13, Q14 もオフであるため、ノード N5 は高インピーダンス状態（フローティング状態）で H レベルに維持される。よってトランジスタ Q7 はオン状態に維持される。

【0118】

その後、次段の出力信号 G_{k+1} が H レベルになると、トランジスタ Q14 がオンになつてノード N5 は L レベルになる。応じてトランジスタ Q7 がオフになり、ノード N2 はトランジスタ Q6 を通して充電されて H レベルになる。応じてトランジスタ Q13 がオンになる。

10

【0119】

なお、次段の出力信号 G_{k+1} が L レベルに戻っても、トランジスタ Q13 はオンに維持されるため、ノード N5 は低インピーダンスで L レベルに維持される。

【0120】

このように図 8 のプルダウン駆動回路 22 の入力回路は、インバータの入力端であるノード N5 を、前段の出力信号 G_{k-1} （入力信号）の活性化に応じて H レベルに変化させ、次段の出力信号 G_{k+1} （リセット信号）の活性化に応じて L レベルに変化させる。よってインバータの出力端であるノード N2 は、前段の出力信号 G_{k-1} の活性化に応じて L レベルになり、次段の出力信号 G_{k+1} の活性化に応じて H レベルになる。つまりノード N2 は、図 3 の回路の場合と同様にレベル変化することとなる。従って、図 8 の単位シフトレジスタ $S R_k$ は、図 3 の回路と同じように信号のシフト動作を行うことができる。

20

【0121】

本変更例によれば、ノード N1 とプルダウン駆動回路 22 とを電気的に分離しているため、図 3 の回路よりもノード N1 の寄生容量が低減される。よって出力信号 G_k の活性化時に、ノード N1 はより高速に、より高い電位にまで昇圧されることとなる。従って、出力信号 G_k の活性化時のトランジスタ Q1 のオン抵抗が小さくなり、出力信号 G_k の立ち上がり速度が高められる。

【0122】

図 9 は、図 8 のプルダウン駆動回路 22 に対し、上記の第 2 の変更例を適用した例である。即ち、ノード N2 と第 1 電源端子 S1 との間に、ゲートが入力端子 IN に接続したトランジスタ Q11 を設けている。

30

【0123】

図 9 の単位シフトレジスタ $S R_k$ では、前段の出力信号 G_{k-1} が活性化したとき、トランジスタ Q11 がオンになってノード N2 を L レベルにする。そのためトランジスタ Q3 がオンになるのとほぼ同時にトランジスタ Q13 がオフになり、その状態でノード N5 の充電が行われる。よって、トランジスタ Q12, Q13 のオン抵抗値と無関係に、ノード N5 の充電が可能になる。ただしトランジスタ Q9, Q10 から成るインバータの出力（ノード N4 の信号）によりノード N3 が昇圧されるタイミング（時刻 t_D ）が、ノード N3 が充分に高いレベルにまで上昇した後になるように、ノード N2 の放電時間を考慮する必要がある。もちろん、図 9 ではトランジスタ Q3, Q5 のオン抵抗値の比も任意でよい。

40

【0124】

図 10 は、図 8 のプルダウン駆動回路 22 に対し、上記の第 3 の変更例の技術を応用した例である。即ち、プルダウン駆動回路 22 のトランジスタ Q13 のソースを入力端子 IN に接続させている。

【0125】

図 6 の単位シフトレジスタ $S R_k$ では、前段の出力信号 G_{k-1} が活性化したとき、トランジスタ Q13 はそのソース電位が高くなるためオフになる。つまり、トランジスタ Q3 がオンになるのとほぼ同時にトランジスタ Q13 がオフになり、その状態でノード N5 の充電が行われる。よってこの回路でも、トランジスタ Q12, Q13 のオン抵抗値と無関係にノード N5 の充電が可能になり、回路設計が容易になる。

50

【0126】**[第6の変更例]**

ゲート線駆動回路としてシフトレジスタを用いた表示装置において、その解像度を高くる場合には、シフトレジスタの駆動に用いられるクロック信号の周波数を高くしてシフトレジスタの動作速度を速くする必要がある。しかしクロック信号が高周波数になると、そのパルス幅が狭くなりシフトレジスタの動作マージンが減少する。よってその減少を抑えるために、クロック信号のパルス幅は限界まで広く設定される。つまり各クロック信号の活性期間同士の間隔（図37の t ）が非常に短く設定される。

【0127】

出力端子OUTの放電には一定の時間を要するため、各クロック信号の活性期間同士の間隔が非常に短くなると、単位シフトレジスタSR_kの出力信号G_kのレベルが充分に下がる前に、その次段の出力信号G_{k+1}のレベルが上昇し始めることがある。その場合、例えば図3の単位シフトレジスタSR_kでは、出力端子OUTが充分に放電される前に、トランジスタQ4がオンしてノードN1のレベルが下がり、トランジスタQ1の抵抗値が上がる。それにより出力信号G_kの立ち下がり速度（出力端子OUTの放電速度）が低下する問題が生じる。10

【0128】

その対策の一つとしては、トランジスタQ2のオン抵抗を低く設定し、次段の出力信号G_{k+1}の立ち上がりに応じて出力端子OUTが速やかに放電されるようにすることが挙げられる。しかしトランジスタQ2のオン抵抗を下げるには、そのゲート幅を広くする必要があり回路面積の増大を伴う。ここでは、回路面積の増大を抑えつつ上記の問題を解決可能な変更例を示す。20

【0129】

図11は、実施の形態1の第6の変更例に係る単位シフトレジスタSR_kの回路図である。当該単位シフトレジスタSR_kは、図3の回路に対し、プルダウン駆動回路22の入力端（トランジスタQ7のゲート）を出力端子OUTに接続させると共に、ノードN2と第1電源端子S1との間に、ゲートが入力端子INに接続したトランジスタQ11を設けたものである。また当該単位シフトレジスタSR_kは、セット状態からリセット状態に移行する際、次段の出力信号G_{k+1}を受けることなく、トランジスタQ5を用いてノードN1の放電を行うことができるため（詳細は後述する）、トランジスタQ4は省略されている。30

【0130】

図11の単位シフトレジスタSR_kにおけるプルダウン駆動回路22の動作を説明する。ここでは、クロック信号CLK, /CLKの活性期間同士の間には、間隔が設けられていないものとする（ $t = 0$ ）。即ち、クロック信号CLKの立ち上がりとクロック信号/CLKの立ち下がりは同時であり、クロック信号CLKの立ち下がりとクロック信号/CLKの立ち上がりは同時であると仮定する。

【0131】

またプルダウン駆動回路22の初期状態として、当該単位シフトレジスタSR並びにその前段の出力信号G_k, G_{k-1}は何れもLレベルであると仮定する。このときトランジスタQ7, Q11はオフ状態であるためノードN2はHレベルである。なお、この状態ではトランジスタQ5はオン、トランジスタQ3はオフであり、ノードN1はLレベルであるので単位シフトレジスタSR_kはリセット状態である。40

【0132】

その状態から、ゲート線GL_{k-1}の選択期間になり、前段の出力信号G_{k-1}がHレベルになると、トランジスタQ11がオンになる。トランジスタQ11はトランジスタQ6よりもオン抵抗が充分小さく設定されており、ノードN2はLレベルになる。応じてトランジスタQ2はオフになる。

【0133】

このときプルアップ駆動回路21においては、トランジスタQ5がオフになり、またト50

ランジスタ Q₃ がオンになるのでノード N₁ が充電（プリチャージ）されて H レベルになる。そのためトランジスタ Q₁ はオンになる。即ち、当該単位シフトレジスタ S_{R_k} はセット状態になる。

【 0 1 3 4 】

前段の出力信号 G_{k-1} が L レベルに戻ると共に、クロック信号 C_{LK} が H レベルに変化すると、それに追随して出力信号 G_k が H レベルになる。このときトランジスタ Q₁₁ がオフになるが、代わってトランジスタ Q₇ がオンになる。よってノード N₂ は L レベルに維持され、トランジスタ Q₂ はオフに維持される。

【 0 1 3 5 】

その後クロック信号 C_{LK} が L レベルに戻ると、オン状態のトランジスタ Q₁ を通して出力端子 OUT が放電され、出力信号 G_k のレベルが下がる。出力信号 G_k のレベルが充分低くなっているトランジスタ Q₇ のしきい値電圧 V_{th} を下回ると、トランジスタ Q₇ がオフになりノード N₂ が H レベルになる。応じてトランジスタ Q₂ がオンになる。10

【 0 1 3 6 】

このときプルアップ駆動回路 2₁ では、トランジスタ Q₅ がオンになり、ノード N₁ が放電されて L レベルになる。応じてトランジスタ Q₁ がオフになる。即ち、当該単位シフトレジスタ S_{R_k} はリセット状態に戻る。

【 0 1 3 7 】

このように図 1₁ のプルダウン駆動回路 2₂ は、前段の出力信号 G_{k-1} の立ち上がり時から、当該単位シフトレジスタ S_{R_k} の出力信号 G_k の立ち下がり時（次段の出力信号 G_{k+1} の立ち上がりとほぼ同時）まで、ノード N₂ を L レベルにする。つまりノード N₂ は、図 3 の回路の場合とほぼ同様にレベル変化することとなる。従って、図 1₁ の単位シフトレジスタ S_{R_k} は、図 3 の回路と同じように信号のシフト動作を行うことができる。20

【 0 1 3 8 】

上記の動作から分かるように、図 1₁ の単位シフトレジスタ S_R では、出力信号 G_k が立ち下がる際、そのレベルが充分低くなったのに応じてノード N₂ が H レベルに変化する。またノード N₁ は、ノード N₂ が H レベルになり、トランジスタ Q₅ がオンすることで放電される。従って、トランジスタ Q₁ がオフになるタイミングは必ず出力信号 G_k のレベルが充分に低くなっている後になる。よって、クロック信号 C_{LK} / C_{LK} の活性期間同士の間隔（ t ）が短くなってしまっても、出力信号 G_k の立ち下がり速度が低下することは無い。30

【 0 1 3 9 】

またノード N₁ とプルダウン駆動回路 2₂ とが電気的に分離されており、さらにトランジスタ Q₄ が設けられないため、図 3 の回路と比較してノード N₁ の寄生容量が低減される。よって第 5 の変更例（図 8 ）と同様に、出力信号 G_k の立ち上がり速度が高くなる効果も得られる。

【 0 1 4 0 】

< 実施の形態 2 >

図 1₂ は実施の形態 2 に係る単位シフトレジスタ S_{R_k} の回路図である。当該単位シフトレジスタ S_{R_k} は、図 3 の回路に対し、トランジスタ Q₈ のゲートとノード N₂ との間に接続するトランジスタ Q₁₅ と（トランジスタ Q₈ のゲートは第 2 電源端子 S₂ から分離されている）、ノード N₃ と入力端子 IN との間に接続するトランジスタ Q₁₆ とを設けたものである。トランジスタ Q₁₅ のゲートは第 2 電源端子 S₂ に接続され、トランジスタ Q₁₆ のゲートはノード N₁ に接続される。トランジスタ Q₈ のゲートが接続するノードを「ノード N₆」と定義する。40

【 0 1 4 1 】

なお図 1₂ の回路では、トランジスタ Q₁₆ のソースには、入力端子 IN が接続されているため前段の出力信号 G_{k-1} が供給されることとなるが、それと同相のクロック信号 / C_{LK} を代わりに供給してもよい。

【 0 1 4 2 】

10

20

30

40

50

図13は、実施の形態2に係る単位シフトレジスタの動作を説明するためのタイミング図である。単位シフトレジスタ $S R_k$ の動作を、図13を参照しつつ説明する。ここでも、単位シフトレジスタ $S R_k$ のクロック端子 $C K$ には、クロック信号 $C L K$ が入力されるものとする。

【0143】

単位シフトレジスタ $S R_k$ の初期状態（時刻 t_1 の直前の状態）として、ノードN1がLレベル（VSS）、ノードN2がHレベル（VDD - Vth）であると仮定する（リセット状態）。この状態では、トランジスタQ1がオフ、トランジスタQ2がオンであるので、クロック信号 $C L K$ のレベルに関係なく、出力信号 G_k はLレベルに保たれる。

【0144】

また時刻 t_1 の直前では、単位シフトレジスタ $S R_k$ のクロック端子 $C K$ （クロック信号 $C L K$ ）、リセット端子 $R S T$ （次段の出力信号 G_{k+1} ）、入力端子 $I N$ （前段の出力信号 G_{k-1} ）は何れもLレベルであるとする。この場合、ノードN2がHレベルであるのでノードN6はトランジスタQ15を通して充電されてHレベル（VDD - Vth）になっている。よってトランジスタQ8はオン状態であり、ノードN3はLレベル（VSS）になっている。またトランジスタQ10がオンしているためノードN4もLレベル（VSS）である。

10

【0145】

その状態から、時刻 t_1 でクロック信号 $C L K$ （不図示）がHレベルに変化すると共に、前段の出力信号 G_{k-1} （第1段目の単位シフトレジスタ $S R_1$ の場合にはスタートパルス $S P$ ）が活性化されたとする。するとトランジスタQ16は、ソース電位が高くなるためオフ状態になる。またトランジスタQ8はオン状態であるので、前段の出力信号 G_{k-1} のレベル上昇に伴ってノードN3のレベルが上昇する。

20

【0146】

このように前段の出力信号 G_{k-1} とノードN3のレベルが上昇すると、オン状態のトランジスタQ8のゲート・チャネル間容量を介する結合により、ノードN6が昇圧される。ノードN6はトランジスタQ8を非飽和領域で動作させるレベルにまで上昇し、そのためノードN3のレベルは前段の出力信号 G_{k-1} に追随して素早く電位VDDに達する。

【0147】

ノードN3がHレベルになるとトランジスタQ3がオンになる。このときノードN2はHレベルであるのでトランジスタQ5もオンしているが、トランジスタQ3はトランジスタQ5よりもオン抵抗が充分小さく（ゲート幅が広く）設定されているため、ノードN1のレベルが上昇をはじめる。そしてノードN1のレベルがトランジスタQ7のしきい値電圧（Vth）を越えると、トランジスタQ7がオンになり、ノードN2のレベルが低下し始める。

30

【0148】

このとき、ノードN2のレベルが下がるに従いトランジスタQ5のオン抵抗値が上昇するため、ノードN1のレベル上昇速度は加速される。するとトランジスタQ7のオン抵抗が低くなるので、ノードN2のレベル低下速度が加速される。このループにより、ノードN1のレベル上昇速度およびノードN2のレベル低下速度はさらに加速される。

40

【0149】

またノードN2のレベルが低下すると、トランジスタQ15を通してノードN6からノードN2の方向に電流が流れ、ノードN6が放電される。ノードN6はノードN2と同じく電位VSSのLレベルになる。よってトランジスタQ8はオフになる。

【0150】

ノードN2がLレベルになると、トランジスタQ9, Q10から成るインバータの出力端であるノードN4のレベルは、LレベルからHレベルへと変化する（時刻 t_D ）。このときトランジスタQ8はオフ状態なので、ノードN3は高インピーダンス状態（フローティング状態）にである。

【0151】

50

よってノードN4のレベルが上昇すると、容量素子C2を介する結合により、ノードN3のレベルは電位VDDからさらに上昇する。それによりトランジスタQ9のオン抵抗が下がり、ノードN4のレベル上昇を加速させる。この正帰還ループにより、ノードN3,N4のレベルは急速に上昇する。

【0152】

ノードN4のレベルが上昇する時刻tD(即ちトランジスタQ9,Q10から成るインバータの出力レベルがLレベルからHレベルに変化する時刻)は、図13のように、ノードN3のレベルが充分に上昇した後になるように設定されている(時刻tDは、トランジスタQ3,Q5のオン抵抗の比、およびノードN2の放電時定数等により決まる)。そのためノードN3は、ノードN4のレベル上昇に応じて昇圧された結果、トランジスタQ3を非飽和領域で動作させるのに充分な高い電位(VDD+V1)に達する。即ち、ノードN3の電圧は前段の出力信号G_{k-1}の振幅(VDD)よりも大きくなる。このときVDD+V1>VDD+Vth、即ちV1>Vthとなれば、トランジスタQ3は非飽和領域で動作する。
10

【0153】

よってノードN1はトランジスタQ3を通して高速に充電(プリチャージ)され、第2電源端子S2と同じ電位VDDまで上昇してHレベルになる。同様にトランジスタQ9も非飽和領域で動作するため、ノードN4の電位もVDDに達する。

【0154】

ノードN1がHレベルになると、プルダウン駆動回路22のトランジスタQ7がオンになり、ノードN2が放電されてLレベルになる。その結果、トランジスタQ1がオン、トランジスタQ2がオフの状態(セット状態)となる。但し、この時点ではクロック信号CLKはLレベルであるので、出力信号G_kはLレベルのままである。
20

【0155】

ここでノードN1のプリチャージ時におけるトランジスタQ15の動作に注目する。ノードN1がプリチャージされる前は、ノードN2がHレベル(VDD-Vth)であり、またトランジスタQ15のゲート電圧はVDD(=VDD1)に固定されているので、トランジスタQ15はノードN2からノードN6へと電流を流し、ノードN6をHレベル(VDD-Vth)に充電する。

【0156】

そして前段の出力信号G_{k-1}が立ち上がってトランジスタQ3によるノードN1のプリチャージが開始されたとき、ノードN6が昇圧されるので、電位関係によりノードN2側がトランジスタQ15のソースとなる。よってトランジスタQ15は、ゲート(第2電源端子S2)・ソース(ノードN2)間電圧がVthとなり、オンとオフの境界状態になる。このときトランジスタQ15にはノードN6からノードN2への方向にサブスレッシュホールド電流が流れがれるが、これは微小な電流なので、ノードN6が昇圧されている短い期間(tD-t₁)にノードN6から放出される電荷は無視できる程度である。
30

【0157】

そしてノードN1のプリチャージが進むと、トランジスタQ7がオンになりノードN2のレベルが低下するので、トランジスタQ15にはノードN6からノードN2へと電流が流れ、ノードN6は放電されてLレベル(VSS)になる。その後もノードN2がLレベルの間は、トランジスタQ15はオン状態でありノードN6はLレベルに維持される。
40

【0158】

このようにトランジスタQ15は、ノードN1のプリチャージ前の段階では、ノードN2の電位をノードN6に伝達する抵抗素子として働き、ノードN1のプリチャージ開始時にノードN6が昇圧される段階では、ノードN6とノードN2との間を遮断する遮断素子として働く。またノードN1のプリチャージが進みノードN2のレベルが低下する段階およびそれ以降ノードN2がLレベルに維持されている段階では、トランジスタQ15はノードN6の電荷をノードN2に放電する抵抗素子として働く。

【0159】

時刻 t_2 でクロック信号 / C L K が立ち下がると、前段の出力信号 G_{k-1} は L レベルに変化する。すると単位シフトレジスタ $S R_k$ のノード N 3 はトランジスタ Q 1 6 を通して放電されて L レベルになる。よってトランジスタ Q 3, Q 9 はオフになる。

【 0 1 6 0 】

このとき容量素子 C 2 を介した結合のため、ノード N 3 が H レベル ($V_{DD} + V_1$) から L レベル (V_{SS}) に変化するのに応じてノード N 4 のレベルも下がる。ノード N 3 のレベルが下がる過程でトランジスタ Q 9 がオフになり、トランジスタ Q 1 0 もオフしているのでノード N 4 はフローティング状態になる。そのためノード N 4 のレベルは、 V_{SS} よりもさらに下がり負電圧になる。但し、トランジスタ Q 9, Q 1 0 のゲート電位は V_{SS} となっており、ノード N 4 が $-V_{th}$ よりも下がるとそれらがオンするので、ノード N 4 のレベルは $-V_{th}$ にクランプされる。10

【 0 1 6 1 】

またノード N 3 が立ち下がる過程でトランジスタ Q 3 がオフになったとき、トランジスタ Q 3 のゲート容量を介した結合のため、ノード N 1 のレベルも若干下がる (図 1 3 の V_2)。このノード N 1 のレベル低下は従来の単位シフトレジスタでも生じるものである。トランジスタ Q 3 のゲート電位がより高い電位 ($V_{DD} + V_1$) に昇圧されていた分、トランジスタ Q 3 のゲート電位の変化が大きいので、 V_2 は従来の単位シフトレジスタの場合に比べ大きくなるが、 V_2 低下した後でもノード N 1 のレベルは従来より高い。20

【 0 1 6 2 】

時刻 t_3 以降の動作は、図 3 の単位シフトレジスタ $S R_k$ の動作 (図 4) と同じであるので、説明は省略する。

【 0 1 6 3 】

本実施の形態に係る単位シフトレジスタ $S R_k$ では、トランジスタ Q 8 が非飽和領域で動作してノード N 3 を充電するため、ノード N 3 のレベル上昇速度は非常に速い。よって時刻 t_D よりも先に、ノード N 3 を充分高いレベルにすることが容易になる (言い換えれば、時刻 t_D を、ノード N 3 が充分高いレベルになった後に設定することが容易になる)。またノード N 3 の充電の際、トランジスタ Q 8 のしきい値電圧分の損失が生じないため、トランジスタ Q 8 はノード N 3 を電位 V_{DD} にまで充電可能である。30

【 0 1 6 4 】

従って本実施の形態によれば、容量素子 C 2 による昇圧後のノード N 3 の電位 ($V_{DD} + V_1$) を、実施の形態 1 よりも容易に高くできる。その結果、トランジスタ Q 3 のオン抵抗が低くなり、ノード N 1 の充電 (プリチャージ) が高速化され、単位シフトレジスタ $S R_k$ の動作の高速化に寄与できる。

【 0 1 6 5 】

[変更例]

本実施の形態に対しても、実施の形態 1 で説明した第 1 ~ 第 6 の変更例は適用可能である。

【 0 1 6 6 】

< 実施の形態 3 >

図 1 4 は実施の形態 3 に係る単位シフトレジスタの構成を示す回路図である。同図のように、本実施の形態では、実施の形態 1 の単位シフトレジスタ $S R$ (図 3) に対し、トランジスタ Q 3 のドレンに所定の電位 V_{DD4} を供給する電圧発生回路 3 3 を接続させている。

【 0 1 6 7 】

この電圧発生回路 3 3 は、ハイ側電源電位 V_{DD3} が供給される第 4 電源端子 S 4 と、電位 V_{DD4} を出力するための電圧出力端子 V T と、所定のクロック信号が入力される少なくとも 1 つのクロック入力端子を有している (図 1 4 にはクロック入力端子 C K T が代表的に示されている)。本実施の形態では、そのクロック入力端子に入力されるクロック信号として、縦続接続した複数の単位シフトレジスタ $S R$ (即ちゲート線駆動回路 3 0)40

を駆動する多相クロック信号のうちのいずれかが用いられる（図14にはクロック信号C L Kが代表的に示されている）。

【0168】

電圧発生回路33は、第4電源端子S4に供給される電位VDD3およびクロック入力端子C K Tに入力されるクロック信号を基にして、電源電位VDD3よりも高い出力電位VDD4を生成するものである。また、この電位VDD4は、ロー側電源電位VSSを基準として、各クロック信号の振幅（Hレベルの電位）よりも高いものである。

【0169】

図15は電圧発生回路33の具体的な回路構成の一例を示している。この電圧発生回路33は、高電位出力を得るために、チャージポンプ回路C Pが用いられている。当該チャージポンプ回路C Pは、トランジスタQ20, Q21および容量素子C5により構成されている。またチャージポンプ回路C Pの出力端、すなわち電圧出力端子V Tには容量素子C6が設けられている。

【0170】

本実施の形態では、この電圧発生回路33（チャージポンプ回路C Pおよび安定化容量C6）を、シフトレジスタ回路と同じ絶縁基板上に形成する。基本的にチャージポンプ回路は、少なくとも2つの整流素子（ダイオード素子）と少なくとも1つの容量素子とから構成される。本実施の形態では、ダイオード素子として、シフトレジスタ回路に使用されるものと同じ構造を有するトランジスタQ20, Q21がダイオード接続されたものを使用する。また容量素子としては、画素容量（図1に示したキャパシタ17）と同じ構造の容量素子C5を使用する。容量素子C6は、チャージポンプ回路C Pの出力を安定させるためのものであり、これも画素容量と同じ構造のものが使用される。そうすることにより、電圧発生回路33をシフトレジスタや画素回路の形成と並行して行うことができるので、製造工程の増加を伴わず、また製造コストの増加も抑えられる。

【0171】

図15に示すように、ダイオード素子としてのトランジスタQ20, Q21（以下それぞれ「ダイオード素子Q20」、「ダイオード素子Q21」と称す）は、ハイ側電源電位VDD3が供給される第4電源端子S4と出力電位VDD4を出力するための電圧出力端子V Tとの間に直列に接続される。ダイオード素子Q20, Q21は共に第4電源端子S4側がアノード、電圧出力端子V T側がカソードとなるように接続される。

【0172】

ダイオード素子Q20, Q21間の接続ノードを「ノードN7」と定義すると、容量素子C5はノードN7とクロック入力端子C K Tとの間に接続される。この容量素子C5は、ノードN7を繰り返し昇圧するチャージポンプ動作を行うためのものであるので、クロック入力端子C K Tには任意のクロック信号が入力されればよい。そのクロック信号としては、各単位シフトレジスタS Rを駆動するクロック信号C L K, / C L Kの何れかを利用することができる。そうすれば、チャージポンプ回路C Pを駆動するためのクロック信号の発生回路を別途設ける必要がなく、回路規模の増大が抑えられる。本実施の形態では、図15の回路のクロック入力端子C K Tにクロック信号C L Kが入力されるものとする。以下、容量素子C5を「チャージポンプ容量」と称する。

【0173】

一方、容量素子C6は、電圧出力端子V Tから負荷（単位シフトレジスタS RのノードN1）に向けて電流が流れたときに、出力電位VDD4を安定化するためのものであり、電圧出力端子V Tとロー側電源電位VSSが供給される第1電源端子S1との間に接続されている。以下、容量素子C6を「安定化容量」と称する。なお、安定化容量C6の一端の接続先は第1電源端子S1に限定されず、一定電圧が供給される低インピーダンスのノードであればその接続先は問わない。

【0174】

以下、図15の回路の動作を説明する。電圧発生回路33を構成する各トランジスタのしきい値電圧も全て等しいと仮定し、その値をV thとする。

10

20

30

40

50

【0175】

第4電源端子S4にハイ側電源電位VDD3が供給されるとダイオード素子Q20がオンするため、ノードN7の電位はVDD3 - Vthとなる。さらにこのノードN7の電位により、ダイオード素子Q21がオンして電圧出力端子VTの電位はVDD3 - 2 × Vthになる。

【0176】

その後、クロック信号CLK(振幅VDD)が立ち上がると、チャージポンプ容量C5を介する結合によってノードN7が昇圧される。ノードN7の寄生容量を無視すると、ノードN7の電位はVDD3 - Vth + VDDにまで上昇する。このノードN7の電位上昇により、ダイオード素子Q21がオンしてノードN7から電圧出力端子VTへ電流が流れ 10る。それにより、電圧出力端子VTのレベルは一定量上昇し、逆にノードN7は電荷が流出した分だけレベルが低下する。

【0177】

そしてクロック信号CLKが立ち下がると、チャージポンプ容量C5を介する結合によりノードN7の電位は引き下げられる。先ほどノードN7が昇圧されたとき、当該ノードN7からは電圧出力端子VTへ電荷が流出しているので、電位が引き下げられた後のノードN7のレベルは、その昇圧前(クロック信号CLKが立ち上がる前)のVDD3 - Vthよりも低くなる。しかしノードN7の電位が低下するとダイオード素子Q20がオンするので、ノードN7はすぐに電源端子S4から充電されてVDD3 - Vthに戻る。

【0178】

なお、先ほどノードN7が昇圧されたときに電圧出力端子VTの電位は上昇しているので、電圧出力端子VTよりもノードN7の方が電位が低くなるが、ダイオード素子Q21は電圧出力端子VTからノードN7への向きの電流を阻止するため、電圧出力端子VTの電位は上昇されたまま維持される。

【0179】

その後もクロック信号CLKが入力される度に以上の動作が繰り返され、最終的に電圧出力端子VTの電位VDD4は、VDD3 - 2 × Vth + VDDとなる。

【0180】

ここで、上記の電位VDD1 ~ VDD3の値は全て等しく、その値をクロック信号CLK, / CLKのHレベルと同じくVDDであると仮定する。この場合、最終的な電圧発生回路33の出力電位VDD4は2 × VDD - 2 × Vthとなり、それがトランジスタQ3のドレイン電位となる。同じ仮定の下では、例えば実施の形態1の単位シフトレジスタSRのトランジスタQ3のドレイン電位はVDD (= VDD1)である。つまり本実施の形態の単位シフトレジスタSRによれば、ハイ側電源電位VDD1 ~ VDD3のそれぞれがクロック信号CLK, / CLKのHレベルと同じ電位VDDである場合であっても、電圧発生回路33によって、トランジスタQ3のドレインには、クロック信号CLK, / CLKのHレベルよりも高い電位VDD4 (= 2 × VDD - 2 × Vth)が供給される(即ちトランジスタQ3のドレインには、クロック信号CLK, / CLKの振幅よりも大きい電圧が供給される)。

【0181】

従って本実施の形態では、トランジスタQ3が、トランジスタQ1のゲート(ノードN1)を実施の形態1の場合よりも高い電位に充電(プリチャージ)することができるようになる。その結果、出力信号Gkの出力時におけるトランジスタQ1のオン抵抗は小さくなり、出力信号Gkの立ち上がり及び立ち下がりが高速化され、シフトレジスタの動作の高速化が可能になるという効果が得られる。逆に言えば、トランジスタQ1のチャネル幅を小さくしても、出力信号Gkの立ち上がり及び立ち下がりの速度の低下が抑制されるので、シフトレジスタ回路の占有面積を小さくすることができる。

【0182】

以下、本実施の形態の効果をより具体的に説明する。ここでもクロック信号CLK, / CLKのそれぞれの振幅(Hレベルの電位)をVDDとする。図14の単位シフトレジス 50

タ S R におけるトランジスタ Q 3 のゲート（ノード N 3）は、ノード N 1 のプリチャージ時に、実施の形態 1 の場合と同じレベル（図 4 の V D D + V 1）に昇圧されるが、これは V D D 4 (= 2 × V D D - 2 × V t h) よりも低い値である。つまりトランジスタ Q 3 のゲート（ノード N 3）電位はドレイン（第 2 電源端子 S 2）電位よりも低い状態になり、トランジスタ Q 3 は飽和領域で動作してノード N 1 の充電を行うことになる。よってプリチャージされたノード N 1 のレベル V b [N 1] は、以下の（2）式で表される。

【0183】

$$V b [N 1] = V D D + V 1 - V t h \dots (2)$$

実施の形態 1 で説明したように、昇圧されたノード N 3 の電位 V D D + V 1 は、トランジスタ Q 3 を非飽和領域で動作させるのに充分な高い電位、すなわち V D D + V t h よりも高い値に設定される。つまり V 1 は少なくともトランジスタ Q 3 のしきい値電圧 V t h よりも大きくなるように設定され、次の（3）式が成り立つ。
10

【0184】

$$V 1 - V t h > 0 \dots (3)$$

上の（2）、（3）式より、次の（4）式の関係が得られる。

【0185】

$$V b [N 1] > V D D \dots (4)$$

つまり本実施の形態におけるノード N 1 のプリチャージ後のレベル（V b [N 1]）は、実施の形態 1 におけるノード N 1 のプリチャージ後のレベル（V D D）よりも高くなる。従って、上で説明した効果が得られる。
20

【0186】

また本実施の形態では、電圧発生回路 3 3（チャージポンプ回路 C P および安定化容量 C 6）をシフトレジスタ回路と同じ基板内に形成するものとして説明したが、その構成要素の全部、あるいは一部をその基板の外部に形成して接続させてもよい。その場合、当該基板の面積を小さくすることができるが、基板内の回路と外部の電圧発生回路 3 3（あるいはその一部）とを接続するための外部接続端子を、その基板に設ける必要が生じるので、その分端子数が増加する。

【0187】

例えば、電圧発生回路 3 3 のチャージポンプ回路 C P のダイオード素子をシフトレジスタ回路と同じ基板内に形成し、容量素子（チャージポンプ容量および安定化容量）を外付けにすることが考えられる。その場合、ダイオード素子としてシフトレジスタ回路のものと同じ構造のトランジスタを用いることで製造工程を簡略化することができると共に、容量素子の大容量化が容易になる。また例えば、ダイオード素子および安定化容量を外付けにし、チャージポンプ容量を基板内に形成すれば、回路の寄生容量を小さくできるという利点が得られる。
30

【0188】

[第 1 の変更例]

図 1 5 に示した電圧発生回路 3 3 では、クロック信号 C L K の立ち上がり時にチャージポンプ容量 C 5 を通して電圧出力端子 V T に電荷が供給されるが、それが立ち下がると電圧出力端子 V T への電荷の供給は停止する。よってクロック信号 C L K が L レベルの間は、電圧発生回路 3 3 は電圧安定化容量 C 6 に蓄積されている電荷によって負荷（単位シフトレジスタ S R のノード N 1）へ電流を供給する。つまりクロック信号 C L K が L レベルの間は、安定化容量 C 6 の電荷は放電されるのみであるので、電圧出力端子 V T の電位（V D D 4）が低下する。本実施の形態の第 1 の変更例では、その対策のための電圧発生回路 3 3 の構成例を示す。
40

【0189】

図 1 6 は実施の形態 3 の第 1 の変更例に係る電圧発生回路 3 3 の構成を示す回路図である。当該電圧発生回路 3 3 は、互いに並列に接続された 2 つのチャージポンプ回路 C P 1, C P 2 を有している。

【0190】

チャージポンプ回路 C P 1 は、ダイオード接続されたトランジスタ（ダイオード素子）Q 2 0 a , Q 2 1 a および、その間のノード N 7 a とクロック入力端子 C K T a との間に接続したチャージポンプ容量 C 5 a から成っている。同様に、チャージポンプ回路 C P 2 は、ダイオード素子 Q 2 0 b , Q 2 1 b および、その間のノード N 7 b とクロック入力端子 C K T b との間に接続したチャージポンプ容量 C 5 b から成る。即ち、図 1 6 のチャージポンプ回路 C P 1 , C P 2 のそれぞれは、図 1 5 に示したチャージポンプ回路 C P と同じ構造のものである。

【 0 1 9 1 】

それらチャージポンプ回路 C P 1 , C P 2 それぞれのクロック入力端子 C K T a , C K T b には、互いに位相の異なるクロック信号が入力される。本変更例においては、それらのクロック信号として、シフトレジスタ回路（ゲート線駆動回路 3 0 ）を駆動しているクロック信号 C L K , / C L K を用いる。即ち図 1 6 のように、クロック入力端子 C K T a にはクロック信号 C L K 、クロック入力端子 C K T b にはクロック信号 / C L K が、それぞれ入力される。

【 0 1 9 2 】

従って、図 1 6 の電圧発生回路 3 3 では電圧出力端子 V T に、クロック信号 C L K の立ち上がり時にチャージポンプ回路 C P 1 から電荷が供給され、クロック信号 / C L K の立ち上がり時にチャージポンプ回路 C P 2 から電荷が供給される。つまり電圧出力端子 V T には、クロック信号 C L K , / C L K よりて交互に電荷が供給されることとなり、上記した電圧出力端子 V T の電位低下の問題は解決される。

【 0 1 9 3 】

本変更例では 2 つのチャージポンプ回路を用いて電圧発生回路 3 3 を構成したが、電圧出力端子 V T のレベル低下がある程度許容される場合には、電圧発生回路 3 3 が備えるチャージポンプ回路は 1 つであってもよい。

【 0 1 9 4 】

[第 2 の変更例]

トランジスタ Q 3 のドレインにハイ側電源電位 V D D 4 を供給する電圧発生回路 3 3 は、図 3 の回路への適用に限られず、各実施の形態およびその変更例に示した単位シフトレジスタ S R の何れにも適用可能である。

【 0 1 9 5 】

但し、実施の形態 2 の単位シフトレジスタ S R （図 1 2 ）に電圧発生回路 3 3 を適用する場合には、以下の点を留意すべきである。

【 0 1 9 6 】

例えば、電圧発生回路 3 3 の出力電位 V D D 4 が電位 V D D 1 + V t h (= V D D + V t h) よりも高い場合、図 1 2 のトランジスタ Q 3 のドレインに電位 V D D 4 が供給されていると、ノード N 1 のレベルはプリチャージされる途中で V D D + V t h を超える。するとその時点でトランジスタ Q 1 6 がオンになり、容量素子 C 2 によって昇圧されたノード N 3 のレベルが V D D に戻る。そうなるとトランジスタ Q 3 がオフになり、そこでノード N 1 のプリチャージが終了するため、本実施の形態の効果が充分に得られない。

【 0 1 9 7 】

そこで実施の形態 2 の単位シフトレジスタ S R に電圧発生回路 3 3 を適用する場合には、図 1 7 の如く、ゲートが第 2 電源端子 S 2 に接続したトランジスタ Q 1 7 をトランジスタ Q 1 6 に直列接続させるとよい。なお、トランジスタ Q 1 7 は、図 1 7 のようにトランジスタ Q 1 6 のソースと入力端子 I N との間に介在させてもよいし、あるいはトランジスタ Q 1 6 のドレインとノード N 3 との間に介在させてもよい。

【 0 1 9 8 】

図 1 7 の回路では、ノード N 1 がプリチャージされる期間（即ち、前段の出力信号 G k . 1 が H レベルの期間）、トランジスタ Q 1 7 がオフになる。そのためノード N 1 のレベルが V D D + V t h を超えトランジスタ Q 1 6 がオンになっても、ノード N 3 のレベル低下は防止されるので、本実施の形態の効果を充分に得ることができる。

10

20

30

40

50

【0199】

[第3の変更例]

図18は、実施の形態3の第3の変更例に係る単位シフトレジスタの構成を示す回路図である。本変更例では、実施の形態1の単位シフトレジスタSR(図3)に対し、トランジスタQ3だけでなくトランジスタQ9のドレインにも、電圧発生回路33が生成するハイ側電源電位VDD4を供給させたものである。

【0200】

図18の回路では、ノードN3の充電が開始されてから容量素子C2が昇圧されるまで(図4の時刻t₁と時刻tDの間)に、トランジスタQ9,Q10が共にオンになる期間があり、その間は電圧出力端子VTから電源端子S1へと比較的大きな貫通電流が流れる。電圧発生回路33の出力インピーダンスが高ければ、貫通電流が生じたときに出力電位VDD4が大きく低下するので、チャージポンプ容量の値を適切に設定して出力インピーダンスを低くする必要がある。

10

【0201】

例えば図18の電圧発生回路33として図15の回路を用いた場合、トランジスタQ9のドレイン電位は $2 \times VDD - 2 \times Vth$ となる。ノードN4が充電されたときノードN3はトランジスタQ9を非飽和領域で動作させるレベルにまで昇圧されるものと仮定すると、ノードN4はトランジスタQ9による充電によって $2 \times VDD - 2 \times Vth$ の電位になる。図3の回路では充電後のノードN4の電位はVDDであったため、それと比較すると図15の回路における充電後のノードN4の電位は($2 \times VDD - 2 \times Vth$) - VDD = $VDD - 2 \times Vth$ だけ高くなる。

20

【0202】

従って図15の回路のノードN3も、その分だけ図3のノードN3の電位(VDD + V1)より高く昇圧される。つまり図15の回路における昇圧後のノードN3の電位は、 $(VDD + V1) + (VDD - 2 \times Vth) = 2 \times VDD + V1 - 2 \times Vth > 2 \times VDD - Vth$ となる((3)式)。

【0203】

よってトランジスタQ9においては、ドレイン電位が $2 \times VDD - 2 \times Vth$ であり、ゲート電位が $2 \times VDD - Vth$ よりも大きな値となる。これはトランジスタQ9が非飽和領域で動作する条件を満たしており、上の仮定と矛盾しない。つまりトランジスタQ9は非飽和領域で動作する。トランジスタQ3も、ドレイン電位およびゲート電位がトランジスタQ9と同じであるので、非飽和領域で動作する。従ってプリチャージ後のノードN1の電位は、トランジスタQ3のドレイン電位と同じ $2 \times VDD - 2 \times Vth$ となる。

30

【0204】

シフトレジスタ回路に供給されるハイ側電源電位は、クロック信号のHレベルの電位VDDに等しく設定されるのが一般的である。この場合、従来の単位シフトレジスタ(特許文献1の図7)ではトランジスタQ1に相当する出力プルアップトランジスタのゲート(ノードN1に相当)のプリチャージ後の電位はVDD - Vthとなる。トランジスタのオン抵抗はそのゲート・ソース間電圧に比例するため、本変更例では、従来に比べてトランジスタQ1のオン抵抗値は、 $(VDD - Vth) / (2 \times VDD - 2 \times Vth) = 1/2$ 倍、すなわち半分になる。

40

【0205】

このように本変更例では、電圧発生回路33の出力電位VDD4(トランジスタQ3のドレイン電位)が高い場合でも、トランジスタQ3を非飽和領域で動作させることができる。即ち、トランジスタQ3によるプリチャージ後のノードN1を、電圧発生回路33の出力電位VDD4と同じレベルにまで高くすることができる。

【0206】

本変更例も各実施の形態およびその変更例に示した単位シフトレジスタSRの何れにも適用可能であるが、実施の形態2の単位シフトレジスタSR(図12)に適用する場合には、図17と同様に、トランジスタQ17をトランジスタQ16に直列に設ける必要があ

50

る。またその場合トランジスタQ15のゲートの接続先は、電圧発生回路33にせず、第2電源端子S2のままにする。トランジスタQ15のゲート電位がVDDよりも高いVD4に設定されると、トランジスタQ15はノードN6が昇圧されるときオンになり遮断素子として機能しなくなるからである。

【0207】

<実施の形態4>

実施の形態4では、本発明を信号のシフト方向を変更可能なシフトレジスタに適用する。そのようなシフトレジスタを用いて構成されたゲート線駆動回路30は、双方向の走査が可能である。

【0208】

図19は実施の形態4に係る単位シフトレジスタSR_kの回路図である。当該単位シフトレジスタSR_kは、図3の回路に対し、信号のシフト方向を切り換えるための切換回路24を設けたものである。

【0209】

図3の回路においては、トランジスタQ8の一方の電流電極（入力端子IN）に前段の出力信号G_{k-1}が入力され、トランジスタQ4のゲート（リセット端子RST）に次段の出力信号G_{k+1}が入力されるように固定されていたが、図19の切換回路24は、その2つの信号を、第1および第2電圧信号Vn, Vrのレベルに応じて入れ換えることが可能なものである。

【0210】

図19に示されるように、切換回路24は、トランジスタQ25r, Q25n, Q26r, Q26nから成っている。また切換回路24は、前段の出力信号G_{k-1}および次段の出力信号G_{k+1}をそれぞれ受ける第1および第2入力端子IN1, IN2と、第1および第2電圧信号Vn, Vrをそれぞれ受ける第1および第2電圧信号端子T1, T2とを備えている。

【0211】

切換回路24は2つの出力端を有しており、それらをそれぞれ「ノードN8」、「ノードN9」と定義する。ここではトランジスタQ8の一方の電流電極をノードN8は接続させ、トランジスタQ4のゲートをここではノードN9に接続させている。ノードN8は、図3の回路の入力端子INに相当し、ノードN9は図3の回路のリセット端子RSTに相当する。つまり切換回路24は、前段の出力信号G_{k-1}と次段の出力信号G_{k+1}のうち、どちらを図3の入力端子IN（ノードN8）に供給し、どちらを図3のリセット端子RST（ノードN9）に供給するかを切り換えるものである。

【0212】

図19の如く、トランジスタQ25nは、第1入力端子IN1とノードN8との間に接続し、そのゲートは第1電圧信号端子T1に接続する。トランジスタQ25rは、第2入力端子IN2とノードN8との間に接続し、そのゲートは第2電圧信号端子T2に接続する。トランジスタQ26nは、第2入力端子IN2とノードN9との間に接続し、そのゲートは第1電圧信号端子T1に接続する。トランジスタQ26rは、第2入力端子IN2とノードN9との間に接続し、そのゲートは第2電圧信号端子T2に接続する。

【0213】

ここで、第1および第2電圧信号Vn, Vrは、信号のシフト方向（走査方向）を決定するための制御信号である。当該単位シフトレジスタSR_kに、順方向シフトの動作を行わせる場合、第1電圧信号VnはHレベル、第2電圧信号VrはLレベルに設定される。また逆方向シフトの動作を行わせる場合には、第1電圧信号VnはLレベル、第2電圧信号VrはHレベルに設定される。

【0214】

第1電圧信号VnがHレベル、第2電圧信号VrがLレベルの場合、トランジスタQ25n, Q26nがオン、トランジスタQ25r, Q26rがオフになる。よって第1入力端子IN1に入力された前段の出力信号G_{k-1}はノードN8に供給され、第2入力端子I

10

20

30

40

50

N₂に入力された次段の出力信号G_{k+1}はノードN₉に供給される。この場合、図19の単位シフトレジスタS R_kは図3と等価になる。そのため図19の単位シフトレジスタS R_kが複数個縦続接続して構成されたゲート線駆動回路30は、前段から後段への向き(「順方向」と定義する)すなわち単位シフトレジスタS R₁, S R₂, S R₃, …の順に信号をシフトできる。

【0215】

一方、第1電圧信号VnがLレベル、第2電圧信号VrがHレベルの場合は、トランジスタQ25r, Q26rがオン、トランジスタQ25n, Q26nがオフになる。よって順方向シフトの場合とは反対に、前段の出力信号G_{k-1}がノードN₉に供給され、次段の出力信号G_{k+1}がノードN₈に供給される。この場合、図19の単位シフトレジスタS R_kは、次段の出力信号G_{k+1}の活性化に応じてセット状態になり、前段の出力信号G_{k-1}の活性化に応じてリセット状態になるように動作する。そのため図19の単位シフトレジスタS R_kが複数個縦続接続して構成されたゲート線駆動回路30は、後段から前段への向き(「逆方向」と定義する)すなわち単位シフトレジスタS R_n, S R_{n-1}, S R_{n-2}, …の順に信号をシフトできるようになる。10

【0216】

なお、図19の出力回路20、プルアップ駆動回路21およびプルダウン駆動回路22の動作は、図3のものと同様であるため、本実施の形態の単位シフトレジスタS R_kにおいても実施の形態1と同様の効果が得られる。20

【0217】

但し、単位シフトレジスタS R_kのプルアップ駆動回路21に、切換回路24を通して前段の出力信号G_{k-1}および次段の出力信号G_{k+1}が供給されるため、図3の回路よりも前段の出力信号G_{k-1}および次段の出力信号G_{k+1}に対する応答が若干遅くなる。20

【0218】

また、例えば第1および第2電圧信号Vn, VrのHレベルが、前段の出力信号G_{k-1}および次段の出力信号G_{k+1}のHレベル(即ちクロック信号CLK, /CLKのHレベル)と同じ電位の場合、トランジスタQ25n, Q25r, Q26n, Q26rは飽和領域で動作する。そのため前段の出力信号G_{k-1}および次段の出力信号G_{k+1}は、各トランジスタのしきい値電圧分だけHレベルの電位が下がってノードN₈, N₉に伝達される点に留意すべきである。30

【0219】

なお本実施の形態は、上記の実施の形態1~3の単位シフトレジスタS R_kの何れにも適用可能である。但し、図8~図10の単位シフトレジスタS R_kのように、プルダウン駆動回路22がトランジスタQ12~Q14から成る入力回路を有する場合には、トランジスタQ12, Q14それぞれのゲートに供給する信号も、シフト方向に応じて切り換える必要がある。よってその場合は、プルダウン駆動回路22の入力回路にも切換回路24を通して前段の出力信号G_{k-1}および次段の出力信号G_{k+1}が供給されるように、トランジスタQ12のゲートをノードN₈に接続させ、トランジスタQ14のゲートはノードN₉に接続させる。30

【0220】

また、図11の単位シフトレジスタS R_kはトランジスタQ4を有していないため、トランジスタQ25n, Q25rのみから成る切換回路24を設ければよい。40

【0221】

[第1の変更例]

図20は実施の形態4の第1の変更例に係る単位シフトレジスタS R_kの回路図である。当該単位シフトレジスタS R_kは、図19の回路に対し、トランジスタQ8を省略してノードN₈とノードN₃とを接続させたものである。

【0222】

図20の単位シフトレジスタS R_kでは、トランジスタQ25n, Q25rが、図19のトランジスタQ8の役割を兼ねることになる。例えば順方向シフト時では、第1電圧信50

号 V_n が H レベル、第 2 電圧信号 V_r が L レベルであるので、トランジスタ Q_{25n} のゲート電位は V_{DD} に固定され、トランジスタ Q_{25r} はオフ状態になる。従ってこのときはトランジスタ Q_{25n} が、図 19 のトランジスタ Q_8 と同じ動作を行うことになる。

【0223】

一方、逆方向シフト時では、第 1 電圧信号 V_n が L レベル、第 2 電圧信号 V_r が H レベルであるので、トランジスタ Q_{25r} のゲート電位が V_{DD} に固定され、トランジスタ Q_{25n} はオフ状態に固定される。よってこのときトランジスタ Q_{25r} がトランジスタ Q_8 と同じ動作を行う。

【0224】

本変更例によれば、トランジスタ Q_8 が省略される分、回路面積を小さくすることができる。但し、ノード N_3 に接続するトランジスタの数が増えるため、ノード N_3 の寄生容量が大きくなることに留意すべきである。10

【0225】

[第 2 の変更例]

上で説明したように、第 1 および第 2 電圧信号 V_n , V_r の H レベルが、前段の出力信号 G_{k-1} および次段の出力信号 G_{k+1} の H レベル（即ちクロック信号 C_{LK} , $/C_{LK}$ の H レベル）と同じ電位である場合、図 19 の単位シフトレジスタ S_{R_k} のトランジスタ Q_{25n} , Q_{25r} , Q_{26n} , Q_{26r} は飽和領域で動作する。そのため、前段の出力信号 G_{k-1} および次段の出力信号 G_{k+1} は、各トランジスタのしきい値電圧分だけ H レベルの電位が下がってノード N_8 , N_9 に伝達される。ここではその対策を施した変更例を示す。20

【0226】

図 21 は、実施の形態 4 の第 2 の変更例に係る単位シフトレジスタ S_{R_k} の回路図である。当該単位シフトレジスタ S_{R_k} は、図 19 の回路に対し、トランジスタ Q_{25n} のゲートと第 1 電圧信号端子 T_1 との間にトランジスタ Q_{27n} を介在させると共に、トランジスタ Q_{25r} のゲートと第 2 電圧信号端子 T_2 との間にトランジスタ Q_{27r} を介在させたものである。トランジスタ Q_{27n} , Q_{27r} のゲートは共にハイ側電源電位 V_{DD1} が供給される第 2 電源端子 S_2 に接続される。

【0227】

以下、図 21 の単位シフトレジスタ S_R が備える切換回路 24 の動作を説明する。ここで、第 1 および第 2 電圧信号 V_n , V_r および前段の出力信号 G_{k-1} および次段の出力信号 G_{k+1} の H レベル（即ちクロック信号 C_{LK} , $/C_{LK}$ の H レベル）の電位は全て等しく V_{DD} であるとする。またハイ側電源電位 V_{DD1} , V_{DD2} もそれと同じ V_{DD} であるとする。またトランジスタ Q_{25n} のゲートが接続するノードを「ノード N_{10} 」、トランジスタ Q_{25r} のゲートが接続するノードを「ノード N_{11} 」と定義する。30

【0228】

順方向シフト時における切換回路 24 の動作を説明する。このとき第 1 電圧信号 V_n は H レベル (V_{DD})、第 2 電圧信号 V_r は L レベル (V_{SS}) である。よってトランジスタ Q_{26n} はオン状態、トランジスタ Q_{26r} はオフ状態になる。またトランジスタ Q_{27n} , Q_{27r} はゲート電位が V_{DD} の H レベルに固定されているため、共にオン状態である。単位シフトレジスタ S_{R_k} および前段および次段の出力信号 G_k , G_{k-1} , G_{k+1} が何れも L レベルと仮定すると、ノード N_{10} は電位 $V_{DD} - V_{th}$ の H レベル、ノード N_{11} は電位 V_{SS} の L レベルになる。よってトランジスタ Q_{25n} はオン状態、トランジスタ Q_{25r} はオフ状態である。40

【0229】

従って、第 1 入力端子 IN_1 に入力された前段の出力信号 G_{k-1} はノード N_8 に供給され、第 2 入力端子 IN_2 に入力された次段の出力信号 G_{k+1} はノード N_9 に供給される。つまり図 21 の単位シフトレジスタ S_{R_k} は図 3 と等価になり、順方向シフトを行うことができる。

【0230】

また図 21 の切換回路 24 では、前段の出力信号 G_{k-1} が立ち上がりと共にノード N_8

50

の電位が上昇するとき、トランジスタ Q_{25n} のゲート・チャネル間容量を介した結合によりノード N₁₀ が昇圧される。このときトランジスタ Q_{27n} はオフになるため、ノード N₁₀ はトランジスタ Q_{25n} を非飽和領域で動作させるのに充分なレベルにまで上昇する。よってノード N₈ の電位は前段の出力信号 G_{k-1} の H レベルと同じ VDD になる。つまり前段の出力信号 G_{k-1} は、トランジスタ Q_{25n} のしきい値電圧分の損失を伴わずに、ノード N₈ に伝達される。

【0231】

逆方向シフト時には、第 1 電圧信号 V_n は L レベル (VSS) 、第 2 電圧信号 V_r は H レベル (VDD) であるので、トランジスタ Q_{26n} はオフ状態、トランジスタ Q_{26r} はオン状態である。またトランジスタ Q_{27n} , Q_{27r} はオン状態なので、単位シフトレジスタ S_{Rk} および前段および次段の出力信号 G_k , G_{k-1} , G_{k+1} が何れも L レベルと仮定すると、ノード N₁₀ は電位 VSS の L レベルの H レベル、ノード N₁₁ は電位 VDD - Vth の H レベルになる。よってトランジスタ Q_{25n} はオフ状態、トランジスタ Q_{25r} 状態はオンである。10

【0232】

従って、第 1 入力端子 IN₁ に入力された前段の出力信号 G_{k-1} はノード N₉ に供給され、第 2 入力端子 IN₂ に入力された次段の出力信号 G_{k+1} はノード N₈ に供給される。この場合、図 21 の単位シフトレジスタ S_{Rk} は、次段の出力信号 G_{k+1} の活性化に応じてセット状態になり、前段の出力信号 G_{k-1} の活性化に応じてリセット状態になるように動作するため、逆方向シフトを行うことができる。20

【0233】

また次段の出力信号 G_{k+1} が立ち上がるとき、トランジスタ Q_{25r} のゲート・チャネル間容量を介した結合によりノード N₁₁ が昇圧されるため、トランジスタ Q_{25r} は非飽和領域で動作する。よって次段の出力信号 G_{k+1} は、トランジスタ Q_{25r} のしきい値電圧分の損失を伴わずに、ノード N₉ に伝達される。

【0234】

図 21 の回路は、第 1 および第 2 電圧信号 V_n , V_r の H レベルの電位が VDD + Vth よりも低い場合に効果的なものである。逆に言えば、第 1 および第 2 電圧信号 V_n , V_r の H レベルの電位が VDD + Vth よりも大きく、トランジスタ Q_{27n} , Q_{27r} を設けるまでもなく（つまり図 19 の回路であっても）トランジスタ Q_{25n} , Q_{25r} が非飽和領域で動作する場合には、本変更例を適用する必要はない。30

【0235】

< 実施の形態 5 >

図 22 は、実施の形態 5 に係る単位シフトレジスタ S_{Rk} の回路図である。当該単位シフトレジスタ S_{Rk} は、図 3 の回路に対し、トランジスタ Q₈ および容量素子 C₂ に対して並列に、トランジスタ Q_{8D} および容量素子 C_{2D} を設け、トランジスタ Q₉ のゲートをトランジスタ Q_{8D} と容量素子 C_{2D} との間の接続ノードに接続させることで、トランジスタ Q₃ , Q₉ のゲート間を分離したものである。本実施の形態では、トランジスタ Q₉ のゲートが接続するノードを「ノード N_{3D}」と定義する。

【0236】

図 22 に示すように、トランジスタ Q_{8D} は、入力端子 IN とノード N_{3D} との間に接続し、そのゲートはトランジスタ Q₈ のゲートと共に第 2 電源端子 S₂ に接続される。また容量素子 C_{2D} はノード N_{3D} とノード N₄ との間に接続される。40

【0237】

トランジスタ Q_{8D} および容量素子 C_{2D} が直列接続して成る回路は、トランジスタ Q₈ および容量素子 C₂ が直列接続して成る回路に対して並列に接続しており、トランジスタ Q₈ , Q_{8D} のゲートは共に入力端子 IN に接続しているので、この 2 つの回路は互いに同じように動作する。つまりノード N_{3D} はノード N₃ と同じようにレベル変化する。従って図 22 の単位シフトレジスタ S_{Rk} は、トランジスタ Q₃ , Q₉ のゲートが互いに接続した図 3 の回路と同様に動作することができる。50

【 0 2 3 8 】

図22の単位シフトレジスタ $S R_k$ によれば、トランジスタQ9のゲートがノードN3に接続しない分、図3の回路よりもトランジスタQ9のゲートの寄生容量を小さくすることができる（逆に言えば、トランジスタQ9のゲートが接続するノードの寄生容量がトランジスタQ3のゲート容量分だけ小さくなる）。

【 0 2 3 9 】

従って、図22の単位シフトレジスタ $S R_k$ では、ノードN1のプリチャージ時にトランジスタQ3, Q9のゲート電位が、図3の場合よりも高速に、且つより高いレベルにまで昇圧される。その結果、ノードN1, N4それぞれの充電速度が速くなり、単位シフトレジスタ $S R_k$ の動作の高速化に寄与できる。

10

【 0 2 4 0 】**[変更例]**

本実施の形態も、図3の回路への適用に限られず、各実施の形態およびその変更例に示した単位シフトレジスタ $S R$ の何れにも適用可能である。特に、トランジスタQ3のドレインあるいはトランジスタQ3, Q9のドレインに電圧発生回路33からより高い電位VDD4が供給される実施の形態3の回路においては、ノードN3のゲート電位を高くできることの意義は大きく、より効果的である。

【 0 2 4 1 】

実施の形態2の単位シフトレジスタ $S R$ （図12）に本実施の形態を適用する場合、図23に示すように、トランジスタQ8Dのゲートは、トランジスタQ8のゲートと共にトランジスタQ15に接続させる（つまりノードN6に接続させる）。またノードN3を放電するトランジスタQ16に対応させて、ノードN3Dと入力端子INとの間に、ゲートがノードN1に接続したトランジスタQ16Dを接続させる。トランジスタQ16と同様に、トランジスタQ16Dのソースにも前段の出力信号 G_{k-1} と同相のクロック信号/C_{LK}を供給してもよい。なお、図23の回路に実施の形態3の電圧発生回路33を接続させる場合、トランジスタQ3, Q9両方のドレインに電位VDD4を供給すると、動作の高速性に最も優れた単位シフトレジスタ $S R_k$ となる。

20

【 0 2 4 2 】**< 実施の形態6 >**

図24は実施の形態6に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ も上記の各実施の形態と同様に出力回路20、プルアップ駆動回路21およびプルダウン駆動回路22から構成されている。

30

【 0 2 4 3 】

出力回路20およびプルダウン駆動回路22は、図8（実施の形態1の第5の変更例）と同様の構成のものである。つまり出力回路20は、出力端子OUTにクロック信号C_{LK}を供給するトランジスタQ1と、非選択期間に出力端子OUTの放電を行うトランジスタQ2とから成る。またプルダウン駆動回路22は、トランジスタQ6, Q7から成るインバータと、トランジスタQ12～Q14から成る入力回路を備えるものである。

【 0 2 4 4 】

なお、図24のプルダウン駆動回路22では、トランジスタQ6, Q12のドレインと共に第3電源端子S3に接続させている。図8ではトランジスタQ12のドレインを第2電源端子S2に接続させていたが、上記のとおり第2電源端子S2の電位VDD1と第3電源端子S3の電位VDD2は同じ値でもよいため、図24のようにプルダウン駆動回路22を構成しても動作上の問題はない。

40

【 0 2 4 5 】

実施の形態1の第5の変更例で説明したように、プルダウン駆動回路22の入力回路は、前段の出力信号 G_{k-1} の活性化に応じてインバータの入力端（ノードN5）をHレベルにし、次段の出力信号 G_{k+1} の活性化に応じてノードN5をLレベルに変化させる。従ってインバータの出力端（ノードN2）は、前段の出力信号 G_{k-1} の活性化に応じてLレベルになり、次段の出力信号 G_{k+1} の活性化に応じてHレベルになる。ノードN2はプルダ

50

ウン駆動回路 2 2 の出力端であり、出力回路 2 0 のトランジスタ Q 2 のゲートに接続される。

【0246】

一方、プルアップ駆動回路 2 1 は、入力端子 IN とノード N 1との間に接続したトランジスタ Q 3 0 と、当該トランジスタ Q 3 0 のゲートとノード N 2 との間に接続したトランジスタ Q 3 1 とから成っている。トランジスタ Q 3 1 のゲートは、ハイ側電源電位 V DD 1 が供給される第 2 電源端子 S 2 に接続されている。ここで、トランジスタ Q 3 0 のゲートが接続するノードを「ノード N 3 0」と定義する。

【0247】

図 25 は、実施の形態 6 に係る単位シフトレジスタ S R_k の動作を説明するためのタイミング図である。10 以下、同図に基づいて単位シフトレジスタ S R_k の動作を説明する。ここでも、単位シフトレジスタ S R_k のクロック端子 CK には、クロック信号 CLK が入力されるものとする。

【0248】

単位シフトレジスタ S R_k の初期状態（時刻 t₁ の直前の状態）として、ノード N 1 が L レベル (V SS) 、ノード N 2 が H レベル (V DD - V th) であると仮定する（リセット状態）。この状態では、トランジスタ Q 1 がオフ、トランジスタ Q 2 がオンであるので、クロック信号 CLK のレベルに関係なく、出力信号 G_k は L レベルに保たれる。

【0249】

また時刻 t₁ の直前では、単位シフトレジスタ S R_k のクロック端子 CK (クロック信号 CLK) 、リセット端子 RST (次段の出力信号 G_{k+1}) 、入力端子 IN (前段の出力信号 G_{k-1}) は何れも L レベルであるとする。この場合、ノード N 2 が H レベルであるので、ノード N 3 0 はトランジスタ Q 3 1 を通して充電されて H レベル (V DD - V th) になっている。よってトランジスタ Q 3 0 はオン状態であり、ノード N 1 は L レベル (V SS) になっている。20

【0250】

その状態から、時刻 t₁ でクロック信号 / CLK (不図示) が H レベルに変化すると共に、前段の出力信号 G_{k-1} (第 1 段目の単位シフトレジスタ S R₁ の場合にはスタートパルス SP) が活性化されたとする。

【0251】

プルアップ駆動回路 2 1 のトランジスタ Q 3 0 はオン状態であるので、前段の出力信号 G_{k-1} のレベルが上昇するとノード N 1 の充電が開始される。このとき入力端子 IN およびノード N 1 とノード N 3 0 との間は、トランジスタ Q 3 0 の寄生容量（ゲート・チャネル間容量、ゲートとソース・ドレインとの間のオーバラップ容量など）により容量結合しており、入力端子 IN およびノード N 1 のレベル上昇に伴ってノード N 3 0 のレベルも上昇する。ノード N 3 0 のレベルが上昇するとトランジスタ Q 3 1 はオフになり（トランジスタ Q 3 1 の動作の詳細は後述する）、ノード N 3 0 はトランジスタ Q 3 0 を非飽和領域で動作させるレベルにまで上昇する。即ち、ノード N 3 0 の電圧は前段の出力信号 G_{k-1} の振幅 (V DD) よりも大きくなる。このときノード N 3 0 の電圧が V DD + V th 以上になれば、トランジスタ Q 3 0 は非飽和領域で動作する。そのためノード N 1 は高速に充電（プリチャージ）され、前段の出力信号 G_{k-1} に追随して素早く電位 V DD の H レベルになる。応じてトランジスタ Q 1 がオンになる。3040

【0252】

他方、プルダウン駆動回路 2 2 では、前段の出力信号 G_{k-1} の立ち上がりに応じて、トランジスタ Q 1 2 がオンになる。このときトランジスタ Q 1 3 もオンしているが、トランジスタ Q 1 2 はトランジスタ Q 1 3 よりもオン抵抗が充分小さく設定されているため、ノード N 5 のレベルが上昇する。応じてトランジスタ Q 7 がオンになり、ノード N 2 のレベルが低下し始める。ノード N 2 のレベルが低下すると、トランジスタ Q 3 1 がオンしてノード N 3 0 からノード N 2 への方向に電流が流れる。よってノード N 3 0 のレベルは、ノード N 2 のレベル低下に伴って低下する。50

【 0 2 5 3 】

時刻 t_1 から所定時間遅れた時刻 t_{D1} で、ノード N₂, N₃₀ のレベルが L レベルになると、トランジスタ Q₂ はオフになる。つまり単位シフトレジスタ S_{Rk} は、トランジスタ Q₁ がオン、トランジスタ Q₂ がオフのセット状態となるが、この時点ではクロック信号 C_{LK} は L レベルであるので、出力端子 OUT (出力信号 G_k) は低インピーダンスで L レベルに維持される。また時刻 t_{D1} ではトランジスタ Q₃₀ がオフになるので、ノード N₁ はフローティング状態で H レベルに維持される。

【 0 2 5 4 】

他方、プルダウン駆動回路 2₂ では、ノード N₂ が L レベルになるとトランジスタ Q₁₃ がオフになる。その結果ノード N₅ は電位 V_{DD} - V_{th} の H レベルになる。

10

【 0 2 5 5 】

ここでノード N₁ のプリチャージ時におけるトランジスタ Q₃₁ の動作に注目する。ノード N₁ がプリチャージされる前は、ノード N₂ が H レベル (V_{DD} - V_{th}) であり、またトランジスタ Q₃₁ のゲート電圧は V_{DD} (= V_{DD1}) に固定されているので、トランジスタ Q₃₁ はノード N₂ からノード N₃₀ へと電流を流し、ノード N₃₀ を H レベル (V_{DD} - V_{th}) に充電する。

【 0 2 5 6 】

そして前段の出力信号 G_{k-1} が立ち上がってトランジスタ Q₃₀ によるノード N₁ のプリチャージが開始されたとき、ノード N₃₀ が昇圧されるので、電位関係によりノード N₂ 側がトランジスタ Q₃₁ のソースとなる。この時点ではノード N₂ の電位は V_{DD} - V_{th} であるので、トランジスタ Q₃₁ のゲート (第 2 電源端子 S₂) ・ ソース (ノード N₂) 間電圧は V_{th} となり、当該トランジスタ Q₃₁ はオンとオフの境界状態になる。よってトランジスタ Q₃₁ にはノード N₃₀ からノード N₂ への方向にサブスレッシュホールド電流が流れがるが、これは微小な電流なので、ノード N₃₀ が昇圧されている短い期間 ($t_{D1} - t_1$) にノード N₃₀ から放出される電荷は無視できる程度である。

20

【 0 2 5 7 】

そしてノード N₁ がプリチャージされて H レベル (V_{DD}) になった後の時刻 t_{D1} で、ノード N₂ が L レベルになると、トランジスタ Q₃₁ はオンになり、ノード N₃₀ からノード N₂ へと電流が流れ、ノード N₃₀ は L レベル (V_{SS}) になる。その後も、ノード N₂ が L レベルの間はトランジスタ Q₃₁ はオン状態であり、ノード N₃₀ は L レベルに維持される。

30

【 0 2 5 8 】

このようにトランジスタ Q₃₁ は、ノード N₁ のプリチャージ前、ノード N₂ が H レベルになっている段階では、ノード N₂ の電位をノード N₃₀ に伝達する抵抗素子として働き、ノード N₁ のプリチャージ開始時にノード N₃₀ が昇圧された段階では、ノード N₃₀ とノード N₂ との間を遮断する遮断素子として働く。またノード N₁ のプリチャージが進みノード N₂ のレベルが低下する段階およびそれ以降のノード N₂ が L レベルに維持されている段階では、トランジスタ Q₃₁ はノード N₃₀ の電荷をノード N₂ に放電する抵抗素子として働く。つまりトランジスタ Q₃₁ は、前段の出力信号 G_{k-1} の活性化に先んじてノード N₃₀ を充電し、また前段の出力信号 G_{k-1} の非活性化に先んじてノード N₃₀ を放電する充放電回路として機能する。

40

【 0 2 5 9 】

なお、ノード N₃₀ が L レベルに低下するとき、トランジスタ Q₃₀ のゲート・ソース間のオーバラップ容量を介する結合のため、ノード N₁ のレベルも若干低下する (図 2₅ の V₃)。このノード N₁ のレベル低下は、実施の形態 1 の単位シフトレジスタ S_{Rk} において前段の出力信号 G_{k-1} の立ち下がり時に生じるもの (図 4 の V₂) とほぼ同じであり、V₃ 低下した後でもノード N₁ のレベルは従来 (特許文献 1 の図 7 の回路) より高い。

【 0 2 6 0 】

時刻 t_2 でクロック信号 /C_{LK} が立ち下がると、前段の出力信号 G_{k-1} は L レベルに変

50

化する。トランジスタ Q₃ 0 は時刻 t_{D1} にオフ状態になっているので、ノード N 1 のレベルは変化しない。

【 0 2 6 1 】

プルダウン駆動回路 2 2 では、前段の出力信号 G_{k-1} の立ち下がりに応じてトランジスタ Q₁ 2 がオフになる。このときトランジスタ Q₁ 2 のゲート・ソース間のオーバラップ容量を介した結合により、ノード N 5 のレベルが若干低下するが、単位シフトレジスタ S R の動作には影響しない程度である。

【 0 2 6 2 】

そして時刻 t_3 でクロック信号 C L K が立ち上ると、そのレベル変化がオン状態のトランジスタ Q₁ を通して出力端子 O U T へと伝達され、出力信号 G_k のレベルが上昇する。
10 このとき容量素子 C₁ を介する結合によりノード N 1 が昇圧され、トランジスタ Q₁ を非飽和領域で動作させる。よって出力信号 G_k は、クロック信号 C L K の H レベルと同じ電位 V D D の H レベルになる。

【 0 2 6 3 】

ノード N 1 の寄生容量が十分小さいとすると、ノード N 1 は出力信号 G_k のレベルと同程度昇圧されるので、昇圧後のノード N 1 のレベル V_a [N 1] は実施の形態 1 と同様に、上記の(1)式で表される。

【 0 2 6 4 】

時刻 t_4 でクロック信号 C L K が立ち下がると、オン状態のトランジスタ Q₁ を通して出力端子 O U T からクロック端子 C K へと電流が流れ、出力端子 O U T が放電される。その結果、出力信号 G_k は L レベルになる。このとき容量素子 C₁ を介する結合により、ノード N 1 は昇圧される前のレベル (V D D - V₃) に戻る。
20

【 0 2 6 5 】

ここで、出力信号 G_k は、次段の単位シフトレジスタ S R_{k+1} の入力端子 I N にも入力されているので、上記の時刻 t_3 で出力信号 G_k が H レベルになったとき、単位シフトレジスタ S R_{k+1} はセット状態に移行している。

【 0 2 6 6 】

そのため時刻 t_5 で、クロック信号 / C L K のレベルが立ち上ると、次段の出力信号 G_{k+1} (不図示) が H レベルになる。よって単位シフトレジスタ S R_k では、トランジスタ Q₁ 4 がオンになり、ノード N 5 が L レベルになる。応じてトランジスタ Q₇ がオフになるため、ノード N 2 がトランジスタ Q₆ により充電されて H レベルになる。
30

【 0 2 6 7 】

ノード N 2 が H レベルになると、オン状態のトランジスタ Q₃ 1 を通しノード N 2 からノード N 3 0 へと電流が流れ、ノード N 3 0 は電位 V D D - V_{t h} の H ベルになる。その結果トランジスタ Q₃ 0 がオンになり、ノード N 1 は放電され、低インピーダンスの L レベルになる。その結果単位シフトレジスタ S R_k は、トランジスタ Q₁ がオフ、トランジスタ Q₂ がオンのリセット状態に戻る。

【 0 2 6 8 】

その後、次段の出力信号 G_{k+1} は L レベルに戻るが、単位シフトレジスタ S R_k は、次のフレーム期間で前段の出力信号 G_{k-1} が活性化されるまでリセット状態に維持される。トランジスタ Q₆ , Q₇ , Q₁ 3 から成るハーフラッチ回路が、ノード N 2 , N 5 のレベルを保持するからである。またその間、トランジスタ Q₂ がオンしているので、出力端子 O U T は低インピーダンスで L レベルに維持される。
40

【 0 2 6 9 】

以上の動作から分かるように、トランジスタ Q₃ 0 は単位シフトレジスタ S R_k をセット状態にするノード N 1 の充電 (プリチャージ) と、リセット状態にするためのノード N 1 の放電の両方を行う。

【 0 2 7 0 】

本実施の形態に係る単位シフトレジスタ S R においては、トランジスタ Q₃ 0 のゲート・チャネル間容量がノード N 3 0 の昇圧手段として機能し、それがノード N 1 のプリチャ
50

ージ時のトランジスタQ30のゲート電位を上昇させる。それによりトランジスタQ30は非飽和領域で動作するので、ノードN1のレベル上昇速度は従来よりも高速になる。よって、クロック信号の周波数が高くなり、入力端子INに入力される信号のパルス幅が狭くなった場合であっても、ノードN1を充分にプリチャージすることができる。そのため実施の形態1と同様に、トランジスタQ1の駆動能力の低下を防止できるという効果が得られる。

【0271】

[第1の変更例]

図3の回路と同様に、図24の単位シフトレジスタSR_kにおいても、プルダウン駆動回路22のインバータの負荷素子（トランジスタQ6）は、ゲート線GL_kの非選択期間にノードN2をHレベルに保持する働きができるものであればよい。よってトランジスタQ6に代えて、例えば定電流素子や抵抗素子などの電流駆動素子を用いてもよい。10

【0272】

また図24では、トランジスタQ6のゲートに一定のハイ側電源電位VDD2を供給していたが、それに代えて次段の出力信号G_{k+1}と同相のクロック信号/CCLKを供給してもよい。単位シフトレジスタSR_kが出力信号G_kを活性化させるのに際し、トランジスタQ7は2水平期間（図25の時刻t₁～時刻t₅）オンになる。図24の回路ではその2水平期間、終始トランジスタQ6, Q7を通して貫通電流が流れるが、トランジスタQ7のゲートにクロック信号/CCLKを供給した場合にはそのうち半分の期間はトランジスタQ6がオフになるので、貫通電流を半分にすることができる。あるいは、クロック信号/CCLKはトランジスタQ6のゲートとドレインの両方に供給してもよい。20

【0273】

本変更例は、以下の全ての実施の形態およびその変更例についても適用できる。

【0274】

[第2の変更例]

実施の形態1で図10に示した変更例と同様に、図24のプルダウン駆動回路22においてもトランジスタQ13のソースを入力端子INに接続させてもよい。その場合、前段の出力信号G_{k-1}が活性化したとき、トランジスタQ13はソース電位が高くなるのでオフになる。つまりトランジスタQ3がオンになるのとほぼ同時にトランジスタQ13がオフになり、その状態でノードN5の充電が行われる。よって、トランジスタQ12, Q13のオン抵抗値と無関係にノードN5の充電が可能になり、回路設計が容易になる。30

【0275】

[第3の変更例]

上記の第2の変更例のようにトランジスタQ13のソースに前段の出力信号G_{k-1}を供給した場合、図24の場合よりもノードN5のレベルの立ち上がり速度が速くなる。そのためノードN2, N30のレベルがLレベルになる時刻tD1が早くなり、ノードN1のレベルが充分に高くなる前にトランジスタQ30がオフになることが考えられる。そうなると出力信号G_kの活性化時のトランジスタQ1のオン抵抗が下がり、本発明の効果が得られない。ここでは、その対策のための変更例を提案する。

【0276】

図26は、実施の形態6の第3の変更例に係る単位シフトレジスタSR_kの回路図である。当該単位シフトレジスタSR_kは、図24の回路に対し、トランジスタQ13のソースに前段の出力信号G_{k-1}を供給すると共に、プルダウン駆動回路22のインバータとして、実施の形態1の第4の変更例（図7）と同様にトランジスタQ6, Q7A, Q7B, Q7Cから成るシュミットトリガ型のインバータを用いたものである。このシュミットトリガ型のインバータは、図24のプルダウン駆動回路22のインバータ（トランジスタQ6, Q7）と同様に、ノードN5を入力端、ノードN2を出力端としている。40

【0277】

シュミットトリガ型インバータは、通常のレシオ型インバータよりもしきい値電圧が高いので、ノードN5のレベル上昇に応じてノードN2のレベルが下がるタイミングが遅れ50

る。そのためトランジスタQ13のソースに前段の出力信号G_{k-1}を供給してノードN5のレベル上昇速度が高くなった場合でも、ノードN2, N30がLレベルになるタイミング(時刻tD1)は一定時間だけ遅れる。従って、ノードN1のレベルが充分に高くなる前にトランジスタQ30がオフになることを防止できる。

【0278】

[第4の変更例]

図27は実施の形態6の第4の変更例に係る単位シフトレジスタS R_kの回路図である。当該単位シフトレジスタS R_kは、図24の回路に対し、トランジスタQ13のソースに前段の出力信号G_{k-1}を供給すると共に、ノードN2とノードN5との間に接続する容量素子C3を設けたものである。

10

【0279】

容量素子C3は、ノードN5の立ち上がりタイミングを遅延させるように作用する。よってトランジスタQ13のソースに前段の出力信号G_{k-1}を供給した場合であっても、ノードN5のレベル上昇タイミングが遅れるため、ノードN2, N30がLレベルになるタイミング(時刻tD1)も一定時間だけ遅れる。従って、第3の変更例と同様の効果が得られる。

【0280】

[第5の変更例]

画像表示装置のゲート線G Lは、データ線との間に比較的大きな寄生容量を有している。そのためデータ線の信号レベルが変化したとき、その変化がゲート線G Lの電位に変動を生じさせ、それによりゲート線G Lにノイズが発生する。図24の単位シフトレジスタS R_kでは、ゲート線G L_kの非選択時にはプルアップ駆動回路21のトランジスタQ30がオンしているため、そのとき1ライン前のゲート線G L_{k-1}にノイズが発生すると、そのノイズは当該単位シフトレジスタS R_kのノードN1に印加される。

20

【0281】

従ってゲート線G L_{k-1}にトランジスタQ1のしきい値よりも大きな振幅のノイズが生じると、トランジスタQ1がオンになる。仮にそのタイミングでクロック信号C L Kのレベルが立ち上がると、出力信号G_kの誤信号が発生し、ゲート線G L_kが不要に活性化されて表示不良が発生するという問題が生じる。ここではその対策のための変更例を示す。

【0282】

30

図28は、実施の形態6の第5の変更例に係る単位シフトレジスタの回路図である。当該単位シフトレジスタS R_kは、ゲート線G L_kに供給する出力信号G_kとは別に、次段および前段の単位シフトレジスタS R_{k-1}, S R_{k+1}に供給するための出力信号G D_k(以下「キャリー信号」と称す)を生成することを可能にしたものである。つまり本変更例の単位シフトレジスタS R_kにおいては、出力信号G_kはゲート線G L_kのみに供給される。また単位シフトレジスタS R_kの入力端子I Nには前段のキャリー信号G D_{k-1}が供給され、リセット端子R S Tには次段のキャリー信号G D_{k+1}が供給される。

【0283】

図28の単位シフトレジスタS R_kは、図24の回路に対し、出力回路20にトランジスタQ1D, Q2Dから成るキャリー信号G D_kの生成回路を設けたものである。トランジスタQ1Dは、キャリー信号G D_kの出力端子O U T D(以下「キャリー信号出力端子」)とクロック端子C Kとの間に接続し、そのゲートはノードN1に接続する。トランジスタQ2Dは、キャリー信号出力端子O U T Dと第1電源端子S 1との間に接続し、そのゲートはノードN2に接続する。

40

【0284】

図28から分かるように、本変更例に係る単位シフトレジスタS R_kでは、出力端子O U Tに接続するトランジスタQ1, Q2と、キャリー信号出力端子O U T Dに接続するトランジスタQ1D, Q2Dとは、互いに並列接続した関係にある。またトランジスタQ1DのゲートはトランジスタQ1のゲートと同じくノードN1に接続し、トランジスタQ2DのゲートはトランジスタQ2のゲートと同じくノードN2に接続している。

50

【0285】

よってトランジスタQ1, Q1Dは互いに同様に動作し、またトランジスタQ2, Q2Dも互いに同様に動作する。そのため出力信号G_kとキャリー信号G_{Dk}とはほぼ同じ波形の信号となる。従って、図28の単位シフトレジスタS_{Rk}は、図24の回路と同様に動作することができます。

【0286】

本変更例の単位シフトレジスタS_{Rk}においては、ゲート線G_{Lk}に供給する出力信号G_kと、次段の単位シフトレジスタS_{Rk+1}に供給するキャリー信号G_{Dk}とが分離されている。キャリー信号出力端子OUTDはゲート線G_{Lk}に接続していないため、キャリー信号G_{Dk}がゲート線G_{Lk}のノイズの影響を受けることはない。

10

【0287】

単位シフトレジスタS_{Rk}の入力端子INには前段のキャリー信号G_{Dk-1}が入力されているので、ゲート線G_{Lk-1}に発生したノイズが単位シフトレジスタS_{Rk}のトランジスタQ30を通してノードN1に印加されることが防止される。つまり本変更例では、単位シフトレジスタS_{Rk}がゲート線G_{Lk-1}のノイズの影響を受けることが防止されており、当該ノイズに起因する出力信号G_kの誤信号の発生が抑えられている。

【0288】

なお図24のプルダウン駆動回路22では、トランジスタQ12のゲート（入力端子IN）には前段のキャリー信号G_{Dk-1}が供給され、トランジスタQ14のゲート（リセット端子RST）には次段の出力信号G_{k+1}が供給されている。そうすることによりプルダウン駆動回路22もゲート線G_{Lk-1}, G_{Lk+1}のノイズの影響を受けなくなるため好ましい。

20

【0289】

但し、プルダウン駆動回路22の誤動作は、ゲート線G_{Lk}の非選択期間において一時的にトランジスタQ2をオフにして出力端子OUTのインピーダンスを高くすることがあるが、積極的に出力信号G_kに誤信号を発生させるものではない。そのためトランジスタQ12, Q14それぞれのゲートには、図24と同様に前段および後段の出力信号G_{k-1}, G_{k+1}を供給させてもよい。

【0290】**[第6の変更例]**

図24において、トランジスタQ6, Q7はレシオ型インバータを構成しているため、ノードN5がHレベルになっている期間、トランジスタQ6, Q7を通して第3電源端子S3から第1電源端子S1へと貫通電流が流れる。この貫通電流を抑制するためには、トランジスタQ6のオン抵抗をより高く設定すればよいが、そうするとゲート線G_{Lk}の選択期間が終了したときのノードN2の立ち上がり速度が遅くなる。

【0291】

ノードN2の立ち上がり速度が遅いと、トランジスタQ30のゲート（ノードN30）のレベル上昇速度も遅くなるため、ノードN1の放電速度が遅くなる。つまりトランジスタQ1がオフになるタイミングが遅れる。トランジスタQ1がオフするのが遅いと、クロック信号CLK, /CLKの周波数が高くなつた場合に出力信号G_kの誤信号が発生するため、動作の高速化の妨げとなる。

40

【0292】

図29は実施の形態6の第6の変更例に係る単位シフトレジスタS_{Rk}の回路図である。当該単位シフトレジスタS_{Rk}は、図24の回路に対し、ノードN1と第1電源端子S1との間に、ゲートがリセット端子RSTに接続したトランジスタQ4を設けたものである。

【0293】

図29の単位シフトレジスタS_{Rk}によれば、トランジスタQ4が次段の出力信号G_{k+1}の活性化に応じてノードN1を放電し、トランジスタQ1を速やかにオフにさせる。そのためクロック信号CLK, /CLKの周波数が高い場合でも、出力信号G_kにおける誤信

50

号の発生を防止でき、動作の高速化に寄与できる。またトランジスタ Q 6 のオン抵抗を高くして貫通電流を小さくできる点で、低消費電力化にも寄与できる。

【0294】

[第7の変更例]

上記の第6の変更例でも説明したように、図24の回路においてトランジスタ Q 6, Q 7 を流れる貫通電流を抑制するためにトランジスタ Q 6 のオン抵抗を高く設定すると、ゲート線 G L_k の選択期間が終了したときのノード N 2 の立ち上がり速度が遅くなる。このことはトランジスタ Q 1 がオフになるタイミングを遅くするだけでなく、トランジスタ Q 2 がオンするタイミングも遅らせるため、出力端子 O U T が低インピーダンスで L レベルに固定されるタイミングが遅れる。これも出力信号 G_k の誤信号の発生の要因となるため好ましくない。10

【0295】

図30は実施の形態6の第7の変更例に係る単位シフトレジスタ S R_k の回路図である。当該単位シフトレジスタ S R_k は、図24の回路に対し、ノード N 2 と第3電源端子 S 3との間に、ゲートがリセット端子 R S T に接続したトランジスタ Q 3 2 を設けたものである。

【0296】

図30の単位シフトレジスタ S R_k によれば、トランジスタ Q 3 2 が次段の出力信号 G_{k+1} の活性化に応じてノード N 2 を H レベルにするので、トランジスタ Q 1 が速やかにオフすると共に、トランジスタ Q 2 が速やかにオンになる。そのためクロック信号 C L K, / C L K の周波数が高い場合でも、出力信号 G_k における誤信号の発生を防止でき、動作の高速化に寄与できる。20

【0297】

なお、トランジスタ Q 3 2 がオンする間は、トランジスタ Q 1 4 もオンになりノード N 5 は L レベルになるので、トランジスタ Q 7 はオフになる。よってトランジスタ Q 3 2, Q 7 を通しての貫通電流は生じない。よってトランジスタ Q 3 2 のオン抵抗は小さく設定してもよい。

【0298】

またトランジスタ Q 3 2 のドレインの接続先は、第3電源端子 S 3 ではなく、リセット端子 R S T であってもよい。即ち、トランジスタ Q 3 2 は、リセット端子 R S T とノード N 2 との間にダイオード接続したものであってもよい。30

【0299】

次段の出力信号 G_{k+1} (リセット信号) に応じてノード N 2 を充電するトランジスタ Q 3 2 は、実施の形態1～5に示した各単位シフトレジスタ S R_k におけるノード N 2 の充電に用いてもよい(但し、実施の形態1の第6の変更例(図11)を除く)。

【0300】

[第8の変更例]

ここでは図11(実施の形態1の第6の変更例)の回路と同様に、次段の出力信号 G_{k+1} を受けることなく、セット状態からリセット状態に移行することが可能な変更例を示す。40

【0301】

図31は、実施の形態6の第8の変更例に係る単位シフトレジスタ S R_k の回路図である。当該単位シフトレジスタ S R_k は、図24の回路に対し、トランジスタ Q 1 4 のゲートを出力端子 O U T に接続させ、さらにノード N 2 と第1電源端子 S 1 との間に、ゲートが出力端子 O U T に接続したトランジスタ Q 3 3 を設けたものである。なお、トランジスタ Q 3 3 は、トランジスタ Q 6 よりもオン抵抗が充分小さく設定されている。

【0302】

図31の単位シフトレジスタ S R_k の動作を説明する。前段の出力信号 G_{k-1} の活性化時における単位シフトレジスタ S R_k の動作は、図24の回路と同様である。

【0303】

10

30

40

50

即ち、前段の出力信号 G_{k-1} が H レベル (VDD) になると、プルアップ駆動回路 21 では、ノード N30 が昇圧されてトランジスタ Q30 が非飽和領域で動作し、ノード N1 は素早く電位 VDD の H レベルになる。このときプルダウン駆動回路 22 では、トランジスタ Q12 がオンするためノード N5 は H レベルになる。応じてトランジスタ Q7 がオンするため、ノード N2, N30 は L レベルになる。その結果、単位シフトレジスタ SR は、トランジスタ Q1 がオン、トランジスタ Q2 がオフのセット状態になる。

【0304】

なおノード N30 が L レベルになったときトランジスタ Q30 はオフするため、前段の出力信号 G_{k-1} が L レベルに戻っても、ノード N1 は H レベルに維持される。つまり単位シフトレジスタ SR_k はセット状態に維持される。

10

【0305】

次にクロック信号 CLK が H レベルに変化すると、出力信号 G_k が H レベル (VDD) になる。するとトランジスタ Q14 がオンしてノード N5 は L レベルになり、トランジスタ Q7 はオフになる。しかしこのときトランジスタ Q33 がオンになるため、ノード N2 は低インピーダンスで L レベルに維持され、トランジスタ Q2 のオフ状態は維持される。

【0306】

そしてクロック信号 CLK が L レベルになると、それに追随して出力信号 G_k のレベルが低下する。出力信号 G_k のレベルが充分下がるとトランジスタ Q33 がオフになり、ノード N2 はトランジスタ Q6 により充電されて H レベルになる。応じてノード N30 が H レベルになり、トランジスタ Q30 がオンするため、ノード N1 は L レベルになる。その結果、単位シフトレジスタ SR は、トランジスタ Q1 がオフ、トランジスタ Q2 がオンのセット状態になる。

20

【0307】

なお、ノード N2 が L レベルになったときトランジスタ Q14 がオフになるが、トランジスタ Q13 がオンするためノード N5 は L レベルに維持される。

【0308】

このように図 31 の単位シフトレジスタ SR_k は、次段の出力信号 G_{k+1} を受けることなく、セット状態からリセット状態に移行することが可能である。従って、ゲート線駆動回路 30 のレイアウト設計が容易になる。

30

また図 31 の単位シフトレジスタ SR_k でも、図 11 の回路と同様に、出力信号 G_k が立ち下がる際、そのレベルが充分低くなつてからノード N2 が H レベルに変化する。またノード N1 は、ノード N2 と共にノード N30 が H レベルになりトランジスタ Q30 がオンすることで放電される。従って、トランジスタ Q1 がオフになるタイミングは必ず出力信号 G_k のレベルが充分に低くなつた後になる。よって、クロック信号 CLK, /CLK の活性期間同士の間隔 (図 37 の t) が短くなつても、出力信号 G_k の立ち下がり速度が低下することは無い。そのためトランジスタ Q2 のオン抵抗を小さく (ゲート幅を広く) する必要もなく、回路面積の増大も抑えられる。

【0310】

[第 9 の変更例]

図 31 の回路では、ゲート線 GL_k の非選択期間に、大きな振幅のノイズがゲート線 GL_k に発生すると、それによりプルダウン駆動回路 22 のトランジスタ Q33 がオンする。するとノード N2 が L レベルになり、トランジスタ Q2 がオフするため、ゲート線 GL_k が高インピーダンス状態になる。その結果、ゲート線 GL_k のノイズが増して大きくなり、表示不良を発生させる場合がある。

40

【0311】

ここでは、この問題を解決するために、上記の第 5 の変更例 (図 28) の技術を、第 8 の変更例の回路に応用した例を示す。

【0312】

図 32 は、実施の形態 6 の第 9 の変更例に係る単位シフトレジスタの回路図である。当

50

該単位シフトレジスタ $S R_k$ は、図 3 1 の回路に対し、出力回路 2 0 にトランジスタ Q 1 D A , Q 2 D A から成る回路を設けると共に、プルダウン駆動回路 2 2 のトランジスタ Q 1 4 , Q 3 3 のゲートをトランジスタ Q 1 D A , Q 2 D A 間の接続ノードに接続させたものである。

【 0 3 1 3 】

トランジスタ Q 1 D A , Q 2 D A は、それぞれ図 2 8 のトランジスタ Q 1 D , Q 2 D と同様に設けられる。即ち、トランジスタ Q 1 D A , Q 2 D A 間の接続ノードを「ノード N 3 1」と定義すると、トランジスタ Q 1 D A はノード N 3 1 とクロック端子 C K との間に接続し、そのゲートはノード N 1 に接続する。トランジスタ Q 2 D A は、ノード N 3 1 と第 1 電源端子 S 1 との間に接続し、そのゲートはノード N 2 に接続する。

10

【 0 3 1 4 】

よってトランジスタ Q 1 , Q 1 D A は互いに同様に動作し、またトランジスタ Q 2 , Q 2 D A も互いに同様に動作する。そのためノード N 3 1 には、出力信号 G k とほぼ同じ波形の信号が現れる。従って、図 3 2 の単位シフトレジスタ $S R_k$ は、図 3 1 の回路と同様に動作することができる。

【 0 3 1 5 】

本変更例の単位シフトレジスタ $S R_k$ において、ノード N 3 1 はゲート線 G L k に接続していないため、ノード N 3 1 の信号がゲート線 G L k のノイズの影響を受けることはない。トランジスタ Q 3 3 はノード N 3 1 の信号により制御されているため、ゲート線 G L k のノイズによりトランジスタ Q 3 3 がオンすることは防止されており、上記の問題を解決することができる。

20

【 0 3 1 6 】

但し図 3 2 の回路では、ノード N 3 1 と出力端子 O U T の立ち下がりタイミングが同じになるようにしなければ、図 3 1 のように出力信号 G k の立ち下がり速度の低下を防止することができなくなる点に留意すべきである。

【 0 3 1 7 】

図 3 2 においては、トランジスタ Q 1 4 のゲートもノード N 3 1 に接続させたが、図 3 1 の回路と同様に出力端子 O U T に接続させてもよい。その理由は、ゲート線 G L k の非選択期間では、ノード N 5 はトランジスタ Q 1 3 により L レベルにされているため、トランジスタ Q 1 4 がノイズによってオンしてもノード N 5 のレベルに変化は生じず、単位シフトレジスタ $S R_k$ の誤動作は生じないからである。

30

【 0 3 1 8 】

なお、単位シフトレジスタ $S R_k$ のノード N 3 1 の信号を、次段の入力端子 I N に供給すれば、ゲート線 G L k のノイズにより次段のノード N 1 レベルが上昇することを防止でき、上記の第 5 の変更例(図 2 8)と同じ効果が得られることは明らかである。

【 0 3 1 9 】

[第 1 0 の変更例]

図 3 3 は、実施の形態 6 の第 1 0 の変更例に係る単位シフトレジスタの回路図である。当該単位シフトレジスタ $S R_k$ は、上記の第 9 の変更例の回路(図 3 2)に、さらに第 5 の変更例(図 2 8)の技術を適用したものである。即ち、図 3 2 の回路に対し、トランジスタ Q 1 D , Q 2 D から成るキャリー信号 G D k の生成回路を設けたものである。

40

【 0 3 2 0 】

出力端子 O U T から出力される出力信号 G k は、ゲート線 G L k に供給される。キャリー信号出力端子 O U T D から出力されるキャリー信号 G D k は、次段の入力端子 I N に供給される。またノード N 3 1 の信号は、プルダウン駆動回路 2 2 のトランジスタ Q 1 4 , Q 3 3 のゲートに供給される。

【 0 3 2 1 】

本変更例によれば、上記の第 5 の変更例(図 2 8)により得られる効果と、第 9 の変更例の回路(図 3 2)により得られる効果の双方を得ることができる。

【 0 3 2 2 】

50

なお、第9の変更例で説明したように、ノードN₃₁の信号と出力信号G_kの立ち下がりタイミングは同時であることが好ましい。通常、大きな負荷容量であるゲート線G_{Lk}を駆動する出力信号G_kの立ち上がりは若干遅れる傾向にあるため、それに合わせてノードN₃₁の信号の立ち下がり速度が抑制されるように、トランジスタQ_{1DA}の駆動能力は低く設定される。

【0323】

一方、キャリー信号G_{Dk}は次段のノードN₁を高速で充電できることが好ましいため、トランジスタQ_{1D}の駆動能力は高く設定される。つまり本変更例では、トランジスタQ_{1D}のオン抵抗は、トランジスタQ_{1DA}のオン抵抗よりも小さく設定される。

【0324】

10

[第11の変更例]

上記したように、図24の単位シフトレジスタS_{Rk}では、ゲート線G_{Lk}の非選択時にフルアップ駆動回路21のトランジスタQ₃₀がオンしているため、そのとき1ライン前のゲート線G_{Lk-1}に発生したノイズは、単位シフトレジスタS_{Rk}のノードN₁に印加される。その影響でノードN₁のレベルが上昇してトランジスタQ₁がオンになると、出力信号G_kの誤信号を生じさせるため問題となる。この問題の対策は第5の変更例でも示したが、ここではその問題を解決できる他の変更例を示す。

【0325】

20

図38は、実施の形態6の第11の変更例に係る単位シフトレジスタの回路図である。当該単位シフトレジスタS_{Rk}は、図24の回路に対し、以下のトランジスタQ₃₄～Q₃₆を設けたものである。トランジスタQ₃₄は、ノードN₁と第1電源端子S₁との間に接続する。トランジスタQ₃₄のゲートが接続するノードを「ノードN₃₂」と定義すると、トランジスタQ₃₅は、第3電源端子S₃とノードN₃₂との間に接続し、そのゲートはノードN₂に接続される。トランジスタQ₃₆は、ノードN₃₂と第1電源端子S₁との間に接続し、そのゲートはノードN₁に接続される。なお、トランジスタQ₃₅は第2電源端子S₂とノードN₃₂との間に接続させてもよい。

【0326】

図25の信号波形図から分かるように、ノードN₁の信号とノードN₂の信号とはほぼ相補的な波形であるので、トランジスタQ₃₅，Q₃₆から成る回路は、トランジスタQ₃₄のゲート（ノードN₃₂）に、ノードN₁の信号を反転した信号を供給するように機能する。

30

【0327】

単位シフトレジスタS_{Rk}がリセット状態（ノードN₁がLレベル、ノードN₂がHレベル）のときは、トランジスタQ₃₅がオン、トランジスタQ₃₆がオフになり、ノードN₃₂はHレベルになる。よってトランジスタQ₃₄がオンになり、ノードN₁は低インピーダンスでLレベルになる。従って、ゲート線G_{Lk-1}のノイズがノードN₁に印加されても、ノードN₁のレベルが上昇することが抑えられ、出力信号G_kの誤信号の発生を防止することができる。

【0328】

40

またセット状態（ノードN₁がHレベル、ノードN₂がLレベル）になったときは、トランジスタQ₃₅がオフ、トランジスタQ₃₆がオンになり、ノードN₃₂はLレベルになる。応じてトランジスタQ₃₄はオフし、ノードN₁は高インピーダンス（フローティング状態）でHレベルになる。よって図24の回路と同様に、出力信号G_kの立ち上がり時にノードN₁は昇圧され、トランジスタQ₁を非飽和領域で動作させることができる。

【0329】

なお、図38の回路では、前段の出力信号G_{k-1}がHレベルになったときにノードN₁がHレベルになるように、トランジスタQ₃₀の駆動能力はトランジスタQ₃₄よりも充分大きく設定される。またトランジスタQ₃₅，Q₃₆のサイズは、前段の出力信号G_{k-1}のレベル上昇とほぼ同時にトランジスタQ₃₆がノードN₃₂をLレベルにできるよう適切に決定される。

50

【0330】

トランジスタQ2のゲートは、ノードN32に接続させてもよい。その場合、回路のレイアウト設計が容易になるが、ノードN32の寄生容量が大きくなる分、ノードN32のレベル遷移の速度が遅くなる点に留意すべきである。

【0331】

またトランジスタQ35のゲートは、第2電源端子S2あるいは第3電源端子S3に接続させてもよい。図38の場合に比べ、ノードN32のHレベルの電位がVthだけ高くなり、トランジスタQ34のオン抵抗を小さくできる。しかし、トランジスタQ35, Q36がレシオ型インバータになるため、単位シフトレジスタSR_kがセット状態のときにトランジスタQ35, Q36を通して貫通電流が流れ、消費電力が若干増える。

10

【0332】

<実施の形態7>

実施の形態7では、実施の形態6をシフト方向を変更可能なシフトレジスタに適用した例を示す。

【0333】

図34は実施の形態7に係る単位シフトレジスタSR_kの回路図である。当該単位シフトレジスタSR_kは、図24の回路に対し、信号のシフト方向を切り換えるための切換回路24を設けたものである。図34においては、図21（実施の形態4の第2の変更例）で示したものと同じ構成の切換回路24を用いている。

【0334】

そして図24では入力端子INに接続させていたトランジスタQ12のゲートとトランジスタQ30の電流電極をここでは切換回路24の一方の出力端であるノードN8は接続させ、図24ではリセット端子RSTに接続させていたトランジスタQ14のゲートをここでは切換回路24のもう一方の出力端であるノードN9に接続させている。

20

【0335】

実施の形態4の第2の変更例で説明したように、この切換回路24によれば、順方向シフト時（第1電圧信号VnがHレベル、第2電圧信号VrがLレベル）には、第1入力端子IN1に入力された前段の出力信号G_{k-1}はノードN8に供給され、第2入力端子IN2に入力された次段の出力信号G_{k+1}はノードN9に供給される。よって図34の単位シフトレジスタSR_kは図24と等価になり、順方向シフトを行うことができる。

30

【0336】

また逆方向シフト時（第1電圧信号VnがLレベル、第2電圧信号VrはHレベル）には、第1入力端子IN1に入力された前段の出力信号G_{k-1}はノードN9に供給され、第2入力端子IN2に入力された次段の出力信号G_{k+1}はノードN8に供給される。この場合、図34の単位シフトレジスタSR_kは、次段の出力信号G_{k+1}の活性化に応じてセット状態になり、前段の出力信号G_{k-1}の活性化に応じてリセット状態になるように動作するため、逆方向シフトを行うことができる。

【0337】

また図34の切換回路24は、第1および第2電圧信号Vn, VrのHレベルの電位がVDD + Vthよりも低い場合でも、トランジスタQ27n, Q27rを非飽和領域で動作させることができるという特徴を有している。そのため、第1および第2電圧信号Vn, VrのHレベルの電位がVDD + Vthよりも大きい場合や、トランジスタQ27n, Q27rが飽和領域で動作しても問題が無い場合には、図19に示した切換回路24を用いてもよい。

40

【0338】

また図34では、図24の回路に切換回路24を適用した例を示したが、もちろん実施の形態6の第1～第11の変更例の回路に対しても適用することができる。

【0339】

[第1の変更例]

図35は実施の形態7の第1の変更例に係る単位シフトレジスタSR_kの回路図である

50

。当該単位シフトレジスタ $S R_k$ は、図 3 4 の回路に対し、切換回路 2 4 のトランジスタ Q_{27n} をトランジスタ Q_{28n} , Q_{29n} に置き換えると共に、トランジスタ Q_{27r} をトランジスタ Q_{28r} , Q_{29r} に置き換えたものである。

【 0 3 4 0 】

図 3 5 の如く、トランジスタ Q_{28n} は、第 1 電圧信号端子 T_1 に接続したゲートを有し、ノード N_{10} (トランジスタ Q_{25n} のゲート) と第 2 電源端子 S_2 との間に接続する。トランジスタ Q_{29n} は、第 2 電圧信号端子 T_2 に接続したゲートを有し、ノード N_{10} と第 1 電源端子 S_1 との間に接続する。

【 0 3 4 1 】

トランジスタ Q_{28r} は、第 1 電圧信号端子 T_1 に接続したゲートを有し、ノード N_{11} (トランジスタ Q_{25r} のゲート) と第 2 電源端子 S_2 との間に接続する。トランジスタ Q_{29r} は、第 2 電圧信号端子 T_2 に接続したゲートを有し、ノード N_{11} と第 1 電源端子 S_1 との間に接続する。10

【 0 3 4 2 】

以下、図 3 5 の切換回路 2 4 の動作を説明する。順方向シフト時 (第 1 電圧信号 V_n が H レベル、第 2 電圧信号 V_r が L レベル) には、トランジスタ Q_{28n} がノード N_{10} を充電して H レベルにし、トランジスタ Q_{29n} がノード N_{11} を放電して L レベルにするので、トランジスタ Q_{25n} はオン状態、トランジスタ Q_{25r} はオフ状態になる。またトランジスタ Q_{26n} はオン状態、トランジスタ Q_{26r} はオフ状態になる。従って、第 1 入力端子 I_{N1} に入力された前段の出力信号 G_{k-1} はノード N_8 に供給され、第 2 入力端子 I_{N2} に入力された次段の出力信号 G_{k+1} はノード N_9 に供給される。つまり図 3 5 の単位シフトレジスタ $S R_k$ は図 2 4 と等価になり、順方向シフトを行うことができる。20

【 0 3 4 3 】

また前段の出力信号 G_{k-1} が立ち上がるとき、トランジスタ Q_{25n} のゲート・チャネル間容量を介した結合によりノード N_{10} が昇圧される。このときトランジスタ Q_{28n} はオフになるため、ノード N_{10} はトランジスタ Q_{25n} を非飽和領域で動作させるのに充分なレベルにまで上昇する。

【 0 3 4 4 】

逆方向シフト時 (第 1 電圧信号 V_n が L レベル、第 2 電圧信号 V_r が H レベル) には、トランジスタ Q_{29n} がノード N_{10} を放電して L レベルにし、トランジスタ Q_{28r} がノード N_{11} を充電して H レベルにするので、トランジスタ Q_{25n} はオフ状態、トランジスタ Q_{25r} はオン状態になる。またトランジスタ Q_{26n} はオフ状態、トランジスタ Q_{26r} はオン状態になる。従って、第 1 入力端子 I_{N1} に入力された前段の出力信号 G_{k-1} はノード N_9 に供給され、第 2 入力端子 I_{N2} に入力された次段の出力信号 G_{k+1} はノード N_8 に供給される。その結果、単位シフトレジスタ $S R_k$ は逆方向シフトを行うことができるようになる。30

【 0 3 4 5 】

また次段の出力信号 G_{k+1} が立ち上がるとき、トランジスタ Q_{25r} のゲート・チャネル間容量を介した結合によりノード N_{11} が昇圧される。このときトランジスタ Q_{29r} はオフになるため、ノード N_{11} はトランジスタ Q_{25r} を飽和領域で動作させるのに充分なレベルまで上昇する。40

【 0 3 4 6 】

このように図 3 5 の切換回路 2 4 では、図 2 1 のものと同様に、第 1 および第 2 電圧信号 V_n , V_r の H レベルの電位が $V_{DD} + V_{th}$ よりも低い場合でも、トランジスタ Q_{25n} , Q_{25r} が非飽和領域で動作させることができる。

【 0 3 4 7 】

なお、本変更例に係る切換回路 2 4 は、実施の形態 4 における切換回路 2 4 としても用いることができる。

【 0 3 4 8 】

[第 2 の変更例]

図36は実施の形態7の第2の変更例に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ は、図35の回路に対し、切換回路24のトランジスタ Q_{28n} , Q_{28r} , Q_{29n} , Q_{29r} の接続構成を変更したものである。

【0349】

図36に示すように、本変更例では、トランジスタ Q_{28n} のドレインおよびトランジスタ Q_{29n} のソースを第1電圧信号端子 T_1 に接続させている。またトランジスタ Q_{28r} のドレインおよびトランジスタ Q_{29n} のソースを第2電圧信号端子 T_2 に接続させている。

【0350】

このように構成された切換回路24は、図35の回路と同様に動作することができる。
10 また、この切換回路24にはハイ側電源電位 V_{DD1} およびロー側電源電位 V_{SS} を供給する必要がないので、レイアウト設計が容易になるという利点がある。

【0351】

<実施の形態8>

実施の形態7の単位シフトレジスタ $S R_k$ (図34～図36)では、ノード N_1 の充電が、トランジスタ Q_{25n} , Q_{30} の直列回路(順方向シフト時)あるいはトランジスタ Q_{25r} , Q_{30} の直列回路(逆方向シフト時)によって充電されるため、図24の単位シフトレジスタ $S R_k$ に比べ、その充電速度が遅くなる。実施の形態7の単位シフトレジスタ $S R_k$ で、ノード N_1 の充電速度を図24の回路と同等にするためには、トランジスタ Q_{25n} , Q_{25r} , Q_{30} それぞれのゲート幅を広く(図24の場合の約2倍)にすればよいが、回路の形成面積の増大を招く。実施の形態8では、シフト方向を変更可能であり、且つ、回路面積の増大を抑えつつノード N_1 の充電速度の低下が抑制された単位シフトレジスタ $S R_k$ を提案する。
20

【0352】

図39は、実施の形態8に係る単位シフトレジスタ $S R_k$ の回路図である。当該単位シフトレジスタ $S R_k$ は、前段の出力信号 G_{k-1} および次段の出力信号 G_{k+1} をそれぞれ受ける第1および第2入力端子 $I N_1$, $I N_2$ と、シフト方向を制御する第1および第2電圧信号 V_n , V_r をそれぞれ受ける第1および第2電圧信号端子 T_1 , T_2 とを備えている。
。

【0353】

図39の単位シフトレジスタ $S R_k$ において、出力回路20は、図24と同様の構成のものである。つまり出力回路20は、出力端子 OUT にクロック信号 $C L K$ を供給するトランジスタ Q_1 と、非選択期間に出力端子 OUT の放電を行うトランジスタ Q_2 とから成る。
30

【0354】

プルダウン駆動回路22も、図24と同様に、トランジスタ Q_6 , Q_7 から成るインバータと、インバータの入力端(ノード N_5)に適切な信号を供給するトランジスタ Q_{12} ～ Q_{14} から成る入力回路により構成されるが、入力回路の構成が図24の場合とは異なる。即ち、図39の単位シフトレジスタ $S R_k$ では、トランジスタ Q_{12} は、第1電圧信号端子 T_1 とノード N_5 との間に接続され、そのゲートは第1入力端子 $I N_1$ に接続される。トランジスタ Q_{14} は、第2電圧信号端子 T_2 とノード N_5 との間に接続され、そのゲートは第2入力端子 $I N_2$ に接続される。トランジスタ Q_{13} は、図24と同様に、ノード N_5 と第1電源端子 S_1 との間に接続し、そのゲートはノード N_2 に接続される。トランジスタ Q_{12} , Q_{14} は、トランジスタ Q_{13} よりもオン抵抗が充分小さく設定される。
40

【0355】

従って、この入力回路は、順方向シフト時(第1電圧信号 V_n がHレベル、第2電圧信号 V_r がLレベル)には、前段の出力信号 G_{k-1} の活性化に応じてノード N_5 をHレベルにし、次段の出力信号 G_{k+1} の活性化に応じてノード N_5 をLレベルに変化させる。逆方向シフト時(第1電圧信号 V_n がLレベル、第2電圧信号 V_r がHレベル)には、次段の
50

出力信号 G_{k+1} の活性化に応じてノード N 5 を H レベルにし、前段の出力信号 G_{k-1} の活性化に応じてノード N 5 を L レベルに変化させる。

【 0 3 5 6 】

出力回路 2 0 のトランジスタ Q 2 のゲートは、図 2 4 と同様に、トランジスタ Q 6 , Q 7 から成るインバータの出力端（プルダウン駆動回路 2 2 の出力端）であるノード N 2 に接続される。

【 0 3 5 7 】

一方、プルアップ駆動回路 2 1 は、以下のトランジスタ Q 3 0 n , Q 3 0 r , Q 3 1 n 、Q 3 1 r 、Q 3 7 n , Q 3 7 r によって構成される。トランジスタ Q 3 0 n は、第 1 入力端子 I N 1 とトランジスタ Q 1 のゲート（ノード N 1 ）との間に接続する。トランジスタ Q 3 0 n のゲートが接続するノードを「ノード N 3 0 n」と定義すると、トランジスタ Q 3 1 n は、ノード N 3 0 n とノード N 2 との間に接続し、そのゲートは第 1 電圧信号端子 T 1 に接続される。トランジスタ Q 3 7 n は、ノード N 3 0 n と第 1 電圧信号端子 T 1 との間に接続し、そのゲートは第 2 電圧信号端子 T 2 に接続される。10

【 0 3 5 8 】

トランジスタ Q 3 0 r は、第 2 入力端子 I N 2 とノード N 1 との間に接続する。トランジスタ Q 3 0 r のゲートが接続するノードを「ノード N 3 0 r」と定義すると、トランジスタ Q 3 1 r は、ノード N 3 0 r とノード N 2 との間に接続し、そのゲートは第 2 電圧信号端子 T 2 に接続される。トランジスタ Q 3 7 r は、ノード N 3 0 r と第 2 電圧信号端子 T 2 との間に接続し、そのゲートは第 1 電圧信号端子 T 1 に接続される。20

【 0 3 5 9 】

順方向シフト時には、第 1 電圧信号 V n は H レベル（V D D）、第 2 電圧信号 V r は L レベル（V S S）なので、プルアップ駆動回路 2 1 においては、トランジスタ Q 3 1 n がオン、トランジスタ Q 3 1 r がオフ、トランジスタ Q 3 7 n がオフ、トランジスタ Q 3 7 r がオンの状態となる。ノード N 3 0 n がトランジスタ Q 3 1 n を通して充電されて H レベル（V D D - V t h）になるので、トランジスタ Q 3 0 n はオンになる。またノード N 3 0 r がオン状態のトランジスタ Q 3 7 r により L レベル（V S S）に維持されるため、トランジスタ Q 3 0 r はオフに維持される。

【 0 3 6 0 】

プルダウン駆動回路 2 2 においては、トランジスタ Q 1 2 のドレイン（第 1 電圧信号端子 T 1 ）の電位は V D D、トランジスタ Q 1 4 のソース（第 2 電圧信号端子 T 2 ）の電位は V S S となる。30

【 0 3 6 1 】

この状態では、図 3 9 の単位シフトレジスタ S R k は、図 2 4 と等価な回路となる（順方向シフトを行う間、トランジスタ Q 3 0 r はオフに維持される）。即ち、トランジスタ Q 3 0 n , Q 3 1 n が、それぞれ図 2 4 のトランジスタ Q 3 0 , Q 3 1 と同様の動作を行い、トランジスタ Q 3 0 r , Q 3 1 r はオフ状態に維持される。従って、トランジスタ Q 3 0 n は、前段の出力信号 G_{k-1} の活性化に応じてノード N 1 を充電する第 1 充電回路として機能する。またトランジスタ Q 3 1 n は、前段の出力信号 G_{k-1} の活性化に先んじてノード N 3 0 n を充電し、また前段の出力信号 G_{k-1} の非活性化に先んじてノード N 3 0 n を放電する第 1 充放電回路として機能する。40

【 0 3 6 2 】

従って、順方向シフト時の単位シフトレジスタ S R k は、第 1 入力端子 I N 1 に供給される前段の出力信号 G_{k-1} の活性化に応じてセット状態（トランジスタ Q 1 がオン、トランジスタ Q 2 がオフの状態）になり、第 2 入力端子 I N 2 に供給される次段の出力信号 G_{k+1} の活性化に応じてリセット状態（トランジスタ Q 1 がオフ、トランジスタ Q 2 がオン）になる。よって、当該単位シフトレジスタ S R k は、順方向シフトを行う単位シフトレジスタとして機能する。

【 0 3 6 3 】

逆方向シフト時には、第 1 電圧信号 V n は L レベル（V S S）、第 2 電圧信号 V r は H50

レベル (VDD) なので、プルアップ駆動回路 21においては、トランジスタQ31nがオフ、トランジスタQ31rがオン、トランジスタQ37nがオン、トランジスタQ37rがオフの状態となる。ノードN30rがトランジスタQ31rを通して充電されてHレベル (VDD - Vth) になるので、トランジスタQ30rはオンになる。またノードN30nがオン状態のトランジスタQ37nによりLレベル (VSS) に維持されるため、トランジスタQ30nはオフに維持される。

【0364】

プルダウン駆動回路 22においては、トランジスタQ12のドレイン (第1電圧信号端子T1) の電位はVSS、トランジスタQ14のソース (第2電圧信号端子T2) の電位はVDDとなる。10

【0365】

この状態の単位シフトレジスタSR_kでは、順方向シフト時とは反対に、トランジスタQ30r, Q31rが、それぞれ図24のトランジスタQ30, Q31と同様の動作を行い、トランジスタQ30n, Q31nはオフ状態に維持される。つまり、トランジスタQ30rは、次段の出力信号G_{k+1}の活性化に応じてノードN1を充電する第2充電回路として機能する。またトランジスタQ31rは、次段の出力信号G_{k+1}の活性化に先んじてノードN30rを充電し、また次段の出力信号G_{k+1}の非活性化に先んじてノードN30rを放電する第2充放電回路として機能する。

【0366】

従って、逆方向シフト時の単位シフトレジスタSRは、第2入力端子IN2に供給される次段の出力信号G_{k+1}の活性化に応じてセット状態 (トランジスタQ1がオン、トランジスタQ2がオフの状態) になり、第1入力端子IN1に供給される前段の出力信号G_{k-1}の活性化に応じてリセット状態 (トランジスタQ1がオフ、トランジスタQ2がオン) になる。よって、当該単位シフトレジスタSR_kは、逆方向シフトを行う単位シフトレジスタとして機能する。20

【0367】

本実施の形態の単位シフトレジスタSR_kによれば、ノードN1の充電が、トランジスタQ30n (順方向シフト時) あるいはトランジスタQ30r (逆方向シフト時) の単一のトランジスタを通して行われるので、その充電速度は、実施の形態7の単位シフトレジスタSR_k (図34～図36) よりも速い (図24の回路と同等である)。30

【0368】

また、実施の形態7よりも少数のトランジスタにより、双方向シフトを行う単位シフトレジスタSR_kを構成することができる。例えば図34 (実施の形態7) の回路は、図24の回路に対して6個のトランジスタを追加して構成されるが、本実施の形態に係る図39の回路は、図24の回路に対して3個のトランジスタを追加して構成できる。またノードN1の充電速度の低下が防止されているため、トランジスタQ30n, Q30rのゲート幅を大きくする必要も無い (図24のトランジスタQ30と同等でよい)。よって、回路の形成面積の増大も抑えられる。

【0369】

[変更例]

図40は、実施の形態8の変更例に係る単位シフトレジスタSR_kの回路図である。当該単位シフトレジスタSR_kは、図39の回路に対し、トランジスタQ37n, 37rのソースを、第1電源端子S1 (口一側電源電位VSS) に接続させたものである。40

【0370】

この構成によっても、図39の回路と同様の動作を行うことができる。但し、プルアップ駆動回路21に、第1電源端子S1への接続配線を設けることが必要になる。

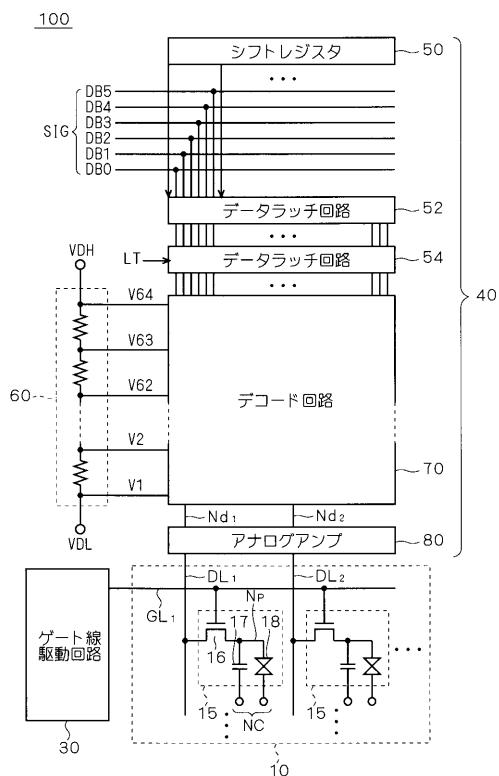
【符号の説明】

【0371】

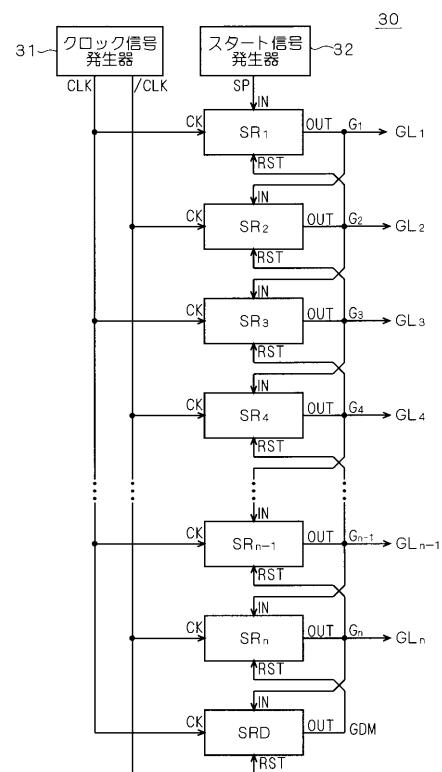
S R 単位シフトレジスタ、20 出力回路、21 プルアップ駆動回路、22 プルダウン駆動回路、24 切換回路、30 ゲート線駆動回路、31 クロック信号発生器50

、32 スタート信号発生器、33 電圧発生回路。

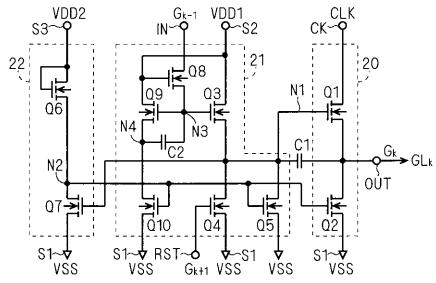
【図1】



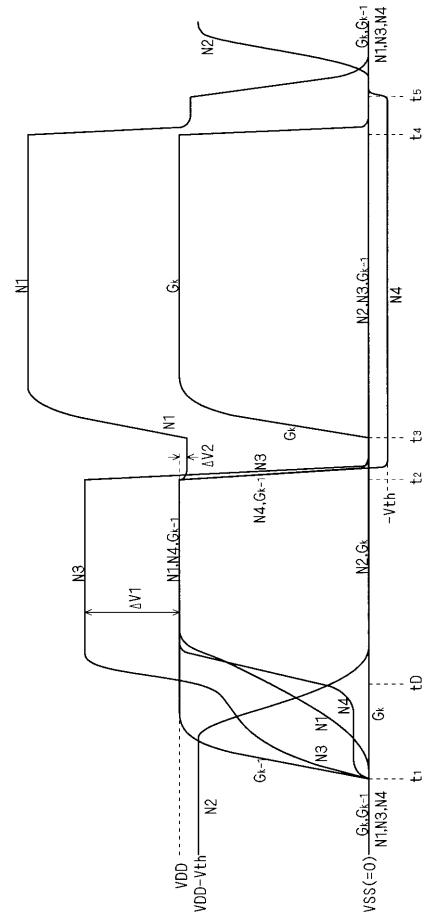
【図2】



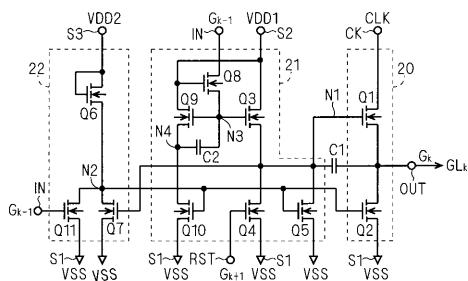
【図3】



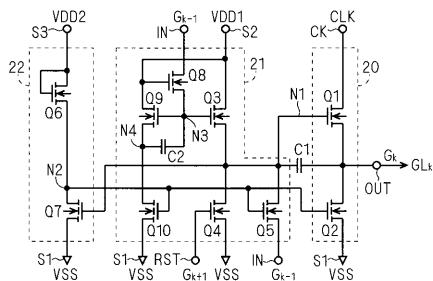
【図4】



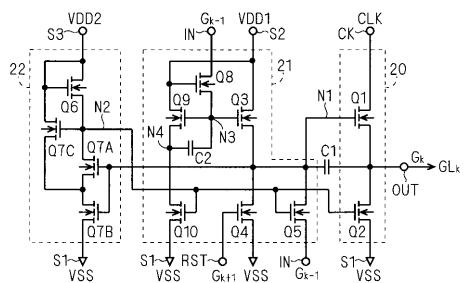
【図5】



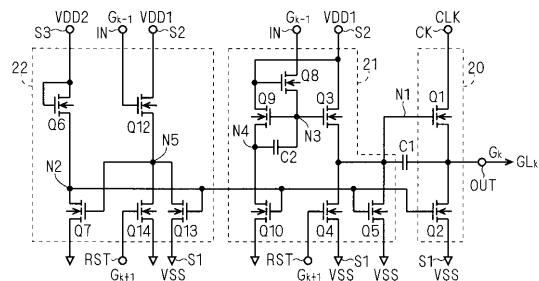
【図6】



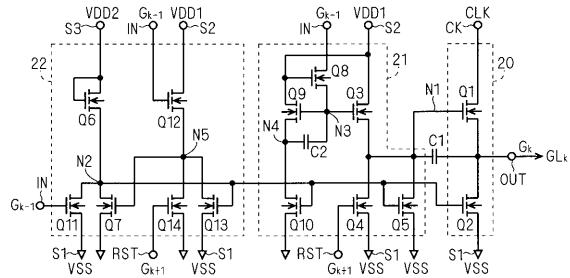
【図7】



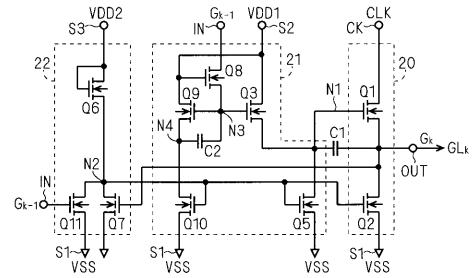
【図8】



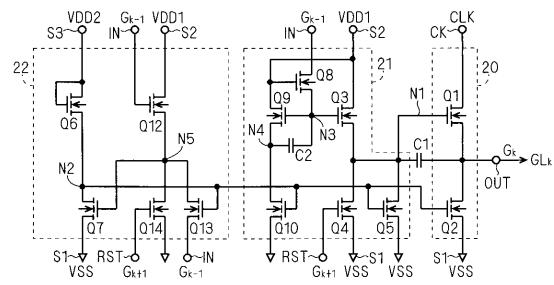
【図 9】



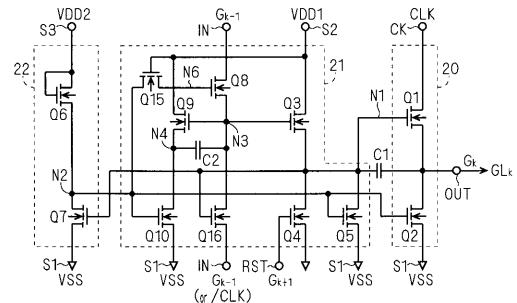
【図 11】



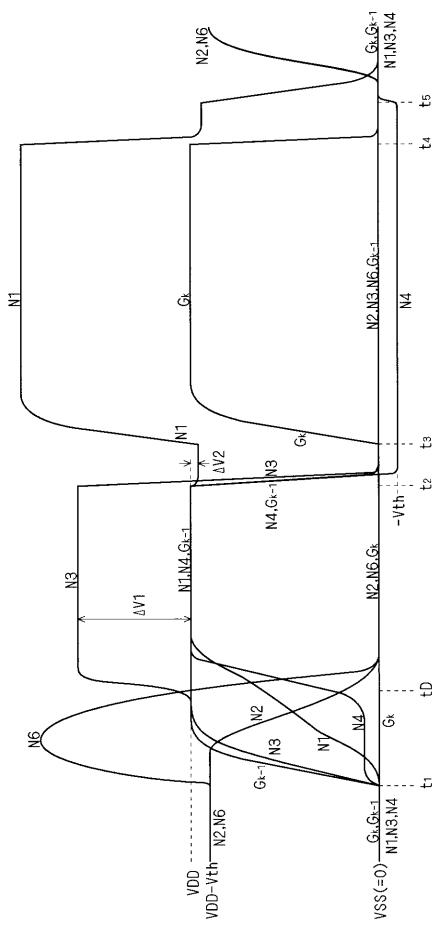
【図 10】



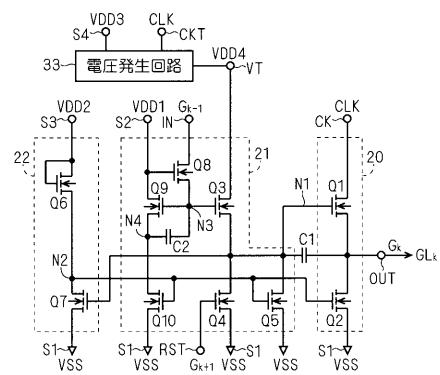
【図 12】



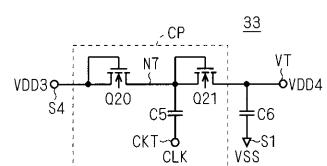
【図 13】



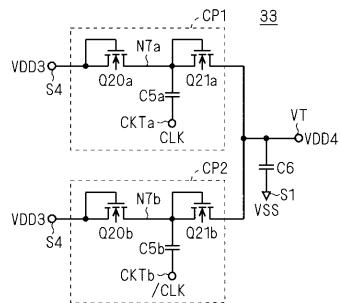
【図 14】



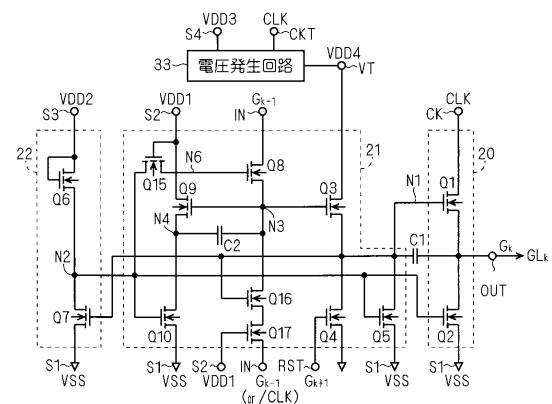
【図 15】



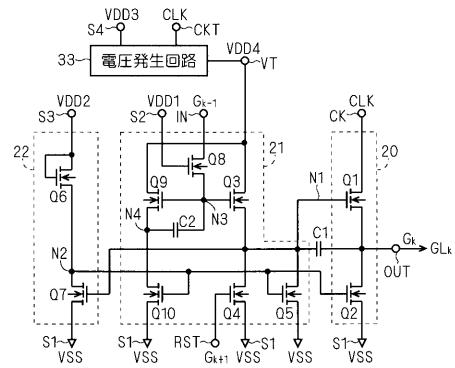
【図16】



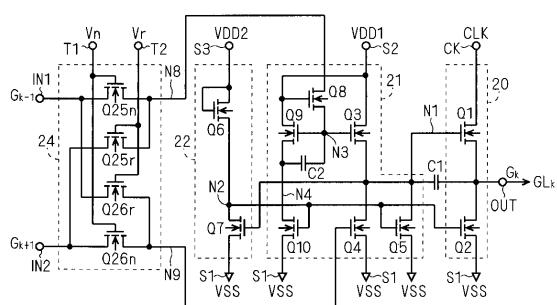
【図17】



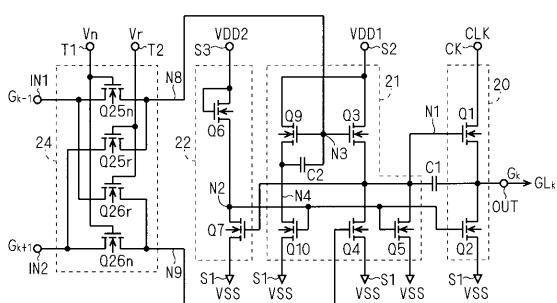
【図18】



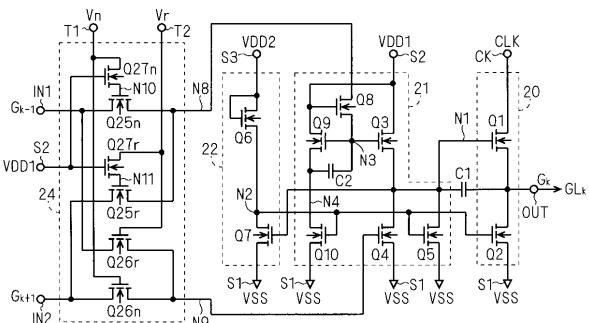
【図19】



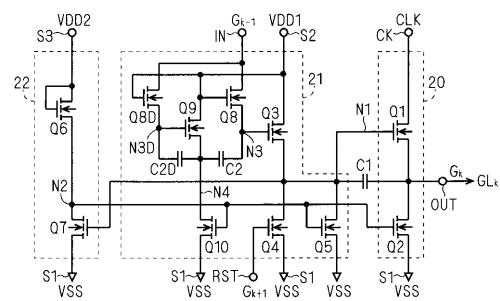
【図20】



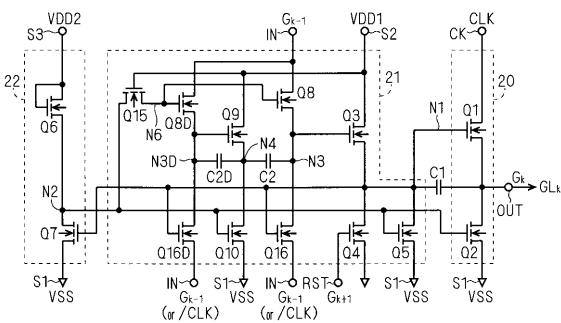
【図21】



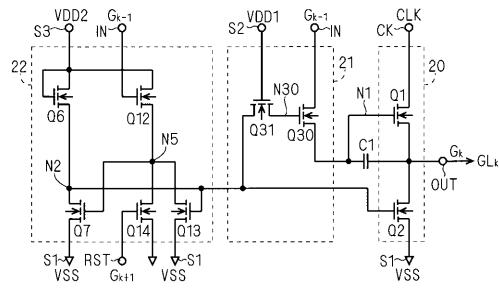
【図22】



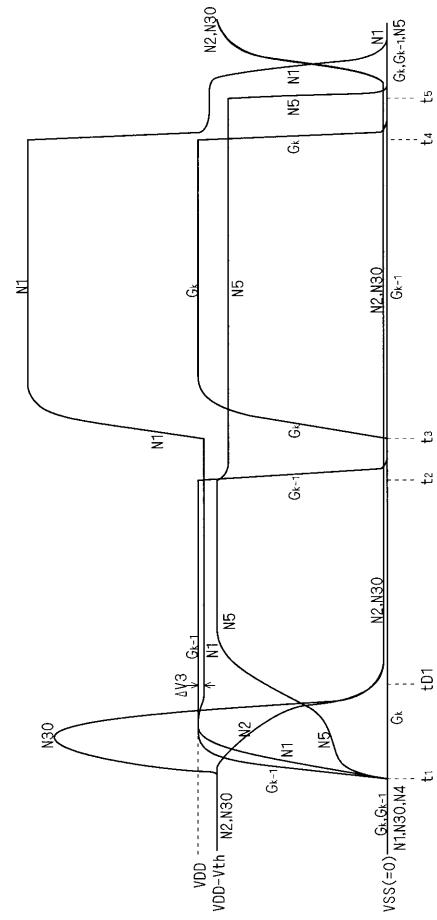
【図23】



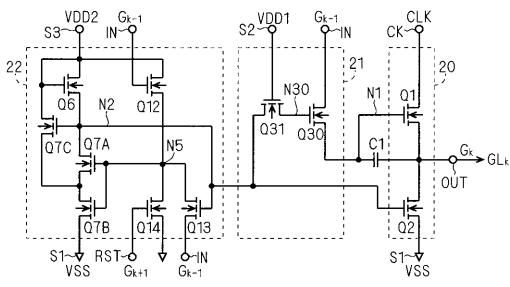
【図24】



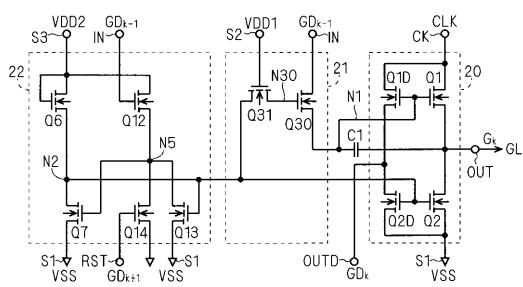
【図25】



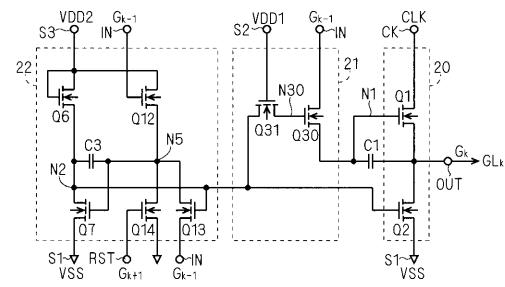
【図26】



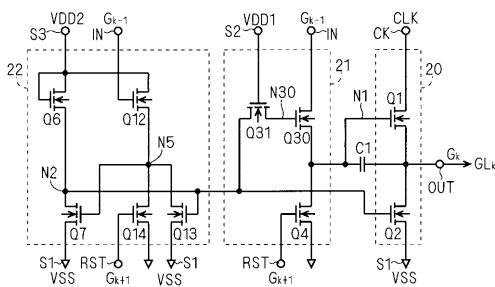
【図28】



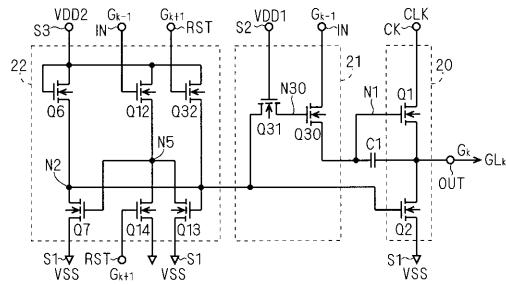
【図27】



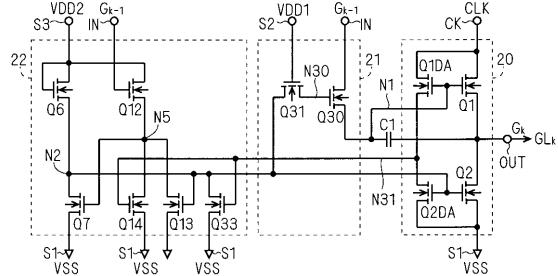
【図29】



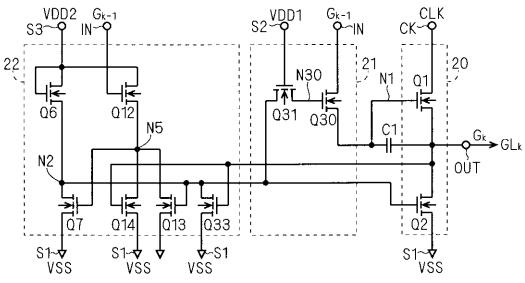
【図30】



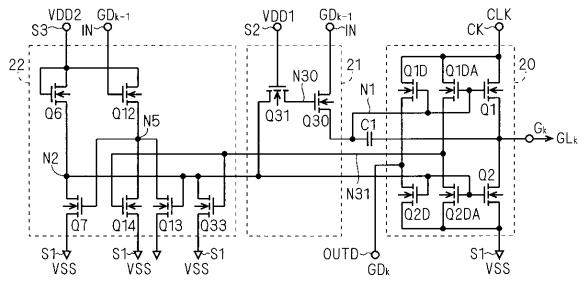
【図32】



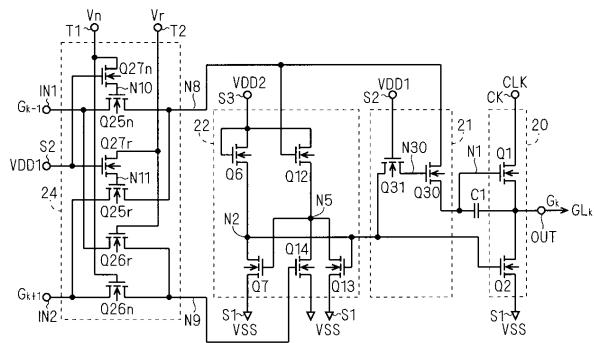
【図31】



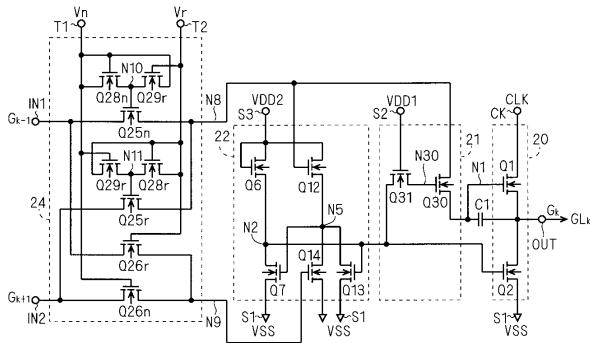
【図33】



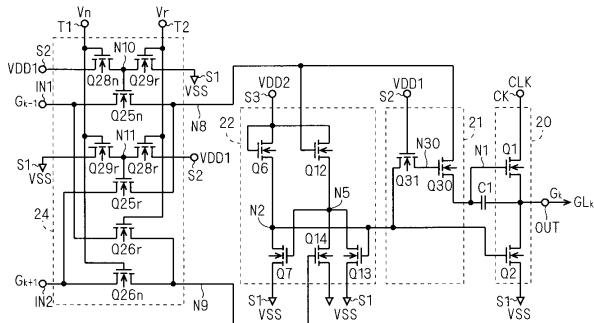
【図34】



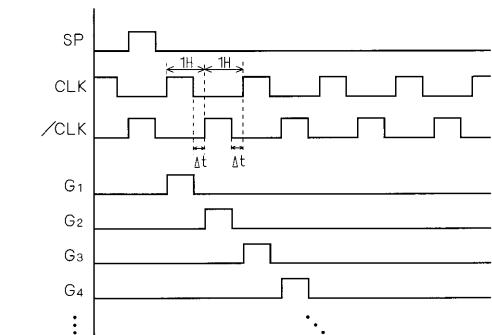
【図36】



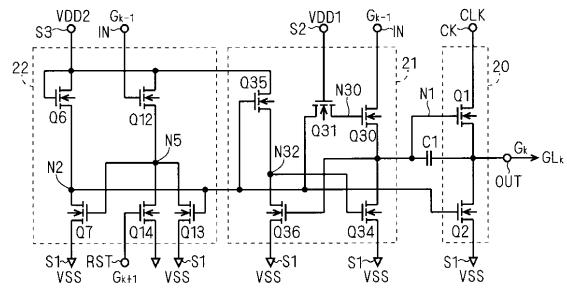
【図35】



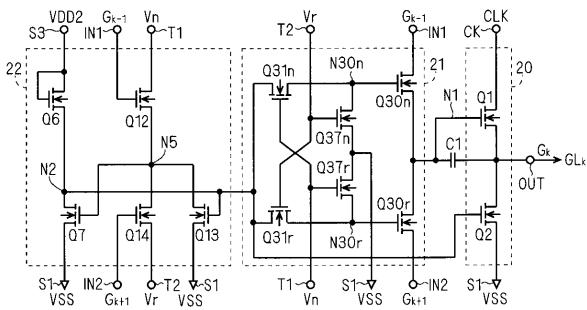
【図37】



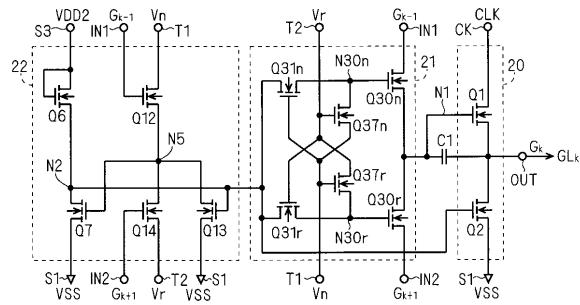
【図38】



【図40】



【図39】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 1 F

(56)参考文献 特開2007-257813(JP,A)

特開2008-193545(JP,A)

特開昭62-227214(JP,A)

米国特許第3710271(US,A)

特開2008-287753(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 1 9 / 2 8

G 1 1 C 1 9 / 0 0