



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I460863 B

(45)公告日：中華民國 103 (2014) 年 11 月 11 日

(21)申請案號：098121640

(22)申請日：中華民國 98 (2009) 年 06 月 26 日

(51)Int. Cl. : **H01L29/786 (2006.01)**

(30)優先權：2008/06/27	日本	2008-169286
2009/02/27	日本	2009-046433
2009/05/28	日本	2009-129313

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)
日本

(72)發明人：伊佐敏行 ISA, TOSHIYUKI (JP)；神保安弘 JINBO, YASUHIRO (JP)；手塚祐朗
TEZUKA, SACHIAKI (JP)；大力浩二 DAIRIKI, KOJI (JP)；宮入秀和 MIYAIRI,
HIDEKAZU (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)；廣橋拓也 HIROHASHI,
TAKUYA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	544735	TW	200505016
TW	200638547	JP	2001-102587A
JP	2001-196598A	JP	2002-299235A
JP	2002-359191A	US	5294811A
US	5825050A	US	6035101A
US	6218206B1	US	6372535B1
US	6841431B2	US	7133100B2
US	2007148799A1		

審查人員：宋國明

申請專利範圍項數：34 項 圖式數：115 共 0 頁

(54)名稱

薄膜電晶體

THIN FILM TRANSISTOR

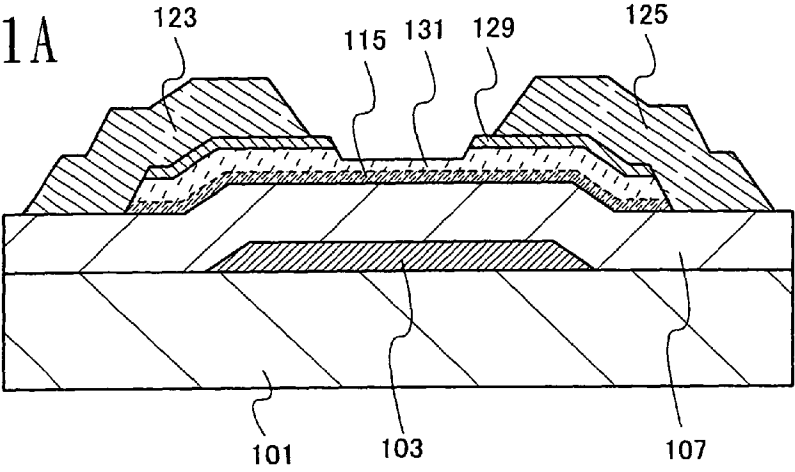
(57)摘要

一種薄膜電晶體，包括作為緩衝層的半導體層，該半導體層在閘極絕緣層和源區及汲區之間的至少源區及汲區一側包含氮並在非晶結構中包括晶體區域。與在通道形成區中具有非晶半導體的薄膜電晶體相比，可以提高薄膜電晶體的導通電流。並且，與在通道形成區中具有微晶半導體的薄膜電晶體相比，可以降低薄膜電晶體的截止電流。

A thin film transistor includes, as a buffer layer, a semiconductor layer which contains nitrogen and includes crystal regions in an amorphous structure between a gate insulating layer and source and drain regions, at least on the source and drain regions side. As compared to a thin film transistor in which an amorphous semiconductor is included in a channel formation region, on-current of a thin film transistor can

be increased. In addition, as compared to a thin film transistor in which a microcrystalline semiconductor is included in a channel formation region, off-current of a thin film transistor can be reduced.

圖 1A



- 101 . . . 基板
- 103 . . . 閘極電極層
- 107 . . . 閘極絕緣層
- 115 . . . 半導體層
- 123 . . . 佈線層
- 125 . . . 佈線層
- 129 . . . 源區及汲區
- 131 . . . 緩衝層

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98121640

※申請日：98年06月26日

※IPC分類：H01L 29/186 (2006.01)

一、發明名稱：(中文／英文)

薄膜電晶體

Thin film transistor

二、中文發明摘要：

一種薄膜電晶體，包括作為緩衝層的半導體層，該半導體層在閘極絕緣層和源區及汲區之間的至少源區及汲區一側包含氮並在非晶結構中包括晶體區域。與在通道形成區中具有非晶半導體的薄膜電晶體相比，可以提高薄膜電晶體的導通電流。並且，與在通道形成區中具有微晶半導體的薄膜電晶體相比，可以降低薄膜電晶體的截止電流。

三、英文發明摘要：

A thin film transistor includes, as a buffer layer, a semiconductor layer which contains nitrogen and includes crystal regions in an amorphous structure between a gate insulating layer and source and drain regions, at least on the source and drain regions side. As compared to a thin film transistor in which an amorphous semiconductor is included in a channel formation region, on-current of a thin film transistor can be increased. In addition, as compared to a thin film transistor in which a microcrystalline semiconductor is included in a channel formation region, off-current of a thin film transistor can be reduced.

四、指定代表圖：

(一) 本案指定代表圖為：第 1A 圖。

(二) 本代表圖之元件符號簡單說明：

101：基板

103：閘極電極層

107：閘極絕緣層

115：半導體層

123：佈線層

125：佈線層

129：源區及汲區

131：緩衝層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種薄膜電晶體及其製造方法以及使用該薄膜電晶體的半導體裝置及顯示裝置。

【先前技術】

作為場效應電晶體的一種，已知將通道形成區形成於形成在具有絕緣表面的基板上的半導體層中的薄膜電晶體。已公開有使用非晶矽、微晶矽及多晶矽作為用於薄膜電晶體的半導體層的技術（參照專利文獻 1 至 5）。薄膜電晶體的典型的應用例為液晶電視裝置，並且作為構成顯示幕的各像素的開關電晶體而實現實用化。

[專利文獻 1] 日本專利特開第 2001-053283 號公報

[專利文獻 2] 日本專利特開平第 5-129608 號公報

[專利文獻 3] 日本專利特開第 2005-049832 號公報

[專利文獻 4] 日本專利特開平第 7-131030 號公報

[專利文獻 5] 日本專利特開第 2005-191546 號公報

使用非晶矽層形成通道形成區的薄膜電晶體具有場效應遷移率低及導通電流低的問題。另一方面，使用微晶矽層形成通道形成區的薄膜電晶體與使用非晶矽層形成通道形成區的薄膜電晶體相比，其問題在於，雖然場效應遷移率提高了，但是截止電流也變高，從而不能得到充分的開關特性。

將多晶矽層用於通道形成區的薄膜電晶體具有如下特

性：與上述兩種薄膜電晶體相比，其場效應遷移率格外高，能夠得到高導通電流。由於所述特性，這種薄膜電晶體不僅可構成設置在像素中的開關用薄膜電晶體，而且還可構成要求高速工作的驅動電路。

但是，與使用非晶矽層形成通道形成區的薄膜電晶體的情況相比，多晶矽層成為通道形成區的薄膜電晶體需要半導體層的晶化製程，從而帶來製造成本增大的問題。例如，形成多晶矽層所需的雷射退火技術有以下問題，即因雷射光束的照射面積小，而不能高效地生產大螢幕液晶面板。

另外，用來製造顯示面板的玻璃基板正逐年大型化，如第 3 代（如 $550\text{mm}\times 650\text{mm}$ ）、第 3.5 代（如 $600\text{mm}\times 720\text{mm}$ 或 $620\text{mm}\times 750\text{mm}$ ）、第 4 代（如 $680\text{mm}\times 880\text{mm}$ 或 $730\text{mm}\times 920\text{mm}$ ）、第 5 代（如 $1100\text{mm}\times 1300\text{mm}$ ）、第 6 代（如 $1500\text{mm}\times 1850\text{mm}$ ）、第 7 代（如 $1870\text{mm}\times 2200\text{mm}$ ）、第 8 代（如 $2200\text{mm}\times 2400\text{mm}$ ），預計今後將向第 9 代（如 $2400\text{mm}\times 2800\text{mm}$ 或 $2450\text{mm}\times 3050\text{mm}$ ）、第 10 代（如 $2950\text{mm}\times 3400\text{mm}$ ）的大面積化發展。玻璃基板的大型化是基於成本最低設計的思想。

與此相反，能夠在大面積母玻璃基板如第 10 代（ $2950\text{mm}\times 3400\text{mm}$ ）上高生產率地製造能高速工作的薄膜電晶體的技術尚未確立，這成為產業界的問題。

【發明內容】

因此，本發明的一個實施例的目的在於解決根據薄膜電晶體的導通電流及截止電流的上述問題。

另外，本發明的一個實施例的要旨在於：在薄膜電晶體中，在閘極絕緣層和源區及汲區之間的至少源區及汲區一側包括在非晶結構中具有晶體結構的半導體層作為緩衝層。

另外，本發明的一個實施例的要旨在於：在薄膜電晶體中包括閘極絕緣層、接觸於閘極絕緣層半導體層、存在於半導體層和源區及汲區之間的緩衝層，其中緩衝層的非晶結構中具有晶體區域。

另外，本發明的一個實施例的要旨在於：在薄膜電晶體中包括閘極絕緣層、接觸於閘極絕緣層的緩衝層、其一部分接觸於緩衝層的源區及汲區，其中緩衝層的非晶結構中至少具有粒徑是 1nm 以上且 10nm 以下的晶粒（也稱為微小晶粒）。

本發明的一個實施例的要旨在於：在薄膜電晶體中包括覆蓋閘極電極的閘極絕緣層、接觸於閘極絕緣層半導體層、接觸於半導體層的一部分並形成源區及汲區的雜質半導體層，其中在半導體層中，在閘極絕緣層一側形成有微晶半導體，並且在半導體層中，在雜質半導體層一側的非晶結構中分散有晶體區域。

該緩衝層設置在與接觸於閘極絕緣層的面相反一側，所謂背通道一側。

在非晶結構中具有晶體區域的半導體層具有氮。此時的藉由二次離子質量分析法（SIMS；Secondary Ion Mass Spectrometry）測定的氮濃度是 $1 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ ，較佳的是 $2 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ ，更佳的是 $3 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 。

另外，在非晶結構中具有晶體區域的半導體層中，使用低溫光致發光譜的光譜的峰值區域是 1.31 eV 以上且 1.39 eV 以下。

另外，在非晶結構中具有晶體區域的半導體層與非晶半導體，典型的是非晶矽的帶隙的帶尾相比，其傾斜更陡峭。因此，帶隙變寬，與現有的非晶半導體層相比隧道電流不易流過。

以可以生成微晶半導體的混合比使用半導體材料氣體（例如，氫化矽氣體、氟化矽氣體、氯化矽氣體、氫化銻氣體、氟化銻氣體、氯化銻氣體等）和稀釋氣體作為反應氣體，來形成在非晶結構中具有晶體區域的半導體層。在引入有該反應氣體並降低了氧濃度的超高真空反應室內，維持預定壓力而生成輝光放電電漿。由此，在安裝於反應室內的基板上沉積膜。但是藉由將阻礙晶核生成或成長的雜質元素包含在反應室中並控制雜質元素的濃度，在非晶結構中形成錐形或金字塔形晶體區域及/或微小晶粒作為晶體區域。

當在基板上沉積膜時，降低晶核的生成地控制雜質元素的濃度，生成晶核，並且基於該晶核形成倒錐形或倒金

字塔形晶體區域。另外，當在基板上沉積膜時，抑制晶核的生成地控制雜質元素的濃度，並且抑制晶核的生成，而形成微小晶粒。另外，在膜的基底層是具有結晶性的半導體層的情況下，藉由降低結晶成長地控制雜質元素的濃度，降低結晶成長並沉積非晶結構，而形成正錐形晶體區域。

較佳的使用氮或氮化物作為降低或抑制晶核的生成及結晶成長的雜質元素。

在其非晶結構中具有晶體區域的半導體層中，藉由將以二次離子質量分析法測定的氮濃度設定為 $3 \times 10^{20} \text{ cm}^{-3}$ 至 $1 \times 10^{21} \text{ cm}^{-3}$ ，抑制晶核的生成，並且不生成晶核地形成微小晶粒。

另外，在其非晶結構中具有晶體區域的半導體層中，藉由將以二次離子質量分析法測定的氮濃度設定為 $1 \times 10^{20} \text{ cm}^{-3}$ 以上且 $1 \times 10^{21} \text{ cm}^{-3}$ 以下，較佳的設定為 $2 \times 10^{20} \text{ cm}^{-3}$ 以上且 $1 \times 10^{21} \text{ cm}^{-3}$ 以下，來抑制成為錐形晶體區域的成長端的晶核的生成位置和生成密度。或者，控制錐形晶體區域的結晶成長。

在晶體區域的一個方式的錐形晶體區域中，在底閘型薄膜電晶體的情況下，存在從閘極絕緣層向源區及汲區寬度逐漸變窄的錐形的晶體區域（以下，也稱為正錐形）。另外，存在從閘極絕緣層或接觸於閘極絕緣層的半導體層和具有晶體區域的半導體層的介面向源區及汲區大致反射狀地成長的倒錐形。

在此，正錐形是指由（i）由多個平面構成的面（ii）連接上述面的外周和存在於上述面的外部的頂點的線的集合構成的立體形狀，其中該頂點存在於上述由多個平面構成的面和源區及汲區之間。換言之，正錐形是指向沉積在非晶結構中具有晶體區域的半導體層的方向寬度逐漸變窄的形狀。這是因為如下緣故：當成為在非晶結構中具有晶體區域的半導體層的基底的半導體層是微晶半導體層或晶體半導體層的情況下，藉由以半導體層為晶種並以部分地進行結晶成長的條件沉積在非晶結構中具有晶體區域的半導體層，以使晶體區域的寬度變窄的方式進行結晶成長。

在此，倒錐形是指由（i）由多個平面構成的面（ii）連接上述面的外周和存在於上述面的外部的頂點的線的集合構成的立體形狀，其中該頂點存在於上述由多個平面構成的面和基板之間。換言之，倒錐形是指向沉積在非晶結構中具有晶體區域的半導體層的方向大致反射狀地成長的形狀。藉由與膜的沉積的同時分散地形成的各晶核分別沿晶體方位成長，晶體區域以晶核為起點並與在非晶結構中具有晶體區域的半導體層的沉積方向垂直的面的內部方向上擴展的方式成長。

另外，錐形晶體區域內包括單晶或雙晶。另外，因為在非晶結構中錐形晶體區域分散，所以晶粒介面少。注意，雙晶是在晶粒介面中兩個不同的晶粒以極其良好的一致性結合在一起的狀態。換言之，雙晶具有在晶粒介面中連續地連接晶格，而不容易形成起因於結晶缺陷等的陷阱能

級的結構。因此，可以認為在具有這種晶體結構的區域中實際上不存在晶粒介面。

晶體區域的一個方式的微小晶粒的粒徑為 1nm 以上且 10nm 以下，較佳的為 1nm 以上且 5nm 以下。因為藉由使沉積原料氣體包含氮，阻礙晶核的生成，所以可以形成不會成為晶核的微小晶粒。另外，藉由提高半導體層中的微小晶粒的密度，結晶成分比得到提高。

由此，在薄膜電晶體中，藉由在通道形成區與源區及汲區之間設置在非晶結構中具有晶體區域的半導體層作為緩衝層，可以降低對源區或汲區施加電壓時的在緩衝層厚度方向上的電阻。特別地，藉由在緩衝層中在源區及汲區的正下面設置在非晶結構中具有晶體區域的半導體層，與在閘極絕緣層和源區及汲區之間設置非晶半導體層的薄膜電晶體相比，可以提高薄膜電晶體的導通電流。

另外，在非晶結構中具有晶體區域的半導體層與非晶半導體，典型的是非晶矽的帶隙的帶尾相比，其傾斜更陡峭，帶隙變寬，並且隧道電流更難流過。由此，藉由在截止電流流過的區域中設置在非晶結構中具有晶體區域的半導體層，與在閘極絕緣層和源區及汲區之間設置微晶半導體的薄膜電晶體相比，可以降低截止電流。

另外，降低矽中的減少矽的配位數並產生懸空鍵的雜質元素，例如氧那樣的雜質元素的濃度。就是說，較佳的將藉由二次離子質量分析法測定的氧濃度設定為 $5 \times 10^{18}\text{cm}^{-3}$ 以下。

另外，在此，不表示其他測定法時的濃度都是藉由二次離子質量分析法測定的濃度。

另外，導通電流是指當電晶體處於導通狀態時流過源極電極和汲極電極之間的電流。例如，在採用 n 型電晶體的情況下，導通電流是當閘極電壓高於電晶體的臨界值電壓時，流過源極電極和汲極電極之間的電流。

另外，截止電流是指當電晶體處於截止狀態時流過源極電極和汲極電極之間的電流。例如，在採用 n 型電晶體的情況下，截止電流是當閘極電壓低於電晶體的臨界值電壓時流過源極電極和汲極電極之間的電流。

如上所述，與在通道形成區中具有非晶半導體的薄膜電晶體相比，更可以提高薄膜電晶體的導通電流，並且與在通道形成區中具有微晶半導體的薄膜電晶體相比，可以降低薄膜電晶體的截止電流。

【實施方式】

以下，參照附圖對實施例模式進行說明。但是，本發明不局限於以下的說明，並且所屬本技術領域的普通技術人員很容易理解：本發明的方式和細節可以在不脫離本發明的宗旨及其範圍的條件下作各種各樣的變換。因此，本發明不應該被解釋為僅限於以下所示的實施例模式的記載內容。注意，當使用附圖說明本發明的結構時，在不同附圖之間共同使用相同的附圖標記來表示相同的部分。另外，也有如下情況：當表示相同的部分時使用相同的陰影線

，而不特別附加附圖標記。

實施例模式 1

在本實施例模式中，參照附圖說明薄膜電晶體的方式的一例。

圖 1A 及 1B 表示根據本實施例模式的薄膜電晶體的截面圖。圖 1A 所示的薄膜電晶體具有基板 101 上的閘極電極層 103、覆蓋閘極電極層 103 的閘極絕緣層 107、接觸於閘極絕緣層 107 上並用作通道形成區的半導體層 115、半導體層 115 上的緩衝層 131、以及接觸於緩衝層 131 上的一部分的源區及汲區 129。另外，薄膜電晶體還具有接觸於源區及汲區 129 上的佈線層 123、125。佈線層 123、125 構成源極電極及汲極電極。另外，各層被構圖形成為所希望的形狀。在此，緩衝層 131 由在非晶結構中具有晶體區域的半導體層形成。

如圖 1B 所示，在半導體層 115 中，重疊於閘極電極層 103 的區域並在閘極絕緣層 107 一側的區域 171 用作通道。另外，在緩衝層 131 中，與閘極絕緣層 107 相反一側的不接觸於源區及汲區 129 的區域 172 用作背通道。另外，在緩衝層 131 中，接觸於汲區的一側的區域 173 成為耗盡層。另外，緩衝層 131 和源區或汲區接觸的區域 174 是鍵合區域。

作為基板 101，除了玻璃基板、陶瓷基板以外，還可以使用具有可承受本製程中的處理溫度的耐熱性的塑膠基

板等。另外，當基板不需要透光性時，也可以使用在不銹鋼合金等的金屬基板表面上設置絕緣層的基板。作為玻璃基板，例如較佳的使用如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋁矽酸鹽玻璃等的無鹼玻璃基板。

藉由使用鉬、鈦、鉻、鉭、鎢、鋁、銅、釹或銦等的金屬材料或以這些金屬材料為主要成分的合金材料並以單層或疊層，可以形成閘極電極層 103。此外，也可以使用以摻雜有磷等雜質元素的多晶矽為代表的半導體層或 AgPdCu 合金。

例如，較佳的採用在鋁層上層疊鉬層的雙層結構、在銅層上層疊鉬層的雙層結構、在銅層上層疊氮化鈦層或氮化鉭層的雙層結構或者層疊氮化鈦層和鉬層的雙層結構作為閘極電極層 103 的雙層的疊層結構。作為三層的疊層結構，較佳的採用層疊鎢層或氮化鎢層、鋁和矽的合金或鋁和鈦的合金的層以及氮化鈦層或鈦層的疊層。藉由在電阻低的層上層疊起到阻擋層的作用的金屬層，可以防止金屬元素從電阻低的層擴散到半導體層中。

藉由利用 CVD 法或濺射法等並使用氧化矽層、氮化矽層、氧氮化矽層或氮氧化矽層的單層或疊層，可以形成閘極絕緣層 107。另外，藉由使用氧氮化矽層形成閘極絕緣層 107，當在半導體層 115 中形成微晶半導體層時可以降低薄膜電晶體的臨界值電壓的變動。

注意，在本說明書中，氧氮化矽是指其組成中的氧含量大於氮含量的物質，較佳的的是在使用盧瑟福背散射法

(RBS: Rutherford Backscattering Spectrometry) 及氫前散射法 (HFS: Hydrogen Forward Scattering) 進行測定時，作為組成範圍包含 50 原子%至 70 原子%的氧、0.5 原子%至 15 原子%的氮、25 原子%至 35 原子%的矽、以及 0.1 原子%至 10 原子%的氫的物質。另外，氮氧化矽是指其組成中的氮含量大於氧含量的物質，較佳的是在使用 RBS 及 HFS 進行測量時，作為組成範圍包含 5 原子%至 30 原子%的氧、20 原子%至 55 原子%的氮、25 原子%至 35 原子%的矽、10 原子%至 30 原子%的氫的物質。注意，在將構成氧氮化矽或氮氧化矽的原子的總計設定為 100 原子%時，氮、氧、矽及氫的含量比率包括在上述範圍內。

半導體層 115 使用微晶半導體層、非晶半導體層、或在非晶結構中具有晶體區域的半導體層而形成。作為微晶半導體層、非晶半導體層、或在非晶結構中具有晶體區域的半導體層，可以使用矽、鍺、或矽鍺。注意，半導體層 115 也可以添加有賦予 n 型的導電性的磷或賦予 p 型的導電性的硼。另外，半導體層 115 也可以添加有與矽起反應而形成矽化物的金屬元素，如鈦、鋯、鉛、釩、鈮、鉭、鉻、鉬、鎢、鈷、鎳、鉑等。因為藉由對半導體層 115 添加賦予 n 型的導電性的磷、賦予 p 型的導電性的硼、或與矽起反應而形成矽化物的金屬元素等，可以提高半導體層的載流子遷移率，所以可以提高以該半導體層為通道形成區的薄膜電晶體的場效應遷移率。較佳的將半導體層 115

的厚度設定為 3nm 至 100nm，或者 5nm 至 50nm。

微晶半導體層是包括具有非晶體和晶體結構（包括單晶、多晶）的中間結構的半導體的層。微晶半導體是具有自由能穩定的第三狀態的半導體，並且是具有短程有序和晶格畸變的結晶性的半導體，其中晶粒徑是 2nm 以上且 200nm 以下，較佳的的是 10nm 以上且 80nm 以下，更佳的是 20nm 以上且 50nm 以下的柱狀結晶或針狀結晶 115a 在相對於基板表面法線方向上成長。因此，在柱狀結晶或針狀結晶 115a 的介面中形成晶體介面 115b。另外，在柱狀結晶或針狀結晶 115a 之間存在有非晶結構 115c（參照圖 2A）。

另外，較佳的將藉由二次離子質量分析法測定的包含在微晶半導體層中的氧及氮濃度設定為低於 $1 \times 10^{18} \text{ atoms/cm}^3$ 。

另外，也可以在微晶半導體層中，在與閘極絕緣層 107 的介面中形成有非晶層 115d，並且在其上形成有柱狀結晶或針狀結晶 115a（參照圖 2B）。

另外，如圖 2C 所示，也可以在閘極絕緣層 107 和半導體層 115 之間的介面中沒有非晶結構，而在閘極絕緣層 107 的表面形成柱狀結晶或針狀結晶 115a。如此，因為在閘極絕緣層 107 和半導體層 115 之間的介面中沒有非晶結構，而在具有高結晶性的柱狀結晶或針狀結晶 115a 中載流子遷移，所以可以提高薄膜電晶體的導通電流及場效應遷移率。

微晶半導體的典型例子的微晶矽的拉曼光譜向表示單晶矽的 520cm^{-1} 的低波數一側移動。即，微晶矽的拉曼光譜的峰值位於表示單晶矽的 520cm^{-1} 和表示非晶矽的 480cm^{-1} 之間。另外，也可以使其包含至少 1 原子 % 或 1 原子 % 以上的氫或鹵素，以飽和懸空鍵 (dangling bond)。再者，也可以使其包含如氦、氬、氪、氙等的稀有氣體元素，藉由由此進一步促進晶格畸變，可以獲得微晶結構的穩定性得到提高的優良的微晶半導體。例如，在美國專利 4,409,134 號中公開了關於這種微晶半導體的記載。

在此，圖 3A、3B-1 至 3B-4、3C 及 3D 表示本實施例模式的主要特徵之一的緩衝層 131 的結構。緩衝層 131 在非晶結構中具有晶體區域。晶體區域是錐形的晶體區域及/或微小晶粒。另外，晶體區域分散地存在。較佳的將緩衝層 131 的厚度設定為 50nm 至 350nm，或者 120nm 至 250nm。

另外，緩衝層 131 的藉由二次離子質量分析法測定的氮濃度是 $1 \times 10^{20}\text{cm}^{-3}$ 至 $1 \times 10^{21}\text{cm}^{-3}$ 、 $2 \times 10^{20}\text{cm}^{-3}$ 至 $1 \times 10^{21}\text{cm}^{-3}$ 、 $3 \times 10^{20}\text{cm}^{-3}$ 至 $1 \times 10^{21}\text{cm}^{-3}$ 。

另外，緩衝層 131 的使用低溫光致發光譜的光譜的峰值區域是 1.31eV 以上且 1.39eV 以下。另外，微晶半導體層，典型的是微晶矽層的使用低溫光致發光譜測定的光譜的峰值區域是 0.98eV 以上且 1.02eV 以下，而在非晶結構中具有晶體區域的半導體層與微晶半導體層不同。

錐形的晶體區域具有從半導體層 115 及緩衝層 131 的

介面向沉積緩衝層 131 的方向大致放射狀地成長的錐形（倒錐形）和從半導體層 115 及緩衝層 115 的介面向沉積緩衝層 131 的方向寬度逐漸變窄的錐形（正錐形）。

首先，使用圖 3A、3B-1 至 3B-4、3C 及 3D 表示倒錐形。

如圖 3A 所示，在緩衝層 131 中，在非晶結構 131b 中分散有晶體區域 131a。即，晶體區域 131a 分散地存在。

圖 3A、3B-1 至 3B-4、3C 及 3D 所示的晶體區域 131a 的形狀為倒錐形。在此，倒錐形是指由 (i) 由多個平面構成的面 (ii) 連接上述面的外周和存在於上述面的外部的頂點的線的集合構成的立體形狀，其中該頂點存在於上述由多個平面構成的面和基板 101 之間。換言之，倒錐形是指向沉積緩衝層 131 的方向大致放射狀地成長的形狀。藉由與緩衝層的形成的同時分散地形成的各晶核分別沿晶體方位成長，而晶體區域以晶核為起點並以在垂直於沉積緩衝層 131 的方向的面的面內方向上擴展的方式成長。另外，在晶體區域 131a 內包括單晶或雙晶。

如圖 3B-1 所示，在包括於緩衝層中的晶體區域的一個方式中，使晶體區域 131d 的頂點接觸於半導體層 115 地形成，並且結晶成長在緩衝層的沉積方向上連續地成長。

藉由將緩衝層的沉積初期時的氮濃度設定為 $1 \times 10^{20} \text{ cm}^{-3}$ 以上且 $1 \times 10^{21} \text{ cm}^{-3}$ 以下，較佳的設定為 $2 \times$

10^{20}cm^{-3} 以上且 $1\times 10^{21}\text{cm}^{-3}$ 以下，並且在沉積方向上逐漸降低氮濃度，而可以形成上述晶體區域。藉由使緩衝層具有上述濃度的氮，可以控制晶體區域的高度，而可以降低晶體區域的高度的不均勻性。其結果是，可以降低多個薄膜電晶體中的電晶體特性的不均勻性。

如圖 3B-2 所示，在包括於緩衝層中的晶體區域的一個方式中，晶體區域 131e 的頂點不接觸於半導體層 115，而保持一定的距離地形成頂點，並且結晶成長在緩衝層的沉積方向上連續地成長。

藉由將緩衝層的沉積初期時的氮濃度設定為 $3\times 10^{20}\text{cm}^{-3}$ 至 $1\times 10^{21}\text{cm}^{-3}$ ，並且在沉積方向上逐漸降低氮濃度，而可以形成上述晶體區域。

如圖 3B-3 所示，在包括於緩衝層中的晶體區域的一個方式中，晶體區域 131f 的頂點接觸於半導體層 115，並且結晶成長在緩衝層的沉積方向的中途停止，而在晶體區域 131f 上形成非晶結構。

藉由將緩衝層的沉積初期時的氮濃度設定為 $1\times 10^{20}\text{cm}^{-3}$ 以上且 $1\times 10^{21}\text{cm}^{-3}$ 以下，較佳的設定為 $2\times 10^{20}\text{cm}^{-3}$ 以上且 $1\times 10^{21}\text{cm}^{-3}$ 以下，並且在沉積方向上逐漸降低氮濃度，來使結晶成長，然後將氮濃度提高到 $3\times 10^{20}\text{cm}^{-3}$ 以上且 $1\times 10^{21}\text{cm}^{-3}$ 以下，而可以形成上述晶體區域。

注意，雖然在圖 3B-3 中晶體區域的頂點接觸於半導體層 115，但是也可以以與圖 3B-2 同樣的條件會成為其

頂點不接觸於半導體層 115 並成長在沉積方向的中途停止的晶體區域。

如圖 3B-4 所示，在包括於緩衝層中的晶體區域的一個方式中，會成為在沉積方向上層疊多個倒錐形的晶體區域的結構 131g。

將緩衝層的沉積初期時的氮濃度設定為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，較佳的設定為 $2 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，並且在沉積方向上逐漸降低氮濃度，來使結晶成長，然後將氮濃度提高到 $3 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。然後降低氮濃度來可以形成這些晶體區域。

注意，雖然在圖 3B-4 中晶體區域的頂點接觸於半導體層 115，但是以與圖 3B-2 同樣的條件會成為其頂點不接觸於半導體層 115 的結構。

注意，晶體區域 131a、131d 至 131g 包含氮。另外，其有時也包含 NH 基或 NH_2 基。另外，非晶結構 131b 包含氮。其有時也包含 NH 基或 NH_2 基。

另外，如圖 3C 所示，緩衝層 131 有在非晶結構 131b 中分散有微小晶粒 131c 的方式。微小晶粒 131c 是不成為上述晶體區域的成長核的程度的微小的尺寸，典型的是 1nm 以上且 10nm 以下，較佳的是 1nm 以上且 5nm 以下的微小尺寸的晶粒。藉由控制緩衝層 131 中的氮濃度，可以形成微小晶粒。另外，在微小晶粒的外側，即接觸於非晶結構 131b 的一側多個氮容易偏析。因此，多個氮，較佳

的是 NH 基或 NH_2 基有時存在於微小晶粒 131c 及非晶結構 131b 的介面中。

注意，在緩衝層 131 中也可以分散有微小晶粒 131c。另外，也可以在緩衝層 131 中聚集微小晶粒 131c。進而，也可以存在有分散的微小晶粒 131c 及聚集的微小晶粒 131c。

另外，如圖 3D 所示，緩衝層 131 也有在非晶結構 131b 中分散晶體區域 131a 及微小晶粒 131c 的方式。

注意，微小晶粒 131c 包含氮。另外，有時也包含 NH 基或 NH_2 基。

接著，使用圖 4A 至 4D 表示正錐形的晶體區域。

如圖 4A 所示，在半導體層 115 上形成在非晶結構 131b 中具有正錐形的晶體區域 131h 的緩衝層 131。在緩衝層 131 中，在非晶結構 131B 中分散晶體區域 131h。即，晶體區域 131h 分散地存在。

圖 4A 至 4D 所示的晶體區域 131h 的形狀是正錐形。在此，正錐形是指由 (i) 由多個平面構成的面 (ii) 連接上述面的外周和存在於上述面的外部的頂點的線的集合構成的立體形狀，其中該頂點與多個平面構成的面相比位於源區及汲區 129 一側。換言之，正錐形是指向沉積緩衝層 131 的方向寬度逐漸變窄的形狀。這是因為如下緣故：在半導體層 115 是微晶半導體層或晶體半導體層的情況下，藉由以半導體層 115 為晶種並以部分地進行結晶成長的條件沉積緩衝層 131，以使晶體區域 131h 的寬度變窄的方

式進行結晶成長。在此，爲了方便以接觸半導體層 115 和晶體區域 131h 的方式使用虛線進行表示，但是半導體層 115 的一部分成長的區域成爲晶體區域 131h。另外，晶體區域 131h 內包括單晶或雙晶。

如圖 4A 所示，在包括於緩衝層中的晶體區域的一個方式中，具有晶體區域 131h 的底面接觸於半導體層 115，並其頂點存在於非晶結構 131b 中的形狀。

藉由將緩衝層的沉積中的氮濃度設定爲 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，較佳的設定爲 $2 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ ，而可以形成這些晶體區域。

如圖 4B 所示，在包括於緩衝層中的晶體區域的一個方式中，具有晶體區域 131i 的頂點接觸於源區或汲區 129 的形狀。注意，在這些情況下，較佳的晶體區域 131i 的比率低於非晶結構 131b。其結果是，可以降低薄膜電晶體的截止電流。

藉由將緩衝層的沉積中的氮濃度較佳地設定爲 $1 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ ，更佳地設定爲 $2 \times 10^{20} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 而可以形成這些晶體區域。

注意，晶體區域 131h、131i 包含氮。另外，其有時包含 NH 基或 NH_2 基。另外，非晶結構 131b 包含氮。其有時也包含 NH 基或 NH_2 基。

如圖 4C 所示，在包括於緩衝層中的晶體區域的一個方式中，有在非晶結構 131b 中分散晶體區域 131h 或晶體區域 131i 和微小晶粒 131c 的方式。

藉由採用上述結構，可以降低當對源區或汲區施加電壓時的在緩衝層 131 的垂直方向上的電阻，即半導體層和源區或汲區之間的電阻，而可以提高薄膜電晶體的導通電流。特別地，藉由在源區及汲區的正下方設置在非晶結構中具有晶體區域的半導體層作為緩衝層，可以提高薄膜電晶體的導通電流。

另外，雖然在圖 4A 至 4C 中半導體層 115 和緩衝層 131 的介面是晶體區域 131h 及非晶結構 131b，但是如圖 4D 所示，在半導體層 115 是微晶半導體層的情況下也有半導體層 115 和緩衝層 131 的介面是晶體區域的情況。這是因為如下緣故：當形成緩衝層 131 時，半導體層 115 的微晶半導體層成為晶種，並在緩衝層 131 的沉積初期中進行結晶成長，所以在半導體層 115 的整個面上晶體區域成長。然後，逐漸抑制結晶性，而形成成為正錐形的晶體區域 131j。

在此情況下，晶體區域 131j 包含氮。另外，其有時也包含 NH 基或 NH₂ 基。另外，非晶結構 131b 包含氮。另外，其有時也包含 NH 基或 NH₂ 基。

注意，在圖 4A 至 4D 中，從閘極絕緣層 107 和半導體層 115 的介面到晶體區域 131h 至 131j 的頂端的距離是 3nm 至 410nm，較佳的是 20nm 至 100nm。另外，作為降低或抑制晶核的產生的雜質元素有氧或氮，但是選擇在矽中不產生載流子陷阱的雜質元素（例如，氮）。另一方面，降低減少矽的配位數並產生懸空鍵的雜質元素（例如，

氧) 的濃度。從而，較佳的不降低氮濃度而降低氧濃度。具體而言，較佳的將藉由二次離子質量分析法測量的氧濃度設定為 $5 \times 10^{18} \text{ cm}^{-3}$ 以下。

另外，氮濃度是緩衝層保持半導體性的濃度，並且其較佳的在降低懸空鍵並提高載流子遷移率的範圍內。當氮濃度過高時，半導體性降低，而絕緣性增高，因此導通電流降低。另外，當氮濃度過低時，與現有的非晶半導體層同樣，載流子遷移率不上升，並且缺陷能級增加。

如上所說明那樣，錐形的晶體區域分散地存在。為了使晶體區域分散性存在，需要控制結晶的成核密度。藉由控制氮濃度可以控制晶體區域的成核密度，而可以使晶體區域分散地存在。另外，因為晶體區域在緩衝層中源區及汲區方向，也就是通道長方向上分散地存在，所以可以降低截止電流。特別地，因為其在緩衝層源區及汲區之間的通道長方向上分散地存在，所以可以降低截止電流。

形成添加有賦予一種導電型的雜質元素的半導體層（下面表示為雜質半導體層）作為源區及汲區 129，即可。在形成 n 通道型薄膜電晶體的情況下，作為賦予一種導電型的雜質元素使用磷即可，典型地使用含有磷的非晶矽或微晶矽形成。另外，在形成 p 通道型薄膜電晶體的情況下，作為賦予一種導電型的雜質元素使用硼即可，典型地使用含有硼的非晶矽或微晶矽形成。

藉由將賦予一種導電型的雜質元素的濃度，在此是磷或硼的濃度設定為 $1 \times 10^{19} \text{ cm}^{-3}$ 至 $1 \times 10^{21} \text{ cm}^{-3}$ ，可以獲得與

佈線層 123、125 的歐姆接觸，而作用當成源區及汲區。

源區及汲區 129 以 10nm 以上且 100nm 以下，較佳的是以 30nm 以上且 50nm 以下的厚度形成。藉由將源區及汲區 129 的厚度減薄，可以提高生產率。

佈線層 123、125 可以使用鋁、銅、鈦、釹、鈳、鉬、鉻、鉕或鎢等以單層或疊層形成。或者，也可以使用添加有防止小丘的元素的鋁合金（可以用於閘極電極層 103 的 Al-Nd 合金等）來形成佈線層 123、125。也可以使用添加有成爲施體的雜質元素的結晶矽。也可以採用如下疊層結構：利用鈦、鉕、鉬、鎢或這些元素的氮化物形成與添加有成爲施體的雜質元素的結晶矽接觸的一側的層，在其上形成鋁或鋁合金。再者，也可以採用如下疊層結構：利用鈦、鉕、鉬、鎢或這些元素的氮化物夾住鋁或鋁合金的上面以及下面。例如，作爲佈線層 123、125，可以採用利用鉕層夾住鋁層的三層的疊層結構。

根據本實施例模式，與在通道形成區中具有非晶半導體的薄膜電晶體相比，可以提高薄膜電晶體的導通電流，並且與在通道形成區中具有微晶半導體的薄膜電晶體相比，可以降低薄膜電晶體的截止電流。

在此，說明對本發明的主要特徵之一的在非晶結構中具有晶體區域的半導體層進行說明。

在非晶結構中具有晶體區域的半導體層有時具有對 Si 原子的懸空鍵進行交聯的 NH 基。或者有時具有飽和 Si 原子的懸空鍵的 NH₂ 基。以下說明這些情況。

現有的非晶半導體的結構沒有如晶格那樣的一定的重複圖案。因此，現有的非晶半導體包含多個懸空鍵，該區域成為缺陷，而其成為俘獲載流子的部分，並且降低載流子遷移率。然而，在本實施例模式所示的在非晶結構中具有晶體區域的半導體層有時使用 NH 基對該懸空鍵進行交聯，或者使用 NH₂ 基飽和 Si 原子的懸空鍵，而在非晶結構中具有晶體區域的半導體層中懸空鍵的個數減少。即，缺陷能級減少。另外，因為藉由使用 NH 基對懸空鍵進行交聯，該鍵合部可以成為載流子通路，所以與現有的非晶半導體層相比，載流子遷移率上升。其結果是，在將在非晶結構中具有晶體區域的半導體層用於薄膜電晶體的緩衝層的情況下，可以使薄膜電晶體的導通電流及場效應遷移率上升並降低截止電流。

注意，使用 NH 基對非晶半導體層的 Si 原子的懸空鍵進行交聯是指 NH 基的不同的鍵合分別用於與半導體層的不同的半導體元素的鍵合的情況。因此，N 原子的第一鍵合用於與 H 原子的鍵合，N 原子的第二鍵合用於與第一半導體原子的鍵合，並且 N 原子的第三鍵合用於與第二半導體原子的鍵合。另外，使用 NH₂ 基飽和半導體層的 Si 原子的懸空鍵是指 NH₂ 基與半導體層的 Si 原子鍵合的情況。因此，N 原子的第一鍵合及第二鍵合分別用於與不同的 H 原子的鍵合，並且 N 原子的第三鍵合用於與 Si 原子的鍵合。

另外，以下表示當在如下介面中 NH 基與矽原子的懸

空鍵鍵合時，缺陷能級消失，而載流子容易流過的模式。該介面是：如上所述的錐形的晶體區域的外側，即錐形晶體區域中的與非晶結構的介面（例如，圖 3A 所示的晶體區域 131a 和非晶結構 131b 的介面）、微小晶粒的外側，即微小晶粒和非晶結構的介面（例如，圖 3C 所示的微小晶粒 131c 和非晶結構 131b 的介面）、微小晶粒的晶界（例如，圖 3C 所示的各微小晶粒 131c 的介面）、半導體層和緩衝層的介面（例如，圖 3A 所示的半導體層 115 和緩衝層 131 的介面）、包括在緩衝層中的晶體區域的介面（例如，圖 4D 所示的晶粒介面 131k）等。

分別在以下模式中進行 n 型載流子移動的能級（也就是，傳導帶中的最低能級）的矽層的 LUMO（最低未佔據分子軌道）的模擬。該模式是：如圖 5 所示那樣，在具有以 H 原子 191a 飽和 Si 原子的懸空鍵的晶粒介面 192 的矽層中，以 O 原子 193 交聯一對懸空鍵的模式（模式 1）；如圖 6 所示那樣，在具有以 H 原子 191a 飽和 Si 原子的懸空鍵的晶粒介面 192 的矽層中，使用 NH 基 194 對一對懸空鍵進行交聯的模式（模式 2）。作為用於模擬的軟體，使用利用密度函數理論的第一原理計算軟體。注意，在圖 6 中，使用氮原子 195 及氫原子 191b 表示 NH 基 194。另外，線的交點表示矽原子，線表示矽原子的鍵和及懸空鍵。再者，除了使用氧原子或 NH 基進行交聯的懸空鍵之外的懸空鍵都使用氫原子進行飽和，以便評估氧原子及 NH 基的有效性。

圖 7 表示使用模式 1 進行計算的結果，而圖 8 表示使用模式 2 進行計算的結果。

在圖 7 中表示使用 O 原子對 Si 原子的懸空鍵進行交聯的區域及其附近的波函數的形狀，波函數 196 及波函數 197 的相位分別為正或負（或分別為負或正），並且表示絕對值相等的區域。在圖 8 中表示以 NH 基對 Si 原子的懸空鍵進行交聯的區域及其附近的波函數的形狀，波函數 198 及波函數 199 的相位分別為正或負，並且表示絕對值相等的區域。

根據圖 7 可知：因為在使用 O 原子對 Si 原子的懸空鍵進行交聯的情況下，波函數的絕對值及相位相等的區域（例如，波函數 196a、196b）分開，所以載流子不容易流過。換言之，當在矽層中包含氧時，產生阻礙載流子的遷移的鍵合，而矽層的載流子遷移率降低。

另一方面，根據圖 8 可知：在使用 NH 基對 Si 原子的懸空鍵進行交聯的情況下，因為不同的 Si 原子之間波函數 198 的絕對值及相位相等的區域連接到相鄰的懸空鍵的雙方，所以載流子容易流過。就是說，當在矽層中包含 NH 基時，在懸空鍵中產生使載流子容易遷移的鍵合，而矽層中的載流子遷移率提高。可以認為薄膜電晶體的遷移率提高。注意，當微小晶粒密度變大時，半導體層中的結晶性提高，但是與此同時阻礙載流子的遷移的晶粒介面也增加。但是，因為藉由矽層具有 NH 基，並對 Si 原子的懸空鍵進行交聯，而該鍵合成為晶粒介面中的載流子的路

徑，因此載流子的遷移不受到阻礙。

由上所述，藉由在緩衝層中控制氮濃度，並更佳地使其包含 NH 基，來使用氮以及 NH 基對在晶體區域和非晶結構的介面、微小晶粒和非晶結構的介面、微小晶粒之間的介面、半導體層和緩衝層的介面、包括在緩衝層中的晶體區域中的晶粒等中的懸空鍵進行交聯，而可以降低緩衝層的缺陷能級。另外，藉由該交聯形成載流子可以遷移的鍵合。另外，因為藉由控制氮濃度可以控制倒錐形的晶體區域的核密度，所以可以形成分散有倒錐形的晶體區域的半導體層。另外，因為藉由控制氮濃度可以控制結晶成長，所以可以形成具有正錐形的晶體區域半導體層。另外，藉由提高微小晶粒的密度，可以提高緩衝層的結晶性。如上所述，可以提高緩衝層的載流子遷移率。

另外，藉由降低半導體層及緩衝層的氧濃度，在晶體區域與非晶結構的介面、微小晶粒和非晶結構的介面、微小晶粒之間的介面、半導體層和緩衝層之間的介面、包含在緩衝層中的晶體區域中的晶粒介面或包含在半導體層中的晶粒介面中的缺陷中，可以減少阻礙載流子的遷移的鍵合。

由上所述，藉由在緩衝層中降低氧濃度並控制氮濃度，而且使半導體層包含 NH 基，而晶體區域和非晶結構的介面、微小晶粒和非晶結構的介面、微小晶粒之間的介面、半導體層和緩衝層的介面、包括在緩衝層中的晶體區域中的晶粒介面等的懸空鍵減少。因此，與將非晶半導體層

設置在閘極絕緣層和源區及汲區之間的薄膜電晶體相比，可以提高導通電流及電場效應遷移率，並且與將微晶半導體層設置在閘極絕緣層和源區及汲極電極之間的薄膜電晶體相比，可以降低截止電流。

在彼此鄰接的晶體區域之間填充有非晶結構。即，晶體區域分散地存在，而其與相鄰的晶體區域不接觸。藉由採用這種結構，可以降低當對源區或汲區施加電壓時的緩衝層的垂直方向上的電阻，即可以降低在半導體層和源區或汲區之間的電阻，而可以提高薄膜電晶體的導通電流。

另外，因為形成在非晶結構中具有晶體區域的半導體層作為緩衝層，緩和薄膜電晶體的汲極電極耐壓，所以可以降低薄膜電晶體的劣化。另外，在由微晶半導體層形成接觸於閘極絕緣層的半導體層的情況下，藉由將在非晶結構中具有晶體區域的半導體層用於緩衝層，並且連續形成微晶半導體層及緩衝層，可以防止微晶半導體層中的微晶半導體和非晶結構之間的介面的氧化，而可以提高微晶半導體層的載流子遷移率。

對在非晶結構中具有晶體區域的半導體層的其他方式進行說明。在此，示出在非晶結構中具有晶體區域的半導體層具有 NH_2 基的情況。

為了對使用 NH_2 基飽和 Si 原子的懸空鍵的模式的截止電流的機構進行說明，使用第一原理計算對缺陷能級及鍵合能量進行模擬。作為模擬用的軟體，使用 accelrys 公司製造的第一原理計算軟體 CASTEP。

缺陷能級

首先，表示缺陷能級。在此，認為截止電流的機構主要起因於 Shockley-Read-Hall 電流。根據 Shockley-Read-Hall 機構，載流子的複合概率 U 以公式 (1) 表示。

[公式 1]

$$U = \sigma v_{th} N_t \frac{pn - n_i^2}{(n + p) + 2n_i \cosh\left(\frac{E_t - E_i}{kT}\right)}$$

這裏， σ 是電子·電洞的俘獲截面積， v_{th} 是載流子的熱速度， N_t 是陷阱密度， E_t 是陷阱能級， E_i 是本徵費米能量， n_i 是本徵載流子密度， p 是 p 型載流子密度， n 是 n 型載流子密度。 $-U$ 是載流子的生成率 (generation rate)。

當 $pn > n_i^2$ 時，以 U 的概率發生載流子的重新結合，當 $pn < n_i^2$ 時，以 $-U$ 的概率發生載流子的生成。當裝置處於關閉狀態時，由於通道區域成為耗盡層，而以 $-U$ 的概率發生載流子的生成，可以認為引起了截止電流。根據 (1) 公式，當 N_t 大、或 E_t 採用與 E_i 相近的值時，載流子的生成率變大。因為缺陷能級用作陷阱能級，所以可以認為藉由修復缺陷來減小 N_t ，降低截止電流。

因此，對如圖 48 所示的具有缺陷 483 的 Si 結晶的缺陷能級及其修復進行了計算。具體地是藉由第一原理計算，分別對使用 H 原子飽和缺陷結構、缺陷的 H 飽和結構

、以及使用 NH_2 飽和缺陷的 NH_2 飽和結構的原子佈置進行結構最優化，並且分別對其電子的狀態密度進行了計算。泛函數使用 GGA-PBE，虛擬電位（pseudopotential）使用超軟型。

圖 49A 至 49C 分別示出進行了最優化之後的結構。圖 49A 示出缺陷結構，圖 49B 示出 H 飽和結構，圖 49C 示出 NH_2 飽和結構。由於圖 49A 具有懸空鍵，所以為獲得能量穩定的結構，缺陷附近的原子位置變化較大。

圖 50 示出電子的狀態密度。虛線 491 示出缺陷結構的電子的狀態密度，細實線 493 示出 H 飽和結構的電子的狀態密度，粗實線 495 示出 NH_2 飽和結構的電子的狀態密度。將費米能量作為能量的原點。

根據圖 50 可知：在如虛線 491 所示的缺陷結構中，在能量為 0eV 至 1eV 左右的帶隙中呈現缺陷能級。但是，如細實線 493 和粗實線 495 所示，在 H 飽和結構和 NH_2 飽和結構中缺陷能級消失，可以認為缺陷被修復。

即，可以認為：由於在 NH_2 飽和結構中缺陷被修復，所以起因於缺陷的陷阱能級消失，根據公式（1）可以降低截止電流。

鍵合能量

接下來，對鍵合能量進行表示。根據圖 50 可知：在 NH_2 飽和結構中能夠降低缺陷能級。但是，為使其在薄膜電晶體的驅動時也能穩定地降低缺陷能級且不發生劣化，

則需要牢固的鍵合。因此，計算 NH_2 飽和結構的鍵合能量，並對鍵合的穩定性進行了比較。

圖 49B 所示的 H 飽和結構中的 H 飽和的鍵合能量可以藉由公式（2）來計算。

$$\begin{aligned} (\text{H 飽和的鍵合能量}) = & (\text{藉由從 H 飽和結構中切出一個 H 原子，而最優化的結構的能量} \\ & (\text{參照圖 51A})) + (\text{Si : H}_{\text{int}} \text{ 的能量} (\text{參照圖 51B})) - (\text{H 飽和結構的能量} (\text{參照圖 51C})) \\ & - (\text{Si 結晶的能量} (\text{參照圖 51D})) \quad (2) \end{aligned}$$

$\text{Si : H}_{\text{int}}$ 表示 Si 晶格之間存在 H 原子的狀態。另外，初始狀態（圖 51A 和圖 51B）的組成的總和與最終狀態（圖 51C 和圖 51D）的組成的總和一致。

至於 NH_2 飽和的 H 的鍵合能量、以及 NH_2 飽和的 NH_2 的鍵合能量，作為去除鍵合的狀態，採用 H 或 NH_2 存在於 Si 晶格之間的結構。

圖 49C 所示的 NH_2 飽和結構中的 H 飽和的鍵合能量可以藉由公式（3）來計算。

$$\begin{aligned} (\text{H 飽和的鍵合能量}) = & (\text{藉由從 } \text{NH}_2 \text{ 飽和結構中切出一個 H 原子，而最優化的結構的} \\ & \text{能量}) + (\text{Si : H}_{\text{int}} \text{ 的能量}) - (\text{NH}_2 \text{ 飽和結構的能量}) - (\text{Si 結晶的能量}) \quad (3) \end{aligned}$$

圖 49C 所示的 NH_2 飽和結構中的 NH_2 飽和的鍵合能量可以藉由（4）公式來計算。

(NH₂ 飽和的鍵合能量)=(藉由從 NH₂ 飽和結構中切出一個 NH₂，而最優化的結構的能量)+(Si: NH₂ 的能量)-(NH₂ 飽和結構的能量)-(Si 結晶的能量) (4)

Si: NH₂ 表示在 Si 晶格之間具有 NH₂ 基的狀態。

上述公式 (2) 至公式 (4) 的各項的結構根據對原子佈置的最優化結構而決定，並對能量進行了計算。與上述 (缺陷能級) 模擬同樣，泛函數使用 GGA-PBE，虛擬電位使用超軟型。

圖 52A 和 52B 示出鍵合能量的計算結果以及結構的示意圖。圖 52A 示出使用 H 飽和 Si 的懸空鍵的 H 飽和結構，圖 52B 示出使用 NH₂ 飽和 Si 的懸空鍵的 NH₂ 飽和結構。H 飽和結構的 Si-H 鍵合能量為 2.90 eV。另外，NH₂ 飽和結構的 Si-N 鍵合能量為 5.37 eV，N-H 鍵合能量為 3.69 eV。NH₂ 鍵的兩個鍵合能量 (Si-N 鍵合能量、N-H 鍵合能量) 大於使用 H 原子飽和 Si 的懸空鍵的 Si-H 鍵合能量，而可以說是穩定的結構。由此可知，藉由使用 NH₂ 基飽和矽層的懸空鍵，與 Si 鍵合的 NH₂ 基或與 N 鍵合的 H 原子不容易離解，而不容易形成缺陷。

根據上述 (缺陷能級) 和上述 (鍵合能級) 可知：藉由使用 NH₂ 基飽和 Si 原子的懸空鍵，可以降低矽層中的缺陷能級並降低截止電流。還可知：由於與 Si 鍵合的 NH₂ 基比與 Si 鍵合的 H 原子的結構穩定，所以具有該矽層的薄膜電晶體不容易發生起因於驅動的劣化。也就是說

，藉由作為在非晶結構中具有晶體區域的半導體層，將具有 NH_2 基的半導體層用作緩衝層，可以降低薄膜電晶體的截止電流。

實施例模式 2

在本實施例模式中，參照圖 9 至圖 10B 示出在實施例模式 1 所示的薄膜電晶體中可以用於半導體層 115 的方式。

本實施例模式所示的薄膜電晶體的特徵在於形成有分散於閘極絕緣層 107 上的微晶半導體粒子或網狀的微晶半導體 118（參照圖 9）。

圖 10A 所示的分散的微晶半導體粒子 118a 或圖 10B 所示的網狀的微晶半導體 118b 可以使用矽或矽的含量多於銻的含量的矽銻（ $\text{Si}_x\text{Ge}_{1-x}$, $0.5 < x < 1$ ）等形成。如圖 10A 所示分散的微晶半導體粒子 118a 的俯視形狀是圓形，而如圖 9 所示其截面形狀是半球狀。當將分散的微晶半導體粒子的俯視直徑設定為 1nm 至 30nm ，並將其密度設定為低於 $1 \times 10^{13}/\text{cm}^3$ ，較佳的設定為低於 $1 \times 10^{10}/\text{cm}^3$ 時，只進行沉積也可以形成分散的微晶半導體粒子。

另外，分散了的微晶半導體粒子的直徑不局限於上述尺寸，也可以是更大的尺寸。

另外，網狀微晶半導體 118b 具有微晶半導體部分地連續的形狀，該微晶半導體的連續部既可以是規則（例如，格子狀、鋸齒狀）的，又可以是不規則的。圖 10B 示出

微晶半導體不規則地連續的俯視形狀。

藉由在閘極絕緣層 107 上形成非晶半導體或微晶半導體之後，照射具有使非晶半導體或微晶半導體熔融的程度的能級的雷射光束，來使半導體熔融，然後凝固半導體，可以形成部分地連續的網狀微晶半導體 118b。

藉由在閘極絕緣層 107 和緩衝層 131 之間形成分散的微晶半導體粒子或網狀微晶半導體 118，可以提高緩衝層 131 和閘極絕緣層 107 之間的密接性。因此，可以提高薄膜電晶體的成品率。

根據本實施例模式，可以與在通道形成區中具有非晶半導體的薄膜電晶體相比，提高薄膜電晶體的導通電流，並且與在通道形成區中具有微晶半導體的薄膜電晶體相比，降低薄膜電晶體的截止電流。另外，因為藉由在閘極絕緣層上形成分散了的微晶半導體粒子或網狀微晶半導體，來閘極絕緣層和緩衝層的密接性得到提高，所以可以提高成品率。

實施例模式 3

在本實施例模式中，參照圖 11 說明在實施例模式 1 中由在非晶結構中具有晶體區域的半導體層形成半導體層 115 的薄膜電晶體，即在閘極絕緣層和源區及汲區之間形成具有在非晶結構中具有晶體區域的半導體層的薄膜電晶體。

圖 11 表示根據本實施例模式的薄膜電晶體的截面圖

。圖 11 所示的薄膜電晶體包括：基板 101 上的閘極電極層 103；覆蓋閘極電極層 103 的閘極絕緣層 107；接觸於閘極絕緣層 107 上的半導體層 132；以及接觸於半導體層 132 上的一部分的源區及汲區 129。另外，包括接觸於源區及汲區 129 上的佈線層 123、125。佈線層 123、125 構成源極電極及汲極電極。另外，各層被構圖形成為所希望的形狀。在此，在閘極絕緣層 107 和源區及汲區 129 之間設置由在非晶結構中具有晶體區域的半導體層形成的半導體層 132。

半導體層 132、源區及汲區 129 以及佈線層 123、125 可以分別適當地使用與實施例模式 1 所示的緩衝層 131、源區及汲區 129 以及佈線層 123、125 同樣的材料形成。

在此，說明本實施例模式的主要特徵之一的半導體層 132。半導體層 132 在接觸於閘極絕緣層 107 的區域中起到薄膜電晶體的通道形成區的作用。在此，使用在非晶結構中具有晶體區域的半導體層形成半導體層 132。在此，圖 12A、12B-1 至 12B-4、12C 及 12D 表示半導體層 132 的結構。

如圖 12A 所示，用於半導體層 132 的在非晶結構中具有晶體區域的半導體層形成在絕緣層 107 上，其中在非晶結構 132b 中分散晶體區域 132a。

晶體區域 132a 的形狀是倒錐形。另外，在晶體區域 132a 內包括單晶或雙晶。

如圖 12B-1 所示，包括在非晶結構中具有晶體區域的

半導體層中的晶體區域的一個方式以使晶體區域 132d 的頂點接觸於閘極絕緣層 107 的方式形成，並且其結晶成長在非晶結構中具有晶體區域的半導體層的沉積方向上連續地進行成長。

這些晶體區域可以與圖 3B-1 所示的晶體區域 131d 同樣地形成。

如圖 12B-2 所示，包括在非晶結構中具有晶體區域的半導體層中的晶體區域的一個方式以不使晶體區域 132e 的頂點接觸於閘極絕緣層 107 的方式形成，並且其結晶成長在非晶結構中具有晶體區域的半導體層的沉積方向上連續地進行成長。

這些晶體區域可以與圖 3B-2 所示的晶體區域 131e 同樣地形成。

如圖 12B-3 所示，包括在非晶結構中具有晶體區域的半導體層中的晶體區域的一個方式以使晶體區域 132f 的頂點接觸於閘極絕緣層 107 的方式形成，並且其結晶成長在非晶結構中具有晶體區域的半導體層的沉積方向中途停止，而在晶體區域 132f 上形成非晶結構。

這些晶體區域可以與圖 3B-3 所示的晶體區域 131f 同樣地形成。

注意，雖然在圖 12B-3 中晶體區域的頂點接觸於閘極絕緣層 107，但是以與圖 12B-2 同樣的條件成為其頂點不接觸於閘極絕緣層 107 並在沉積方向的中途成長停止的晶體區域的結構。

如圖 12B-4 所示，包括在非晶結構中具有晶體區域的半導體層中的晶體區域的一個方式具有層疊有多個相對於沉積方向倒錐形的晶體區域的結構 132g。

這些晶體區域可以與圖 3B-4 所示的結構 131g 的晶體區域同樣地形成。

另外，雖然在圖 12B-4 中晶體區域的頂點接觸於閘極絕緣層 107，但是以與圖 12B-2 同樣的條件也有可能成為其頂點不接觸於閘極絕緣層 107 的結構。

在彼此相鄰的晶體區域 132a 之間填充有非晶結構 132b。即，分散有晶體區域 132a，其與相鄰的晶體區域不接觸。藉由採用這種結構，可以降低當對源區或汲區施加電壓時的半導體層 132 的垂直方向上的電阻，而可以提高薄膜電晶體的導通電流。

另外，如圖 12C 所示，用於半導體層 132 的在非晶結構中具有晶體區域的半導體層有在非晶結構 132b 中分散有微小晶粒 132c 的方式。微小晶粒 132c 是不能夠成為上述晶體區域的成長核的程度的微小的尺寸，典型的是 1nm 以上且 10nm 以下，較佳的是 1nm 以上且 5nm 以下的微小的尺寸的晶粒。藉由控制半導體層 132 中的氮濃度，可以形成微小晶粒。另外，在微小晶粒的外側，即接觸於非晶結構的一側多個氮容易偏析。因此，多個氮存在於微小晶體及非晶結構的介面中。

注意，在半導體層 132 中微小晶粒 132c 也可以分散在非晶結構 132b 中。另外，也可以在半導體層 132 中聚

集微小晶粒 132c。進而，也可以存在有分散的微小晶粒 132c 及聚集的微小晶粒 132c。

另外，如圖 12D 所示，用於半導體層 132 的在非晶結構中具有晶體區域的半導體層的非晶結構 132b 中，晶體區域 132a 及微小晶粒 132c 分散。藉由採用這種結構，可以降低對源區或汲區施加電壓時的半導體層 132 的在垂直方向上的電阻，即在閘極絕緣層 107 和源區或汲區之間的電阻，而可以提高薄膜電晶體的導通電流。

注意，在此，作為抑制氧或氮等的晶核的產生的雜質元素，選擇在矽中不產生載流子陷阱的雜質元素（例如，氮）。另一方面，降低減少矽的配位數並產生懸空鍵的雜質元素（例如，氧）的濃度。從而，較佳的不降低氮濃度而降低氧濃度。具體而言，較佳的將藉由二次離子質量分析法測量的氧濃度設定為 $5 \times 10^{18} \text{ cm}^{-3}$ 以下。

另外，如圖 13A 所示，圖 11 所示的薄膜電晶體的半導體層 132 可以採用在非晶結構 131b 中具有四個角不是直角的四邊形，典型的是菱形的晶體區域 132h 的結構。可以藉由使用兩個不同的條件形成這種半導體層 132。

典型地在閘極絕緣層 107 一側形成具有倒錐形的晶體區域的半導體層 132i，在其上形成具有正錐形的晶體區域的半導體層 132j。另外，藉由控制半導體層 132 的氮濃度，可以形成圖 13 所示的晶體區域 132h。

另外，如圖 13B-1 所示，也可以採用半導體層 132i 所具有的晶體區域的頂點接觸於閘極絕緣層 107 的形狀代

替晶體區域 132h。

另外，如圖 13B-2 所示，也可以採用半導體層 132j 所具有的晶體區域的頂點接觸於源區及汲區 129 的形狀代替晶體區域 132h。

另外，如圖 13B-3 所示，也可以採用半導體層 132i 所具有的晶體區域的頂點接觸於閘極絕緣層 107，並半導體層 132j 所具有的晶體區域的頂點接觸於源區及汲區 129 的形狀代替晶體區域 132h。

如上所說明，晶體區域分散地存在。為了使晶體區域分散地存在，需要控制結晶的成核密度。藉由控制氮濃度可以控制晶體區域的成核密度，而可以使晶體區域分散地存在。

根據本實施例模式，與在通道形成區中具有非晶半導體的薄膜電晶體相比，可以提高薄膜電晶體的導通電流及場效應遷移率，並且與在通道形成區中具有微晶半導體的薄膜電晶體相比，可以降低薄膜電晶體的截止電流。

實施例模式 4

在本實施例模式中，參照圖 14A 及 14B 說明與實施例模式 1 不同的薄膜電晶體的方式。

圖 14A 表示在根據本實施例模式的薄膜電晶體中的沿圖 14B 的 A-B 的截面圖。圖 14A 所示的薄膜電晶體包括：基板 101 上的閘極電極層 103；覆蓋閘極電極層 103 的閘極絕緣層 107；接觸於閘極絕緣層 107 上的在非晶結

構中具有晶體區域的半導體層 159；以及接觸於在非晶結構中具有晶體區域的半導體層 159 上的一部分的源區及汲區 157。另外，包括接觸源區及汲區 157 上的佈線層 153、155。佈線層 153、155 構成源極電極及汲極電極。另外，各層被構圖形成為所希望的形狀。

另外，本實施例模式的薄膜電晶體的特徵在於：如圖 14B 所示，在其俯視形狀中源區及汲區 157 露出在佈線層 153、155 的外邊緣。藉由使用利用多級灰度掩模的光微影製程形成這種結構。

在非晶結構中具有晶體區域的半導體層 159、源區及汲區 157 以及佈線層 153、155 可以分別適當地使用與實施例模式 1 所示的緩衝層 131、源區及汲區 129 以及佈線層 123、125 同樣的材料形成。

在本實施方式中，將源極電極和汲極電極之一設置為 U 字型（或日語片假名“コ”字型、馬蹄型），其圍繞源極電極和汲極電極之另一個。將源極電極和汲極電極之間的距離保持為大致一定（參照圖 14B）。

藉由將源極電極及汲極電極中的一方形成為上述形狀，可以將該薄膜電晶體的通道寬度形成得較大，而電流量增加。另外，可以減少電特性的不均勻性。再者，可以抑制因製程中的掩模圖案的不一致而導致的可靠性的降低。然而，本實施例模式不局限於此，源極電極及汲極電極中的一方不一定需要是 U 字型，而源極電極及汲極電極的對置部也可以是直線狀。另外，實施例模式 1 至 3 的薄膜

電晶體的俯視方式可以與本實施例模式同樣。

另外，雖然在本實施例模式中在閘極絕緣層和源區及汲區之間設置在非晶結構中具有晶體區域的半導體層，但是也可以與實施例模式 1 及 2 同樣地層疊半導體層及緩衝層。

根據本實施例模式，與在通道形成區中具有非晶半導體的薄膜電晶體相比，可以提高薄膜電晶體的導通電流，並且與在通道形成區中具有微晶半導體的薄膜電晶體相比，可以降低薄膜電晶體的截止電流。

實施例模式 5

在本實施例模式中，以下表示薄膜電晶體及顯示裝置的像素部的製造方法。在此，作為顯示裝置使用液晶顯示裝置進行說明。至於薄膜電晶體，n 型薄膜電晶體的載流子的遷移率高於 p 型薄膜電晶體的載流子的遷移率。此外，藉由使形成在同一基板上的所有薄膜電晶體的導電型一致，來可以控制製程數，所以是較佳的。因此，在本實施例模式中說明 n 型薄膜電晶體的製造方法。

首先，在基板 101 上形成閘極電極層 103 及電容佈線 105（參照圖 15A）。

作為基板 101，可以適當地使用實施例模式 1 所示的基板 101。

閘極電極層 103 及電容佈線 105 適當地使用用於實施例模式 1 所示的閘極電極層 103 的材料形成。藉由如下步

驟可以形成閘極電極層 103、電容佈線 105，即藉由利用濺射法或真空蒸鍍法並使用上述材料在基板 101 上形成導電層，利用光微影法或噴墨法等在該導電層上形成掩模，並且使用該掩模對導電層進行蝕刻。另外，也可以利用噴墨法將銀、金或銅等的導電奈米膏噴射到基板上並進行焙燒來形成閘極電極層 103。另外，也可以在基板 101 和閘極電極層 103、電容佈線 105 之間設置上述金屬材料的氮化物層。在此，在基板 101 上形成導電層，並且利用藉由第一光微影製程形成的抗蝕劑掩模對該導電膜進行蝕刻，而形成閘極電極層 103 及電容佈線 105。

另外，藉由將閘極電極層 103 及電容佈線 105 的側面形成為錐形，可以防止形成在閘極電極層 103、電容佈線 105 上的半導體層及佈線層的水準差部分的佈線破裂。為了將閘極電極層 103 及電容佈線 105 的側面形成為錐形，使抗蝕劑掩模縮退並進行蝕刻即可。例如，藉由使蝕刻氣體包含氧氣體，可以使抗蝕劑掩模縮退並進行蝕刻。

另外，在形成閘極電極層 103 的製程中，也可以同時形成閘極佈線（掃描線）及電容佈線 105。注意，掃描線是指選擇像素的佈線，電容佈線是指連接到像素的儲存電容的一方電極上的佈線。然而，不局限於此，也可以分別地設置閘極佈線及電容佈線的一方或雙方和閘極電極層 103。

接下來，覆蓋閘極電極層 103 地形成閘極絕緣層 107、半導體層 109、緩衝層 111 及雜質半導體層 113。

閘極電極層 107 可以適當地使用用於實施例模式 1 所示的閘極絕緣層 107 的材料形成。藉由利用 CVD 法或濺射法等，可以形成閘極絕緣層 107。在閘極絕緣膜 107 的藉由 CVD 法的形成製程中，藉由施加 3MHz 至 30MHz，典型的是 13.56MHz、27.12MHz 的高頻功率，或者施加高於 30MHz 至 300MHz 左右的 VHF 帶的高頻功率，典型的是 60MHz，而進行輝光放電電漿的產生。另外，也可以使用高頻率（1GHz 以上）的微波電漿 CVD 裝置形成閘極絕緣層 107。當使用微波電漿 CVD 裝置以高頻率形成閘極絕緣層 107 時，可以提高閘極電極和汲極電極及源極電極之間的耐壓性，因此，可以得到可靠性高的薄膜電晶體。

半導體層 109 較佳的以 3nm 以上且 100nm 以下，較佳的是 5nm 以上且 50nm 以下的厚度形成。

在電漿 CVD 裝置的反應室中，藉由混合包含矽或銻的沉積氣體和氫並利用輝光放電電漿，而形成微晶半導體層作為半導體層 109。藉由將氫的流量稀釋為包含矽或銻的沉積氣體流量的 10 倍至 2000 倍，較佳的稀釋為 50 倍至 200 倍，而形成微晶半導體層。

另外，作為包含矽或銻的沉積氣體的代表例子，可以舉出 SiH_4 、 Si_2H_6 、 GeH_4 、 Ge_2H_6 等。

接著，說明緩衝層 111 的形成方法。

如上述實施例模式所示，緩衝層 111 在非晶結構中具有微小晶粒及/或錐形晶體區域。例如，藉由降低緩衝層

111 的氧濃度，將氮濃度設定得高於氧濃度，並且控制氮濃度，可以控制晶體區域的核產生並形成微小晶粒及錐形晶體區域。在此，較佳的是，氮濃度比氧濃度高一個數位以上。更具體而言，將藉由二次離子質量分析法測定的氧濃度設定為 $5 \times 10^{18} \text{cm}^{-3}$ 以下。另外，將氮濃度設定為 $1 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下，較佳的設定為 $2 \times 10^{20} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。較佳的將緩衝層 131 的厚度設定為 50nm 至 350nm，或者 120nm 至 250nm。

在本實施例模式中，藉由採用在氮化矽層上疊層氧氮化矽層的結構作為閘極絕緣層 107，形成微晶矽層作為半導體層 109，並且將微晶半導體層暴露於氨中，來對半導體層 109 表面供應氮，以控制緩衝層的氮濃度。

在此，對形成閘極絕緣層 107、半導體層 109、緩衝層 111 以及雜質半導體層 113 的一例進行詳細說明。使用 CVD 法等形成這些層。另外，閘極絕緣層 107 具有在氮化矽層上設置氧氮化矽層的疊層結構。藉由採用這種結構，利用氮化矽層可以防止包含在基板中的影響電特性的元素（當基板為玻璃時為鈉等的元素）進入半導體層 109 等中。圖 19 示出當形成這些層時使用的 CVD 裝置的示意圖。

圖 19 所示的電漿 CVD 裝置 261 連接到氣體供應單元 250 及排氣單元 251。

圖 19 所示的電漿 CVD 裝置 261 具備處理室 241、載物台 242、氣體供應部 243、簇射極板（shower plate）

244、排氣口 245、上部電極 246、下部電極 247、交流電源 248、以及溫度控制部 249。

處理室 241 由具有剛性的材料形成，並以可以對其內部進行真空排氣的方式構成。在處理室 241 中具備有上部電極 246 和下部電極 247。另外，雖然在圖 19 示出電容耦合型（平行平板型）的結構，但是只要是藉由施加兩種以上的高頻功率可以在處理室 241 內部產生電漿的結構，就可以應用電感耦合型等的其他結構。

在使用圖 19 所示的電漿 CVD 裝置進行處理時，從氣體供應部 243 將預定的氣體供給到處理室 241。供給的氣體經過簇射極板 244 引入到處理室 241 中。藉由連接到上部電極 246 和下部電極 247 的交流電源 248 施加高頻電力，處理室 241 內的氣體被激發，而產生電漿。另外，藉由使用連接到真空泵的排氣口 245 對處理室 241 內的氣體進行排氣。另外，藉由使用溫度控制部 249，可以加熱被處理物並進行電漿處理。

氣體供應單元 250 由填充反應氣體的汽缸 252、壓力調節閥 253、停止閥 254、以及質量流量控制器 255 等構成。在處理室 241 內，在上部電極 246 和基板 101 之間具有加工成板狀並設置有多個細孔的簇射極板 244。供給到上部電極 246 的反應氣體藉由具有中空結構的簇射極板 244 的細孔供給到處理室 241 內。

連接到處理室 241 的排氣單元 251 包括進行真空排氣和在引入反應氣體的情況下控制處理室 241 內保持預定壓

力的功能。排氣單元 251 包括蝶閥 256、導氣閥 (conductance valve) 257、渦輪分子泵 258、乾燥泵 259 等。在並聯配置蝶閥 256 和導氣閥 257 的情況下，藉由關閉蝶閥 256 並使導氣閥 257 工作，可以控制反應氣體的排氣速度而將處理室 241 的壓力保持在預定範圍內。此外，藉由打開傳導性高的蝶閥 256，可以進行高真空排氣。

另外，在對處理室 241 進行超高真空排氣直到其壓力成為低於 10^{-5} Pa 的壓力的情況下，較佳的一起使用低溫泵 260。此外，在作為極限真空度進行排氣到超高真空的程度的情況下，也可以對處理室 241 的內壁進行鏡面加工，並且設置焙燒用加熱器以減少源於內壁的氣體釋放。

另外，藉由如圖 19 所示那樣以覆蓋處理室 241 整體地形成（沉積）層的方式進行預塗處理，可以防止附著在處理室內壁的雜質元素或構成處理室內壁的雜質元素混入元件中。在本實施例模式中，藉由預塗處理形成以矽為主要成分的層即可，例如形成非晶矽層等即可。注意，該層較佳的不包含氧。

參照圖 20 以下說明從形成閘極絕緣層 107 到形成雜質半導體層的過程。另外，在氮化矽層上層疊氧氮化矽層來形成閘極絕緣層 107。

首先，在 CVD 裝置的處理室 241 內加熱形成有閘極電極層 103 的基板，並且將用於沉積氮化矽層的材料氣體引入處理室 241 內（圖 20 的預處理 201），以形成氮化矽層。首先，藉由電漿 CVD 法形成厚度是 110nm 的氮化

矽層。以下表示此時的沉積條件。作為材料氣體，採用流量 40sccm 的 SiH_4 、流量 500sccm 的 H_2 、流量 550sccm 的 N_2 、流量 140sccm 的 NH_3 ，並且將處理室內的壓力設定為 100Pa，將基板溫度設定為 280°C ，將 RF 電源頻率設定為 13.56MHz，將 RF 電源的電力設定為 370W。以上述條件進行電漿放電。然後，只停止 SiH_4 的供給，並且在其幾秒後停止電漿放電（圖 20 的 SiN 形成 203）。這是因為如下緣故：當在 SiH_4 存在於處理室內的狀態下停止電漿放電時，形成以矽為主要成分的粒狀物或粉狀物，而成為降低成品率的要素。

接下來，排出用來沉積氮化矽層的材料氣體，並且將用來沉積氧氮化矽層的材料氣體引入處理室 241 內（圖 20 的氣體置換 205）。在此，形成厚度是 110nm 的氧氮化矽層。以下表示此時的沉積條件。作為原料氣體，採用流量 30sccm 的 SiH_4 、流量 1200sccm 的 N_2O ，並且將處理室內的壓力設定為 40Pa，將基板溫度設定為 280°C ，將 RF 電源頻率設定為 13.56MHz，將 RF 電源的電力設定為 50W，來進行電漿放電。然後，與氮化矽層同樣，只停止 SiH_4 的導入，並且在其幾秒後停止電漿放電（圖 20 的 SiON 形成 207）。

藉由上述製程，可以形成閘極絕緣層 107。在形成閘極絕緣層 107 之後，從處理室 241 搬出基板 101（圖 20 的卸載 225）。

在從處理室 241 搬出基板 101 之後，例如將 NF_3 氣體

引入處理室 241 中，以進行處理室 241 內的清洗（圖 20 的清洗處理 227）。然後，對處理室 241 進行形成非晶矽層的處理（圖 20 的預塗處理 229）。與以後說明的緩衝層 111 的形成同樣地形成非晶矽層，但是也可以如虛線 234 所示地將氫引入到處理室 241 內。或者，也可以不引入氫。藉由該處理，在處理室 241 內壁上形成非晶矽層。然後，將基板 101 搬入到處理室 241 內（圖 20 的載入 231）。

接著，將用於沉積半導體層 109 的材料氣體引入處理室 241 內（圖 20 的氣體置換 209）。接著，在閘極絕緣層 107 上形成半導體層 109。半導體層 109 在後面的製程中受到構圖形成而成為半導體層 115。在此，形成厚度是 50nm 的微晶矽層作為半導體層 109。以下表示此時的沉積條件。將材料氣體設定為流量是 10sccm 的 SiH_4 及流量是 1500sccm 的 H_2 ，將處理室內的壓力設定為 280Pa，將基板溫度設定為 280℃，將 RF 電源頻率設定為 13.56MHz，並且將 RF 電源的電力設定為 50W，而進行電漿放電。然後，與上述氮化矽層等的形成同樣地，只停止 SiH_4 的供給，並且在其幾秒後停止電漿的放電（圖 20 的半導體形成 211）。

接下來，對半導體層 109 的表面供給氮。在此，藉由將半導體層 109 的表面暴露於氮氣體來供給氮（在此，將其稱為沖洗處理）（圖 20 的沖洗處理 213）。另外，如虛線 236a 所示，也可以使氮氣體包含氫。另外，如虛線

236b 所示也可以使用氮氣體代替氬氣體，並且如虛線 236a 所示使用氬氣體代替氮氣體。或者，也可以使用氮氣體及氮氣體。在此，作為一例，較佳的將處理室 241 內的壓力設定為 20Pa 至 30Pa 左右，將基板溫度設定為 280℃，並且將處理時間設定為 60 秒。另外，也可以在進行沖洗處理之後對處理室內進行減壓或加壓來控制壓力，而控制處理室 241 內的氮量。另外，雖然在本製程的處理中只使基板 101 暴露於氮氣體中，但是還可以進行電漿處理。然後，排出這些氣體，並且引入用於緩衝層 111 的沉積的氣體（圖 20 的氣體置換 215）。

接著，在半導體層 109 上形成緩衝層 111。緩衝層 111 在後面的製程中被進行圖案形成而成為緩衝層 131。在此，使用在厚度是 55nm 的非晶結構中具有晶體區域的半導體層形成緩衝層。以下表示此時的沉積條件。將材料氣體設定為流量是 20sccm 的 SiH_4 及流量是 1500sccm 的 H_2 ，將處理室的壓力設定為 280Pa，將基板的溫度設定為 280℃，並且以 50W 的輸出，而進行電漿放電。在該製程中，藉由沖洗處理引入到反應室內的氮氣體利用電漿放電被分解，而可以對緩衝層 111 添加氮。然後，與上述氮化矽層的形成同樣地，只停止 SiH_4 的供給，並且在其幾秒後停止電漿放電（圖 20 的緩衝層形成 217）。然後，排出這些氣體並引入用於沉積雜質半導體層 113 的氣體（圖 20 的氣體置換 219）。

另外，藉由沖洗處理引入到反應室內的氮利用電漿放

電被分解，而產生 NH 基或 NH_2 基。另外，當沉積緩衝層時，有時對在非晶結構中具有晶體區域的半導體層的不同的懸空鍵進行交聯。或者，有時飽和在非晶結構中具有晶體區域的半導體層所包含的懸空鍵。另外，在引入氮氣體作為在反應室中含有氮的氣體的情況下，藉由電漿放電，該氮氣體和在非晶結構中具有晶體區域的半導體層的原料氣體的氫氣體起反應，而產生 NH 基或 NH_2 基。另外，有時使用該 NH 基對在非晶結構中具有晶體區域的半導體層的不同的懸空鍵進行交聯。或者，有時飽和在非晶結構中具有晶體區域的半導體層所包含的懸空鍵。

在上述例子中，用於形成緩衝層 111 的材料氣體中的 H_2 的流量是 SiH_4 的流量的 150 倍。由此，矽逐漸沉積。

本實施例模式中的半導體層 109 的表面供給有氮。如上所述，氮抑制矽的晶核的產生。由此，在沉積的初期步驟中不容易產生矽的晶核。降低氮濃度並進行緩衝層 111 的沉積，並且氮濃度降低到一定值以下時，產生晶核。然後，該晶核生長，而形成錐形的晶體區域。或者，形成微小晶粒。

在藉由這些方法形成的緩衝層 111 中，藉由二次離子質量分析法測定的氮濃度在與半導體層 109 的介面具有峰值濃度，並且隨著半導體層 109 的沉積，氮濃度降低。

注意，如圖 20 的虛線 235a 所示，在緩衝層形成 217 中也可以將氮氣體流入到反應室內。或者，如虛線 235b 所示，也可以將氮氣體流入反應室內代替氮氣體。或者，

也可以將氨氣體及氮氣體流入到反應室內。其結果是，緩衝層 111 的氮濃度提高。其結果是，形成微小晶粒或倒錐形的晶體區域作為晶體區域。注意，在該製程中，也有形成正錐形的晶體區域的情況。

在藉由這些方法形成的緩衝層 111 中，藉由二次離子質量分析法測定的氮濃度在與半導體層 109 的介面具有峰值濃度，並在半導體層 109 的沉積方向上恒定。

接下來，在緩衝層 111 上形成雜質半導體層 113。雜質半導體層 113 是在後面的製程中受到構圖形成而成為源區及汲區 129 的層。在此，形成添加有磷的厚度是 50nm 的非晶矽層作為雜質半導體層。以下表示此時的沉積條件。作為材料氣體採用流量 100sccm 的 SiH_4 、流量 170sccm 的 0.5% 的磷化氫（氫稀釋），並且將沉積溫度設定為 280℃，將壓力設定為 170Pa，將 RF 電源頻率設定為 13.56MHz，將 RF 電源的電力設定為 60W，而進行電漿放電。然後，與上述氮化矽層等的形成同樣，只停止 SiH_4 的供給，並且在其幾秒後停止電漿放電（圖 20 的雜質半導體層形成 221）。然後，排出這些氣體（圖 20 的排氣 223）。

如上所說明，可以形成雜質半導體層 113（參照圖 15A）。

接著，使用藉由第二光微影製程形成的抗蝕劑掩模，對半導體層 109、緩衝層 111 及雜質半導體層 113 進行蝕刻，來形成半導體層 115、緩衝層 117 及雜質半導體層

119（參照圖 15B）。然後，去除抗蝕劑掩模。

接著，形成覆蓋半導體層 115、緩衝層 117 及雜質半導體層 119 的導電層 121（參照圖 15C）。

作為導電層 121，可以適當地使用實施例模式 1 所示的佈線層 123、125 的材料及疊層結構。導電層 121 使用 CVD 法、濺射法或真空蒸鍍法形成。另外，也可以藉由使用銀、金或銅等的導電奈米膏並利用絲網印刷法或噴墨法等來進行配置和焙燒，而形成導電層 121。然後，在導電層 121 上形成抗蝕劑掩模。

接下來，使用藉由第三光微影製程形成的抗蝕劑掩模對導電層 121 進行蝕刻，來形成佈線層 123、125、電容電極 127（參照圖 16A）。佈線層 123、125 構成源極電極及汲極電極。較佳的使用濕蝕刻進行導電層 121 的蝕刻。藉由濕蝕刻，各向同性地對導電層進行蝕刻。其結果是，導電層比抗蝕劑掩模更向內縮退，來形成佈線層 123、125。由此，佈線層 123、125 的側面和被蝕刻的源區及汲區 129 的側面不一致，而在佈線層 123、125 的側面的外側形成源區及汲區的側面。佈線層 123、125 不僅起到源極電極及汲極電極的作用，而且還起到信號線的作用。但是，不局限於此，也可以分別地設置信號線和佈線層 123、125。

接著，使用藉由第三光微影製程形成的抗蝕劑掩模對被蝕刻的緩衝層 117 的一部分和雜質半導體層 119 進行蝕刻（參照圖 16B）。到本製程為止形成半導體層 115、緩

衝層 131、以及源區及汲區 129。然後去除抗蝕劑掩模。
圖 18A 示出此時的圖 16B 的俯視圖。

接著，較佳的進行乾蝕刻。作為乾蝕刻的條件，採用如下條件：不使露出的緩衝層 131 受到損壞，並且相對於該緩衝層 131 的蝕刻速度低。也就是，採用如下條件：幾乎不使露出的緩衝層 131 的表面受到損壞，並且幾乎不使露出的緩衝層 131 的厚度減少。作為蝕刻氣體，使用氯類氣體，典型地使用 Cl_2 氣體。此外，對於蝕刻方法沒有特別的限制，可以採用電感耦合型電漿（ICP：Inductively Coupled Plasma）方式、電容耦合型電漿（CCP：Capacitively Coupled Plasma）方式、電子迴旋共振電漿（ECR：Electron Cyclotron Resonance）方式、反應離子蝕刻（RIE：Reactive Ion Etching）方式等。

在此，進行如下條件的蝕刻作為可使用的蝕刻條件的一例，即將 Cl_2 氣體的流量設定為 100sccm ，將處理室內的壓力設定為 0.67Pa ，將下部電極的溫度設定為 -10°C ，對上部電極的線圈引入 2000W 的 RF（ 13.56MHz ）電力來產生電漿，對基板 101 一側不引入電力而將其設定為 0W （即，無偏壓），而進行 30 秒的蝕刻。較佳的將處理室內壁的溫度設定為大約 80°C 。

接著，也可以對緩衝層 131 的表面照射水電漿、氬電漿、氮電漿等。

藉由在反應空間引入以水蒸氣（ H_2O 蒸氣）為代表的以水為主要成分的氣體，來產生電漿，而可以進行水電漿

處理。

如上所述，藉由在形成一對源區及汲區 129 之後，在不對緩衝層 131 造成損傷的條件下進一步進行乾蝕刻，可以去除存在於露出的緩衝層 131 上的殘渣等的雜質元素。另外，在進行乾蝕刻之後進行水電漿處理，可以去除抗蝕劑掩模的殘渣。藉由進行水電漿處理，可以確實地使源區和汲區之間的絕緣，並且降低完成的薄膜電晶體的截止電流並提高導通電流，而可以減少電特性的不均勻性。

注意，電漿處理等的製程不局限於上述順序，也可以在去除抗蝕劑掩模之前進行在無偏壓下的蝕刻、電漿處理。

藉由上述製程，可以製造根據本實施例模式的薄膜電晶體。根據本實施例模式的薄膜電晶體與實施例模式 1 所說明的薄膜電晶體同樣地可以應用於設置在以液晶顯示裝置為代表的顯示裝置的像素中的開關電晶體。因此，覆蓋該薄膜電晶體地形成絕緣層 133。

接著，在絕緣層 133 中形成開口部 134、136。藉由使用利用第四光微影製程形成的抗蝕劑掩模對絕緣層的一部分進行蝕刻，而可以形成該開口部 134、136。注意，在使用感光樹脂形成絕緣層 133 的情況下，可以藉由第四光微影製程形成絕緣層 133。然後，以通過該開口部 134、136 連接的方式在絕緣層 133 上設置像素電極層 135。由此，可以製造圖 17A 所示的設置在顯示裝置的像素中的開關電晶體。

另外，絕緣層 133 可以與閘極絕緣層 107 同樣地形成。進而，較佳的使用緻密的氮化矽層設置絕緣層 133，以便可以防止大氣中浮動的有機物、金屬或水蒸氣等的可能成為污染源的雜質元素的進入。

另外，可以使用包含具有透光性的導電高分子（也稱為導電聚合物）的導電組成物形成像素電極層 135。較佳的是，像素電極層 135 的薄層電阻是 $10000\Omega/\square$ 以下，並且波長是 550nm 時的透光率是 70% 以上。另外，包含在導電組成物中的導電高分子的電阻率較佳的是 $0.1\Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者這些的兩種以上的共聚物等。

例如，可以使用包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（以下表示為 ITO）、銦鋅氧化物或添加有氧化矽的銦錫氧化物等形成像素電極層 135。

與佈線層 123、125 等同樣地使用藉由第五光微影製程形成的抗蝕劑掩模，對像素電極層 135 進行蝕刻並構圖即可。

另外，雖然未圖示，但是也可以在絕緣層 133 和像素電極層 135 之間具有藉由旋塗法等形成的由有機樹脂構成的絕緣層。另外，藉由使用感光樹脂形成由該有機樹脂構

成的絕緣層，可以縮減製程數目。

然後，在 VA (Vertical Alignment ; 垂直定向) 方式的液晶顯示裝置中，在採用將像素分割成多個部分並使分割了的像素的各部分的液晶取向不同的多疇方式 (所謂的 MVA 方式) 以擴大視角的情況下，較佳的在像素電極層 135 上形成突起物 137。突起物 137 由絕緣層形成。圖 18B 示出此時的圖 17B 的俯視圖。

在此，在塗布包含感光丙烯的組成物形成厚度是 $0.9\mu\text{m}$ 至 $1.0\mu\text{m}$ 的組成物層之後，以 90°C 加熱 120 秒，來使組成物層乾燥。接著，在使用光掩模對組成物層進行曝光之後進行顯影而獲得預定的形狀。然後以 230°C 加熱 1 小時，形成由丙烯酸樹脂層構成的突起物 137。

在像素電極層上形成突起物 137 的情況下，當像素電極的電壓處於截止狀態時，液晶垂直於取向膜表面地取向，但是突起物附近的液晶的取向相對於基板面稍微傾斜。當像素電極層的電壓處於導通狀態時，首先傾斜取向部的液晶傾斜。另外，突起部附近之外的液晶也受到這些液晶的影響，而依次向相同方向排列。其結果是，可以獲得相對於像素整體穩定的取向。就是說，以突起物為起點控制整個顯示部的取向。

另外，也可以在像素電極中設置槽縫，而代替在像素電極層上設置突起物。在此情況下，當對像素電極層施加電壓時，在槽縫附近產生電場畸變，可以與將突起物設置在像素電極層上的情況同樣地控制電場分佈及液晶取向。

藉由上述製程，可以製造一種元件基板，該元件基板可以用於液晶顯示裝置，並且其包括如下薄膜電晶體。在該薄膜電晶體中，與在通道形成區中具有非晶半導體的薄膜電晶體相比導通電流高，並與在通道形成區中具有微晶半導體的薄膜電晶體相比截止電流低。

實施例模式 6

在本實施例模式中說明可以用於實施例模式 5 的緩衝層的形成製程。

在本實施例模式中，在沉積緩衝層 111 之前進行處理室內的清洗，然後使用氮化矽層覆蓋反應室內壁，來使緩衝層 111 包含氮，並將氧濃度抑制得較低，並使緩衝層 111 的氮濃度高於氧濃度。因為從閘極絕緣層 107 的形成到半導體層 109 的形成方法與實施例模式 5 同樣，所以在此，參照圖 21 以下說明從形成半導體層 109 到形成雜質半導體層 113 的製程。

在閘極絕緣層 107 上形成半導體層 109。半導體層 109 是在後面的製程中受到圖案形成而成為半導體層 115 的層。首先，對處理室內引入用於沉積半導體層 109 的材料氣體。在此，作為一例，藉由與實施例模式 5 同樣的方法，形成大約是 50nm 的微晶半導體層作為半導體層 109。然後，停止電漿的放電（圖 21 的半導體層形成 211）。然後，從處理室 241 搬出基板 101（圖 21 的卸載 225）。

在從處理室 241 搬出基板 101 之後，例如將 NF_3 氣體引入處理室 241，以進行處理室 241 內的清洗（圖 21 的清洗處理 227）。然後，進行在處理室 241 中形成氮化矽層的處理（圖 21 的預塗處理 233）。作為氮化矽層，採用與使用實施例模式 5 的閘極絕緣層形成的氮化矽層同樣的條件。藉由該處理，在處理室 241 的內壁上形成氮化矽層。然後，將基板 101 傳送到處理室 241 中（圖 21 的載入 231）。

接著，將用於沉積緩衝層 111 的材料氣體引入處理室 241 內（圖 21 的氣體置換 215）。接著，在半導體層 109 的整個面上形成緩衝層 111。緩衝層 111 是在後面的製程中受到圖案形成而成為緩衝層 131 的層。在此，藉由與實施例模式 5 同樣的方法，可以形成大約 80nm 的在非晶結構中具有晶體區域的半導體層作為緩衝層。然後，停止電漿的放電（圖 21 的緩衝層形成 217）。然後排出這些氣體而引入用於沉積雜質半導體層 113 的氣體（圖 21 的氣體置換 219）。另外，與實施例模式 5 同樣地形成雜質半導體層 113（圖 21 的雜質半導體層形成 221）。

在本實施例模式中的處理室 241 的表面上形成有氮化矽層。在緩衝層 111 的形成製程中，當形成在處理室 241 內的氮化矽層暴露於電漿時氮離解，而可以在緩衝層 111 的沉積初期混入氮。

另外，在緩衝層 111 的形成製程中，當形成在處理室 241 內的氮化矽暴露於電漿時，氮，較佳的是 NH 基或

NH_2 基離解，而可以在緩衝層 111 的沉積初期混入氮，較佳的是 NH 基或 NH_2 基。進而，當沉積非晶半導體層時，有時對非晶半導體層的不同的懸空鍵進行交聯。另外，當沉積非晶半導體層時，有時飽和非晶半導體層的懸空鍵。

在藉由這種方法形成的緩衝層 111 中，藉由二次離子質量分析法測定的氮濃度在與半導體層 109 的介面具有峰值濃度，而隨著半導體層 109 的沉積，氮濃度降低。

如上所述，藉由至少在形成半導體層之前使用氮化矽層覆蓋處理室的內壁，可以將氧濃度抑制得較低而將氮濃度設定得高於氧濃度，並且可以形成在非晶結構中包括晶體區域的半導體層。

另外，藉由使用氮化矽層覆蓋處理室的內壁，也可以防止構成處理室的內壁的元素等混入到緩衝層中。

注意，如圖 21 的虛線 237a 所示，在緩衝層形成 217 中也可以將氨氣體流入到反應室內。另外，如虛線 237b 所示，也可以使用氮氣體而代替氨氣體。再者，也可以使用氨氣體及氮氣體。其結果是，緩衝層 111 的氮濃度提高。其結果是，形成微小晶粒或 / 及錐形的晶體區域作為晶體區域。

在藉由這種方法形成的緩衝層 111 中，藉由二次離子質量分析法測定的氮濃度在與半導體層 109 的介面具有峰值濃度，並在半導體層 109 的沉積方向上恒定。

另外，在上述說明中說明了一種方式，即在與形成半導體層 109 的處理室相同的處理室中形成緩衝層 111，因

此在形成半導體層 109 之後進行清洗處理和預塗處理。但是，本實施例模式也可以與實施例模式 5 組合來實施。就是說，也可以在沉積半導體層 109，進行清洗處理 227 及預塗處理 233，並且處理室 241 中形成氮化矽層之後，進行沖洗處理 213。

藉由上述製程，可以製造一種薄膜電晶體，其中與在通道形成區中具有非晶半導體的薄膜電晶體相比導通電流高，並且與在通道形成區中具有微晶半導體的薄膜電晶體相比截止電流低。

實施例模式 7

在本實施例模式中，說明可以應用於實施例模式 5 的緩衝層的形成製程。

在本實施例模式中，藉由將氮混入於緩衝層 111 的沉積氣體中，可以將氧濃度抑制得較低而使氮濃度高於氧濃度。因為從閘極絕緣層 107 到半導體層 109 的形成的方法與實施例模式 5 同樣，所以在此參照圖 22 下面說明從半導體層 109 到雜質半導體層 113 的形成。

在閘極絕緣層 107 上形成半導體層 109。半導體層 109 是在後面的製程中受到圖案形成而成為半導體層 115 的層。首先，對處理室內引入用於沉積半導體層 109 的材料氣體。在此，作為一例，藉由與實施例模式 5 同樣的方法，形成大約 50nm 的微晶矽層作為半導體層 109。然後，停止電漿的放電（圖 22 的半導體層的形成 211）。然

後，排出這些氣體並引入用於沉積緩衝層 111 的氣體（圖 22 的氣體轉換 215）。

接下來，在半導體層 109 上形成緩衝層 111。緩衝層 111 是在後面的製程中受到構圖而成爲緩衝層 131 的層。在此，形成具有厚度是 80nm 的在非晶結構中具有晶體區域的矽層。以下表示此時的沉積條件。作爲材料氣體採用流量 20sccm 的 SiH_4 、流量 1480sccm 的 H_2 及流量 20sccm 的 1000ppm NH_3 （氫稀釋），並且將處理室內的壓力設定爲 280Pa，將基板溫度設定爲 280℃，並且以 50W 的輸出進行電漿放電。然後，停止電漿放電（圖 22 的緩衝層形成 217）。然後，排出這些氣體，並且引入用於雜質半導體層 113 的沉積的氣體（圖 22 的氣體置換 219）。另外，與實施例模式 5 同樣，形成雜質半導體層 113（圖 22 的雜質半導體層形成 221）。

在上述例子中，用於形成半導體層 109 的材料氣體中的 H_2 的流量是 SiH_4 的流量的 150 倍。由此，矽逐漸沉積。

另外，如虛線 238 所示那樣，也可以使用氮氣體代替氨氣體。

本實施例模式中的緩衝層 111 的原料氣體包含氮。如上所述，氮抑制結晶成長。因此，根據氨氣體的流量，伴隨緩衝層 111 的沉積，以半導體層 109 爲晶種的結晶成長受到抑制，而正錐形的晶體區域成長。並且 / 或者，形成微小晶粒。注意，在該製程中有時也形成倒錐形的晶體區

域。

在藉由這種方法形成的緩衝層 111 中，藉由二次離子質量分析法測定的氮濃度具有一定的濃度。

如上所述，藉由使緩衝層的沉積時的氣體包含氮，可以將氧濃度抑制得低，並且使氮濃度高於氧濃度，而可以形成包括晶體區域的半導體層。

實施例模式 8

使用圖 23 及圖 24 表示與實施例模式 5 至實施例模式 7 相比氮濃度的分佈不同的在非晶結構中具有晶體區域的半導體層的製造方法。

在本實施例模式中，作為對緩衝層 111 添加氮的方法，進行如下步驟：在實施例模式 6 中，在進行半導體層形成 211 處理之後，藉由沖洗處理 213 將含有氮的氣體引入反應室內，並當形成緩衝層 111 時如實線 239c 所示那樣將含有氮的氣體再次引入到反應室內（參照圖 23）。作為含有氮的氣體，在此使用氨氣體。另外，如虛線 239d 所示，也可以使用氮氣體而代替氨氣體。再者，也可以使用氨氣體及氮氣體。其結果是，在緩衝層 111 的沉積初期及沉積中氮濃度提高，而難以進行結晶成長。其結果是，如圖 3B-3 所示，在緩衝層 131 的中途晶體區域 131f 的成長停止，而在晶體區域 131f 的上面沉積非晶結構。或者，在晶體區域 131f 的上方形成微小晶粒。

或者，如圖 3B-4 所示，在從沉積初期開始到晶體區

域成長之後，當將含有氮的氣體引入到反應室中時緩衝層 111 的氮濃度升高，而晶體區域的結晶成長停止。然後，藉由降低緩衝層 111 的氮濃度，形成晶核，進行結晶成長，而可以獲得層疊有多個倒錐形晶體區域的結構 131g。

另外，作為對緩衝層 111 添加氮的方法，進行如下步驟：在實施例模式 7 中，在形成半導體層之後，當在反應室中形成氮化矽層並形成緩衝層 111 時，如實線 239c 所示那樣將含有氮的氣體再次引入到反應室內（參照圖 24）。作為含有氮的氣體，在此使用氮氣體。另外，如虛線 239d 所示，也可以使用氮氣體而代替氮氣體。再者，也可以使用氮氣體及氮氣體。其結果是，在緩衝層 111 的沉積初期及沉積中氮濃度得到提高，而難以進行結晶成長。其結果是，如圖 3B-3 所示，在緩衝層 131 的中途晶體區域 131f 的成長停止，而在晶體區域 131f 的上面沉積非晶結構。或者，在晶體區域 131f 的上方形成微小晶粒。

或者，如圖 3B-4 所示，在從沉積初期開始到晶體區域成長之後，當將含有氮的氣體引入到反應室中時緩衝層 111 的氮濃度升高，而晶體區域的結晶成長停止。然後，藉由降低緩衝層 111 的氮濃度，形成晶核，進行結晶成長，而可以獲得層疊有多個倒錐形晶體區域的結構 131g。

如上所述，藉由利用氮濃度控制緩衝層的上一側，即源區及汲區一側的晶體區域的尺寸，可以降低晶體區域的比率，而可以降低薄膜電晶體的截止電流。

實施例模式 9

在本實施例模式中，說明實施例模式 4 所示的薄膜電晶體的製造方法。在本實施例模式中，也說明 n 型薄膜電晶體的製造方法。

與實施例模式 5 同樣地，藉由第一光微影製程在基板 101 上形成閘極電極層 103 及電容佈線 105。

接著，覆蓋閘極電極層 103 地形成閘極絕緣層 107、在非晶結構中具有晶體區域的半導體層 141、雜質半導體層 113 以及導電層 121。然後，在導電層 121 上形成藉由第二光微影製程形成的抗蝕劑掩模 143（參照圖 26A）。

作為形成閘極絕緣層 107、在非晶結構中具有晶體區域的半導體層 141 以及雜質半導體層 113 的方法，採用實施例模式 5 中的除了反應室內的清洗處理 227、預塗處理 229、載入 231、氣體置換 209 及半導體層形成 211 製程以外的方法，即可。具體而言，在圖 20 中，進行預處理 201 至 SiON 形成 207 的製程作為閘極絕緣層 107 的形成方法。接著，進行沖洗處理 213 至緩衝層形成 217 的製程作為在非晶結構中具有晶體區域的半導體層 141 的形成方法。接著，進行氣體置換 219 至排氣 223 的製程作為雜質半導體層 113 的形成方法。

也可以使用除了實施例模式 6 的半導體層形成 211 的製程以外的製程而代替上述形成方法。具體而言，在圖 20 中，進行預處理 201 至 SiON 形成 207 的製程作為閘極絕緣層 107 的形成方法。接著，進行圖 21 中的卸載 225

至緩衝層形成 217 的製程作為在非晶結構中具有晶體區域的半導體層 141 的形成方法。接著，進行氣體置換 209 至排氣 223 的製程作為雜質半導體層 113 的形成方法。

也可以使用除了實施例模式 7 的半導體形成 211 的製程以外的製程而代替上述形成方法。具體而言，在圖 20 中，進行預處理 201 至 SiON 形成 207 的製程作為閘極絕緣層 107 的形成方法。接著，進行圖 22 中的氣體置換 215 及至緩衝層形成 217 的製程作為在非晶結構中具有晶體區域的半導體層 141 的形成方法。接著，進行氣體置換 219 至排氣 223 的製程作為雜質半導體層 113 的形成方法。

抗蝕劑掩模 143 具有厚度不同的兩個區域，並且可以使用多級灰度掩模形成。藉由使用多級灰度掩模，使用的光掩模的數量減少而製程數減少，所以這是較佳的。在本實施例模式中，在形成半導體層的圖案的製程和分離源區和汲區的製程中可以使用多級灰度掩模。

多級灰度掩模是指可以以多級灰度的光量進行曝光的掩模，典型的是，以曝光區域、半曝光區域以及未曝光區域的三個步驟的光量進行曝光。藉由使用多級灰度掩模，可以以一次的曝光及顯影製程形成具有多種（典型的為兩種）厚度的抗蝕劑掩模。由此，藉由使用多級灰度掩模，可以削減光掩模的數量。

圖 30A-1 及 30B-1 示出典型的多級灰度掩模的截面圖。圖 30A-1 表示灰色調掩模 180，而圖 30B-1 表示半色調

掩模 185。

圖 30A-1 所示的灰色調掩模 180 由在具有透光性的基板 181 上使用遮光層形成的遮光部 182 以及利用遮光層的圖案設置的衍射光柵部 183 構成。

衍射光柵部 183 藉由具有以用於曝光的光的解析度極限以下的間隔設置的狹縫、點或網眼等，而控制光的透過率。另外，設置在衍射光柵部 183 中的狹縫、點或網眼既可以是週期性的，又可以是非週期性的。

作為具有透光性的基板 181，可以使用石英等。構成遮光部 182 及衍射光柵部 183 的遮光層使用鉻或氧化鉻等來設置。

在對灰色調掩模 180 照射用來曝光的光的情況下，如圖 30A-2 所示那樣與遮光部 182 重疊的區域的透光率成為 0%，並且沒設置有遮光部 182 或衍射光柵部 183 的區域的透光率成為 100%。另外，衍射光柵部 183 的透光率大致在 10%至 70%的範圍內，這可以根據衍射光柵的狹縫、點或網眼的間隔等調整。

圖 30B-1 所示的半色調掩模 185 由在具有透光性的基板 186 上使用半透過層形成的半透光部 187 以及使用遮光層形成的遮光部 188 構成。

可以使用 MoSiN 、 MoSi 、 MoSiO 、 MoSiON 、 CrSi 等的層形成半透光部 187。遮光部 188 使用與灰色調掩模的遮光層同樣地使用鉻或氧化鉻等來設置。

在對半色調掩模 185 照射用來曝光的光的情況下，如

圖 30B-2 所示那樣與遮光部 188 重疊的區域的透光率成為 0%，並且沒設置有遮光部 188 或半透光部 187 的區域的透光率成為 100%。另外，半透光部 187 的透光率大致在 10%至 70%的範圍內，這可以根據形成的材料的種類或形成的厚度等調整。

藉由使用多級灰度掩模進行曝光及顯影，可以形成具有厚度不同的區域的抗蝕劑掩模。

接下來，使用抗蝕劑掩模 143 對在非晶結構中具有晶體區域的半導體層 141、雜質半導體層 113 及導電層 121 進行蝕刻。藉由該製程，對在非晶結構中具有晶體區域的半導體層 141、雜質半導體層 113 及導電層 121 的每個元件進行分離，而形成在非晶結構中具有晶體區域的半導體層 145、雜質半導體層 147 及導電層 149（參照圖 26B）。

接著，使抗蝕劑掩模 143 縮退，形成抗蝕劑掩模 151。作為抗蝕劑掩模的縮退，使用利用氧電漿的灰化即可。在此，以在閘極電極上分離抗蝕劑掩模 143 的方式對抗蝕劑掩模 143 進行灰化。其結果是，分離抗蝕劑掩模 151（參照圖 27A）。

接著，使用抗蝕劑掩模 151 對導電層 149 進行蝕刻，來形成佈線層 153、155（參照圖 27B）。佈線層 153、155 構成源極電極及汲極電極。導電層 149 的蝕刻較佳的與實施例模式 5 所示的導電層 121 的蝕刻同樣地進行。

接著，在形成有抗蝕劑掩模 151 的情況下，對在非晶

結構中具有晶體區域的半導體層 145 的一部分及雜質半導體層 147 進行蝕刻，來形成在非晶結構中具有晶體區域的半導體層 159 和源區及汲區 157（參照圖 27C）。然後，去除抗蝕劑掩模 151。圖 29A 示出此時的圖 27C 的俯視圖。

接著，較佳的與實施例模式 1 同樣地進行乾蝕刻。再者，也可以對在非晶結構中具有晶體區域的半導體層 159 的表面照射水電漿、氬電漿及氮電漿等。

藉由上述製程，可以製造根據本實施例模式的薄膜電晶體。根據本實施例模式的薄膜電晶體與實施例模式 5 所說明的薄膜電晶體同樣地可以應用於設置在以液晶顯示裝置為代表的顯示裝置的像素中的開關電晶體。因此，覆蓋該薄膜電晶體地形成絕緣層 133（參照圖 28A）。

接著，在絕緣層 133 中形成開口部 134、160。藉由使用利用第三光微影製程形成的抗蝕劑掩模，可以形成該開口部 134、160。然後，以通過該開口部 134、160 連接的方式在絕緣層 133 上藉由第四光微影製程設置像素電極層 135。像這樣，可以製造圖 28B 所示的顯示裝置的像素中的開關電晶體。

另外，雖然未圖示，但是也可以在絕緣層 133 和像素電極層 135 之間具有藉由旋塗法等形成的由有機樹脂構成的絕緣層。

然後，與實施例模式 5 同樣地在 VA（Vertical Alignment；垂直定向）方式的液晶顯示裝置中，在採用

將像素分割成多個部分並使分割了的像素的各部分的液晶取向不同的多疇方式（所謂的 MVA 方式）以擴大視角的情況下，較佳的在像素電極層 135 上形成突起物 137（參照圖 28C）。圖 28B 示出此時的圖 28C 的俯視圖。

藉由上述製程，可以以比實施例模式 5 少的掩模數目，製造具有與在通道形成區中具有非晶半導體的薄膜電晶體相比導通電流高，並與在通道形成區中具有微晶半導體的薄膜電晶體相比截止電流低的薄膜電晶體，並且可以用於液晶顯示裝置的元件基板。

實施例模式 10

在本實施例模式中，說明實施例模式 3 所示的薄膜電晶體中的圖 11 所示的薄膜電晶體的製造方法。在此，特徵在於以兩個不同的條件形成在非晶結構中具有晶體區域的半導體層 141。

因為閘極電極層的形成方法與實施例模式 5 相同，所以在此參照圖 25 以下說明從閘極絕緣層 107 到雜質半導體層 113 的形成。

首先，在 CVD 裝置的處理室 241 內加熱形成有閘極電極層 103 的基板，並且將用於沉積氮化矽層的材料氣體引入到處理室 241 內（圖 25 的預處理 201），以形成用作閘極絕緣層 107 的氮化矽層。

接著，形成氮化矽層作為閘極絕緣層 107。作為此時的沉積條件，可以使用實施例模式 5 所示的 SiN 形成 203

的條件。

接著，將用於沉積在非晶結構中具有晶體區域的半導體層 141 的材料氣體引入到處理室 241 內（圖 25 的氣體置換 209）。接著，以第一條件在閘極絕緣層 107 上形成在非晶結構中具有晶體區域的半導體層的一部分。其結果是，如圖 13A 及 13B-1 至 13B-3 所示的半導體層 132i 那樣，可以形成倒錐形的晶體區域。

另外，在閘極絕緣層 107 的最表面不是氮化矽層時，也可以如實施例模式 5 所示那樣在形成閘極絕緣層 107 之後進行圖 20 所示的沖洗處理 213，而使氮吸著在閘極絕緣層 107 表面，然後進行氣體置換 209 及半導體層形成 211。或者，如實施例模式 6 所示，也可以在形成閘極絕緣層 107 之後進行圖 21 所示的預塗處理 233，來在處理室內形成氮化矽層，然後進行氣體置換 209 及半導體層形成 211。

藉由上述第一條件，閘極絕緣層 107 的表面供給有氮。如上所述，氮抑制矽晶核的產生。因此，在半導體層的沉積的初期步驟中難以產生矽晶核。邊降低氮濃度邊進行半導體層的沉積，並且當氮濃度成為一定的值以下時，形成晶核。然後，該晶核成長，而形成錐形的晶體區域。或者，形成微小晶粒。

接著，引入用於沉積在非晶結構中具有晶體區域的半導體層 141 的材料氣體（圖 25 的氣體置換 215）。在此，以第二條件形成在非晶結構中具有晶體區域的半導體層

的殘餘部。在此，與實施例模式 7 所示的緩衝層形成 217 同樣地使用包含氮的氣體作為原料氣體。其結果是，如圖 13A 及 13B-1 至 13B-3 所示的半導體層 132j 那樣，可以形成正錐形的晶體區域。

因為藉由使用上述第二條件，抑制結晶成長並沉積半導體層 132j，所以以包含在半導體層 132i 中的晶體區域為晶種的結晶成長受到抑制，而可以形成晶體區域的寬度變窄的結構，即正錐形的晶體區域。

接著，進行氣體置換 219 至排氣 223 的製程作為雜質半導體層 113 的形成方法。

藉由上述製程，可以在閘極絕緣層 107 上形成在非晶結構 131b 中具有四個角不是直角的四邊形，典型的是菱形的晶體區域 132h 的半導體層。

可以製造一種元件基板，該元件基板可以用於液晶顯示裝置，並且其包括如下薄膜電晶體。在該薄膜電晶體中，與在通道形成區中具有非晶半導體的薄膜電晶體相比導通電流高，並與在通道形成區中具有微晶半導體的薄膜電晶體相比截止電流低。

實施例模式 11

在本實施例模式中，示出可以降低接觸電阻的薄膜電晶體的結構。具體而言，使用賦予一種導電型的雜質元素和含有氮的半導體層（下面表示為具有氮的雜質半導體層）形成實施例模式 1 至實施例模式 9 所示的源區及汲區。

在實施例模式 5 至實施例模式 7 中，具有氮的雜質半導體層藉由組合雜質半導體層和緩衝層的形成製程而形成。具體而言，在組合實施例模式 5 所示的在非晶結構中具有晶體區域的半導體層的形成製程和雜質半導體層的形成製程的情況下，在圖 20 中在緩衝層形成 217 和氣體置換 219 之間進行沖洗處理 213，來提高緩衝層表面的氮濃度，而提高雜質半導體層的氮濃度，即可。

另外，在組合實施例模式 6 所示的在非晶結構中具有晶體區域的半導體層的形成製程和雜質半導體層的形成製程的情況下，在圖 21 中在緩衝層形成 217 和氣體置換 219 之間進行從卸載 225 到載入 231，來在反應室的內側形成氮化矽層，提高反應室內的氮濃度，而提高雜質半導體層的氮濃度，即可。

另外，在組合實施例模式 7 所示的在非晶結構中具有晶體區域的半導體層的形成製程和雜質半導體層的形成製程的情況下，在圖 22 中在雜質半導體層形成 221 的製程中引入氨氣體或氮氣體，而提高雜質半導體層的氮濃度，即可。

藉由使源區及汲區含有賦予一種導電型的雜質元素和氮，可以降低源區及汲區的缺陷能級。另外，也有使源區及汲區含有賦予一種導電型的雜質元素和 NH 基或 NH₂ 基的情況，根據該結構，可以降低源區及汲區的缺陷能級。因此，可以提高源區及汲區之間的導電率，並且可以降低接觸電阻。

實施例模式 12

實施例模式 1 至實施例模式 4 所示的薄膜電晶體可以用於發光顯示裝置或發光裝置。作為發光顯示裝置或發光裝置的發光元件，典型地可以舉出利用電致發光的發光元件。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物而被大致分類，一般而言，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

另外，可以在實施例模式 5 至實施例模式 11 所示的元件基板上形成發光元件來製造發光顯示裝置或發光裝置。

因為在本實施例模式的發光顯示裝置及發光裝置中，使用導通電流高且截止電流低的薄膜電晶體作為像素電晶體，所以可以製造圖像品質良好（例如高對比度）且耗電量低的發光顯示裝置及發光裝置。

實施例模式 13

接下來，下面示出可以應用上述實施例模式的顯示裝置的顯示面板的結構的一例。

圖 31A 表示只另行形成信號線驅動電路 303，並且使它連接到形成在基板 301 上的像素部 302 的顯示面板的方式。形成有像素部 302、保護電路 306、以及掃描線驅動電路 304 的元件基板使用實施例模式 1 至實施例模式 12 中的任一個所示的薄膜電晶體而形成。信號線驅動電路

303 由將單晶半導體用於通道形成區的電晶體、將多晶半導體用於通道形成區的電晶體、或將 SOI (Silicon On Insulator) 用於通道形成區的電晶體構成即可。在將 SOI 用於通道形成區的電晶體中包括將設置在玻璃基板上的單晶半導體層用於通道形成區的電晶體。電源的電位及各種信號等藉由 FPC305 分別供給到像素部 302、信號線驅動電路 303、掃描線驅動電路 304。也可以在信號線驅動電路 303 和 FPC305 之間以及信號線驅動電路 303 和像素部 302 之間的一方或雙方設置由實施例模式 1 至實施例模式 12 中的任一個所示的薄膜電晶體形成的保護電路 306。作為保護電路 306，也可以使用選自其他結構的薄膜電晶體、二極體、電阻元件及電容元件等中的一個或多個元件。

注意，也可以將信號線驅動電路及掃描線驅動電路形成在與像素部的像素電晶體相同的基板上。

此外，在另行形成驅動電路的情況下，並不需要將形成有驅動電路的基板貼附到形成有像素部的基板上，例如也可以貼附到 FPC 上。圖 31B 示出只另行形成信號線驅動電路 313，並且 FPC315 和形成有形成在基板 311 上的像素部 312、保護電路 316、以及掃描線驅動電路 314 的元件基板連接的顯示面板的方式。像素部 312、保護電路 316 以及掃描線驅動電路 314 可以使用上述實施例模式所示的薄膜電晶體形成。信號線驅動電路 313 藉由 FPC315 及保護電路 316 與像素部 312 連接。電源的電位及各種信號等藉由 FPC315 分別供給到像素部 312、信號線驅動電

路 313、以及掃描線驅動電路 314。也可以在 FPC315 和像素部 312 之間設置保護電路 316。

另外，也可以藉由使用上述實施例模式所示的薄膜電晶體在與像素部相同的基板上只形成信號線驅動電路的一部分或掃描線驅動電路的一部分，並且另行形成其他部分並使該部分電連接到像素部。圖 31C 示出將信號線驅動電路具有的類比開關 323a 形成在與像素部 322 及掃描線驅動電路 324 相同的基板 321 上，並且將信號線驅動電路所具有的移位暫存器 323b 另行形成在不同的基板上而進行貼合的顯示面板的方式。像素部 322、保護電路 326 及掃描線驅動電路 324 藉由使用上述實施例模式所示的薄膜電晶體形成。信號線驅動電路具有的移位暫存器 323b 藉由類比開關 323a 及保護電路 326 與像素部 322 連接。電源的電位及各種信號等藉由 FPC325 分別供給到像素部 322、信號線驅動電路、掃描線驅動電路 324。也可以在 FPC325 和類比開關 323a 之間設置保護電路 326。

如圖 31A 至 31C 所示，在本實施例模式的顯示裝置中可以使用上述實施例模式所示的薄膜電晶體在與像素部相同基板上形成驅動電路的一部分或全部。

此外，對另行形成的基板的連接方法沒有特別的限制，可以使用已知的 COG 方式、引線鍵合方式、或者 TAB 方式等。此外，連接的位置只要能夠電連接，就不局限於圖 31A 至 31C 所示的位置。另外，也可以另行形成控制器、CPU、或記憶體等而連接。

此外，在本實施例模式中使用的信號線驅動電路具有移位暫存器和類比開關。或者，除了移位暫存器和類比開關之外，還可以具有緩衝器、位準轉移電路、源極電極跟隨器等其他電路。另外，不一定需要設置移位暫存器和類比開關，例如既可以使用像解碼器電路那樣的可以選擇信號線的其他電路代替移位暫存器，又可以使用鎖存器等代替類比開關。

實施例模式 14

可以將由上述方式的薄膜電晶體構成的元件基板、以及使用該元件基板的顯示裝置等用於主動矩陣型顯示面板。換言之，在將這些組裝到顯示部中的所有電子設備都可以實施上述實施例模式。

作為這種電子設備，可以舉出影像拍攝裝置如攝像機和數位相機等、頭戴式顯示器（護目鏡型顯示器）、汽車導航、投影機、汽車音響、個人電腦、可攜式資訊終端（移動電腦、行動電話或電子書等）等。圖 32A 至 32D 示出了其一例。

圖 32A 是電視裝置。藉由將應用上述實施例模式的顯示面板組裝在框體中來可以完成電視裝置。由顯示面板形成主螢幕 333，並且作為其他附屬裝置還具有揚聲器部 339 及操作開關等。

如圖 32A 所示，在框體 331 中組裝利用顯示元件的顯示用面板 332，可以由接收器 335 接收普通的電視廣播

。而且，藉由經由數據機 334 連接到採用有線或無線方式的通信網路，也可以進行單方向（從發送者到接收者）或雙方向（在發送者和接收者之間或在接收者之間）的資訊通信。藉由利用組裝到框體中的開關或遙控單元 336，可以進行電視裝置的操作。也可以在該遙控單元 336 中設置有用於顯示輸出資訊的顯示部 337。另外，還可以再顯示部 337 中設置上述實施例模式等的薄膜電晶體。另外，除了主螢幕 333 之外，還可以由第二顯示面板形成子螢幕 338，而附加有顯示頻道或音量等的結構。在該結構中，可以將實施例模式 1 至實施例模式 12 中任一個所示的薄膜電晶體用於主螢幕 333 及子螢幕 338 中的一方或雙方。

圖 33 表示說明電視裝置的主要結構的方塊圖。在顯示面板中形成有像素部 371。信號線驅動電路 372 和掃描線驅動電路 373 也可以以 COG 方式安裝到顯示面板。

作為其他外部電路的結構，視頻信號的輸入一側具有視頻信號放大電路 375、視頻信號處理電路 376、以及控制電路 377 等，其中視頻信號放大電路 375 放大由調諧器 374 接收的信號中的視頻信號，視頻信號處理電路 376 將從視頻信號放大電路 375 輸出的信號轉換為對應於紅色、綠色、藍色各種顏色的顏色信號，控制電路 377 將所述視頻信號轉換為驅動器 IC 的輸入規格。控制電路 377 將信號分別輸出到掃描線一側和信號線一側。在進行數位驅動的情況下，也可以採用如下結構，即在信號線一側設置信號分割電路 378，並將輸入數位信號分割為 m 個來供給。

由調諧器 374 接收的信號中的音頻信號被傳送到音頻信號放大電路 379，並且其輸出經過音頻信號處理電路 380 被供給到揚聲器 383。控制電路 381 從輸入部 382 接收接收站（接收頻率）、音量的控制資訊，並且將信號傳送到調諧器 374 及音頻信號處理電路 380。

當然，本實施例模式不局限於電視裝置而還可以應用於個人電腦的監視器、大面積的顯示媒體如火車站或機場等的資訊顯示板或者街頭上的廣告顯示板等。

如上所述，藉由將上述實施例模式所說明的薄膜電晶體應用於主螢幕 333 及子螢幕 338 的一方或雙方，可以製造圖像品質高且耗電量低的電視裝置。

圖 32B 表示行動電話 341 的一例。該行動電話 341 包括顯示部 342、操作部 343 等。藉由將上述實施例模式所說明的薄膜電晶體應用於顯示部 342，可以提高圖像品質且降低耗電量。

圖 32C 所示的便攜型電腦包括主體 351、顯示部 352 等。藉由對顯示部 352 應用實施例模式 1 等所說明的薄膜電晶體，可以提高圖像品質且降低耗電量。

圖 32D 表示臺式照明設備，包括照明部 361、燈罩 362、可調整臂 363、支柱 364、台 365、以及電源 366 等。藉由對照明部 361 應用上述實施例模式所說明的發光裝置來製造。藉由將實施例模式 1 等所說明的薄膜電晶體應用於照明部 361，可以提高圖像品質且降低耗電量。

圖 34A 至 34C 表示行動電話的結構的一例，例如在

顯示部中應用上述實施例模式所示的具有薄膜電晶體的元件基板及具有該元件基板的顯示裝置。圖 34A 是正視圖，圖 34B 是後視圖，圖 34C 是當滑動兩個框體時的展開圖。圖 34A 至 34C 所示的行動電話由兩個框體，即框體 394 以及框體 385 構成。圖 34A 至 34C 所示的行動電話具有行動電話和可攜式資訊終端雙方的功能，其內置有電腦，並且除了進行聲音通話之外還可以處理各種各樣的資料，也稱為智慧型行動電話（Smartphone）。

行動電話由兩個框體，即框體 394 以及框體 385 構成。框體 394 具備顯示部 386、揚聲器 387、麥克風 388、操作鍵 389、定位裝置 390、表面影像拍攝裝置用透鏡 391、外部連接端子插口 392、以及耳機端子 393 等，並且框體 385 具備鍵盤 395、外部記憶體插槽、背面影像拍攝裝置 396、燈 398 等。此外，天線被內置在框體 394 中。

此外，行動電話還可以在上述結構的基礎上內置有非接觸 IC 晶片、小型記憶體件等。

在圖 34A 中相重合的框體 394 和框體 385 可以滑動，藉由滑動則如圖 34C 那樣展開。可以將應用上述實施例模式所示的顯示裝置安裝到顯示部 386 中，而根據使用方式其顯示方向適當地變化。由於在與顯示部 386 相同的面上具備表面影像拍攝裝置用透鏡 391，所以可以進行視頻通話。此外，藉由將顯示部 386 用作取景器，可以利用背面拍攝裝置 396 以及燈 398 進行靜態圖像以及動態圖像的

攝影。

除了聲音通話之外，揚聲器 387 和麥克風 388 可以用於視頻通話、聲音的錄音以及再現等的用途。利用操作鍵 389 可以進行電話的撥打和接收、電子郵件等的簡單的資訊輸入、畫面的滾動、以及游標移動等。

此外，當處理的資訊較多如製作檔、用作可攜式資訊終端等時，使用鍵盤 395 是較方便的。藉由可以使相重合的框體 394 和框體 385（圖 34A）滑動，並如圖 34C 那樣展開而用於可攜式資訊終端。另外，藉由使用鍵盤 395 及定位裝置 390 可以順利地進行操作。外部連接端子插口 392 可以與 AC 適配器以及 USB 電纜等的各種電纜連接，而可以進行充電以及與個人電腦等的資料通信。此外，藉由對外部記憶體插槽插入記錄媒體，可以進行更大量的資料儲存以及移動。

框體 385 的背面（圖 34B）具備背面影像拍攝裝置 396 及燈 398，並且可以將顯示部 386 用作取景器而可以進行靜態圖像以及動態圖像的攝影。

此外，除了上述功能結構之外，還可以具備紅外線通信功能、USB 埠、數位電視（one-seg）接收功能、非接觸 IC 晶片或耳機插口等。

藉由將上述實施例模式所說明的薄膜電晶體用於像素中，可以提高圖像品質且降低耗電量。

實施例 1

在本實施例中，圖 35A 及 35B 表示藉由利用 STEM（掃描透射電子顯微鏡；Scanning Transmission Electron Microscopy）觀察使用實施例模式 6 製造的薄膜電晶體的截面形狀的圖像。

首先，使用圖 15A 至 16C 表示薄膜電晶體的製程。

在基板 101 上形成閘極電極層 103。

在此，作為基板 101 使用厚度是 0.7mm 的玻璃基板（由康寧公司製造的 EAGLE2000）。

使用流量是 50sccm 的氬離子對鉬靶子進行濺射來在基板上形成厚度是 150nm 的鉬層。接著，在對鉬層上塗布抗蝕劑之後，使用第一光掩模進行曝光和顯影，來形成抗蝕劑掩模。

接著，使用該抗蝕劑掩模對鉬層進行蝕刻，來形成閘極電極層 103。在此，使用 ICP（Inductively Coupled Plasma；電感耦合電漿）蝕刻裝置，並且蝕刻條件是如下條件，即 ICP 功率是 800W；偏壓功率是 100W；壓力是 1.5Pa；以及使用流量是 25sccm 的氟化碳、流量是 25sccm 的氯、及流量是 10sccm 的氧作為蝕刻氣體。

然後，去除抗蝕劑掩模。

接著，在閘極電極層 103 及基板 101 上，不暴露於大氣地連續地形成閘極絕緣層 107、半導體層 109、緩衝層 111 及雜質半導體層 113（參照圖 15A）。

在此，層疊氮化矽層及氧氮化矽層作為閘極絕緣層 107。首先，藉由電漿 CVD 法形成厚度是 110nm 的氮化矽

層。以下表示此時的沉積條件。將材料氣體設定為流量是 40sccm 的 SiH_4 、流量是 500sccm 的 H_2 、流量是 550sccm 的 N_2 及流量是 140sccm 的 NH_3 ，將處理室內的壓力設定為 100Pa，將基板溫度設定為 280℃，將 RF 電源頻率設定為 13.56MHz，並且將 RF 電源的電力設定為 370W，而進行電漿放電。接著，藉由電漿 CVD 法形成厚度是 110nm 的氮化矽層。以下表示此時的沉積條件。將原料氣體設定為流量是 30sccm 的 SiH_4 及流量是 1200sccm 的 N_2O ，將處理室內的壓力設定為 40Pa，將基板溫度設定為 280℃，將 RF 電源頻率設定為 13.56MHz，並且將 RF 電源的電力設定為 50W，而進行電漿放電。

接著，從處理室搬出基板 101，在使用 NF_3 氣體清洗處理室內之後，將用於形成保護層的材料氣體導入到處理室內，而進行在處理室內形成非晶矽層作為保護層的處理。以下表示此時的沉積條件。將材料氣體設定為流量是 300sccm 的 SiH_4 ，將處理室內的壓力設定為 160Pa，將基板溫度設定為 280℃，將 RF 電源頻率設定為 13.56MHz，並且將 RF 電源的電力設定為 120W，而進行電漿放電。

然後，將基板 101 搬入到處理室內，並且在閘極絕緣層 107 上形成厚度是 5nm 的微晶矽層作為半導體層 109。以下表示此時的沉積條件。將材料氣體設定為流量是 10sccm 的 SiH_4 及流量是 1500sccm 的 H_2 ，將處理室內的壓力設定為 280Pa，將基板溫度設定為 280℃，將 RF 電源頻率設定為 13.56MHz，並且將 RF 電源的電力設定為

50W，而進行電漿放電。

接著，在半導體層 109 上形成厚度 55nm 的在非晶結構中具有晶體區域的矽層作為緩衝層 111。以下表示此時的沉積條件。將材料氣體設定為流量是 20sccm 的 SiH_4 、流量是 1250sccm 的 H_2 及流量是 250sccm 的 100ppm NH_3 （氫稀釋），將處理室內的壓力設定為 280Pa，將基板溫度設定為 280℃，將 RF 電源頻率設定為 13.56MHz，並且將 RF 電源的電力設定為 50W，而進行電漿放電。

接著，在緩衝層 111 上形成添加有磷的厚度是 50nm 的非晶矽層作為雜質半導體層 113。以下表示此時的沉積條件。將材料氣體設定為流量是 100sccm 的 SiH_4 及流量是 170sccm 的 0.5% 磷化氫（氫稀釋），將沉積溫度設定為 280℃，將壓力設定為 170Pa，將 RF 電源頻率設定為 13.56MHz，並且將 RF 電源的電力設定為 60W，而進行電漿放電。

接著，在將抗蝕劑塗布在雜質半導體層 113 上之後，使用第二光掩模進行曝光和顯影，而形成抗蝕劑掩模。接著，使用該抗蝕劑掩模對半導體層 109、緩衝層 111 及雜質半導體層 113 進行蝕刻，而形成半導體層 115、緩衝層 117 及雜質半導體層 119（參照圖 15B）。在此，使用 ICP 蝕刻裝置，並且蝕刻條件是如下條件，即 ICP 功率是 150W；偏壓功率是 40W；壓力是 1.0Pa；使用流量是 100sccm 的氯作為蝕刻氣體；以及蝕刻時間是 78 秒。

接著，如圖 15C 所示，形成覆蓋閘極絕緣層 107、半

導體層 115、緩衝層 117 及雜質半導體層 119 的導電層 121。在此，使用流量是 50sccm 的氬離子對鉬靶子進行濺射，而形成厚度是 300nm 的鉬層。

接著，在將抗蝕劑塗布在導電層 121 上之後，使用第三光掩模進行曝光和顯影，而形成抗蝕劑掩模。使用該抗蝕劑掩模對導電層 121 進行濕蝕刻，來如圖 16A 所示形成佈線層 123、125。注意，在本實施例中，佈線層 123、125 的平面形狀是直線型。

接著，使用抗蝕劑掩模對雜質半導體層 119 進行蝕刻，來形成源區及汲區 129。注意，在該製程中，緩衝層 117 的表面的一部分也被蝕刻而成爲緩衝層 131（參照圖 16B）。在此，使用 ICP 蝕刻裝置，並且蝕刻條件是如下條件，即 ICP 功率是 150W；偏壓功率是 40W；壓力是 1.0Pa；蝕刻氣體是流量 100sccm 的氯；以及蝕刻時間是 33 秒。將此時的緩衝層 131 的厚度設定爲 40nm。然後去除抗蝕劑掩模。

接著，對緩衝層 131、源區及汲區 129 表面照射氟化碳電漿，並且去除殘留在緩衝層 131 中的雜質。在此，使用 ICP 蝕刻裝置，並且蝕刻條件是如下條件，即源功率是 1000W；偏壓功率是 0W；壓力是 0.67Pa；蝕刻氣體是流量 100sccm 的氟化碳；以及蝕刻時間是 30 秒。

接著，形成厚度是 300nm 的氮化矽層作爲絕緣層 133（參照圖 16C）。此時的沉積條件是如下條件，即將原料氣體設定爲流量是 20sccm 的 SiH_4 、流量是 220sccm 的

NH_3 、流量是 450sccm 的氮及流量是 450sccm 的氫；將處理室內的壓力設定為 160Pa；將基板溫度設定為 280℃；將 RF 電源頻率設定為 13.56MHz；並且將 RF 電源的電力設定為 150W，而進行電漿放電。

接著，在將抗蝕劑塗布在絕緣層上之後，使用第四光掩模進行曝光和顯影，而形成抗蝕劑掩模。使用該抗蝕劑掩模對絕緣層的一部分進行乾蝕刻，來使佈線層 125 露出。並且，對絕緣層及閘極絕緣層 107 的一部分進行乾蝕刻，來使閘極電極層 103 露出。在此，使用 ICP 蝕刻裝置，並且以如下條件進行蝕刻處理，即 ICP 功率是 475W；偏壓功率是 300W；壓力是 5.5Pa；以及蝕刻氣體是流量 50sccm 的 CHF_3 及流量 100sccm 的氮，而進行電漿放電。然後，作為蝕刻氣體使用流量是 142.5sccm 的氮進行蝕刻處理。然後去除抗蝕劑掩模。

接著，在絕緣層上形成導電層。在此，藉由濺射法形成厚度是 50nm 的包含氧化矽的 ITO 作為導電層。

接著，在將抗蝕劑塗布在導電層上之後，使用第五光掩模進行曝光和顯影，而形成抗蝕劑掩模。使用該抗蝕劑掩模對導電層的一部分進行乾蝕刻，來形成像素電極層 135。接著，在去除抗蝕劑掩模之後，以 250℃ 進行 1 小時的加熱，而焙燒包含氧化矽的 ITO。

藉由上述製程，製造薄膜電晶體及連接到薄膜電晶體的像素電極。

接著，圖 35A 表示使用 STEM 觀察上述薄膜電晶體的

截面的圖像，並且圖 35B 表示圖 35A 的示意圖。

在圖 35B 中，將作為閘極絕緣層 107 形成的氮化矽層表示為 SiN ，並且將氧氮化矽層表示為 SiON 。另外，將半導體層 115 表示為 $\mu\text{c-Si}$ ，並且將緩衝層 131 表示為緩衝層。另外，將源區及汲區 129 表示為 $\text{n}^+\text{a-Si}$ ，並且將佈線層 123 表示為 Mo 。

如圖 35A 及 35B 所示，在緩衝層 131 中形成有錐形的晶體區域。並且可以觀察到形成有從半導體層 115 以正錐形延伸到緩衝層的晶體區域。由此，也可以說緩衝層 131 的非晶結構和晶體區域的介面是凹凸狀的。

實施例 2

在本實施例中，表示使用實施例模式 6 製造的薄膜電晶體的電特性。

首先，使用圖 15A 至 16C 表示薄膜電晶體的製程。

在基板 101 上形成閘極電極層 103。

在此，作為基板 101 使用厚度是 0.7mm 的玻璃基板（由康寧公司製造的 EAGLE2000）。

與實施例 1 同樣地在基板上形成厚度是 150nm 的鉬層。接著，在將抗蝕劑塗布在鉬層上之後，使用第一光掩模進行曝光和顯影，來形成抗蝕劑掩模。

接著，與實施例 1 同樣地使用該抗蝕劑掩模對鉬層進行蝕刻，來形成閘極電極層 103。然後，去除抗蝕劑掩模。

接著，在閘極電極層 103 及基板 101 上連續地形成閘極絕緣層 107、半導體層 109、緩衝層 111 及雜質半導體層 113（參照圖 15A）。

在此，層疊氮化矽層及氧化矽層作為閘極絕緣層 107。首先，以實施例 1 同樣的條件藉由電漿 CVD 法形成厚度是 110nm 的氮化矽層。接著，藉由電漿 CVD 法形成厚度是 110nm 的氮化矽層。此時的沉積條件是如下條件，即將正矽酸乙酯（Tetraethyl Orthosilicate：TEOS）的流量設定為 15sccm，並將 O₂ 的流量設定為 750sccm，並且導入材料氣體來使其穩定；將處理室內的壓力設定為 100Pa；將上部電極的溫度設定為 300℃；將下部電極的溫度設定為 297℃；將 RF 電源頻率設定為 27MHz；以及將 RF 電源的電力設定為 300W，而進行電漿放電。

接著，以與實施例 1 同樣的條件在閘極絕緣層 107 上形成厚度是 5nm 的微晶矽層作為半導體層 109。

接著，以與實施例 1 同樣的條件在半導體層 109 上形成厚度是 75nm 的具有在非晶結構中具有晶體區域的矽層作為緩衝層 111。

接著，以與實施例 1 同樣的條件在緩衝層 111 上形成添加有磷的厚度是 50nm 的非晶矽層作為雜質半導體層 113。

接著，在將抗蝕劑塗布在雜質半導體層 113 上之後，使用第二光掩模進行曝光和顯影，來形成抗蝕劑掩模。接著，使用該抗蝕劑掩模對半導體層 109、緩衝層 111 及雜

質半導體層 113 進行蝕刻，來形成半導體層 115、緩衝層 117 及雜質半導體層 119（參照圖 15B）。在此，使用與實施例 1 同樣的蝕刻條件。

接著，如圖 15C 所示，形成覆蓋閘極絕緣層 107、半導體層 115、緩衝層 117 及雜質半導體層 119 的導電層 121。在此，以與實施例 1 同樣的條件形成厚度是 300nm 的鉬層。

接著，在將抗蝕劑塗布在導電層 121 上之後，使用第三光掩模進行曝光和顯影，來形成抗蝕劑掩模。使用該抗蝕劑掩模對導電層 121 進行濕蝕刻，來如圖 16A 所示地形成佈線層 123、125。注意，在本實施例中，佈線層 123、125 的平面形狀是直線型。

接著，使用抗蝕劑掩模對雜質半導體層 119 進行蝕刻，來形成源區及汲區 129。注意，在該製程中，緩衝層 117 的表面的一部分也被蝕刻而成爲緩衝層 131（參照圖 16B）。在此，使用與實施例 1 同樣的蝕刻條件。將此時的緩衝層 131 的厚度設定爲 40nm。

接著，對緩衝層 131、源區及汲區 129 的表面照射氟化碳電漿，並且去除殘留在緩衝層 131 中的雜質。在此，使用 ICP 蝕刻裝置，並且使用如下蝕刻條件，即電源功率是 1000W；壓力是 0.67Pa；蝕刻氣體是流量 100sccm 的氟化碳；以及蝕刻時間是 30 秒。

接著，對緩衝層 131、源區及汲區 129 的表面照射氫電漿。在此，使用 ICP 蝕刻裝置，並且使用如下條件，即

在電源功率是 1800W；壓力是 66.5Pa；以及流量是 300sccm 的水蒸氣氣氛中產生電漿，並且照射該電漿 180 秒。然後剝離抗蝕劑。

接著，形成氮化矽層作為絕緣層 133。在此，使用與實施例 1 同樣的條件形成厚度是 300nm 的氮化矽層。

接著，在將抗蝕劑塗布在絕緣層上之後，使用第四光掩模進行曝光和顯影，來形成抗蝕劑掩模。使用該抗蝕劑掩模對絕緣層的一部分進行乾蝕刻，來使佈線層 125 露出。並且，對絕緣層及閘極絕緣層 107 的一部分進行乾蝕刻，來使閘極電極層 103 露出。在此，使用與實施例 1 同樣的蝕刻條件。然後去除殘留的抗蝕劑掩模。

藉由上述製程製造薄膜電晶體。

圖 36A 及 36B 表示然後測定薄膜電晶體的電特性的結果。將此時的閘極電壓的測定間隔設定為 0.25V。另外，將進行測定時的溫度設定為室溫。注意，將本實施例的薄膜電晶體的通道長度設定為 3.4 μm ，並且將其通道寬度設定為 20 μm 。注意，在此，將通道寬度 W 設定為閘極電極的寬度。另外，半導體層 115 的寬度是 22 μm 。另外，將薄膜電晶體的閘極絕緣層的厚度設定為 110nm 的氮化矽層（介電常數 7）及 110nm 的氧化矽層（介電常數 4.1）而計算電場效應遷移率。另外，使用實線表示汲極電壓是 1V 及 10V 時的電流電壓特性。另外，在圖 36A 中使用虛線表示汲極電壓是 1V 時的電場效應遷移率，而在圖 36B 中使用虛線表示汲極電壓是 10V 時的電場效應遷移率

。

表 1 表示以下的測定結果。注意，在此表示測定 16 個薄膜電晶體時的平均值。

- 導通電流 (Ion) (汲極電壓 ; 10 V , 閘極電壓 ; 15 V)
- 最小截止電流 (Ioff_min) (汲極電壓 ; 10 V)
- 截止電流 (Ioff) (汲極電壓 ; 10 V , 閘極電壓 ; (最小截止電流的閘極電壓 - 10) V)
- 導通 / 截止比
- 臨界值電壓 (Vth) (汲極電壓 ; 10 V)
- 最大電場效應遷移率 (μFE_max) (汲極電壓 ; 1 V)
- 最大電場效應遷移率 (μFE_max) (汲極電壓 ; 10 V)

[表 1]

Ion [A]	Ioff_min [A]	Ioff [A]	導通/ 截止比	Vth [V]	μFE_max [cm2/V · s] (Vd=1V)	μFE_max [cm2/V · s] (Vd=10V)
4.4E-06	4.2E-11	7.3E-10	5.6	2.39±0.24	1.02	0.45

由上所述，藉由作為閘極絕緣層使用以 TEOS 為原料的氧化矽層，作為半導體層使用微晶矽層，並作為緩衝層使用具有在非晶結構中具有晶體區域的矽層，可以製造電場效應遷移率高的薄膜電晶體。

比較例

在此，作為比較例表示不具有緩衝層而具有微晶矽層作為通道形成層的薄膜電晶體的電特性。

首先，使用圖 15A 至 16C 表示薄膜電晶體的製程。閘極電極層 103 以與實施例 1 同樣的條件形成。

以與實施例 1 同樣的條件層疊氮化矽層及氧化矽層作為閘極絕緣層 107。

然後，在將基板從 CVD 裝置的處理室搬出到待命室之後，使用氟化氮對處理室內進行清洗。接著，在處理室內形成非晶矽層。以下表示此時的沉積條件。將材料氣體設定為流量是 40sccm 的 SiH_4 ，將處理室內的壓力設定為 160Pa，將處理室內的溫度設定為 280℃，將 RF 電源頻率設定為 13.56MHz，並且將 RF 電源的電力設定為 120W，而進行電漿放電。

接著，將基板搬入到處理室內，並且以與實施例 1 同樣的條件在閘極絕緣層上形成厚度是 80nm 的微晶矽層作為半導體層 109。

接著，以與實施例 1 同樣的條件在半導體層上形成厚度是 50nm 的添加有磷的微晶矽層作為雜質半導體層 113（參照圖 15A，但是除了緩衝層 111 以外）。以下表示此時的沉積條件。將原料氣體設定為流量是 10sccm 的 SiH_4 、流量是 30sccm 的 0.5vol% PH_3 （ H_2 稀釋）及流量是 1500sccm 的 H_2 ，將處理室內的壓力設定為 280Pa，將基

板溫度設定為 280℃，將 RF 電源頻率設定為 13.56MHz，並且將 RF 電源的電力設定為 300W，而進行電漿放電。

接著，在將抗蝕劑塗布在雜質半導體層上之後，使用第二光掩模進行曝光和顯影，來形成抗蝕劑掩模。接著，使用該抗蝕劑掩模對半導體層、雜質半導體層進行蝕刻，來形成半導體層 115、雜質半導體層 119（參照圖 15B，但是不包括緩衝層 117）。在此，使用與實施例 1 同樣的蝕刻條件。

接著，形成覆蓋閘極絕緣層、半導體層、雜質半導體層的導電層（參照圖 15C，但是不包括緩衝層 117）。在此，以與實施例 1 同樣的條件形成厚度是 300nm 的鉬層。

接著，在將抗蝕劑塗布在導電層上之後，使用第三光掩模進行曝光和顯影，來形成抗蝕劑掩模。使用該抗蝕劑掩模對導電層進行濕蝕刻，來形成佈線層 123、125（參照圖 16A，但是不包括緩衝層 117）。注意，在本實施例中，佈線層 123、125 的平面形狀是直線型。

接著，使用抗蝕劑掩模對雜質半導體層 119 進行蝕刻，來形成源區及汲區 129。注意，在該製程中，半導體層 109 的表面的一部分也被蝕刻（參照圖 16B，但是不包括緩衝層 131）。在此，使用與實施例 1 同樣的蝕刻條件。

接著，與實施例 1 同樣地對露出的半導體層、源區及汲區 129 表面照射氟化碳電漿，並且去除殘留在半導體層中的雜質。

接著，對露出的半導體層、源區及汲區 129 表面照射水電漿。

接著，與實施例 1 同樣地形成氮化矽層。

接著，在將抗蝕劑塗布在絕緣層上之後，使用第四光掩模進行曝光和顯影，來形成抗蝕劑掩模。使用該抗蝕劑掩模對絕緣層的一部分進行乾蝕刻，來使佈線層 125 露出。並且，對絕緣層及閘極絕緣層 107 的一部分進行乾蝕刻，來使閘極電極層 103 露出。在此，使用與實施例 1 同樣的蝕刻條件。然後去除殘留的抗蝕劑掩模。

藉由上述製程，製造薄膜電晶體。

圖 46A 及 46B 表示然後測定薄膜電晶體的電特性的結果。將此時的閘極電壓的測定間隔設定為 0.25V 。另外，將進行測定時的溫度設定為室溫。注意，將本實施例的薄膜電晶體的通道長度設定為 $3.4\mu\text{m}$ ，並且將其通道寬度設定為 $24\mu\text{m}$ 。注意，在此，將通道寬度 W 設定為閘極電極的寬度。另外，半導體層 115 的寬度是 $26\mu\text{m}$ 。另外，將薄膜電晶體的閘極絕緣層的厚度設定為 110nm 的氮化矽層（介電常數 7）及 110nm 的氧化矽層（介電常數 4.1）而計算電場效應遷移率。另外，使用實線表示汲極電壓是 1V 及 10V 時的電流電壓特性。另外，在圖 46A 中使用虛線表示汲極電壓是 1V 時的電場效應遷移率，而在圖 46B 中使用虛線表示汲極電壓是 10V 時的電場效應遷移率。

表 2 表示以下的測定結果。注意，在此表示測定 16

個薄膜電晶體時的平均值。

- 導通電流 (I_{on}) (汲極電壓 ; 10V , 閘極電壓 ; 15V)
- 最小截止電流 ($I_{off\ min}$) (汲極電壓 ; 10V)
- 截止電流 (I_{off}) (汲極電壓 ; 10V , 閘極電壓 ; (最小截止電流的閘極電壓 - 10) V)
- 導通 / 截止比
- 臨界值電壓 (V_{th}) (汲極電壓 ; 10V)
- 最大電場效應遷移率 ($\mu_{FE\ max}$) (汲極電壓 ; 1V)
- 最大電場效應遷移率 ($\mu_{FE\ max}$) (汲極電壓 ; 10V)

[表 2]

I_{on} [A]	I_{off_min} [A]	I_{off} [A]	導通/ 截止比	V_{th} [V]	μ_{FE_max} [cm ² /V · s] ($V_d=1V$)	μ_{FE_max} [cm ² /V · s] ($V_d=10V$)
1.03E-05	4.08E-09	2.25E-07	3.43	1.51±0.66	0.77	1.36

如上所述，藉由作為閘極絕緣層使用以 TEOS 為原料的氧化矽層，作為半導體層使用微晶矽層，並作為緩衝層使用具有在非晶結構中具有晶體區域的矽層，可以製造電場效應遷移率高的薄膜電晶體。另外，如本實施例所示，與比較例的薄膜電晶體比較起來，藉由設置在非晶結構中具有晶體區域的矽層作為緩衝層，可以降低截止電流。即，可以製造導通截止比高的薄膜電晶體。

接著，圖 37A 及 37B 表示在本實施例中製造的薄膜電晶體的 BT（偏壓，溫度）試驗結果。

首先，測定薄膜電晶體的初期特性，然後進行 BT 試驗，而檢查特性的劣化。將此時的閘極電壓的測定間隔設定為 0.25V。另外，將測定時的溫度設定為室溫。在此，以 BT 試驗後的臨界值電壓減初期特性的臨界值電壓得到的值表示 ΔV_{th} 。

圖 37A 及 37B 所示的測定結果的 BT 試驗的壓力條件是：基板溫度是 85℃；汲極電壓 VD 是 0.1V；源極電壓 VS 是 0V；以及閘極電壓 VG 是 +30V。另外，將測定物件的薄膜電晶體的通道長度 L 的設計值設定為 10 μ m，而將通道寬度 W 的設計值設定為 20 μ m。注意，在此將通道寬度 W 設定為閘極電極的寬度。另外，半導體層 115 的寬度是 22 μ m。另外，將薄膜電晶體的閘極絕緣層的厚度設定為 110nm 的氮化矽層（介電常數 7）及 110nm 的氧化矽層（介電常數 4.1）。

圖 37A 表示在本實施例中製造的薄膜電晶體的 ΔV_{th} 。圖 37B 表示具有厚度是 70nm 的非晶矽層的非晶矽層薄膜電晶體的 ΔV_{th} 代替本實施例的薄膜電晶體的半導體層及緩衝層。另外，以虛線表示從 BT 試驗結果 1 萬秒後的 ΔV_{th} 值的近似直線。

如圖 37A 所示，根據虛線所示的近似直線可以預料 1000 秒後的 ΔV_{th} 是 0.43V，而 10 年後的 ΔV_{th} 是 +7.3V。另外，如圖 37B 所示，根據虛線所示的近似曲線

可以預料到 1000 秒後的 ΔV_{th} 是 + 2.3V，而 10 年後的 ΔV_{th} 是 + 567V。

根據圖 37A 及 37B，可知與在通道形成區中具有非晶矽層的反交錯電晶體相比，本實施例所示的薄膜電晶體的臨界值電壓的變化小。由此，根據本實施例，可以製造可靠性高的薄膜電晶體。

實施例 3

在本實施例中，表示使用實施例模式 6 製造的薄膜電晶體的電特性。

首先，使用圖 15A 至 16C 表示薄膜電晶體的製程。

在基板 101 上形成閘極電極層 103。

在此，作為基板 101 使用厚度是 0.7mm 的玻璃基板（康寧公司製造的 EAGLE2000）。

與實施例 1 同樣地在基板上形成厚度是 150nm 的鉬層。接著，在將抗蝕劑塗布在鉬層上之後，使用第一光掩模進行曝光和顯影，來形成抗蝕劑掩模。

接著，與實施例 1 同樣地使用該抗蝕劑掩模對鉬層進行蝕刻，來形成閘極電極層 103。然後，去除抗蝕劑掩模。

接著，在閘極電極層 103 及基板 101 上連續地形成閘極絕緣層 107、半導體層 109、緩衝層 111 及雜質半導體層 113（參照圖 15A）。

在此，與實施例 2 同樣地層疊氮化矽層及氧化矽層作

爲閘極絕緣層 107。

接著，在閘極絕緣層 107 上形成厚度是 7nm 的微晶矽層作爲半導體層 109。此時的沉積條件是：將材料氣體設定爲流量 10sccm 的 SiH_4 、流量 1500sccm 的 H_2 及流量 2000sccm 的 Ar；將處理室內的壓力設定爲 280Pa；將基板溫度設定爲 280℃；將 RF 電源頻率設定爲 13.56MHz；以及將 RF 電源的電力設定爲 50W，而進行電漿放電。

接著，在半導體層 109 上形成厚度是 175nm 的在非晶結構中具有晶體區域的矽層作爲緩衝層 111。以下表示此時的沉積條件。將材料氣體設定爲流量 30sccm 的 SiH_4 、流量 1475sccm 的 H_2 及流量 25sccm 的 1000ppm NH_3 （氫稀釋），將處理室內的壓力設定爲 280Pa，將基板溫度設定爲 280℃，並且將 RF 電源的電力設定爲 50W，而進行電漿放電。

接著，以與實施例 1 同樣的條件在緩衝層 111 上形成添加有磷的厚度是 50nm 的非晶矽層作爲雜質半導體層 113。

接著，在將抗蝕劑塗布在雜質半導體層 113 上之後，使用第二光掩模進行曝光和顯影，來形成抗蝕劑掩模。接著，使用該抗蝕劑掩模對半導體層 109、緩衝層 111 及雜質半導體層 113 進行蝕刻，來形成半導體層 115、緩衝層 117 及雜質半導體層 119（參照圖 15B）。在此，使用 ICP 蝕刻裝置，並且蝕刻條件是如下條件，即 ICP 功率是 1000W；偏壓功率是 80W；壓力是 1.51Pa；使用流量是

100sccm 的氯作為蝕刻氣體；以及蝕刻時間是 78 秒。然後，去除抗蝕劑掩模。

接著，如圖 15C 所示，形成覆蓋閘極絕緣層 107、半導體層 115、緩衝層 117 及雜質半導體層 119 的導電層 121。在此，以實施例 1 同樣的條件形成厚度是 300nm 的鉬層。

接著，在將抗蝕劑塗布在導電層 121 上之後，使用第三光掩模進行曝光和顯影，來形成抗蝕劑掩模。使用該抗蝕劑掩模對導電層 121 進行濕蝕刻，來如圖 16A 所示形成佈線層 123、125。注意，在本實施例中，佈線層 123、125 的平面形狀是直線型。

接著，使用抗蝕劑掩模對雜質半導體層 119 進行蝕刻，來形成源區及汲區 129。注意，在該製程中，緩衝層 117 的表面的一部分也被蝕刻而成為緩衝層 131（參照圖 16B）。在此，使用 ICP 蝕刻裝置，並且蝕刻條件是如下條件，即 ICP 功率是 1000W；偏壓功率是 50W；壓力是 1.5Pa；蝕刻氣體是流量 100sccm 的氯；以及蝕刻時間是 35 秒。將此時的緩衝層 131 的厚度設定為 165nm。然後去除抗蝕劑掩模。

接著，對緩衝層 131、源區及汲區 129 表面照射氟化碳電漿，並且去除殘留在緩衝層 131 中的雜質。在此，使用 ICP 蝕刻裝置，並且蝕刻條件是如下條件，即電源功率是 1000W；偏壓功率是 0W；壓力是 0.67Pa；蝕刻氣體是流量 100sccm 的氟化碳；以及蝕刻時間是 30 秒。

接著，對緩衝層 131、源區及汲區 129 表面照射水電漿。在電源功率是 1800W；壓力是 66.5Pa；以及流量是 300sccm 的水蒸氣氣氛中產生電漿，並且照射該電漿 180 秒。然後，剝離殘留的抗蝕劑掩模。

接著，形成氮化矽層作為絕緣層 133。在此，使用與實施例 1 同樣的條件形成厚度是 300nm 的氮化矽層。

接著，在將抗蝕劑塗布在絕緣層上之後，使用第四光掩模進行曝光和顯影，來形成抗蝕劑掩模。使用該抗蝕劑掩模對絕緣層的一部分進行乾蝕刻，來使佈線層 125 露出。並且，對絕緣層及閘極絕緣層 107 的一部分進行乾蝕刻，來使閘極電極層 103 露出。在此，使用與實施例 1 同樣的蝕刻條件。然後去除抗蝕劑掩模。

藉由上述製程製造薄膜電晶體。

圖 38A 及 38B 表示然後測定薄膜電晶體的電特性的測定結果。注意，將通道長度 L 設定為 $4\mu\text{m}$ ，而將通道寬度 W 設定為 $20\mu\text{m}$ 來製造本實施例的薄膜電晶體。注意，在實際上，通道長度 L 是 $3.53\mu\text{m}$ ，而通道寬度 W 是 $20\mu\text{m}$ 。注意，在此，將通道寬度設定為閘極電極的寬度。另外，半導體層 115 的寬度是 $22\mu\text{m}$ 。另外，將薄膜電晶體的閘極絕緣層的厚度設定為 110nm 的氮化矽層（介電常數 7）及 110nm 的氧化矽層（介電常數 4.1）而計算電場效應遷移率。另外，使用實線表示汲極電壓是 1V 及 10V 時的電流電壓特性。另外，在圖 38A 中使用虛線表示汲極電壓是 1V 時的電場效應遷移率，而在圖 38B 中使用

虛線表示汲極電壓是 10V 時的電場效應遷移率。

表 3 表示以下的測定結果。注意，在此表示測定 16 個薄膜電晶體時的平均值。

- 導通電流 (Ion) (汲極電壓 ; 10V , 閘極電壓 ; 15V)
- 最小截止電流 (Ioff_min) (汲極電壓 ; 10V)
- 截止電流 (Ioff) (汲極電壓 ; 10V , 閘極電壓 ; (最小截止電流的閘極電壓 - 10) V)
- 導通 / 截止比
- 臨界值電壓 (Vth) (汲極電壓 ; 10V)
- 最大電場效應遷移率 ($\mu\text{FE}_{\text{max}}$) (汲極電壓 ; 1V)
- 最大電場效應遷移率 ($\mu\text{FE}_{\text{max}}$) (汲極電壓 ; 10V)

[表 3]

Ion [A]	Ioff_min [A]	Ioff [A]	導通/ 截止比	Vth [V]	$\mu\text{FE}_{\text{max}}$ [cm ² /V · s] (Vd=1V)	$\mu\text{FE}_{\text{max}}$ [cm ² /V · s] (Vd=10V)
6.6E-06	6.4E-13	5.4E-12	7.1	2.45±0.28	0.59	0.71

由上所述，藉由使緩衝層 131 的厚度厚於實施例 2，可以降低汲極電壓是 10V 的截止電流。另外，根據圖表，可知在臨界值電壓附近汲極電流的上升陡峭。另外，可以瞭解到薄膜電晶體的電特性的不均勻降低。

實施例 4

接著，圖 39 表示對氧化矽層、微晶矽層及在非晶結構中具有晶體區域的矽層的疊層結構進行離子銑削加工的截面 TEM 像。這是在玻璃基板上形成厚度是 100nm 的氧化矽層 401，在該氧化矽層 401 上形成厚度是 5nm 的微晶矽層 402，在該氧化矽層 402 上形成厚度是 145nm 的緩衝層 403，並且在該緩衝層 403 上形成厚度是 100nm 的非晶矽層 404 而構成的。注意，沒觀察到緩衝層 403 及非晶矽層 404 的介面。另外，在非晶矽層 404 上設置保護層 405。

在此，以與實施例 2 所示的氧化矽層同樣的條件形成氧化矽層 401。

以與實施例 1 的微晶矽層同樣的條件形成微晶矽層 402。

以下表示緩衝層 403 的沉積條件。作為材料氣體採用流量 30sccm 的 SiH_4 、流量 1475sccm 的 H_2 及流量 25sccm 的 1000ppm NH_3 （氫稀釋），將處理室內的壓力設定為 280Pa，將基板溫度設定為 280℃，將 RF 電源頻率設定為 13.56MHz，並且將 RF 電源的電力設定為 50W。以上述條件進行電漿放電。

以下表示非晶矽層 404 的沉積條件。作為材料氣體採用流量 280sccm 的 SiH_4 及流量 300sccm 的 H_2 ，將處理室內的壓力設定為 170Pa，將基板溫度設定為 280℃，將 RF

電源頻率設定為 13.56MHz，並且將 RF 電源的電力設定為 60W。以上述條件進行電漿放電。

圖 40 表示圖 39 中的區域 406 的放大圖。

在圖 40 中，在氧化矽層 401 上觀察到具有短程序列的多個方格花紋。

圖 41A 表示圖 40 中的氧化矽層 401、微晶矽層 402 及緩衝層 403 的放大圖。另外，圖 41B 表示圖 41A 的 * 6 近旁的放大圖，圖 41C 表示圖 41A 的 * 5 近旁的放大圖，圖 41D 表示圖 41A 的 * 4 近旁的放大圖，圖 41E 表示圖 41A 的 * 3 近旁的放大圖，圖 41G 表示圖 41A 的 * 1 及 * 2 近旁的放大圖，並且圖 41H 表示圖 41A 的 * 9 近旁的放大圖。另外，圖 41F 表示示意性地表示圖 41E 的方格花紋的圖。根據圖 41E、41F、41G，在 * 1、* 2、* 3 附近觀察到具有短程序列的方格花紋。另一方面，根據圖 41B、41C、41D 及 41H，在 * 4 至 * 6、* 9 附近沒觀察到方格花紋，而可以瞭解到其是非晶結構。

由此，可知圖 41A 中的 * 4 至 * 6、* 9 所示的非晶結構中具有圖 41A 的 * 1、* 2、* 3 所示的晶體區域。

接著，圖 42 表示圖 39 所示的緩衝層 403 中的 * 7 附近的放大圖。根據圖 42，可知在 * 7 中沒觀察到方格花紋，並且其具有非晶體結構。

實施例 5

在本實施例中，表示使用實施例模式 6 製造的薄膜電

晶體的電特性。

首先，使用圖 15A 至 16C 表示薄膜電晶體的製程。

在基板 101 上形成閘極電極層 103。

在此，作為基板 101 使用厚度是 0.7mm 的玻璃基板（由康寧公司製造的 EAGLE2000）。

與實施例 1 同樣地在基板上形成厚度是 150nm 的鉬層。接著，在將抗蝕劑塗布在鉬層上之後，使用第一光掩模進行曝光和顯影，來形成抗蝕劑掩模。

接著，與實施例 1 同樣地使用該抗蝕劑掩模對鉬層進行蝕刻，來形成閘極電極層 103。然後，去除抗蝕劑掩模。

接著，在閘極電極層 103 及基板 101 上連續地形成閘極絕緣層 107、半導體層 109、緩衝層 111 及雜質半導體層 113（參照圖 15A）。

在此，與實施例 2 同樣地層疊氮化矽層及氧化矽層作為閘極絕緣層 107。

接著，以與實施例 3 同樣的條件在閘極絕緣層 107 上形成厚度是 50nm 的微晶矽層作為半導體層 109。

接著，在半導體層 109 上形成厚度是 175nm 的在非晶結構中具有晶體區域的矽層作為緩衝層 111。以下表示此時的沉積條件。將材料氣體設定為流量 40sccm 的 SiH_4 、流量 1475sccm 的 H_2 及流量 25sccm 的 1000ppm NH_3 （氫稀釋），將處理室內的壓力設定為 280Pa，將基板溫度設定為 280℃，並且將 RF 電源的電力設定為 100W，而進

行電漿放電。

接著，以與實施例 1 同樣的條件在緩衝層 111 上形成添加有磷的厚度是 50nm 的非晶矽層作為雜質半導體層 113。

接著，在將抗蝕劑塗布在雜質半導體層 113 上之後，使用第二光掩模進行曝光和顯影，來形成抗蝕劑掩模。接著，使用該抗蝕劑掩模對半導體層 109、緩衝層 111 及雜質半導體層 113 進行蝕刻，來形成半導體層 115、緩衝層 117 及雜質半導體層 119（參照圖 15B）。在此，使用 ICP 蝕刻裝置，並且蝕刻條件是如下條件，即 ICP 功率是 1000W；偏壓功率是 80W；壓力是 1.51Pa；以及使用流量是 100sccm 的氯作為蝕刻氣體。然後，去除抗蝕劑掩模。

接著，如圖 15C 所示，形成覆蓋閘極絕緣層 107、半導體層 115、緩衝層 117 及雜質半導體層 119 的導電層 121。在此，在使用流量 20sccm 的氬離子對鈦靶子進行濺射來形成厚度是 50nm 的鈦層之後，使用流量 50sccm 的氬離子對鋁靶子進行濺射來形成厚度是 200nm 的鋁層，然後使用流量 20sccm 的氬離子對鈦靶子進行濺射來形成厚度是 50nm 的鈦層。

接著，在將抗蝕劑塗布在導電層 121 上之後，使用第三光掩模進行曝光和顯影，來形成抗蝕劑掩模。使用該抗蝕劑掩模對導電層 121 及雜質半導體層 119 進行乾蝕刻，來形成佈線層 123、125 以及源區及汲區 129。注意，在該製程中，緩衝層 117 的表面的一部分也被蝕刻而成為緩

衝層 131 (參照圖 16B) 。另外，在本實施例中，佈線層 123、125 的平面形狀是直線型。在此，使用 ICP 蝕刻裝置，並且蝕刻條件是如下條件，即 ICP 功率是 450W；偏壓功率是 100W；壓力是 1.9Pa；以及蝕刻氣體是流量 60sccm 的氯化硼及流量 20sccm 的氯。注意，將此時的半導體層 115 及緩衝層 131 的總合厚度設定為 205nm。然後去除抗蝕劑掩模。

接著，對緩衝層 131、源區及汲區 129 表面照射氟化碳電漿，並且去除殘留在緩衝層 131 中的雜質。在此，使用 ICP 蝕刻裝置，並且蝕刻條件是如下條件，即電源功率是 1000W；偏壓功率是 0W；壓力是 0.67Pa；蝕刻氣體是流量 100sccm 的氟化碳；以及蝕刻時間是 30 秒。

接著，形成氮化矽層作為絕緣層 133。在此，使用與實施例 1 同樣的條件形成厚度是 300nm 的氮化矽層。

接著，在將抗蝕劑塗布在絕緣層上之後，使用第四光掩模進行曝光和顯影，來形成抗蝕劑掩模。使用該抗蝕劑掩模對絕緣層的一部分進行乾蝕刻，來使佈線層 125 露出。並且，對絕緣層及閘極絕緣層 107 的一部分進行乾蝕刻，來使閘極電極層 103 露出。在此，使用與實施例 1 同樣的蝕刻條件。然後去除抗蝕劑掩模。

藉由上述製程製造薄膜電晶體。

圖 45A 及 45B 表示薄膜電晶體的電特性的測定結果。將此時的閘極電壓的測定間隔設定為 0.25V。另外，將進行測定時的溫度設定為室溫。注意，將通道長度 L 設定

為 $4\mu\text{m}$ ，而將通道寬度 W 設定為 $20\mu\text{m}$ 來製造本實施例的薄膜電晶體。注意，在此，將通道寬度設定為閘極電極的寬度。另外，半導體層 115 的寬度是 $22\mu\text{m}$ 。另外，將薄膜電晶體的閘極絕緣層的厚度設定為 110nm 的氮化矽層（介電常數 7）及 110nm 的氧化矽層（介電常數 4.1）而計算電場效應遷移率。另外，使用實線表示汲極電壓是 1V 及 10V 時的電流電壓特性。另外，在圖 45A 中使用虛線表示汲極電壓是 1V 時的電場效應遷移率，而在圖 45B 中使用虛線表示汲極電壓是 10V 時的電場效應遷移率。

表 4 表示以下的測定結果。注意，在此表示測定 16 個薄膜電晶體時的平均值。

- 導通電流（ I_{on} ）（汲極電壓； 10V ，閘極電壓； 15V ）
- 最小截止電流（ $I_{\text{off min}}$ ）（汲極電壓； 10V ）
- 截止電流（ I_{off} ）（汲極電壓； 10V ，閘極電壓；（最小截止電流的閘極電壓－ 10 ） V ）
- 導通/截止比
- 臨界值電壓（ V_{th} ）（汲極電壓； 10V ）
- 最大電場效應遷移率（ $\mu\text{FE max}$ ）（汲極電壓； 1V ）
- 最大電場效應遷移率（ $\mu\text{FE max}$ ）（汲極電壓； 10V ）

[表 4]

Ion [A]	Ioff_min [A]	Ioff [A]	導通/ 截止比	Vth [V]	μ FE_max [cm ² /V · s] (Vd=1V)	μ FE_max [cm ² /V · s] (Vd=10V)
7.3E-06	6.1E-13	1.2E-12	7.15	2.01±0.12	0.37	0.90

如上所述，藉由使半導體層 115 的厚度厚於實施例 3，載流子的移動量增加，而可以使導通電流及電場效應遷移率上升。另外，從藉由使半導體層 115 的厚度厚於實施例 3，導通電流上升而截止電流沒有上升這一點可知：藉由使用在非晶結構中具有晶體區域的矽層作為緩衝層，可以降低截止電流。另外，藉由將接觸於雜質半導體層的佈線設定為鈦層，與佈線是鉬層的實施例 2 及實施例 3 相比其接觸電阻降低，所以可以使導通電流及電場效應遷移率上升。

實施例 6

在本實施例中，表示緩衝層和薄膜電晶體的截止電流的關係。在本實施例中，比較作為緩衝層的原料氣體使用氨的薄膜電晶體和作為緩衝層的原料氣體不使用氨的薄膜電晶體。

首先，使用圖 15A 至 16C 表示薄膜電晶體的製程。注意，樣品 1 及樣品 2 的緩衝層的沉積條件不同，但是其他條件都相同。

在基板 101 上形成閘極電極層 103。

與實施例 1 同樣地在基板上形成厚度是 150nm 的鉬層。接著，在將抗蝕劑塗布在鉬層上之後，使用第一光掩模進行曝光並顯影，來形成抗蝕劑掩模。

接著，與實施例 1 同樣地使用該抗蝕劑掩模對鉬層進行蝕刻，來形成閘極電極層 103。然後，去除抗蝕劑掩模。

接著，在閘極電極層 103 及基板 101 上連續地形成閘極絕緣層 107、半導體層 109、緩衝層 111 及雜質半導體層 113（參照圖 15A）。

在此，與實施例 2 同樣地層疊氮化矽層及氧化矽層作為閘極絕緣層 107。

接著，以與實施例 3 同樣的條件在閘極絕緣層 107 上形成厚度是 10nm 的微晶矽層作為半導體層 109。

接著，在半導體層 109 上形成厚度是 175nm 的緩衝層 111。

在樣品 1 中，使用包含氮的原料氣體形成緩衝層。以下表示此時的沉積條件。將材料氣體設定為流量 40sccm 的 SiH_4 、流量 1475sccm 的 H_2 、流量 25sccm 的 1000ppm NH_3 （氮稀釋）及流量 25sccm 的 Ar，將處理室內的壓力設定為 280Pa，將基板溫度設定為 280℃，並且將 RF 電源的電力設定為 100W，而進行電漿放電。

在樣品 2 中，使用不包含氮的原料氣體形成緩衝層。以下表示此時的沉積條件。將材料氣體設定為流量 40sccm 的 SiH_4 、流量 1500sccm 的 H_2 及流量是 2000sccm

的 Ar，將處理室內的壓力設定為 280Pa，將基板溫度設定為 280℃，並且將 RF 電源的電力設定為 100W，而進行電漿放電。即，使用從樣品 1 的原料氣體排除氨的條件。

接著，以與實施例 1 同樣的條件在緩衝層 111 上形成添加有磷的厚度是 50nm 的非晶矽層作為雜質半導體層 113。

接著，在將抗蝕劑塗布在雜質半導體層 113 上之後，使用第二光掩模進行曝光和顯影，來形成抗蝕劑掩模。接著，使用該抗蝕劑掩模對半導體層 109、緩衝層 111 及雜質半導體層 113 進行蝕刻，而形成半導體層 115、緩衝層 117 及雜質半導體層 119（參照圖 15B）。在此，使用與實施例 5 同樣的條件。然後，去除抗蝕劑掩模。

接著，如圖 15C 所示，形成覆蓋閘極絕緣層 107、半導體層 115、緩衝層 117 及雜質半導體層 119 的導電層 121。在此，以與實施例 1 同樣的條件形成厚度是 300nm 的鉬層。

接著，在將抗蝕劑塗布在導電層 121 上之後，使用第三光掩模進行曝光和顯影，來形成抗蝕劑掩模。如圖 16A 所示，使用該抗蝕劑掩模對導電層 121 進行濕蝕刻，來形成佈線層 123、125。另外，在本實施例中，佈線層 123、125 的平面形狀是直線型。

接著，使用抗蝕劑掩模對雜質半導體層 119 進行蝕刻，來形成源區及汲區 129。注意，在該製程中，緩衝層 117 的表面的一部分也被蝕刻而成為緩衝層 131（參照圖

16B)。在此，使用與實施例 1 同樣的蝕刻條件。將此時的緩衝層 131 的厚度設定為 155nm。然後去除抗蝕劑掩模。

接著，對緩衝層 131、源區及汲區 129 表面照射氟化碳電漿，並去除殘留在緩衝層 131 中的雜質。在此，使用與實施例 5 同樣的條件去除殘留在緩衝層中的雜質。然後，對佈線層 123、125 及緩衝層 131 的表面進行清洗。

接著，對緩衝層 131、源區及汲區 129 表面照射水電漿。在此，使用與實施例 2 同樣的條件。

接著，形成氮化矽層作為絕緣層 133（參照圖 16C）。在此，使用與實施例 1 同樣的條件形成厚度是 300nm 的氮化矽層。

接著，將抗蝕劑塗布在絕緣層上之後，使用第四光掩模進行曝光和顯影，來形成抗蝕劑掩模。使用該抗蝕劑掩模對絕緣層的一部分進行乾蝕刻，來使佈線層 125 露出。另外，對絕緣層及閘極絕緣層 107 的一部分進行乾蝕刻，來使閘極電極層 103 露出。在此，使用與實施例 1 同樣的蝕刻條件。然後，去除抗蝕劑掩模。

藉由上述製程製造樣品 1 及樣品 2 的薄膜電晶體。

圖 47 表示薄膜電晶體的電特性的測定結果。將此時的閘極電壓的測定間隔設定為 0.25V。另外，將進行測定的溫度設定為室溫。注意，將通道長度 L 設定為 4 μ m，而將通道寬度 W 設定為 20 μ m 來製造本實施例的樣品 1 和樣品 2 的薄膜電晶體。注意，在此，將通道寬度設定為閘

極電極的寬度。另外，半導體層 115 的寬度是 $22\mu\text{m}$ 。另外，以橫軸為汲極電壓，以縱軸為汲極電流，並且將閘極電壓設定為 -5V 、 -10V 、 -15V 一定，來測定汲極電壓是 1V 至 30V 時的汲極電流（在此，稱為截止電流）。

在圖 47 中，實線 471 表示閘極電壓是 -5V 時的樣品 1 的薄膜電晶體的截止電流，實線 473 表示閘極電壓是 -10V 時的樣品 1 的薄膜電晶體的截止電流，並且實線 475 表示閘極電壓是 -15V 時的樣品 1 的薄膜電晶體的截止電流。另外，虛線 477 表示閘極電壓是 -5V 時的樣品 2 的薄膜電晶體的截止電流，虛線 481 表示閘極電壓是 -10V 時的樣品 2 的薄膜電晶體的截止電流，並且虛線 479 表示閘極電壓是 -15V 時的樣品 2 的薄膜電晶體的截止電流。

根據圖 47，在樣品 1 及樣品 2 中對相同閘極電壓時的截止電流進行比較，可知樣品 1 的截止電流低於樣品 2 的截止電流。即，可知藉由使用利用氮作為原料氣體形成的包含氮的在非晶結構中具有晶體區域的矽層作為緩衝層，截止電流降低。這是因為藉由使用氮作為原料氣體來進行形成，包含在緩衝層中的缺陷降低的緣故。

實施例 7

在本實施例中，以下表示當在實施例模式 1 所示的模擬中使用 NH 基對晶粒介面中的 Si 的懸空鍵進行交聯時的 LUMO 狀態。

圖 5 及圖 6 分別表示使用 O 原子對 Si 的晶粒介面進

行交聯的模式（模式 1）和使用 NH 基對 Si 的晶粒介面進行交聯的模式（模式 2）每一個的 LUMO（最低未佔據分子軌道）的樣子。在此，LUMO 是處於激發狀態的電子進入的最低能量的分子軌道，其相當於能帶理論中的傳導帶（CB）下端的軌道。因此，LUMO 可以解釋為有助於載流子傳導的電子的波函數，並是決定載流子的移動率的軌道。

接著，調查模式 1 及模式 2 的 LUMO 來自哪個原子的哪個軌道。LUMO 的波函數可以以構成膜的原子的原子軌道的線型鍵合（就是，純量倍數的和）進行表示。

另外，根據每個線型鍵合的係數的絕對值的 2 乘方可知各 Si 原子軌道、H 原子軌道、O 原子軌道及 N 原子軌道的存在概率，並且根據符號可知各原子軌道彼此具有鍵合性（相同符號）還是具有反鍵合性（不同符號）。

接著，圖 43A 表示在模式 1 的晶粒介面附近構成 LUMO 的主要原子軌道的示意圖，而圖 43B 表示在模式 2 的晶粒介面附近構成 LUMO 的主要原子軌道的示意圖。在此，陰影線不同的區域是指波函數的符號彼此相反。在此，表示 Si 原子的 s 軌道 452、456、Si 原子的 p 軌道 451、453、455、457、O 原子的 2s 軌道 454、N 原子的 2s 軌道 458、H 原子的 1s 軌道 459。

如圖 43A 所示那樣，在使用 O 原子對 Si 的晶粒介面進行交聯的情況下，O 原子的 2s 軌道 454 的相位與晶粒介面兩側的 Si 原子的 sp^3 軌道（3s 軌道 452 + 3p 軌道 453

、 $3s$ 軌道 456 + $3p$ 軌道 455) 的相位不同。換言之，O 原子的 $2s$ 軌道 454 有助於原子之間的鍵合，但是因為其波函數的擴大小，所以不能夠連接電子雲。從而，可以認為其無助於提高導電率。

另一方面，如圖 43B 所示那樣，在使用 NH 基對 Si 的晶粒介面進行交聯的情況下，N 原子的 $2s$ 軌道 458 的相位與晶粒介面兩側的 Si 原子的 sp^3 軌道 ($3s$ 軌道 452 + $3p$ 軌道 453、 $3s$ 軌道 456 + $3p$ 軌道 455) 的相位不同。換言之，N 原子的 $2s$ 軌道 458 不能夠連接電子雲。但是，藉由 H 原子的 $1s$ 軌道 459 混合，相同符號區域的 Si 原子的 sp^3 軌道 ($3s$ 軌道 452 + $3p$ 軌道 453)、H 原子的 $1s$ 軌道 459 及 Si 的 sp^3 軌道 ($3s$ 軌道 456 + $3p$ 軌道 455) 成為鍵合性軌道，而能夠連接電子雲。從而，可以認為提高其導電率。

以上的結果可以解釋為：因為 LUMO 處於激發狀態（能量高），所以一般而言如圖 44A 所示那樣，由原子軌道的反鍵合性軌道構成。在如圖 43A 的模式 1 所示的使用 O 原子對 Si 的晶粒介面進行的交聯，或者如圖 43B 的模式 2 所示的使用 NH 基對 Si 的晶粒介面進行的交聯中，O 原子及 N 原子的 $2s$ 軌道 454、458 與 Si 原子的 sp^3 軌道 ($3s$ 軌道 452 + $3p$ 軌道 453、 $3s$ 軌道 456 + $3p$ 軌道 455) 也反鍵合（位相相反）。在反鍵合性軌道的情況下，是指在電子雲中產生節。因此，在圖 43A 的模式 1 所示的使用 O 原子對 Si 的晶粒介面進行的交聯的情況下，

電子雲不連接。另一方面，在如圖 43B 的模式 2 所示的使用 NH 基對 Si 的晶粒介面進行的交聯的情況下，雖然 N 原子的 2s 軌道 458 和 Si 的 sp^3 軌道（3s 軌道 452 + 3p 軌道 453、3s 軌道 456 + 3p 軌道 455）形成反鍵合性軌道，但是因為存在有 H 原子，所以 H 的 1s 軌道 459 和 Si 的 sp^3 軌道（3s 軌道 452 + 3p 軌道 453、3s 軌道 456 + 3p 軌道 455）如圖 44B 所示，可以形成鍵合性軌道。換言之，因為在 NH 基中存在有 H 原子，所以可以連接電子雲。

另外，雖然 CH_2 基具有 H，但是因為 CH_2 基中的 C 原子或 H 原子的原子軌道鍵合的分子軌道構成更高的能量的分子軌道，所以其不包括在構成 LUMO（最低未佔據分子軌道）的原子軌道中。因此，可以認為即使藉由使用 CH_2 基對 Si 的晶粒介面進行的交聯，電子雲也不連接。

如上所述，在使用 NH 基進行交聯的 Si 的晶粒介面的 LUMO 中，晶粒介面兩端的 Si 原子的 sp^3 軌道與 N 原子的 2s 軌道具有相反位相，但是其與 H 原子的 1s 軌道具有相同位相。因此，H 原子的 1s 軌道對電子雲起橋樑作用。其結果是，可知電子雲連接，並且形成載流子的路徑。另外，可以預料到：為了在 Si 的晶粒介面中電子雲連接，需要具有交聯基中的原子軌道構成 LUMO 的原子（例如，O 交聯的 O 原子、NH 基中的 N 原子和 H 原子）並具有能夠具有與 Si 的 sp^3 軌道相同位相的原子（例如，NH 基的 H 原子）。

【圖式簡單說明】

在附圖中：

圖 1A 及 1B 是說明根據本發明的一個實施例的薄膜電晶體的一例的圖；

圖 2A 至 2C 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；

圖 3A、3B-1 至 3B-4、3C 及 3D 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；

圖 4A 至 4D 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；

圖 5 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；

圖 6 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；

圖 7 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；

圖 8 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；

圖 9 是說明根據本發明的一個實施例的薄膜電晶體的一例的圖；

圖 10A 及 10B 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；

圖 11 是說明根據本發明的一個實施例的薄膜電晶體的一例的圖；

圖 12A、12B-1 至 12B-4、12C 及 12D 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；

圖 13A 及 13B-1 至 13B-3 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；

圖 14A 及 14B 是說明根據本發明的一個實施例的薄膜電晶體的一例的圖；

圖 15A 至 15C 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的一例的圖；

圖 16A 至 16C 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的一例的圖；

圖 17A 及 17B 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的一例的圖；

圖 18A 及 18B 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的一例的圖；

圖 19 是說明可以應用於根據本發明的一個實施例的薄膜電晶體的製造方法的裝置的圖；

圖 20 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的時序圖的一例的圖；

圖 21 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的時序圖的一例的圖；

圖 22 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的時序圖的一例的圖；

圖 23 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的時序圖的一例的圖；

圖 24 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的時序圖的一例的圖；

圖 25 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的時序圖的一例的圖；

圖 26A 及 26B 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的一例的圖；

圖 27A 至 27C 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的一例的圖；

圖 28A 至 28C 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的一例的圖；

圖 29A 及 29B 是說明根據本發明的一個實施例的薄膜電晶體的製造方法的一例的圖；

圖 30A-1、30A-2 及圖 30B-1、30B-2 是說明可以應用於本發明的一個實施例的多級灰度掩模的圖；

圖 31A 至 31C 是說明可以應用本發明的一個實施例的薄膜電晶體的顯示面板的圖；

圖 32A 至 32D 是說明可以應用本發明的一個實施例的薄膜電晶體的電子設備等的圖；

圖 33 是說明可以應用本發明的一個實施例的薄膜電晶體的電子設備等的圖；

圖 34A 至 34C 是說明可以應用本發明的一個實施例的薄膜電晶體的電子設備等的圖；

圖 35A 及 35B 是說明在實施例 1 中製造的薄膜電晶體的截面結構的圖；

圖 36A 及 36B 是說明在實施例 2 中製造的薄膜電晶體的電特性的圖；

圖 37A 及 37B 是說明在實施例 2 中製造的薄膜電晶體的可靠性的圖；

圖 38A 及 38B 是說明在實施例 3 中製造的薄膜電晶體的電特性的圖；

圖 39 是說明實施例 4 所示的截面 TEM 像的圖；

圖 40 是說明實施例 4 所示的截面 TEM 像的圖；

圖 41A 至 41H 是說明實施例 4 所示的截面 TEM 像的圖；

圖 42 是說明實施例 4 所示的截面 TEM 像的圖；

圖 43A 及 43B 是說明半導體層的原子軌道的圖；

圖 44A 及 44B 是說明半導體層的原子軌道的圖；

圖 45A 及 45B 是說明在實施例 5 中製造的薄膜電晶體的電特性的圖；

圖 46A 及 46B 是說明在比較例中製造的薄膜電晶體的電特性的圖；

圖 47 是說明在實施例 6 中製造的薄膜電晶體的電特性的圖；

圖 48 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；

圖 49A 至 49C 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；

圖 50 是說明根據本發明的一個實施例的薄膜電晶體

所具有的半導體層的圖；

圖 51A 至 51D 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖；以及

圖 52A 及 52B 是說明根據本發明的一個實施例的薄膜電晶體所具有的半導體層的圖。

【主要元件符號說明】

101：基板

103：閘極電極層

105：電容佈線

107：閘極絕緣層

109：半導體層

111：緩衝層

113：雜質半導體層

115：半導體層

117：緩衝層

118：微晶半導體

119：雜質半導體層

121：導電層

123：佈線層

125：佈線層

127：電容電極

129：源區及汲區

131：緩衝層

- 132：半 導 體 層
- 133：絕 緣 層
- 134：開 口 部
- 135：像 素 電 極 層
- 136：開 口 部
- 137：突 起 物
- 141：半 導 體 層
- 143：抗 蝕 劑 掩 模
- 145：半 導 體 層
- 147：雜 質 半 導 體 層
- 149：導 電 層
- 151：抗 蝕 劑 掩 模
- 153：佈 線 層：
- 155：佈 線 層
- 157：源 區 及 汲 區
- 159：半 導 體 層
- 171：區 域
- 172：區 域
- 173：區 域
- 174：區 域
- 180：灰 色 調 掩 模
- 181：基 板
- 182：遮 光 部
- 183：衍 射 光 柵 部

- 185 : 半色調掩模
- 186 : 基板
- 187 : 半透光部
- 188 : 遮光部
- 192 : 晶粒介面
- 193 : O 原子
- 194 : NH 基
- 195 : 氮原子 :
- 196 : 波函數
- 197 : 波函數 :
- 198 : 波函數
- 199 : 波函數
- 201 : 預處理
- 203 : SiN 形成
- 205 : 氣體置換
- 207 : SiON 形成
- 209 : 氣體置換
- 211 : 半導體層形成
- 213 : 沖洗處理
- 215 : 氣體置換
- 217 : 緩衝層形成
- 219 : 氣體置換
- 221 : 雜質半導體層形成
- 223 : 排氣

- 225 : 卸 載
- 227 : 清 洗 處 理
- 229 : 預 塗 處 理
- 231 : 載 入
- 233 : 預 塗 處 理
- 234 : 虛 線
- 241 : 處 理 室
- 242 : 載 物 台
- 243 : 氣 體 供 應 部
- 244 : 簇 射 極 板
- 245 : 排 氣 口
- 246 : 上 部 電 極
- 247 : 下 部 電 極
- 248 : 交 流 電 源
- 249 : 溫 度 控 制 部
- 250 : 氣 體 供 應 單 元
- 251 : 排 氣 單 元
- 252 : 汽 缸
- 253 : 壓 力 調 節 閥
- 254 : 停 止 閥
- 255 : 質 量 流 量 控 制 器
- 256 : 蝶 閥
- 257 : 導 氣 閥
- 258 : 渦 輪 分 子 泵

259 : 乾 燥 泵

260 : 低 溫 泵

261 : 電 漿 CVD 裝 置

301 : 基 板

302 : 像 素 部

303 : 信 號 線 驅 動 電 路

304 : 掃 描 線 驅 動 電 路

305 : FPC

306 : 保 護 電 路

311 : 基 板

312 : 像 素 部

313 : 信 號 線 驅 動 電 路

314 : 掃 描 線 驅 動 電 路

315 : FPC

316 : 保 護 電 路

321 : 基 板

322 : 像 素 部

324 : 掃 描 線 驅 動 電 路

325 : FPC

326 : 保 護 電 路

331 : 框 體

332 : 顯 示 用 面 板

333 : 主 螢 幕

334 : 數 據 機

- 335：接收器
- 336：遙控單元
- 337：顯示部
- 338：子螢幕
- 339：揚聲器部
- 341：行動電話
- 342：顯示部
- 343：操作部
- 351：主體
- 352：顯示部
- 361：照明部
- 362：燈罩
- 363：可調整臂
- 364：支柱
- 365：台
- 366：電源
- 371：像素部
- 372：信號線驅動電路
- 373：掃描線驅動電路
- 374：調諧器
- 375：視頻信號放大電路
- 376：視頻信號處理電路
- 377：控制電路
- 378：信號分割電路

- 379：音頻信號放大電路
- 380：音頻信號處理電路
- 381：控制電路
- 382：輸入部
- 383：揚聲器
- 385：框體
- 386：顯示部
- 387：揚聲器
- 388：麥克風
- 389：操作鍵
- 390：定位裝置
- 391：表面影像拍攝裝置用透鏡
- 392：外部連接端子插口
- 393：耳機端子
- 394：框體
- 395：鍵盤
- 396：背面影像拍攝裝置
- 398：燈
- 401：氧化矽層
- 402：微晶矽層
- 403：緩衝層
- 404：非晶矽層
- 405：保護層
- 406：區域

451 : p 軌道

452 : s 軌道

453 : p 軌道

454 : s 軌道

455 : p 軌道

456 : s 軌道 :

457 : P 軌道

458 : s 軌道

459 : s 軌道

471 : 實線

473 : 實線

475 : 實線

477 : 虛線

479 : 虛線

481 : 虛線

483 : 缺陷

491 : 虛線

493 : 細實線

495 : 粗實線

115a : 針狀結晶

115b : 晶粒介面

115c : 非晶結構

115d : 非晶層

118a : 微晶半導體粒子

118b：微晶半導體

131a：晶體區域

131b：非晶結構

131c：微小晶粒

131d：晶體區域

131e：晶體區域

131f：晶體區域

131g：結構

131h：晶體區域

131i：晶體區域

131j：晶體區域

131k：晶粒介面

132a：晶體區域

132b：晶結構

132c：微小晶粒

132d：晶體區域

132e：晶體區域

132f：晶體區域

132g：結構

132h：晶體區域

132i：半導體層

132j：半導體層

191a：H 原子

191b：氫原子

235 a : 虛 線

235 b : 虛 線

236 a : 虛 線

236 b : 虛 線

237 a : 虛 線

237 b : 虛 線

239 c : 實 線

239 d : 虛 線

101年6月19日修正
申請專利範圍

第098121640號專利申請案中文申請專利範圍修正本

民國 101 年 6 月 19 日修正

七、申請專利範圍：

1.一種薄膜電晶體，包含：

基板上的閘極電極；

該閘極電極上的閘極絕緣層；

接觸於該閘極絕緣層並包括第一區域和第二區域的半導體層，該第一區域比該第二區域靠近該閘極絕緣層；以及

形成源區及汲區的雜質半導體層，該等雜質半導體層接觸該半導體層的該第二區域的一部分，

其中，微晶半導體形成在該半導體層的該第一區域中，以及

其中，晶體區域分散地存在於該半導體層的該第二區域中的非晶結構中。

2.如申請專利範圍第 1 項的薄膜電晶體，其中該晶體區域是錐形或金字塔形晶體區域。

3.如申請專利範圍第 1 項的薄膜電晶體，其中該晶體區域包括錐形或金字塔形的晶體區域和具有大於或等於 1nm 且小於或等於 10nm 的粒徑的晶粒。

4.如申請專利範圍第 2 項的薄膜電晶體，其中該錐形或金字塔形的晶體區域是從該半導體層的下表面一側向該半導體層的上表面一側實質放射狀地成長的倒錐形或倒金字塔形的晶體區域。

5.如申請專利範圍第 2 項的薄膜電晶體，其中該錐形或金字塔形的晶體區域是從該半導體層的下表面一側向該半導體層的上表面一側寬度逐漸變窄的錐形或金字塔形的晶體區域。

6.如申請專利範圍第 3 項的薄膜電晶體，其中該錐形或金字塔形的晶體區域是從該半導體層的下表面一側向該半導體層的上表面一側實質放射狀地成長的倒錐形或倒金字塔形的晶體區域。

7.如申請專利範圍第 3 項的薄膜電晶體，其中該錐形或金字塔形的晶體區域是從該半導體層的下表面一側向該半導體層的上表面一側寬度逐漸變窄的錐形或金字塔形的晶體區域。

8.如申請專利範圍第 1 項的薄膜電晶體，其中該半導體層包含氮。

9.如申請專利範圍第 1 項的薄膜電晶體，其中該半導體層包含 NH 基或 NH₂ 基。

10.如申請專利範圍第 1 項的薄膜電晶體，進一步包含在該等雜質半導體層上的佈線層，

其中，該佈線層與該半導體層接觸。

11.如申請專利範圍第 1 項的薄膜電晶體，

其中，該第一區域比該第二區域更靠近該閘極絕緣層，以及

其中，該第二區域包括介於該等雜質半導體層間的凹部。

12.一種薄膜電晶體，包含：

基板上的閘極電極；

該閘極電極上的閘極絕緣層；

接觸於該閘極絕緣層的第一半導體層；

層疊在該第一半導體層上的第二半導體層；以及

形成源區及汲區的雜質半導體層，該等雜質半導體層接觸該第二半導體層的一部分，

其中，該第二半導體層在非晶結構中包括晶體區域。

13.如申請專利範圍第 12 項的薄膜電晶體，其中該晶體區域具有錐形或金字塔形的形狀。

14.如申請專利範圍第 12 項的薄膜電晶體，其中該晶體區域包括錐形或金字塔形的晶體區域和具有大於或等於 1nm 且小於或等於 10nm 的粒徑的晶粒。

15.如申請專利範圍第 13 項的薄膜電晶體，其中該錐形或金字塔形的晶體區域是在該第二半導體層的沉積方向上從該第一半導體層和該第二半導體層之間的介面實質放射狀地成長的倒錐形或倒金字塔形的晶體區域。

16.如申請專利範圍第 13 項的薄膜電晶體，其中該錐形或金字塔形的晶體區域是接觸於該第一半導體層，並從該第一半導體層向該源區及該汲區寬度逐漸變窄的錐形或金字塔形的晶體區域。

17.如申請專利範圍第 14 項的薄膜電晶體，其中該錐形或金字塔形的晶體區域是在該第二半導體層的沉積方向上從該第一半導體層和該第二半導體層之間的介面實質放

射狀地成長的倒錐形或倒金字塔形的晶體區域。

18.如申請專利範圍第 14 項的薄膜電晶體，其中該錐形或金字塔形的晶體區域是接觸於該第一半導體層，並從該第一半導體層向該源區及該汲區寬度逐漸變窄的錐形或金字塔形的晶體區域。

19.如申請專利範圍第 12 項的薄膜電晶體，其中該第二半導體層包含氮。

20.如申請專利範圍第 12 項的薄膜電晶體，其中該第二半導體層包含 NH 基或 NH₂ 基。

21.如申請專利範圍第 12 項的薄膜電晶體，其中該第一半導體層包含分散的微晶半導體或網狀微晶半導體。

22.如申請專利範圍第 12 項的薄膜電晶體，進一步包含在該等雜質半導體層上的佈線層，

其中，該佈線層與該第一半導體層和該第二半導體層接觸。

23.一種薄膜電晶體，包含：

基板上的閘極電極；

該閘極電極上的閘極絕緣層；

接觸於該閘極絕緣層的半導體層；以及

形成源區及汲區的雜質半導體層，該等雜質半導體層接觸該半導體層的一部分，

其中，該半導體層在非晶結構中包括晶體區域。

24.如申請專利範圍第 23 項的薄膜電晶體，其中該晶體區域是在該半導體層的沉積方向上從該閘極絕緣層和該

半導體層之間的介面實質放射狀地成長的倒錐形或倒金字塔形的晶體區域。

25.如申請專利範圍第 23 項的薄膜電晶體，其中該晶體區域包括在該半導體層的沉積方向上從該閘極絕緣層和該半導體層之間的介面成長的倒錐形或倒金字塔形的晶體區域和具有大於或等於 1nm 且小於或等於 10nm 的粒徑的晶粒。

26.如申請專利範圍第 23 項的薄膜電晶體，其中該半導體層包含氮。

27.如申請專利範圍第 23 項的薄膜電晶體，其中該半導體層包含 NH 基或 NH₂ 基。

28.如申請專利範圍第 23 項的薄膜電晶體，其中非晶結構形成在該晶體區域上。

29.如申請專利範圍第 23 項的薄膜電晶體，其中多個倒錐形或倒金字塔形的晶體區域層疊在該晶體區域中。

30.如申請專利範圍第 23 項的薄膜電晶體，其中該晶體區域具有每個角都不是 90°的四邊形的形狀。

31.如申請專利範圍第 23 項的薄膜電晶體，進一步包含在該等雜質半導體層上的佈線層，

其中，該佈線層與該半導體層接觸。

32.如申請專利範圍第 23 項的薄膜電晶體，

其中，該半導體層包括介於該等雜質半導體層間的凹部。

33.如申請專利範圍第 1、12、和 23 項中任一項的薄

膜電晶體，其中該晶體區域是具有大於或等於 1nm 且小於或等於 10nm 的粒徑的晶粒。

34.如申請專利範圍第 1、12、和 23 項中任一項的薄膜電晶體，其中該基板具有絕緣表面。

圖 1A

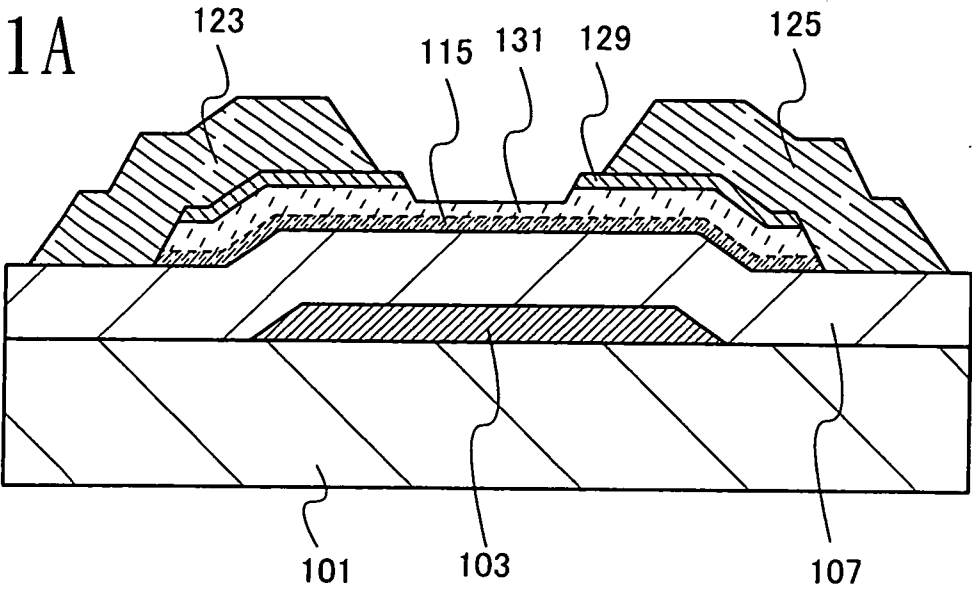


圖 1B

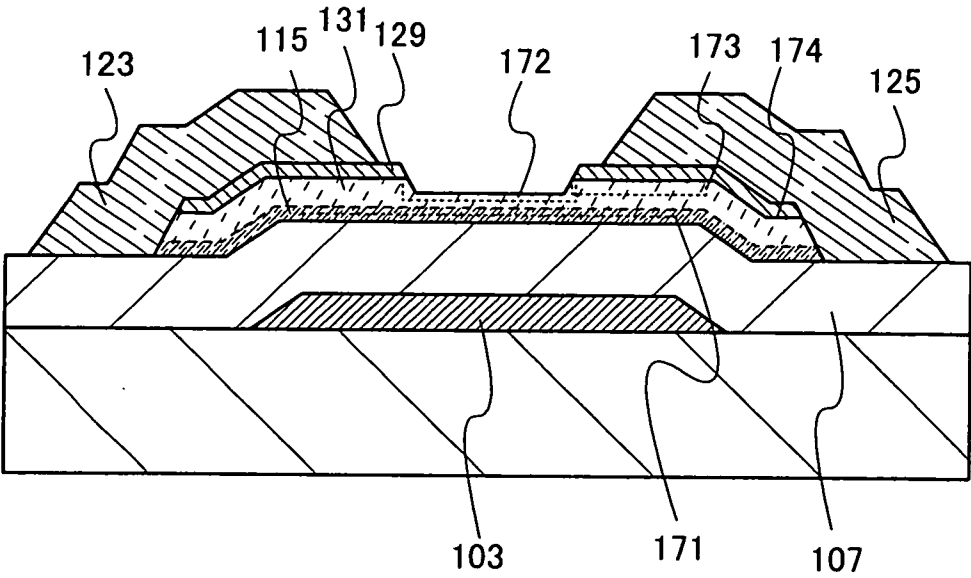


圖 2A

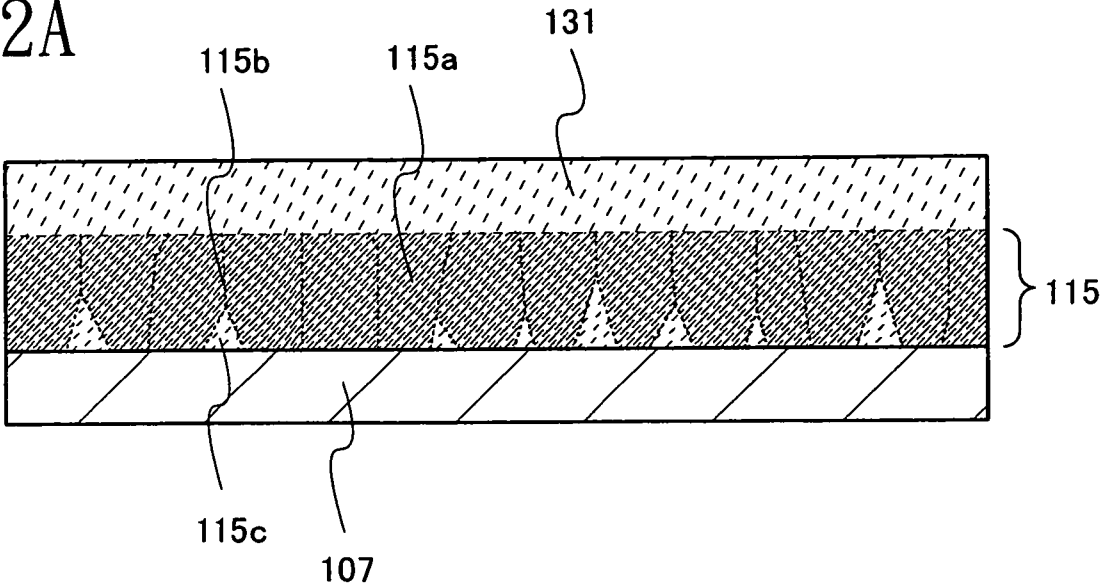


圖 2B

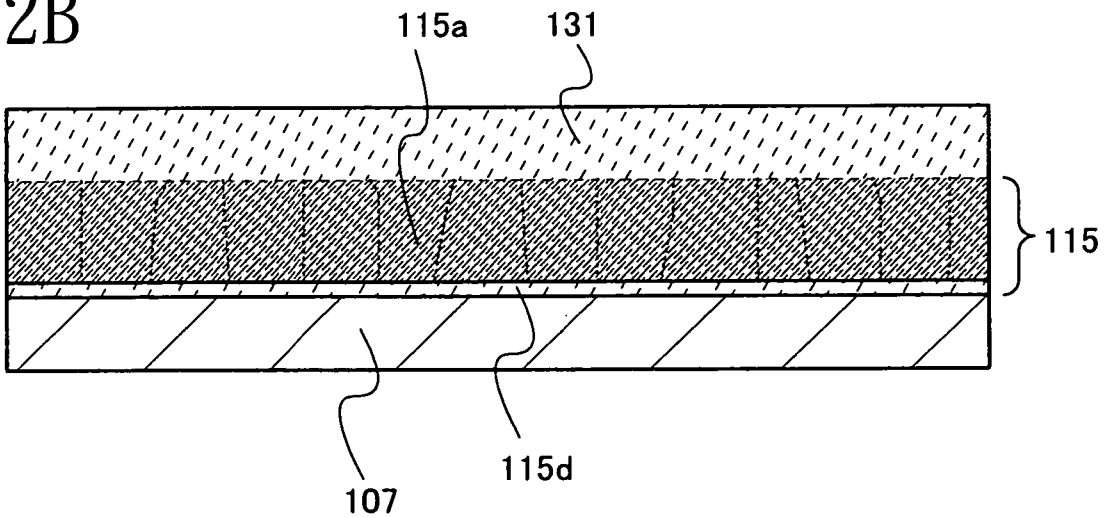


圖 2C

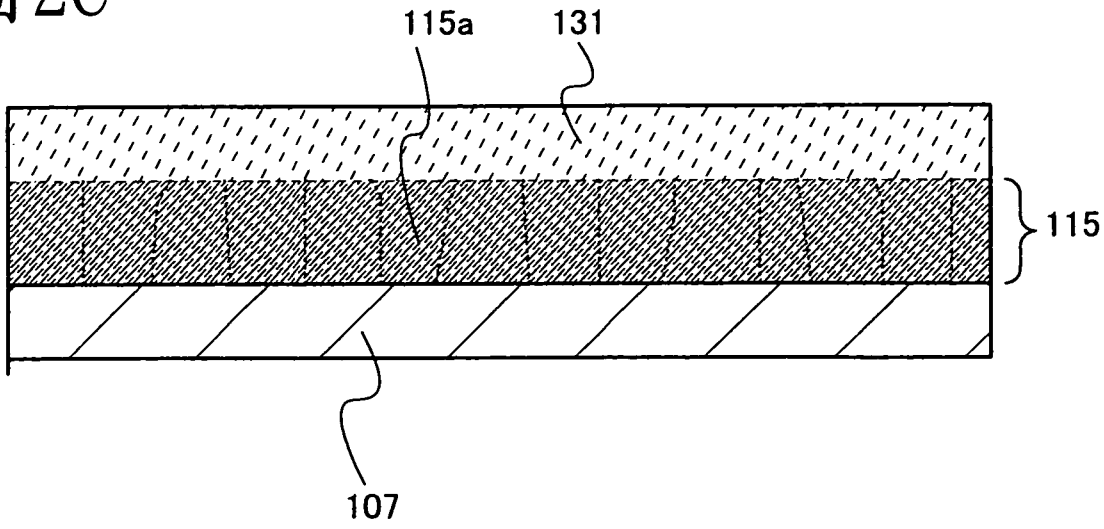


圖 3A

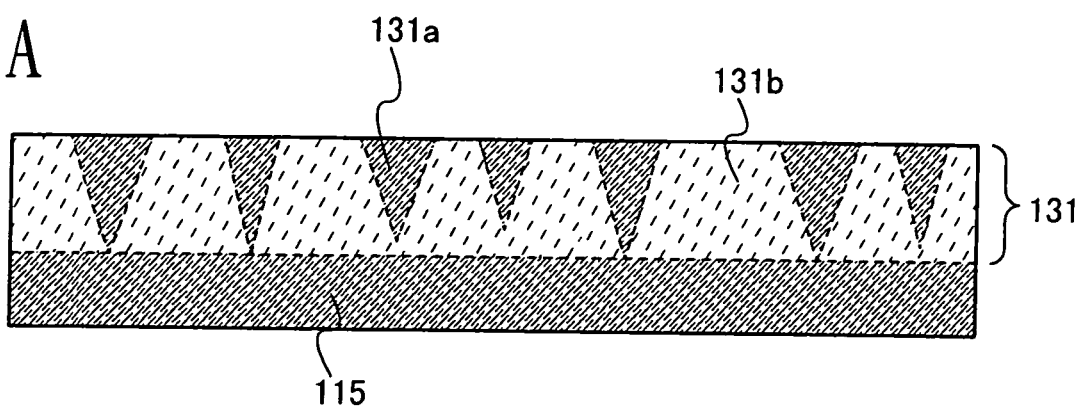


圖 3B-1 圖 3B-2 圖 3B-3 圖 3B-4

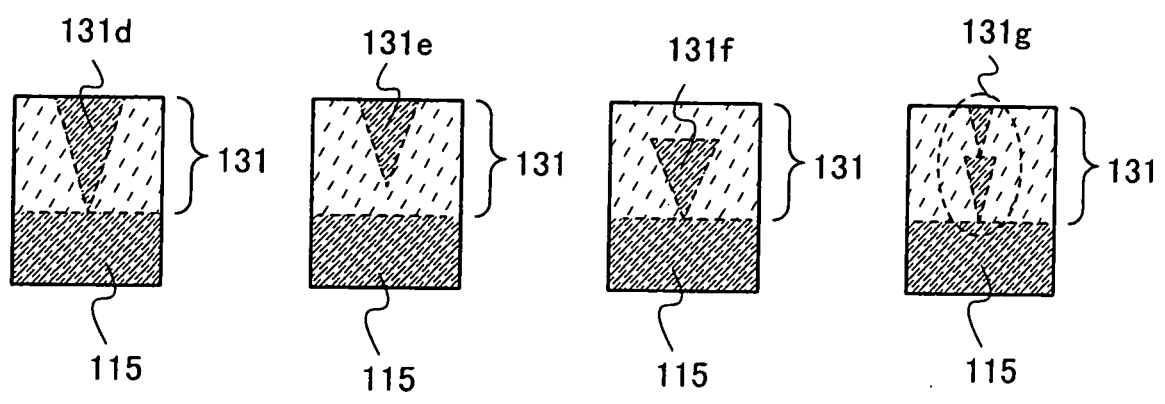


圖 3C

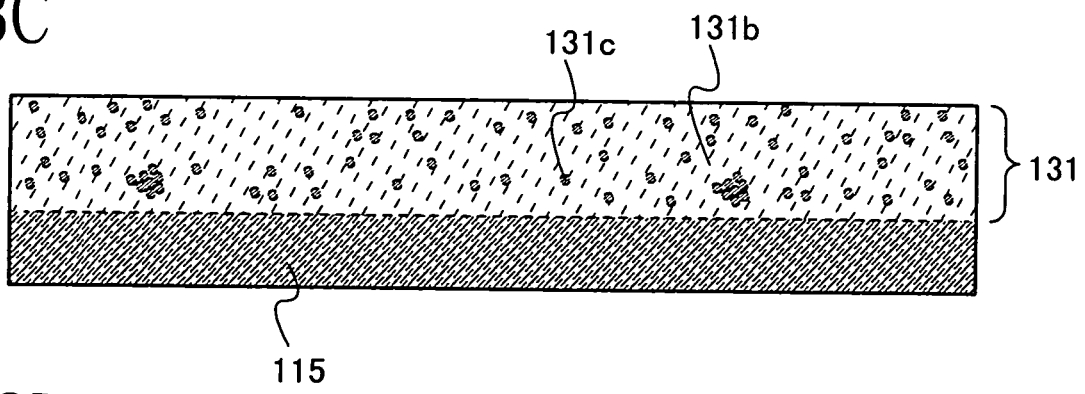


圖 3D

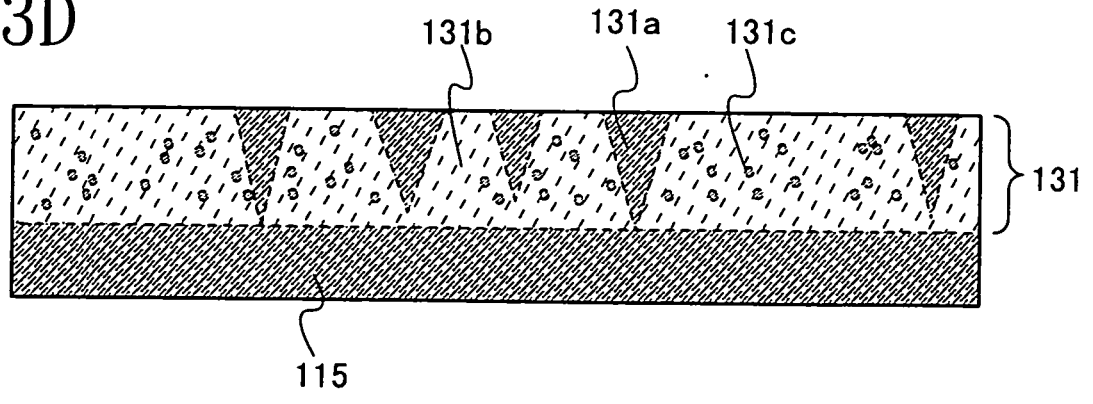


圖 4A

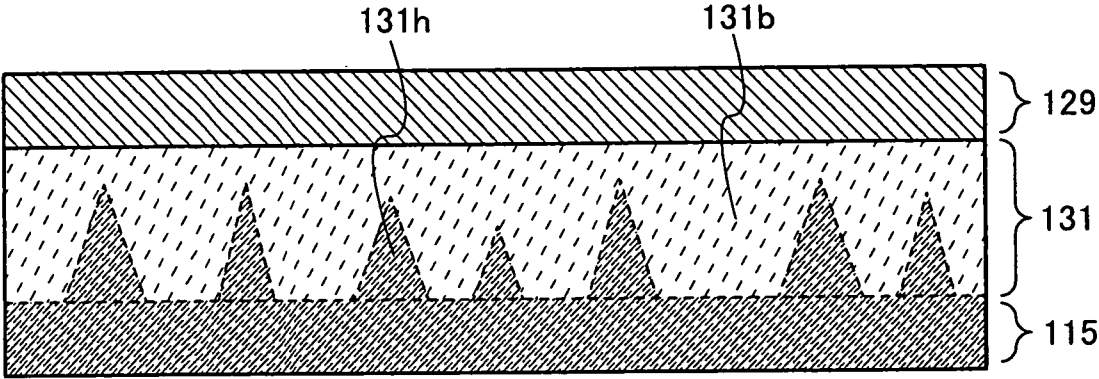


圖 4B

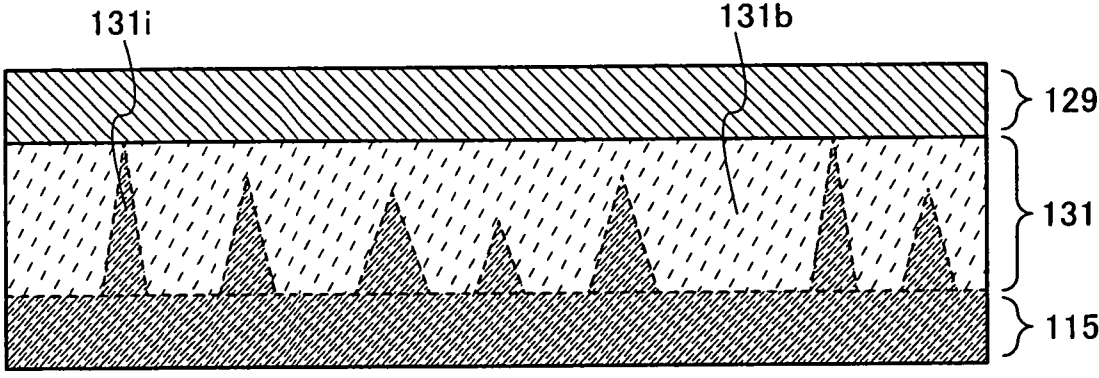


圖 4C

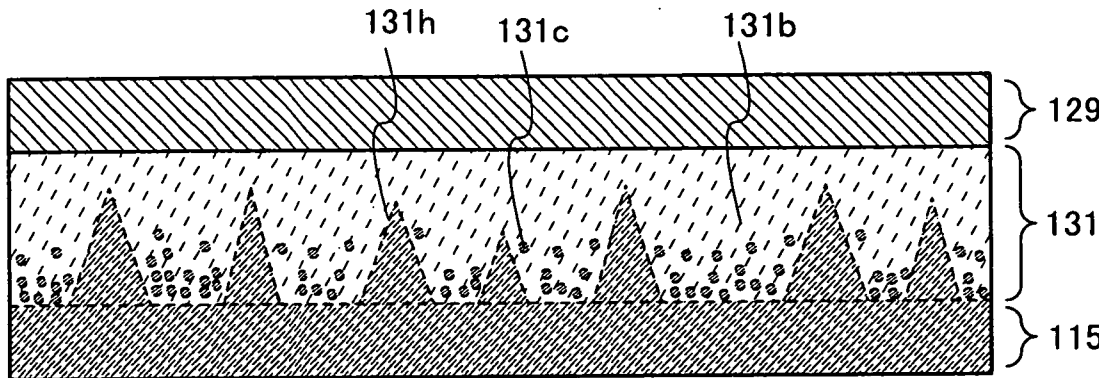


圖 4D

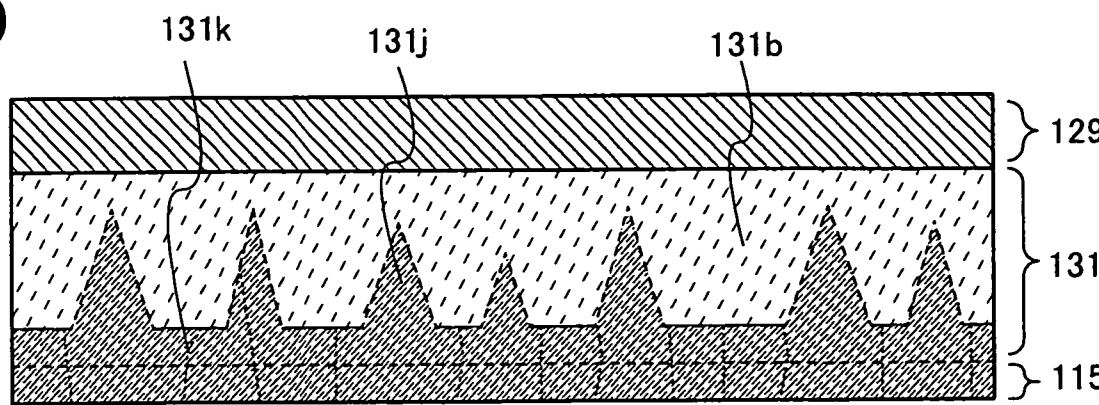


圖5

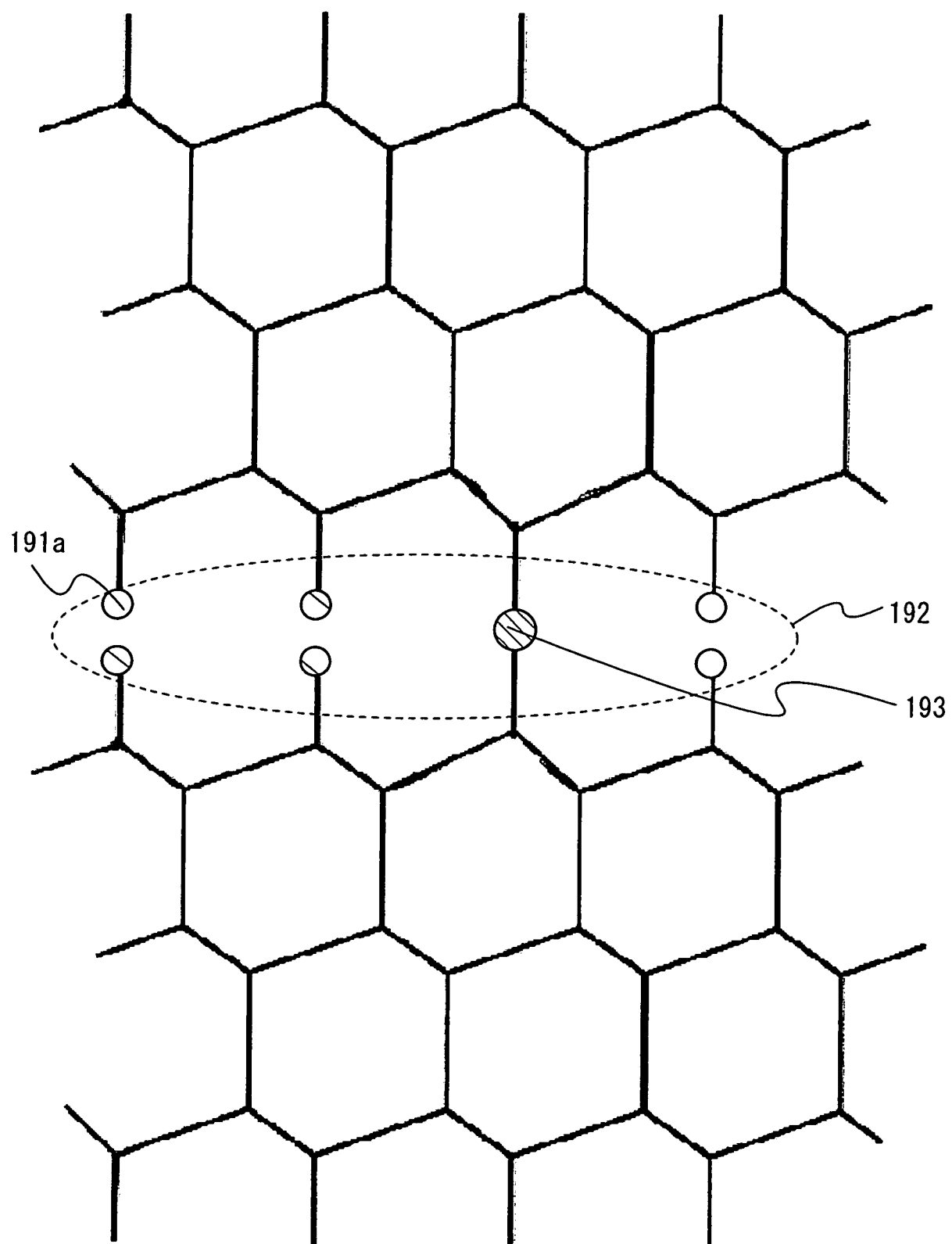


圖 6

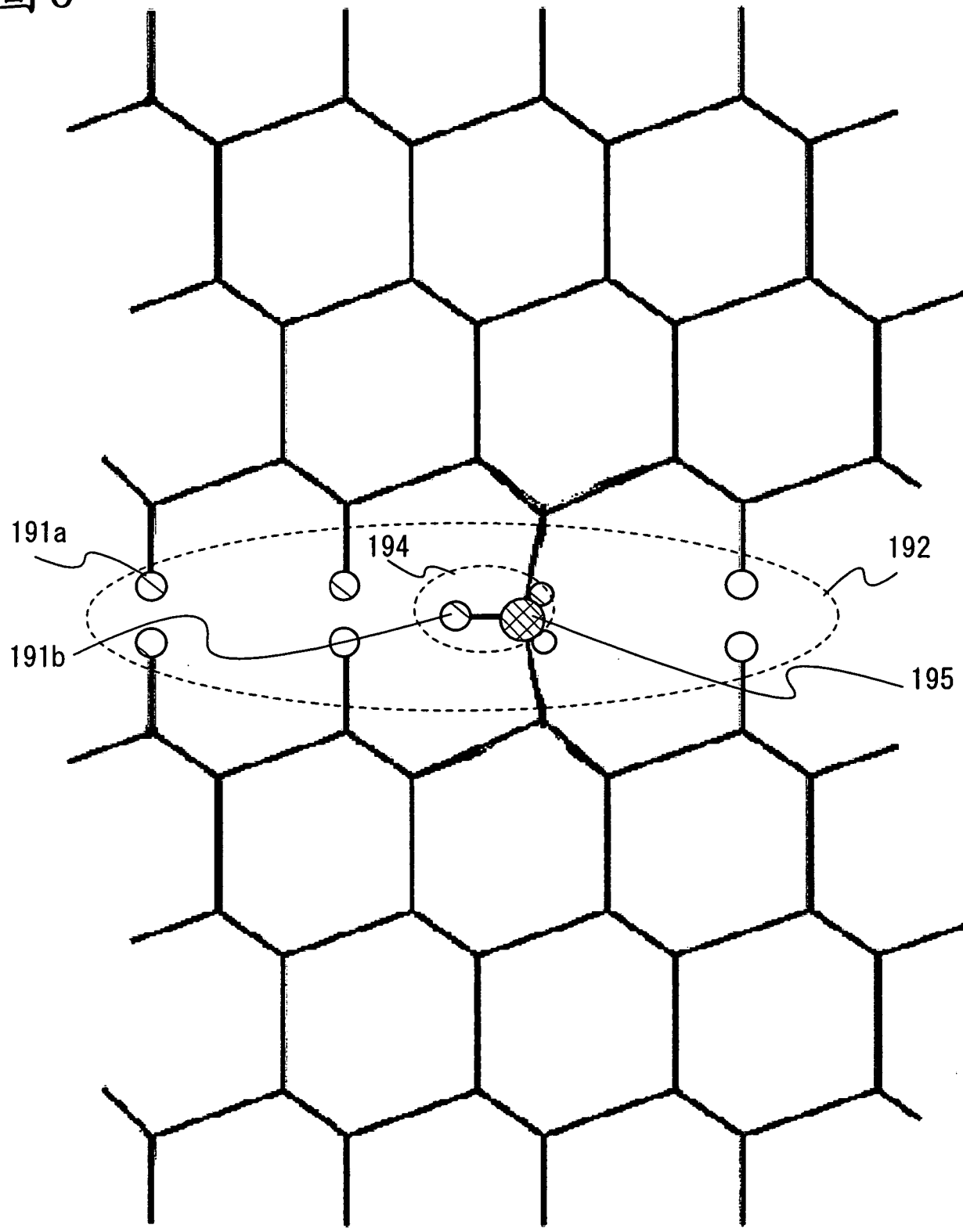


圖7

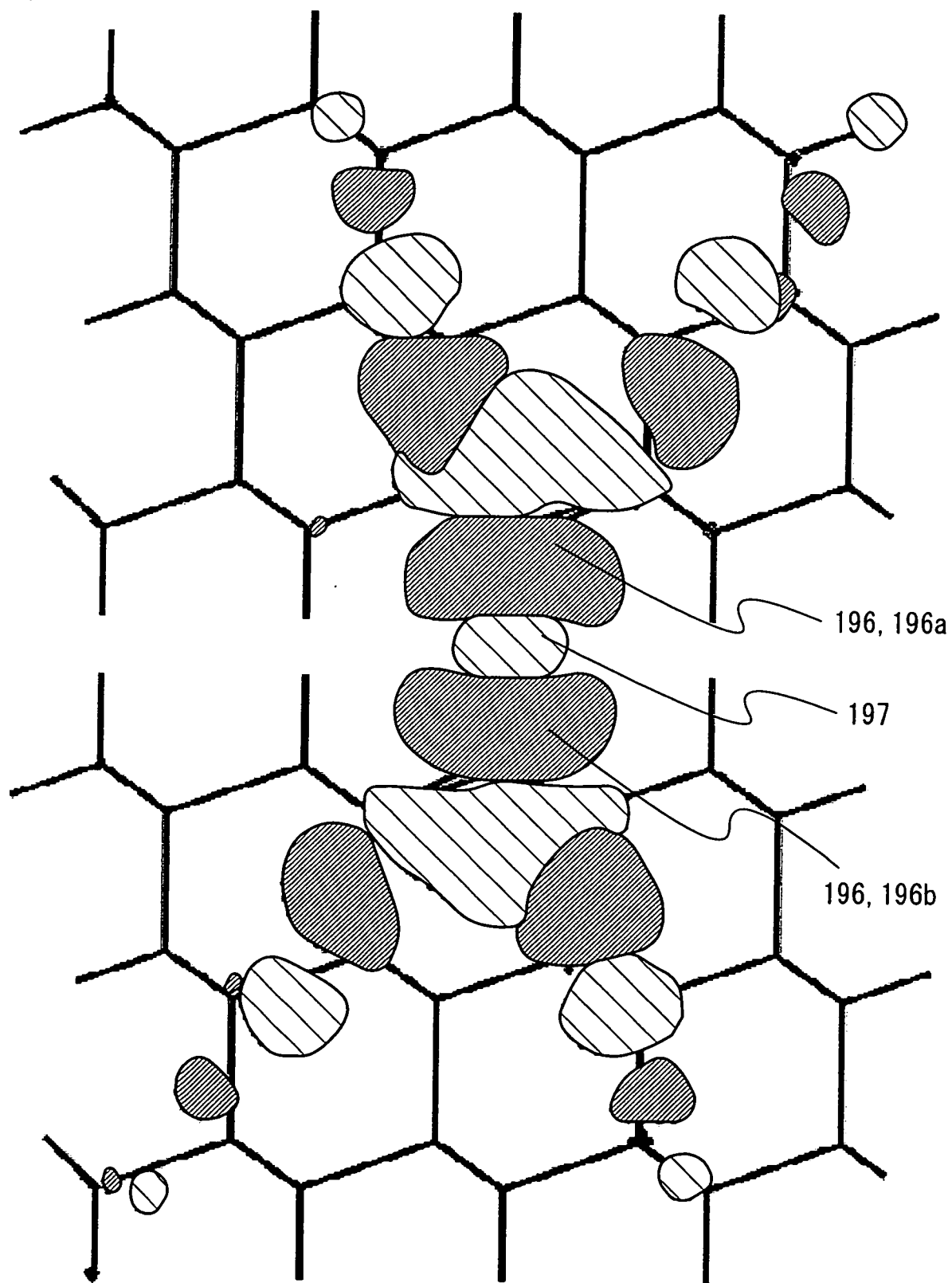


圖 8

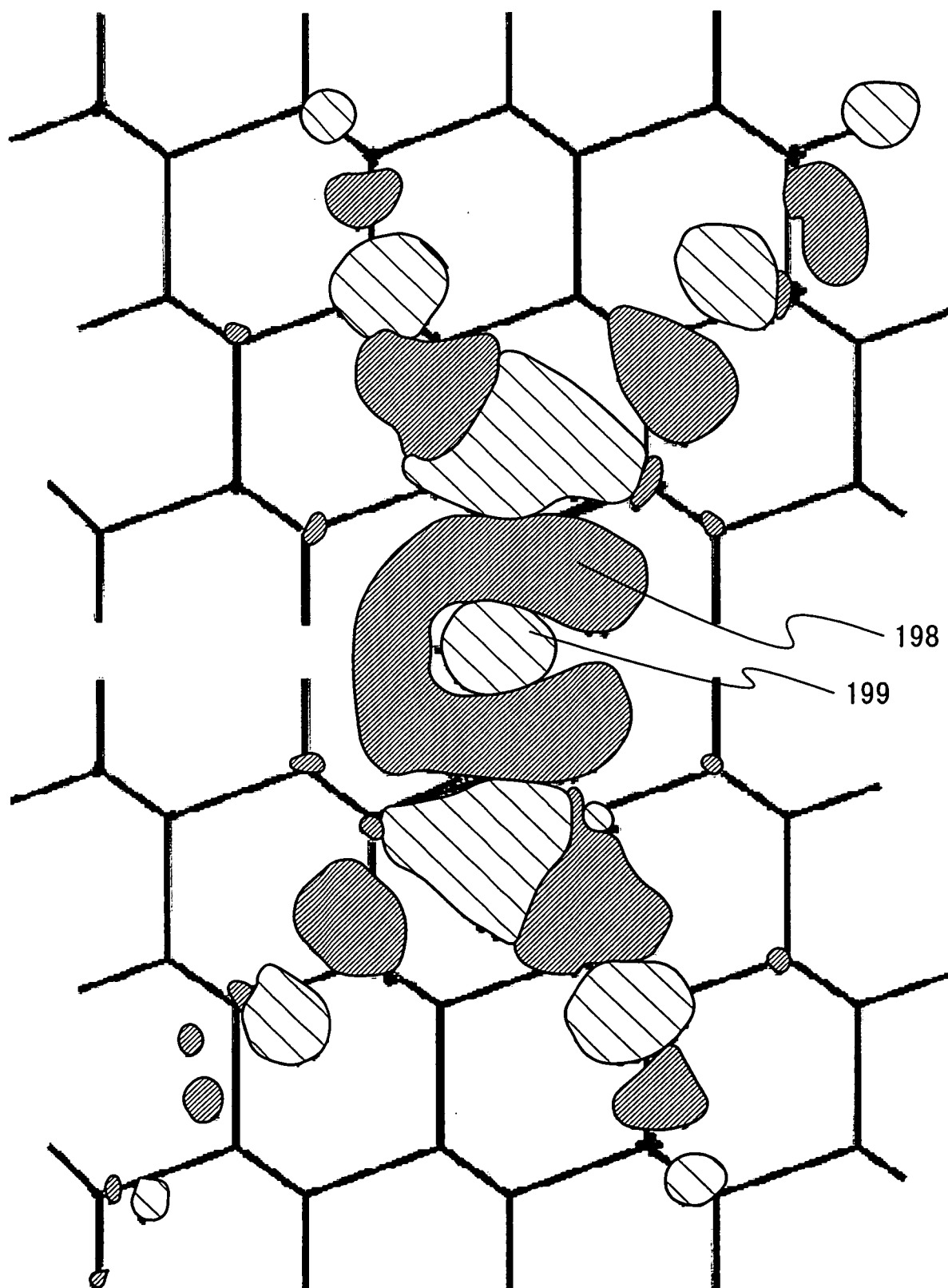


圖 9

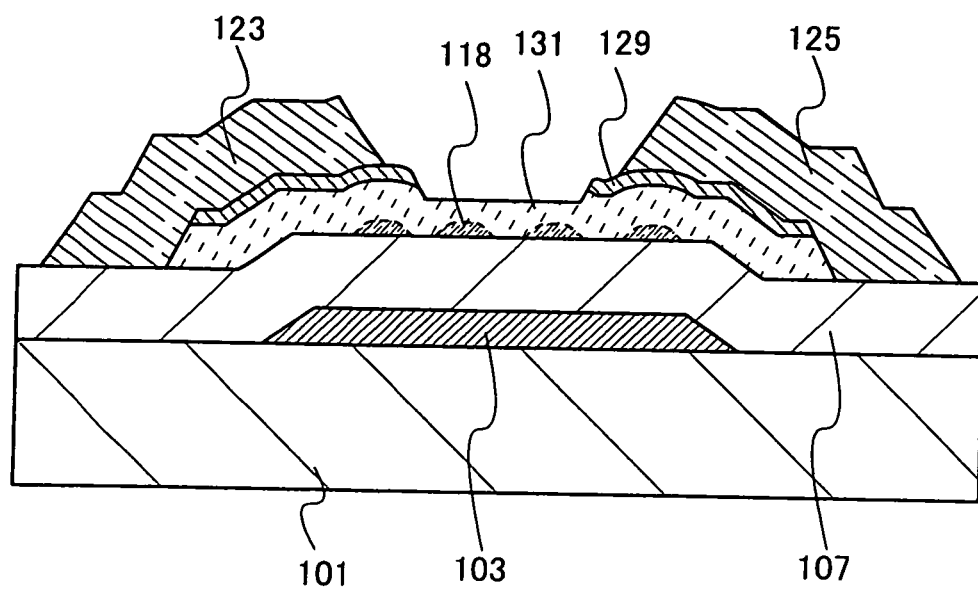


圖 10A

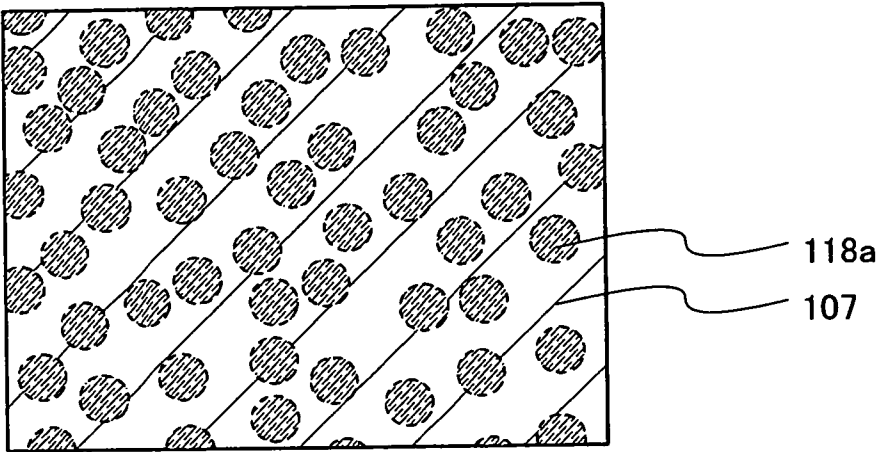


圖 10B

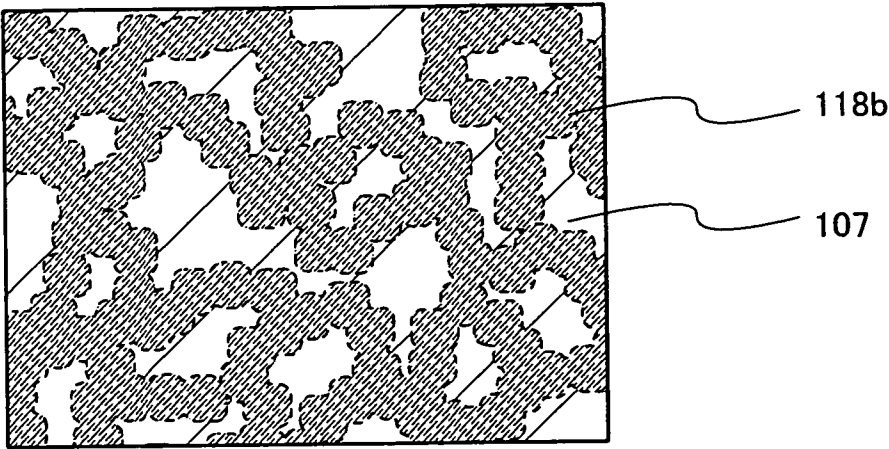


圖 11

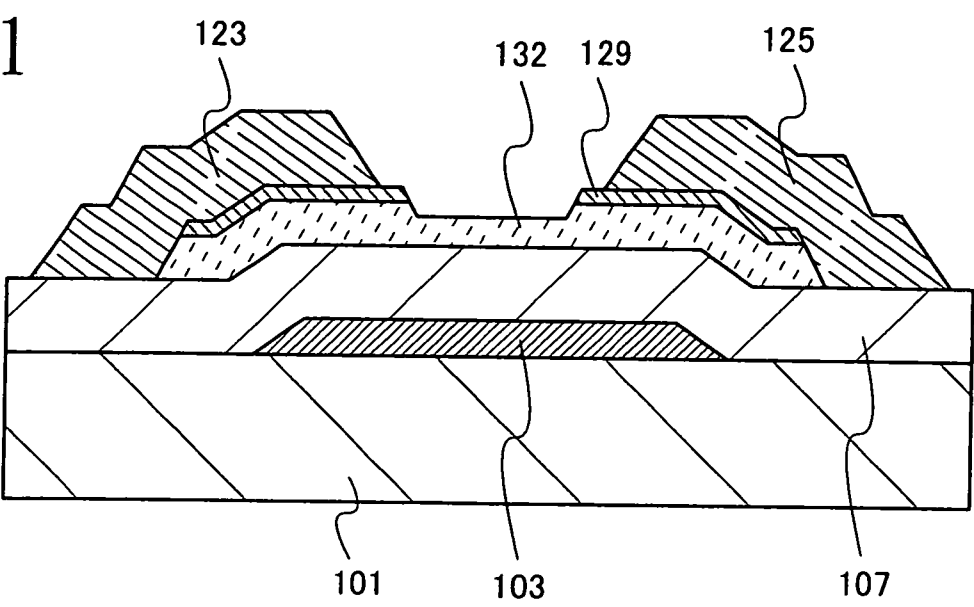


圖 12A

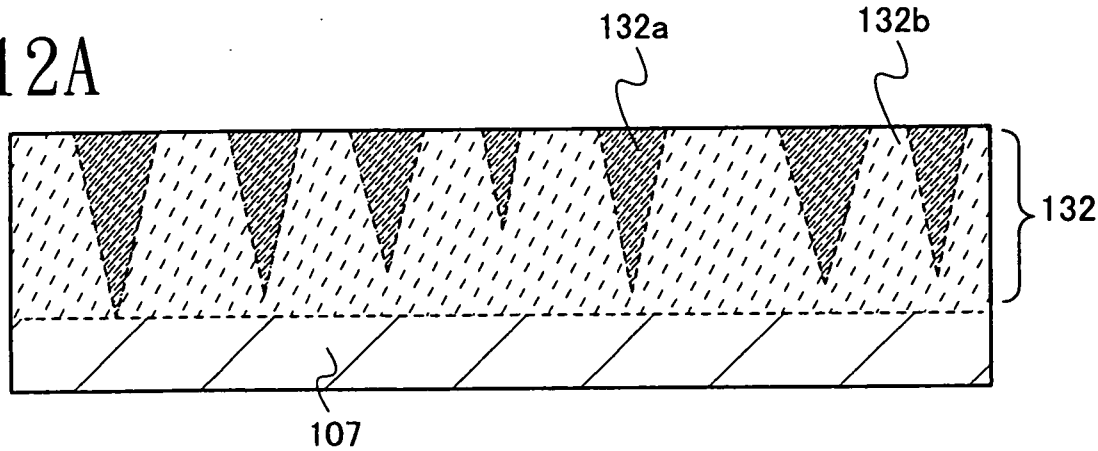


圖 12B-1 圖 12B-2 圖 12B-3 圖 12B-4

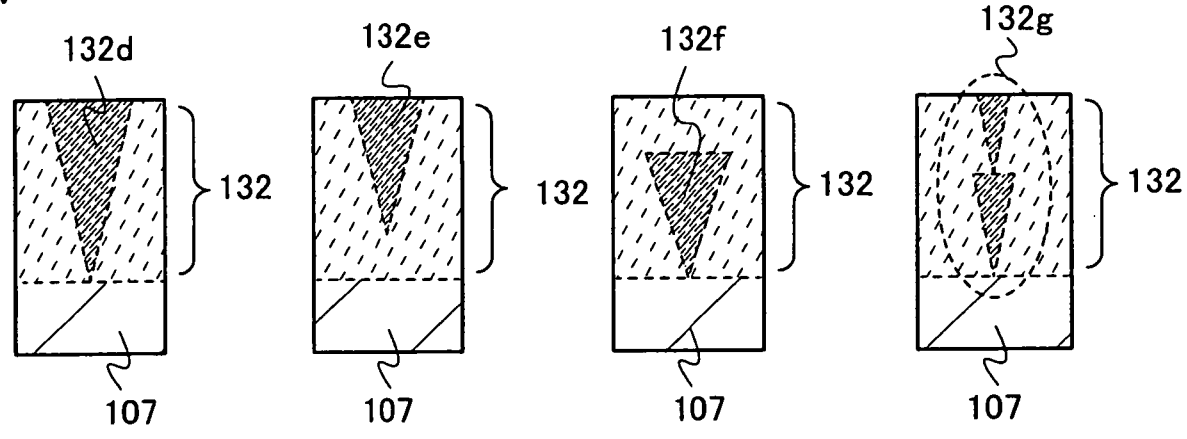


圖 12C

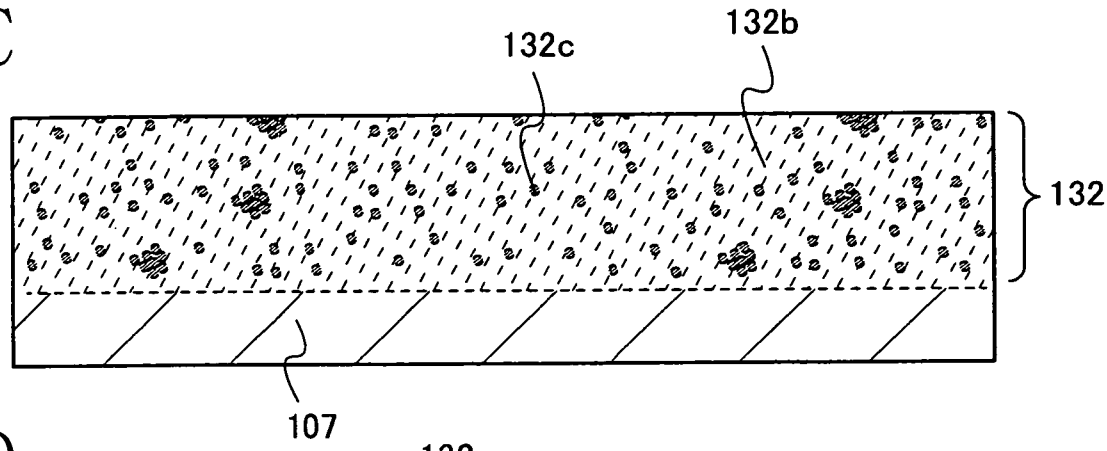
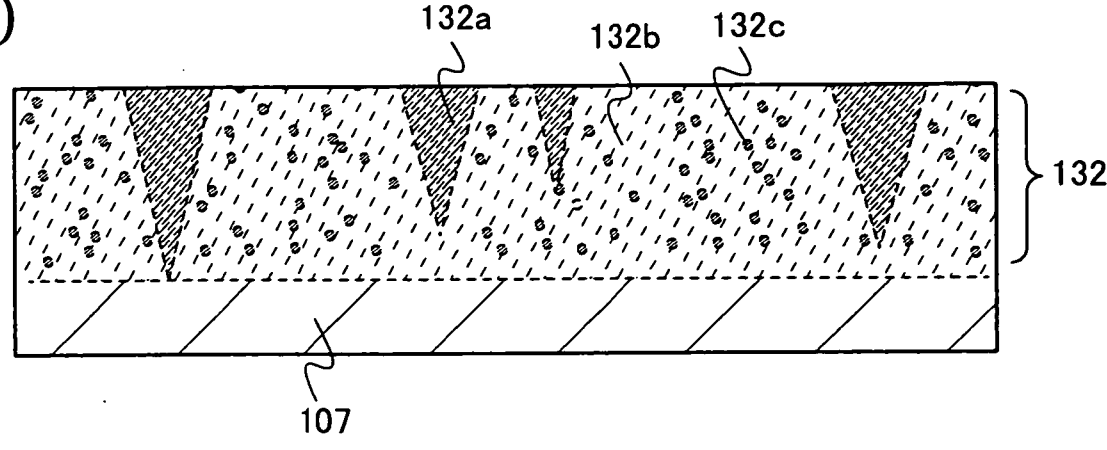


圖 12D



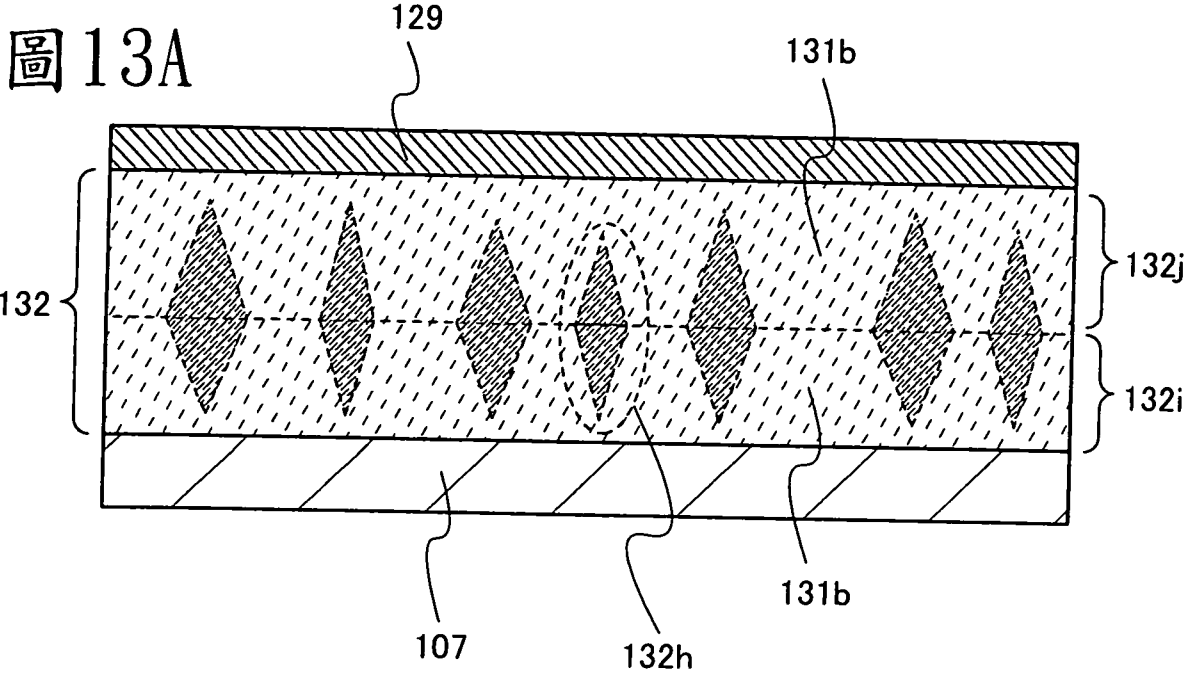


圖 13B-1 圖 13B-2 圖 13B-3

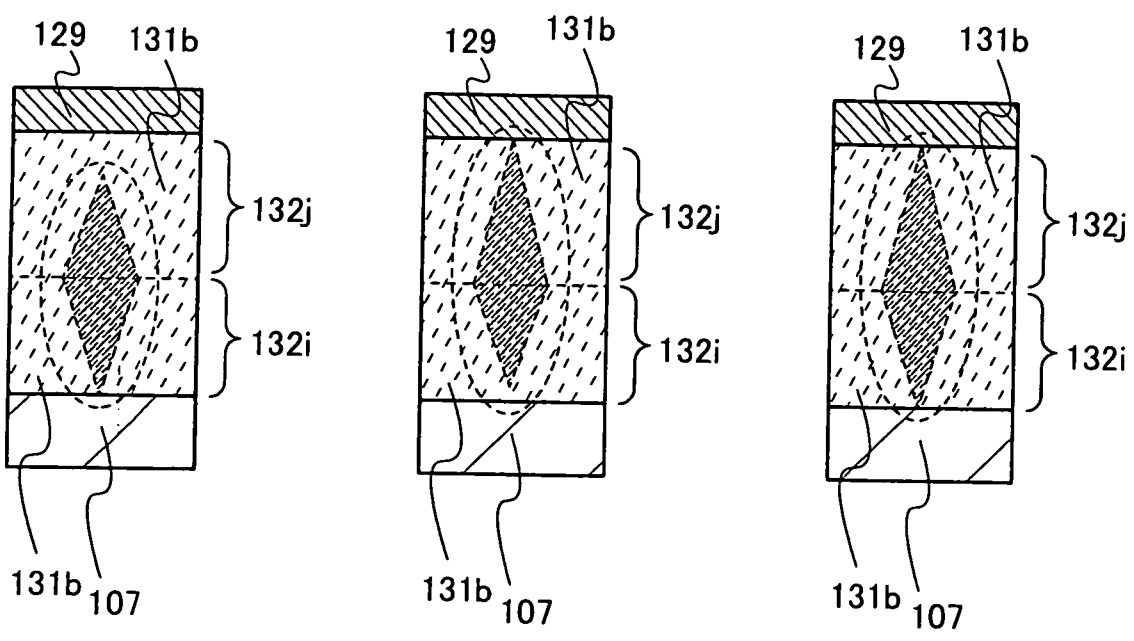


圖14A

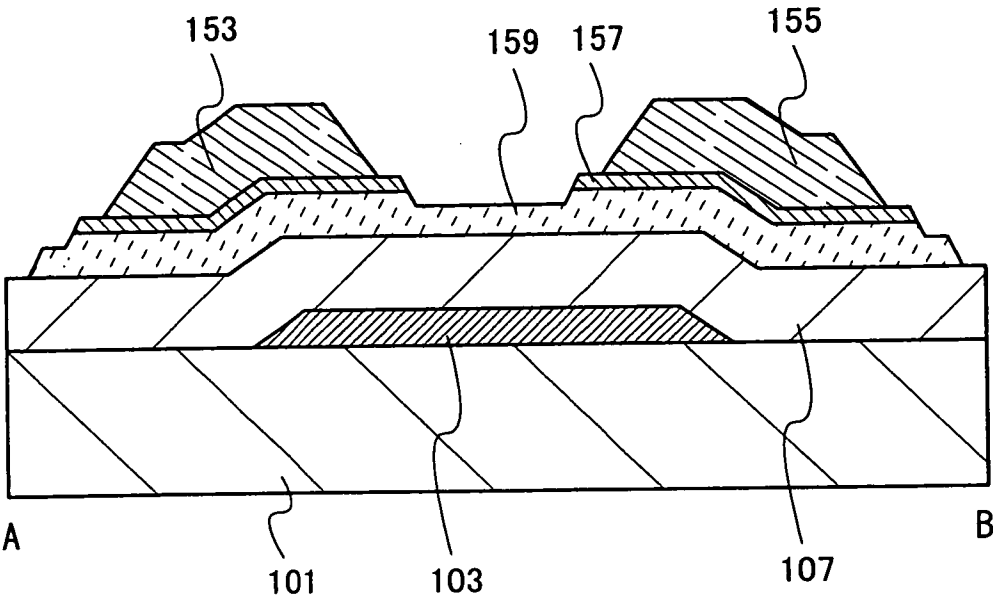


圖14B

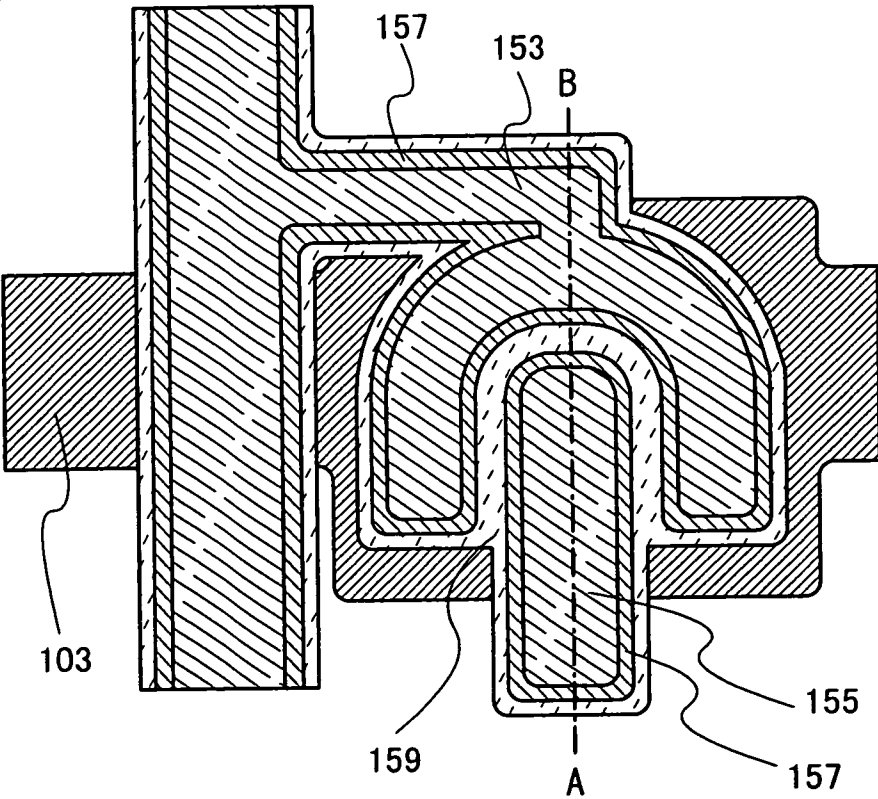


圖15A

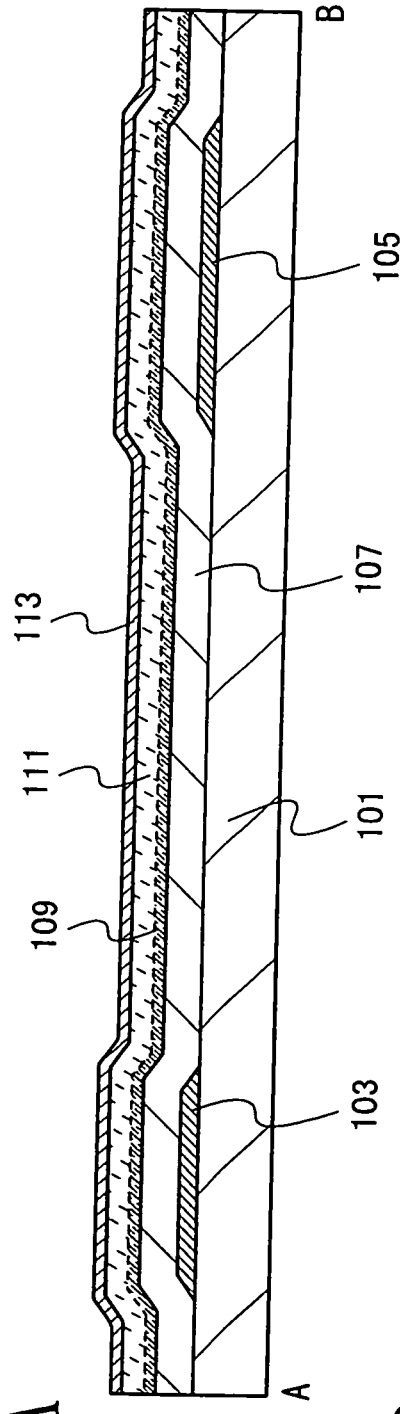


圖15B

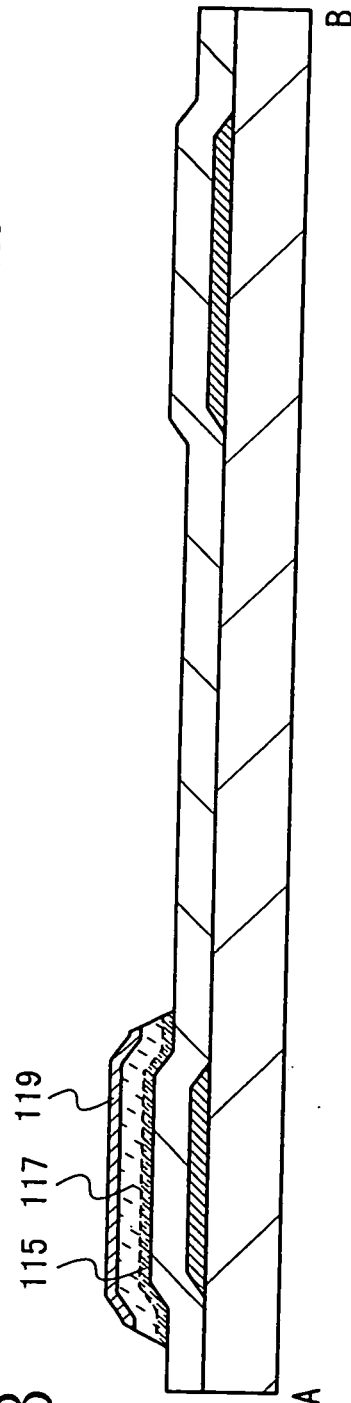


圖15C

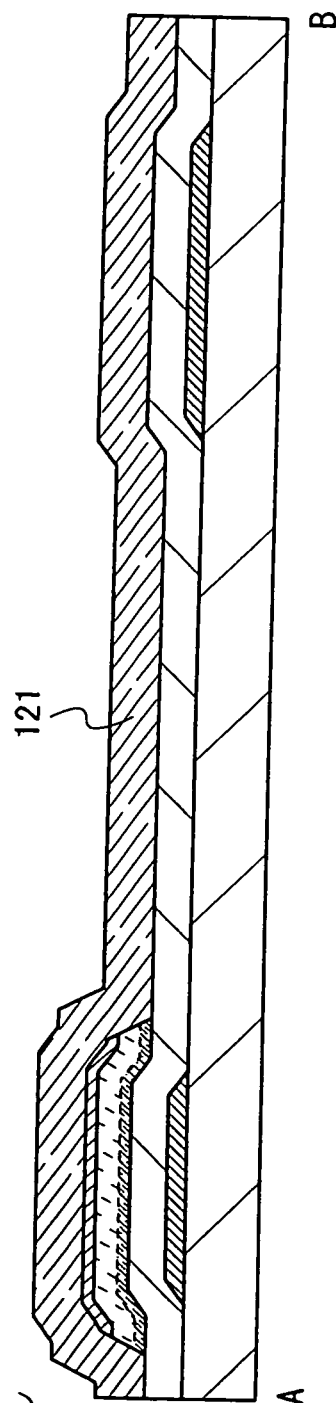


圖16A

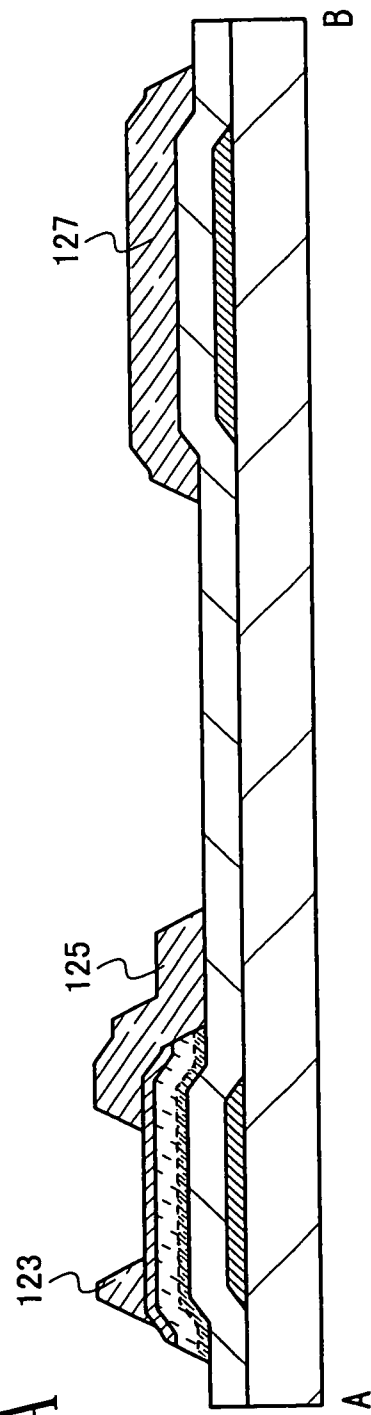


圖16B

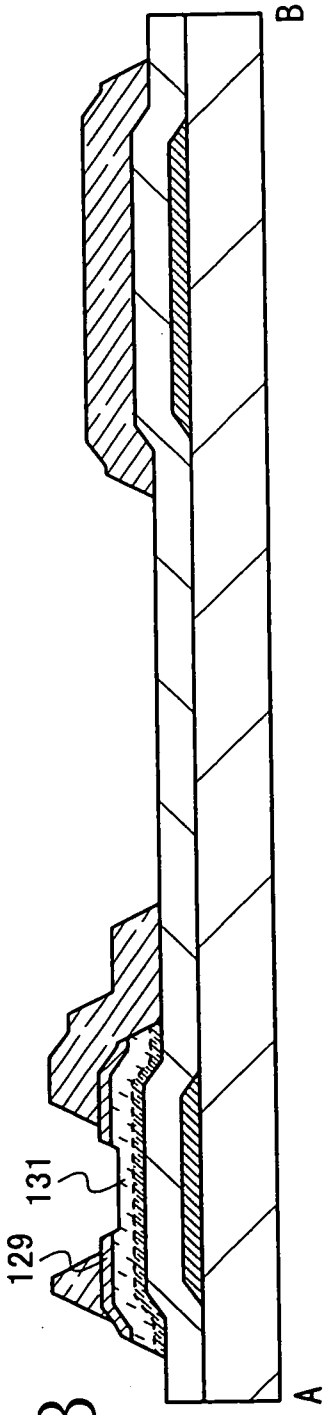


圖16C

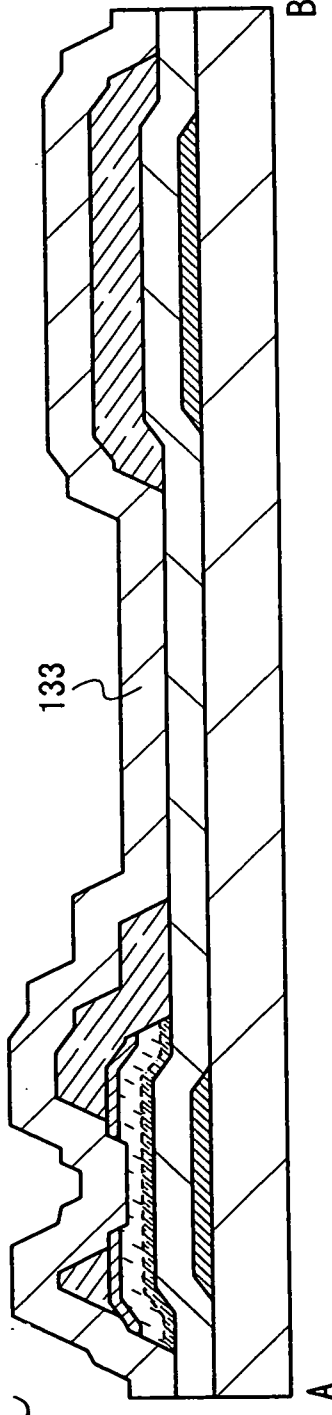


圖17A

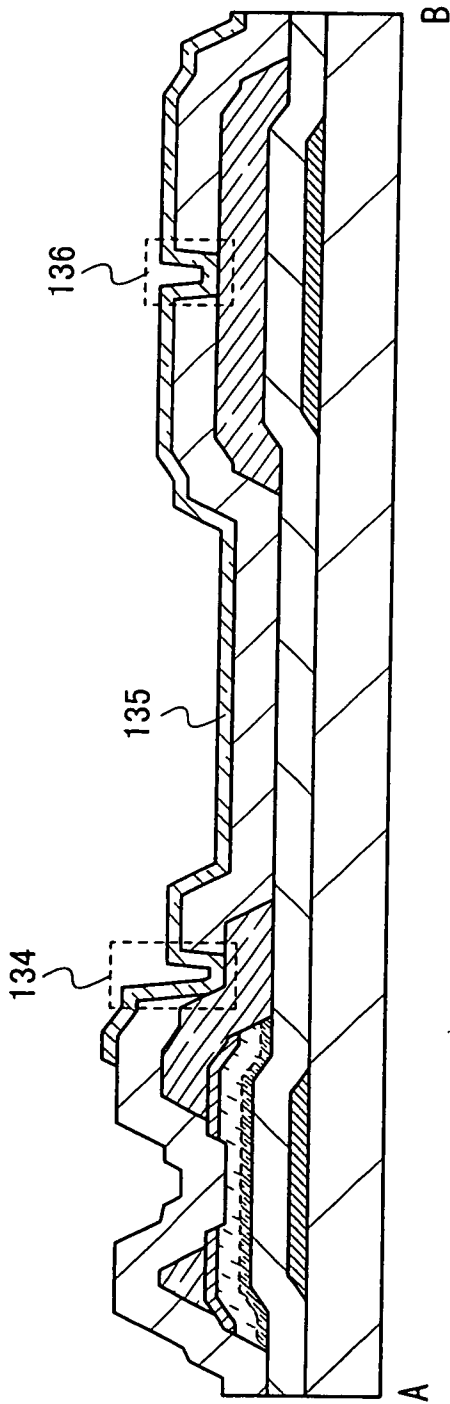


圖17B

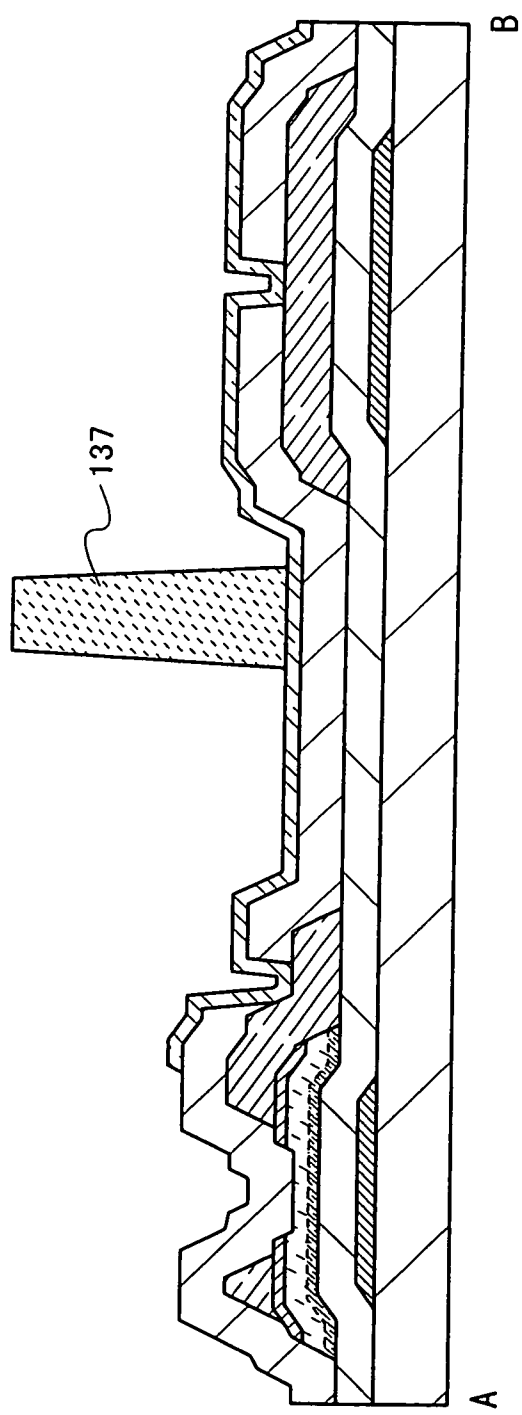


圖 18A

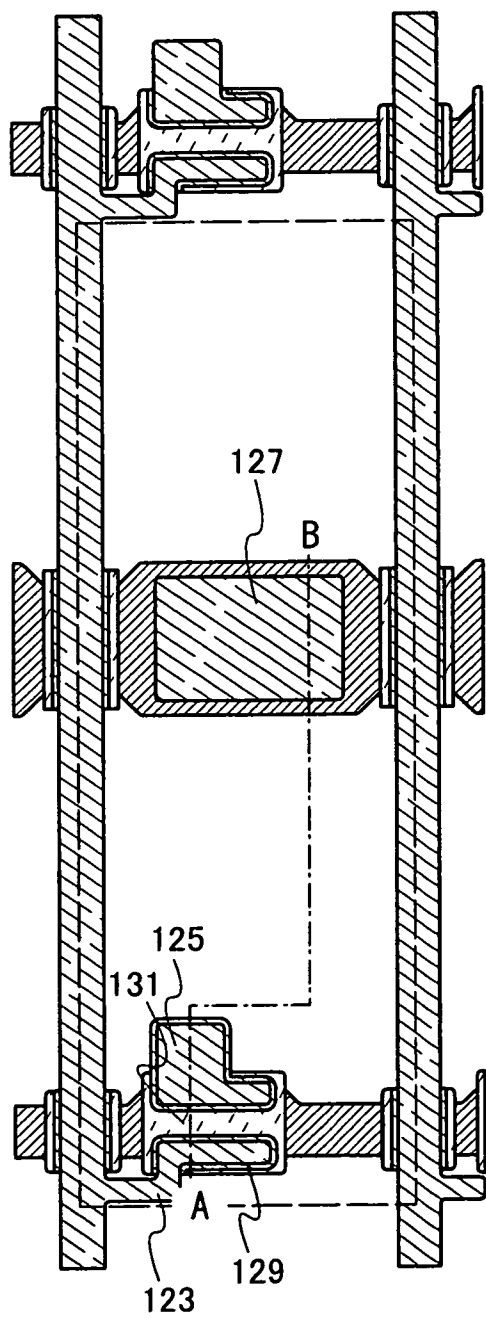


圖 18B

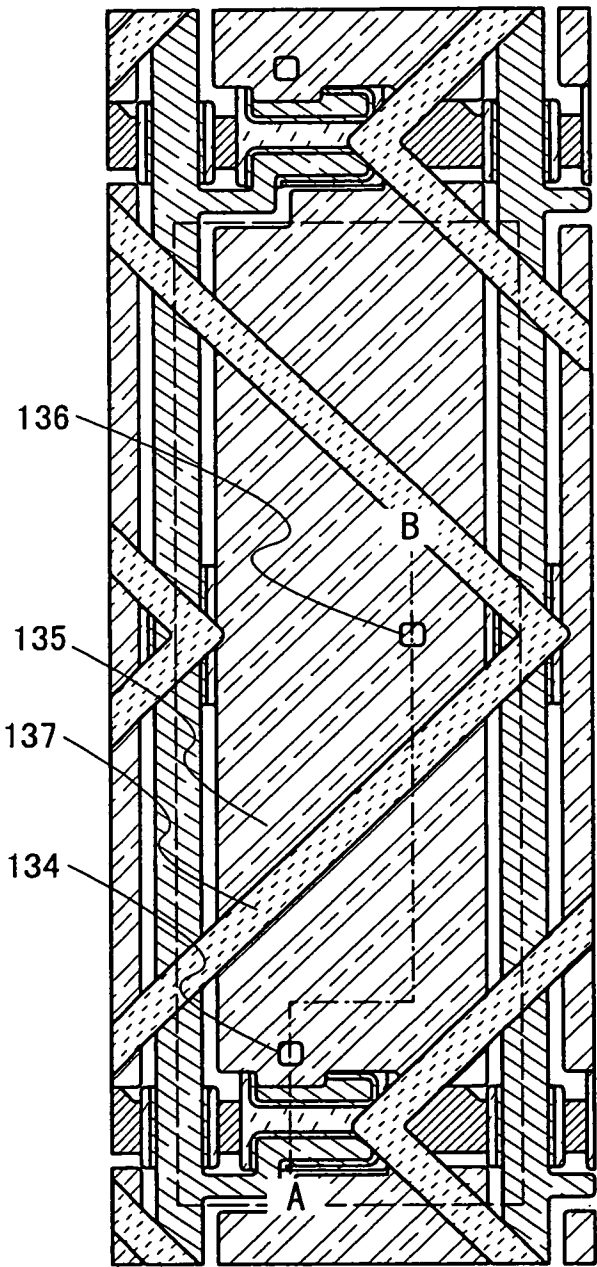


圖 19

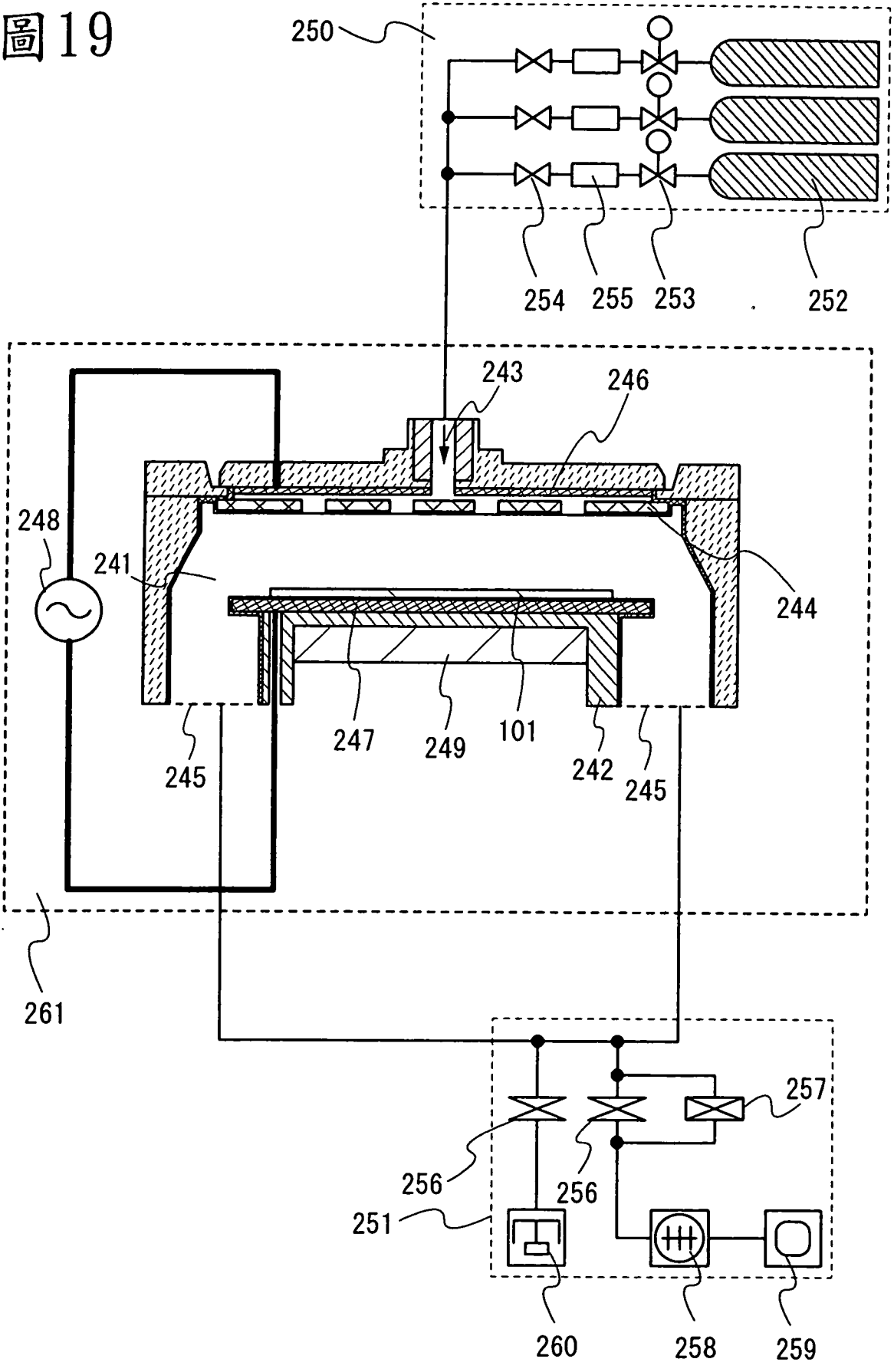


圖20

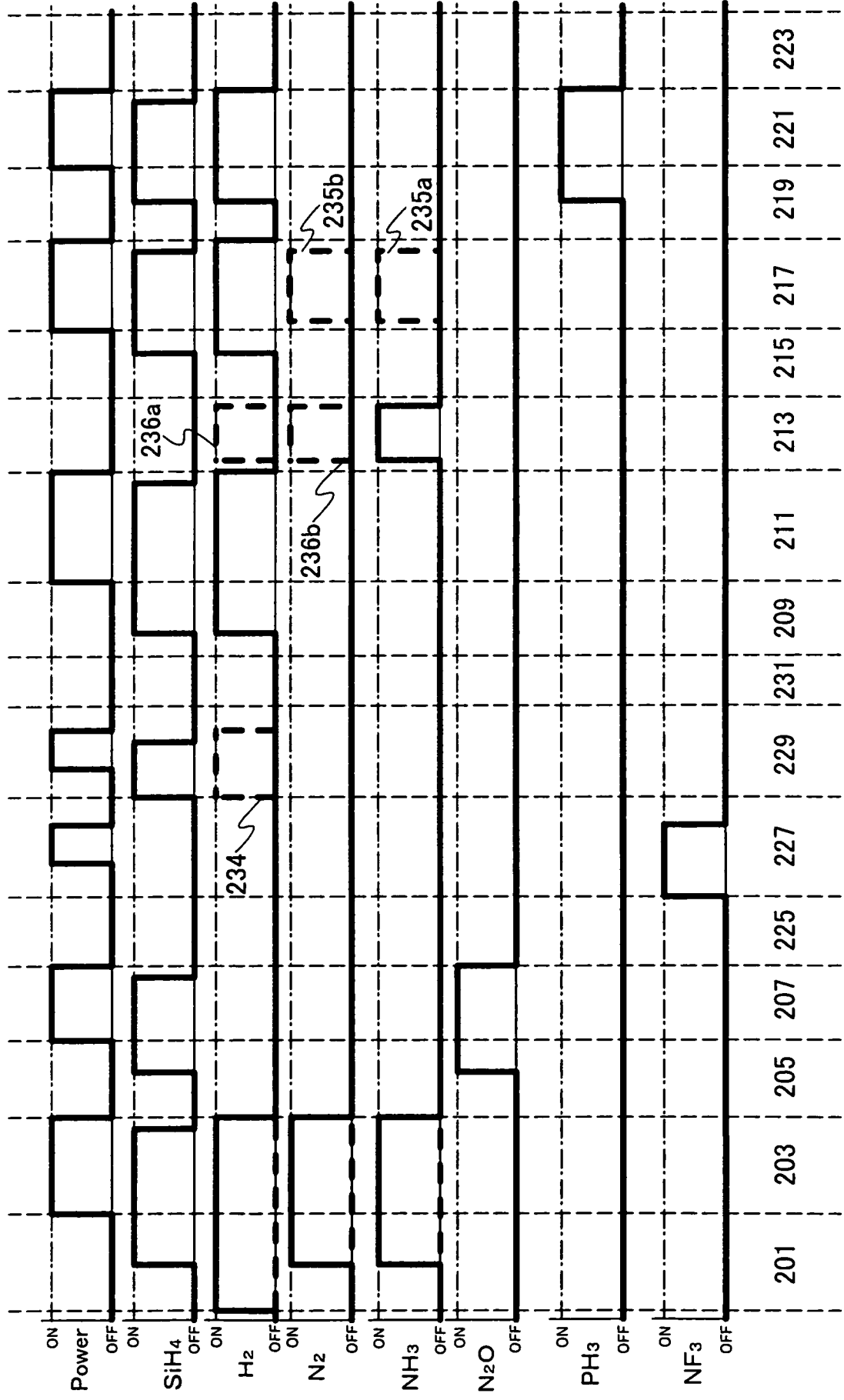


圖21

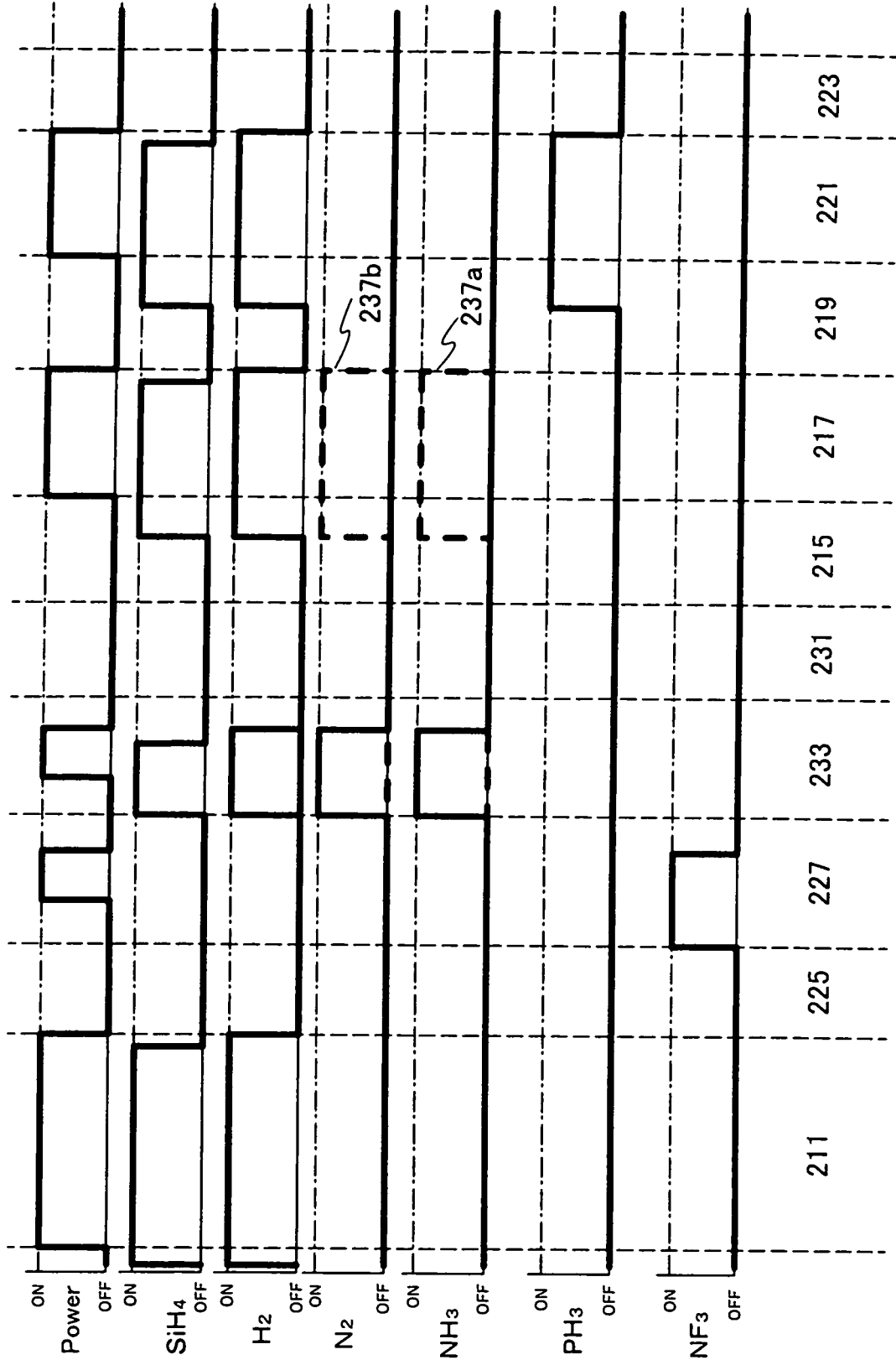


圖22

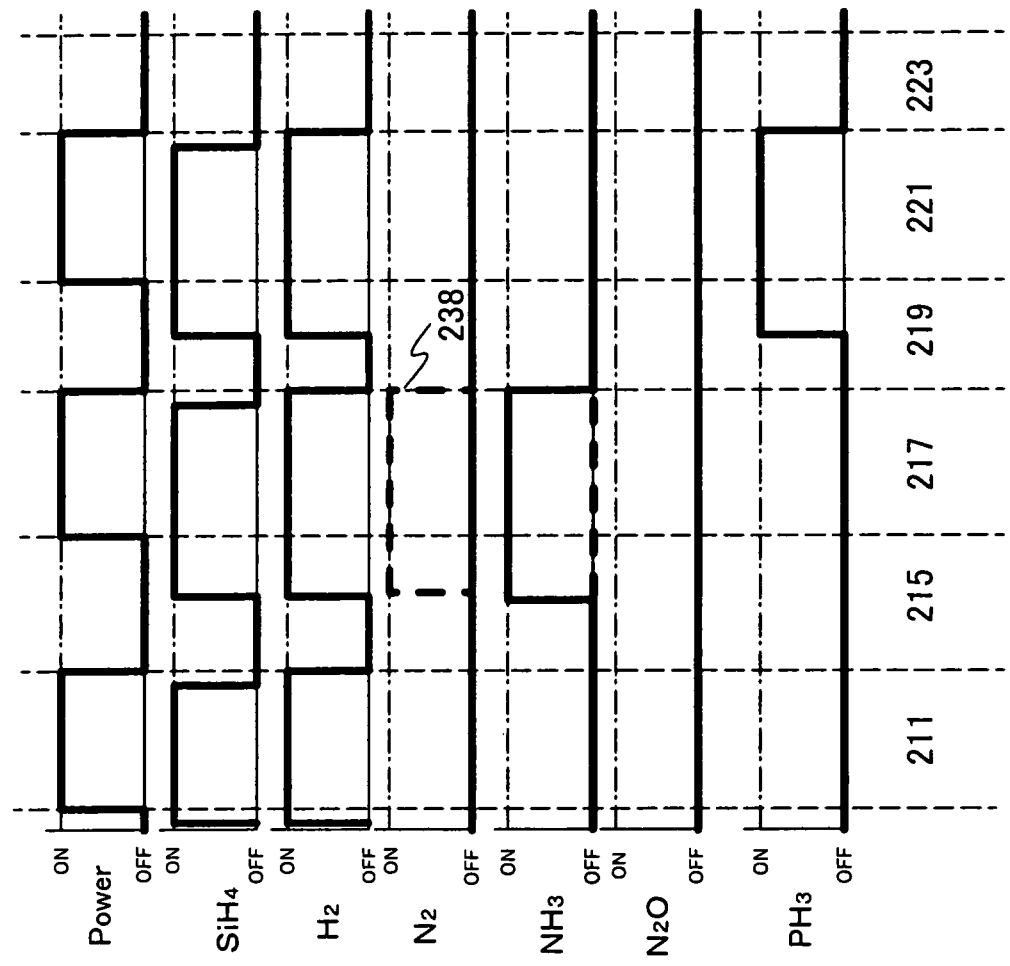


圖23

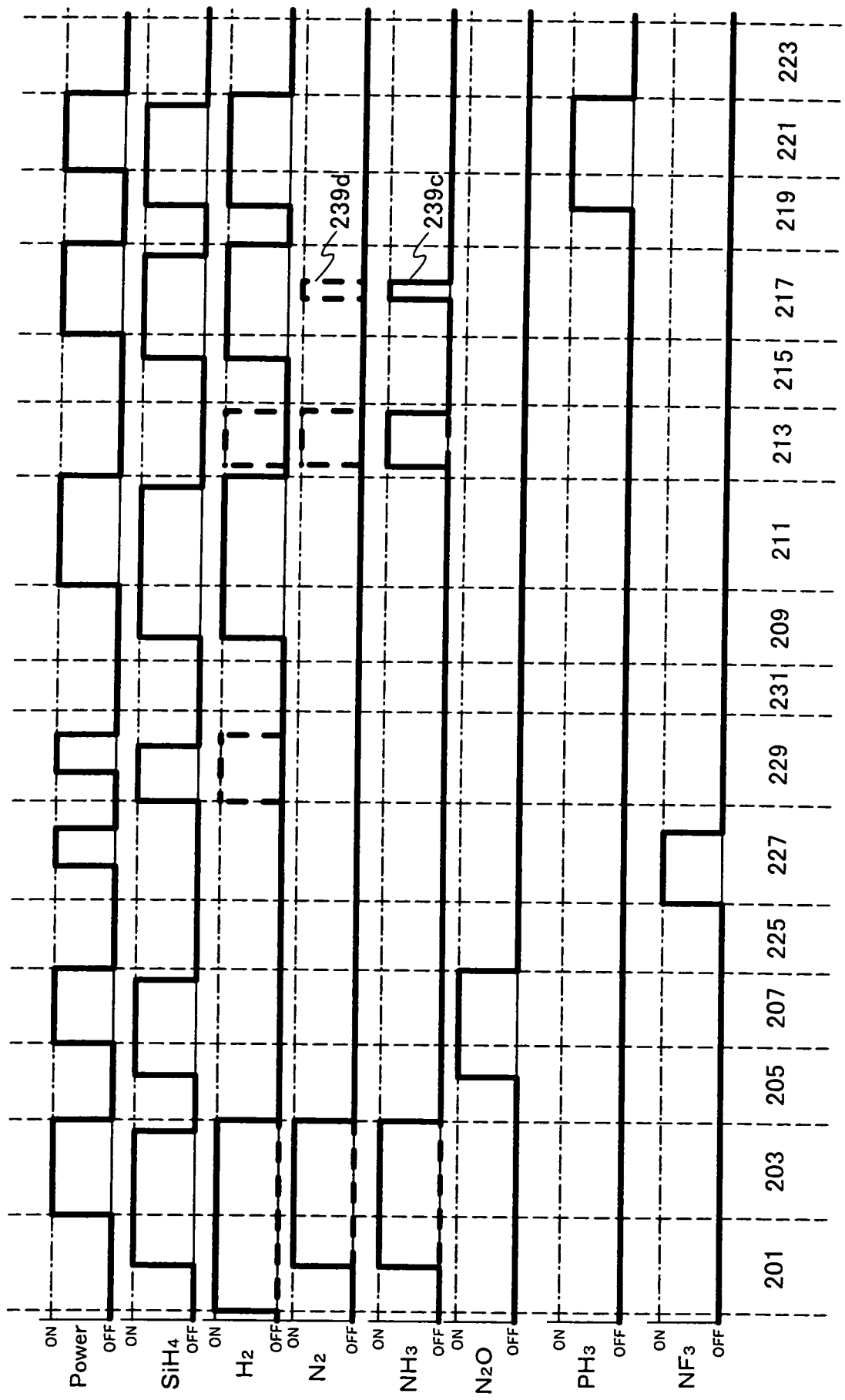
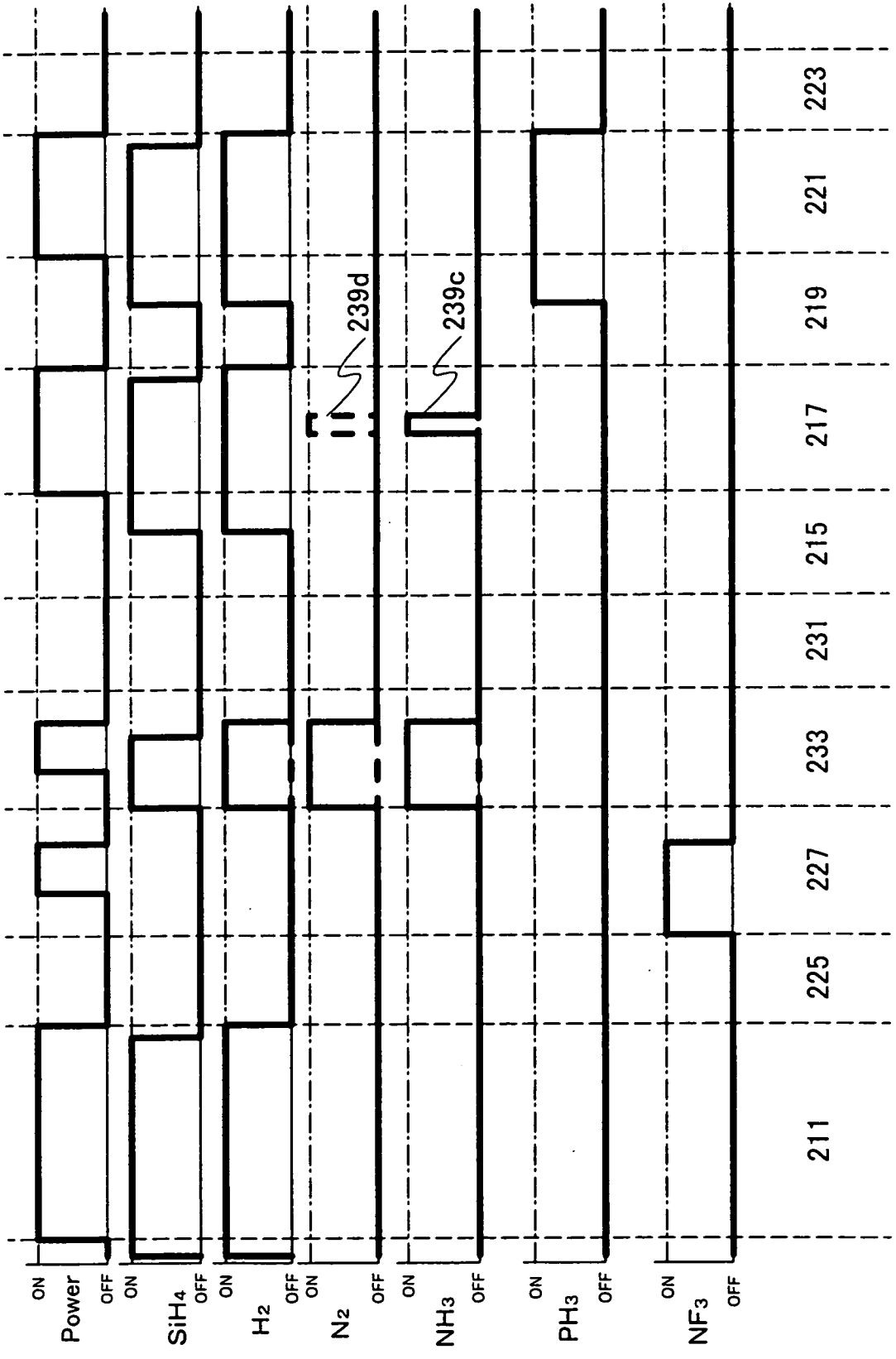


圖24



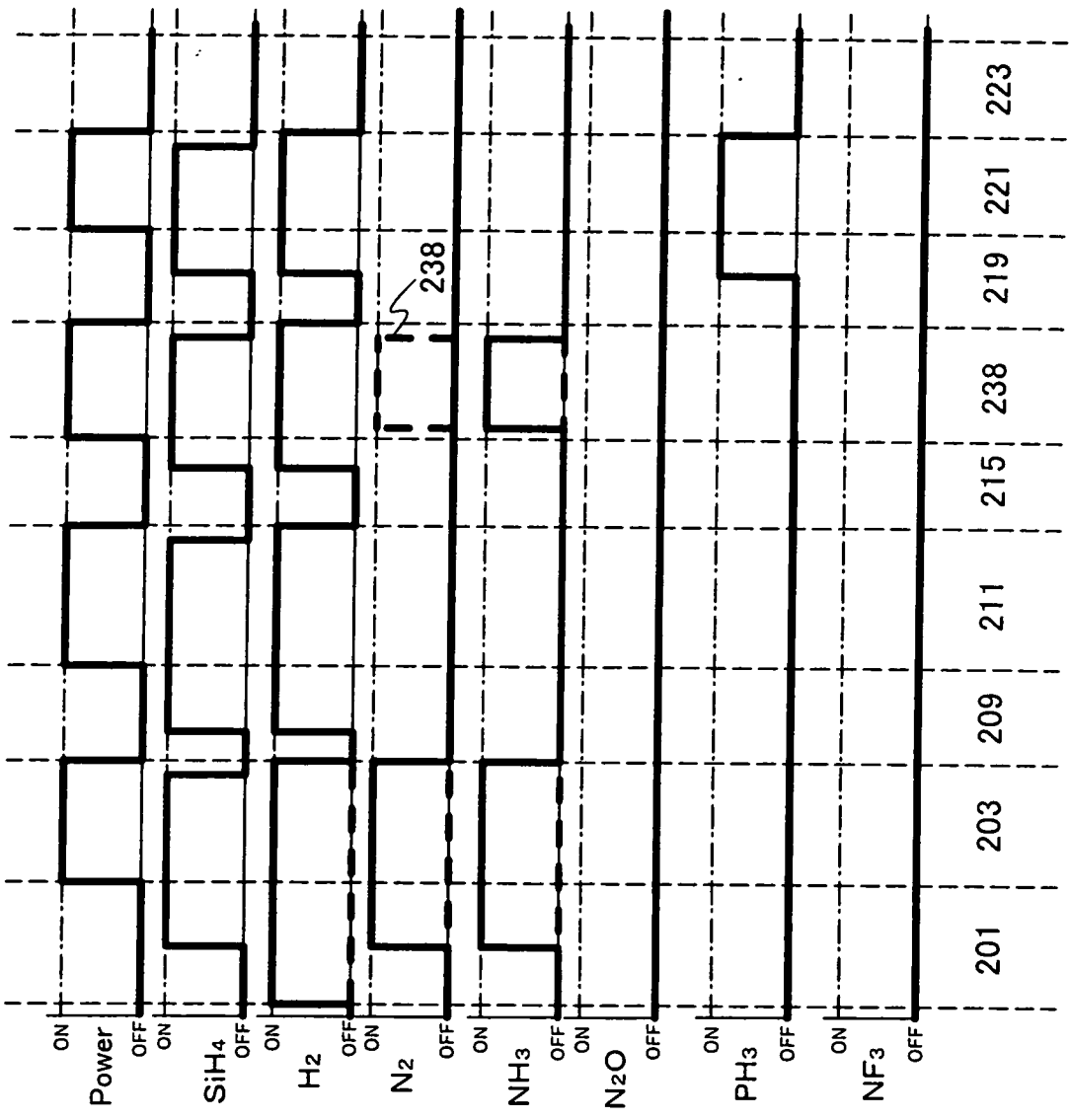


圖25

圖 26A

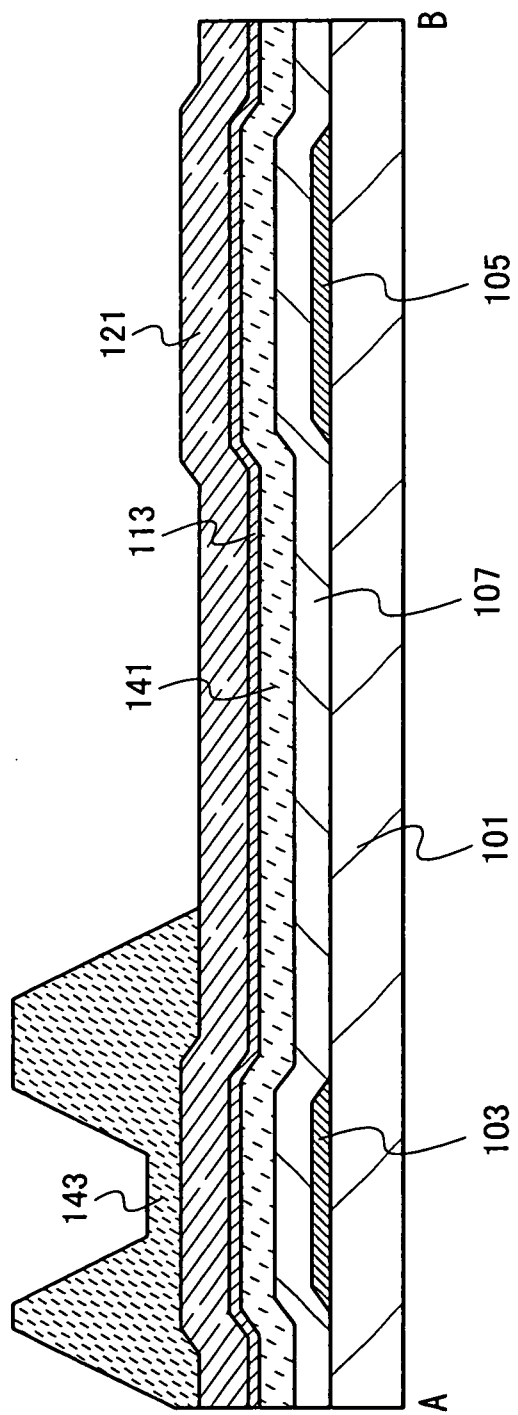
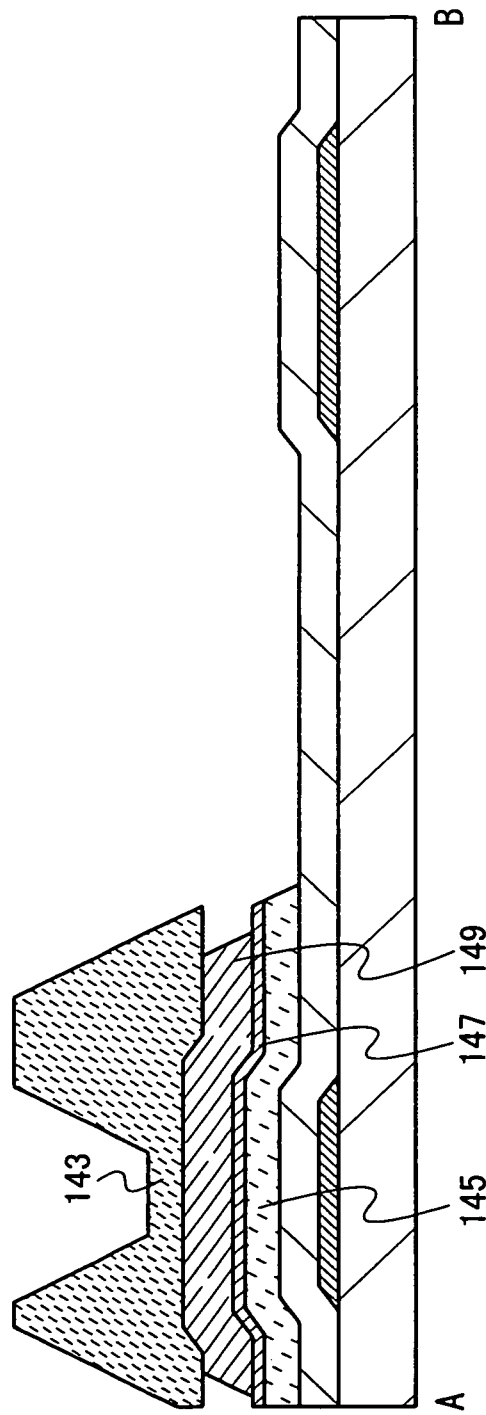


圖 26B



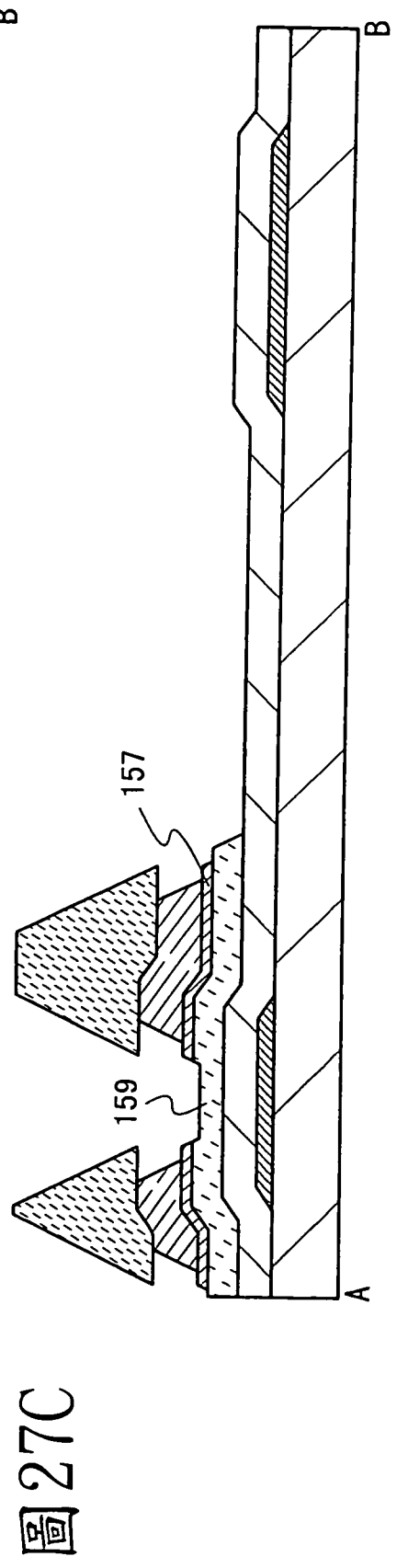
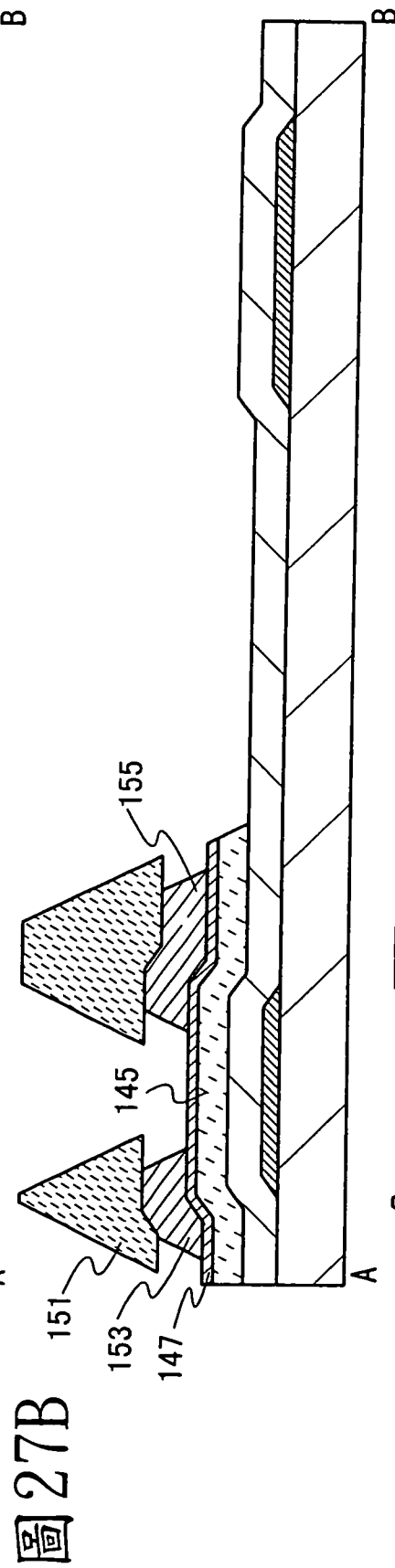
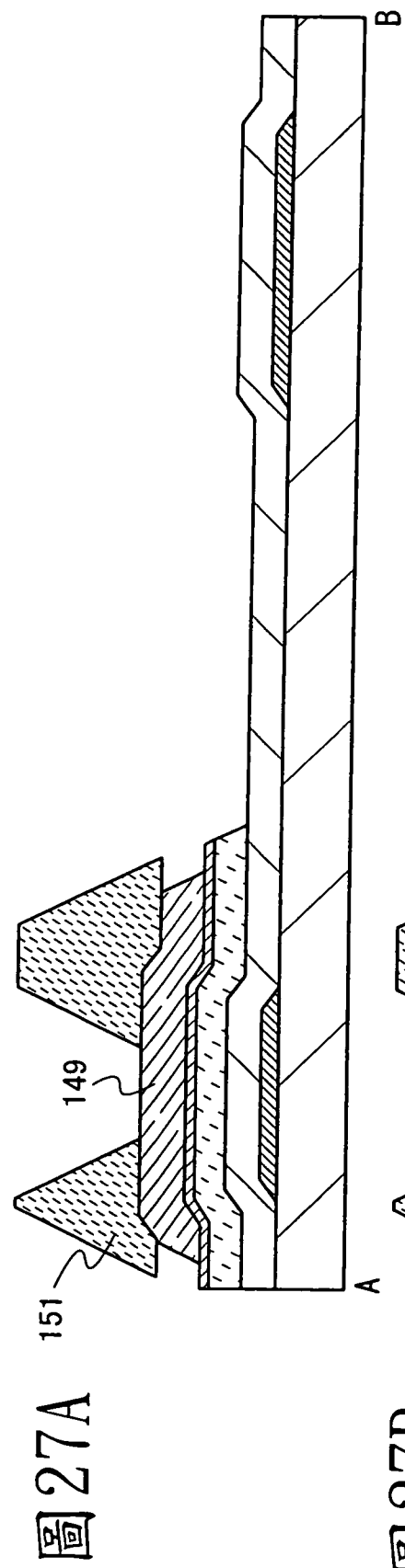


圖 28A

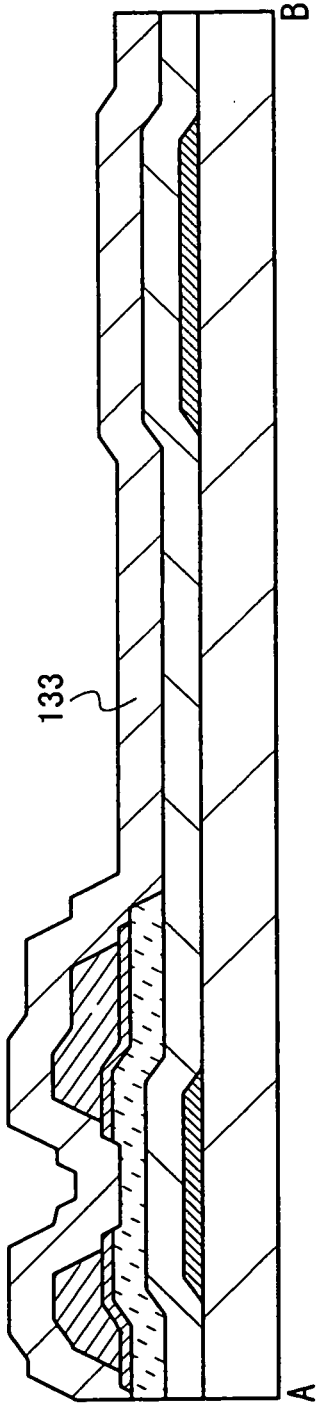


圖 28B

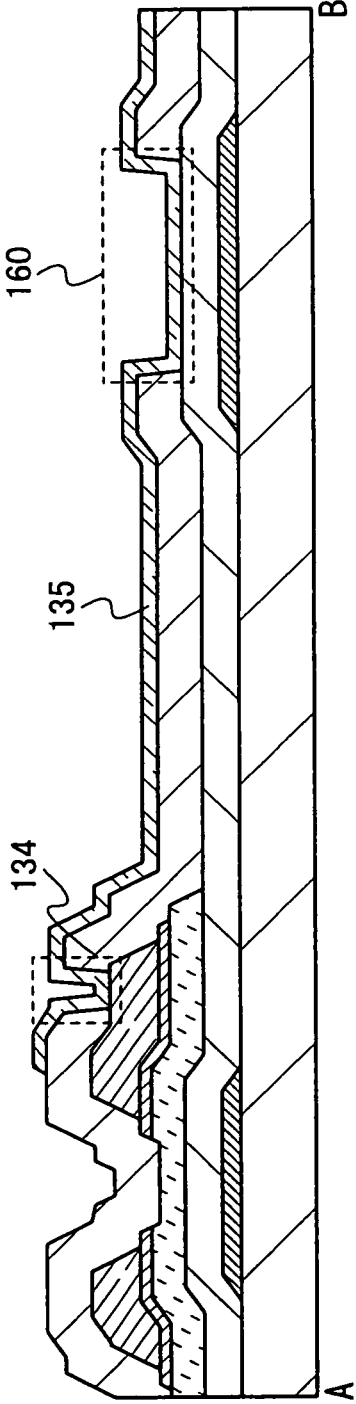


圖 28C

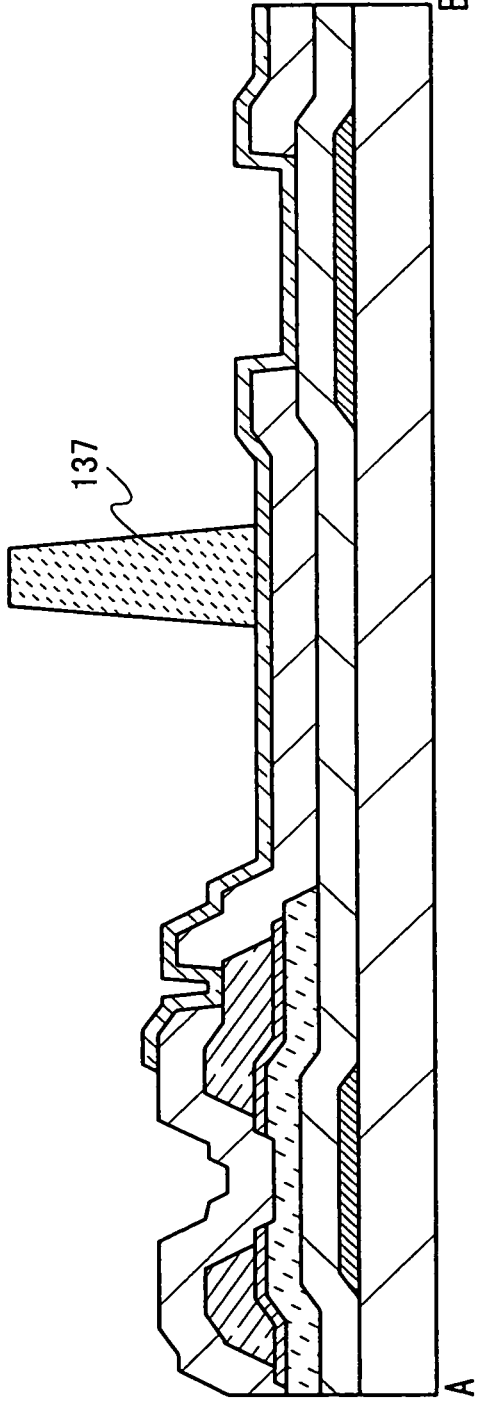


圖29A

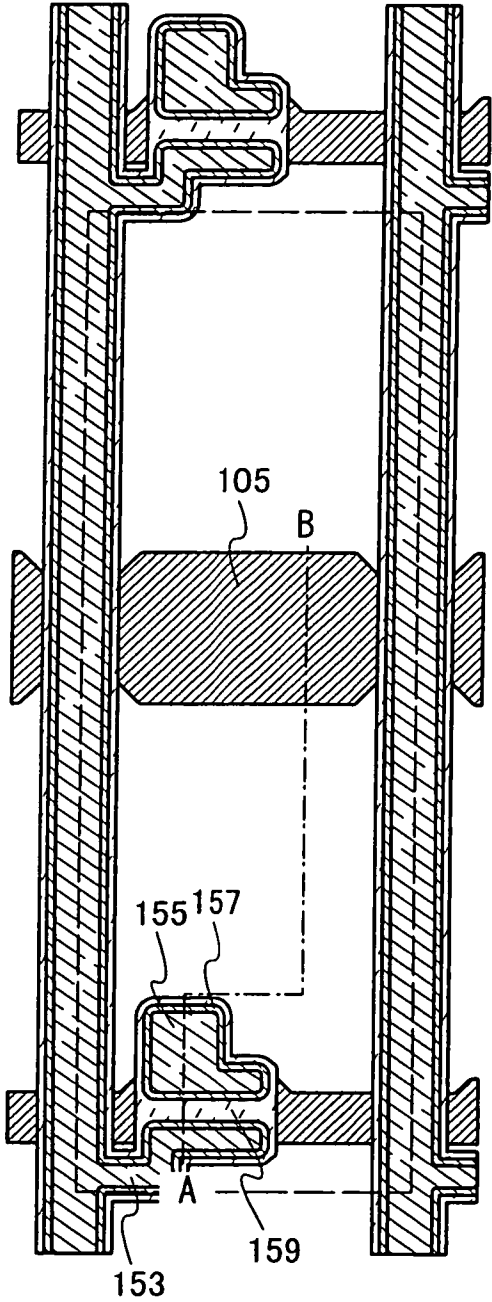


圖29B

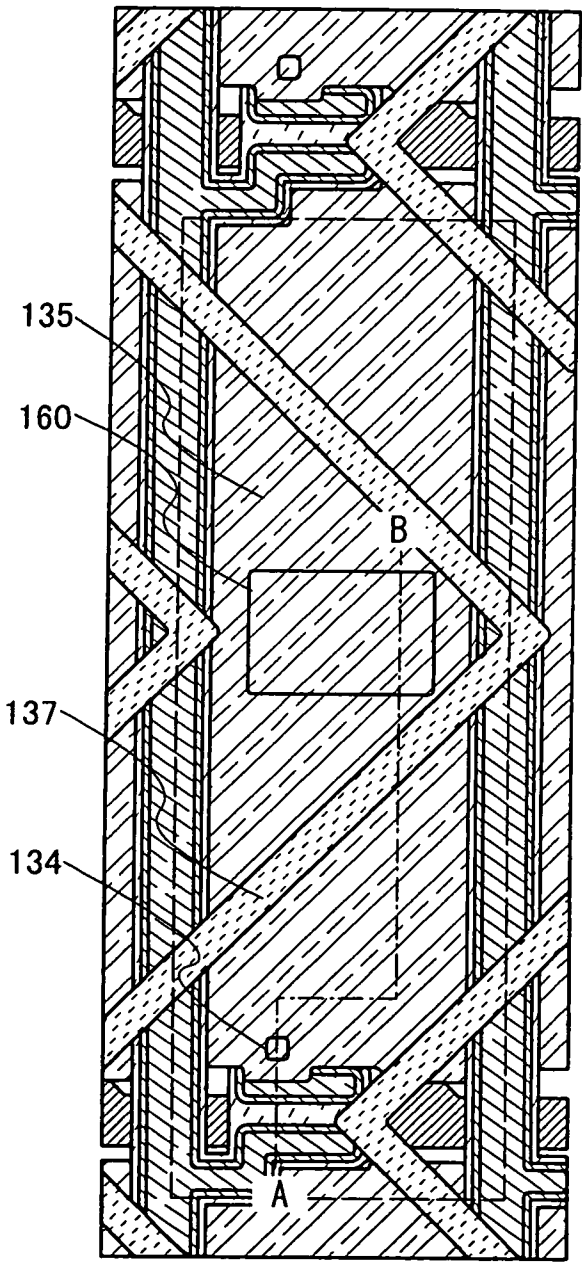


圖 30A-1

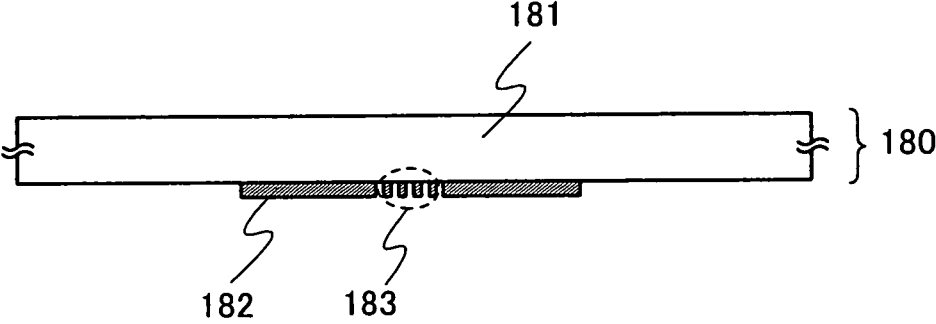


圖 30A-2

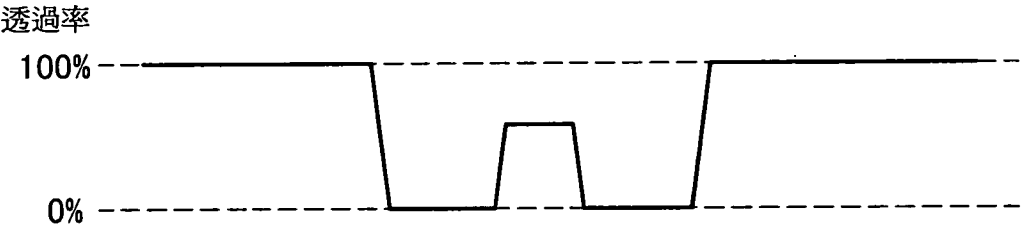


圖 30B-1

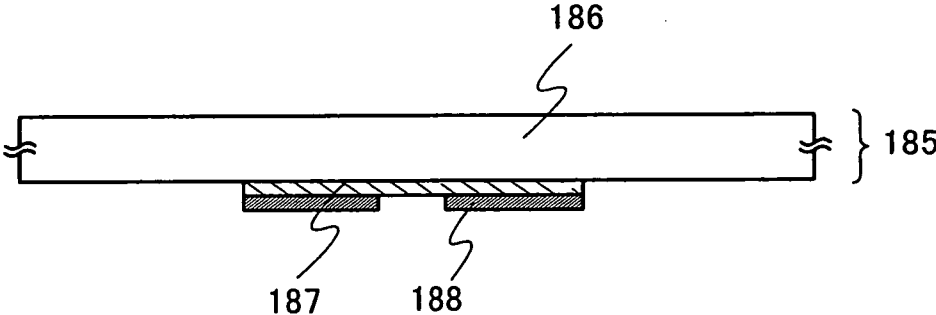


圖 30B-2

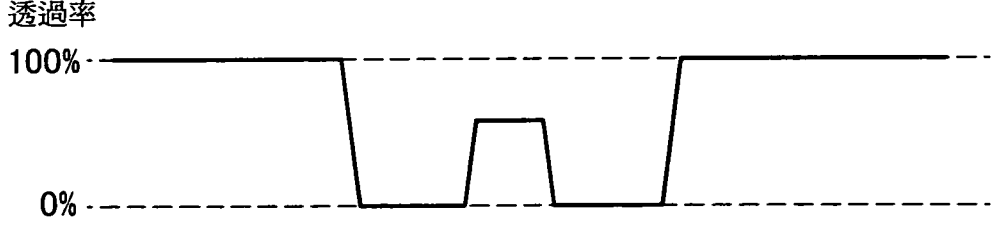


圖 31A

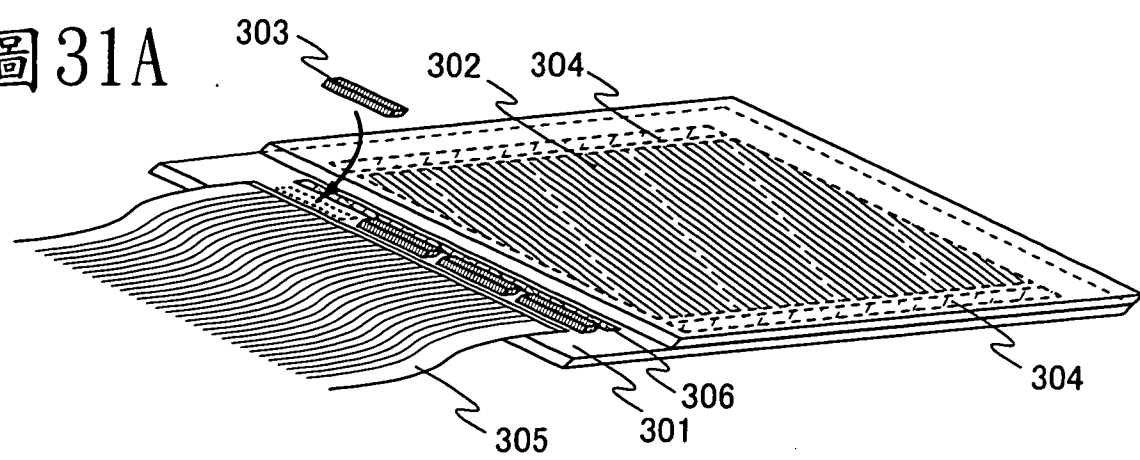


圖 31B

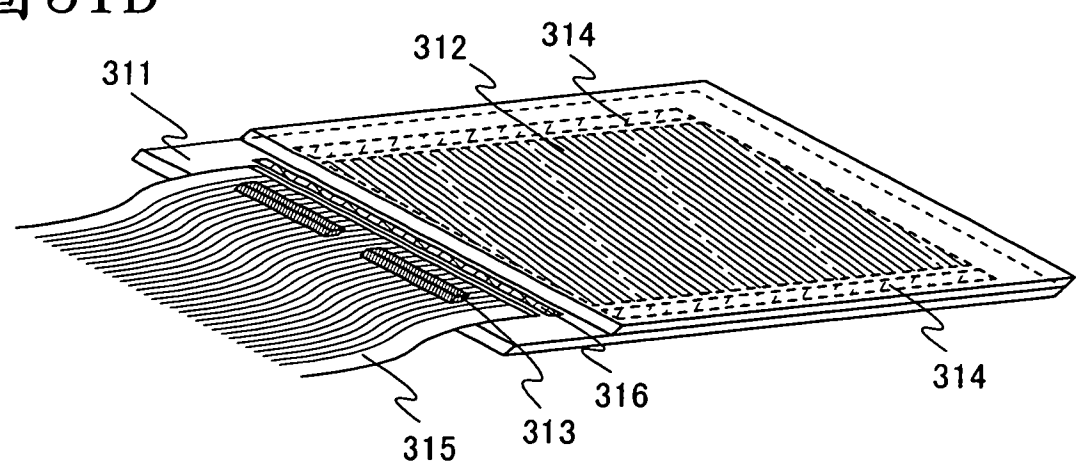


圖 31C

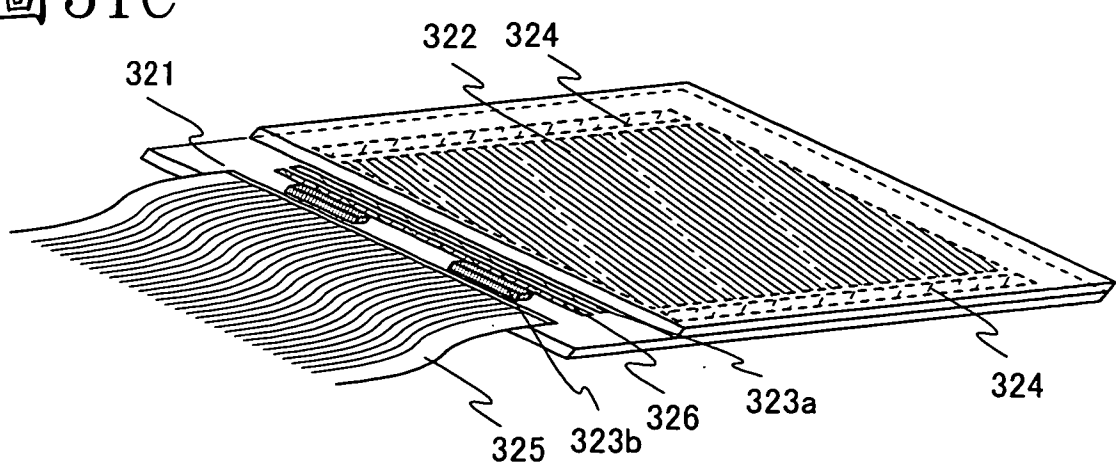


圖 32A

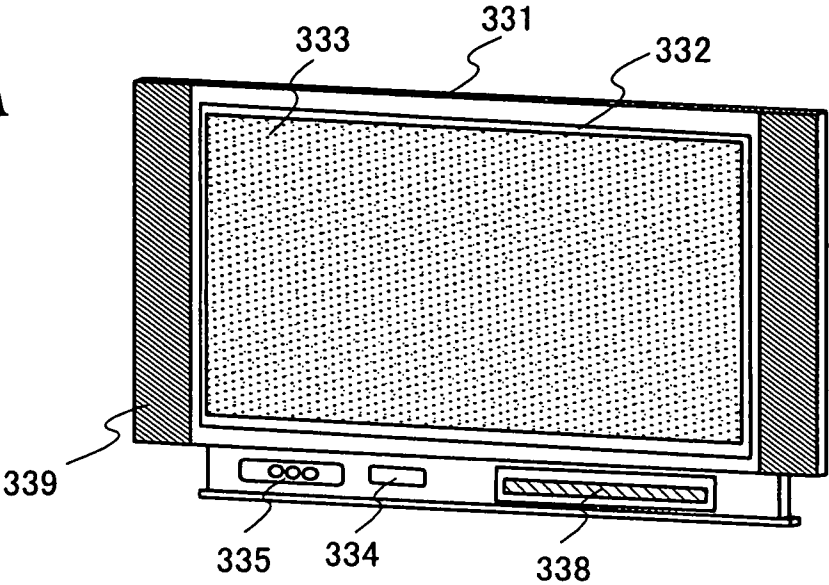


圖 32B

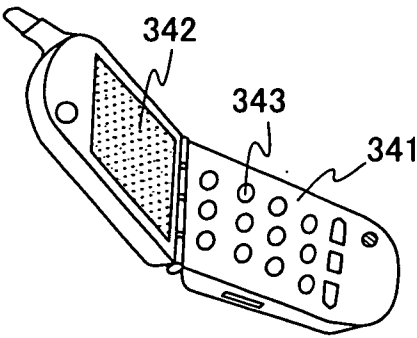


圖 32C

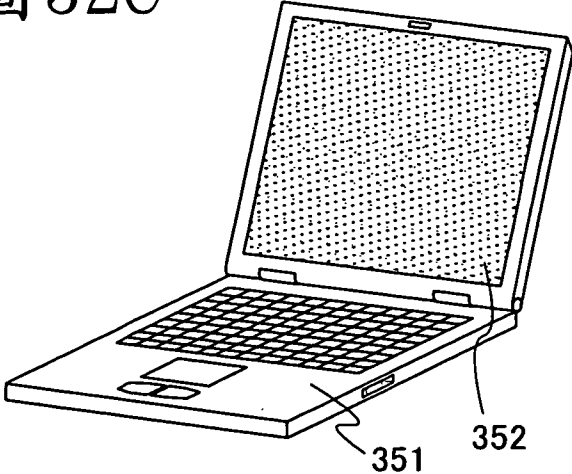


圖 32D

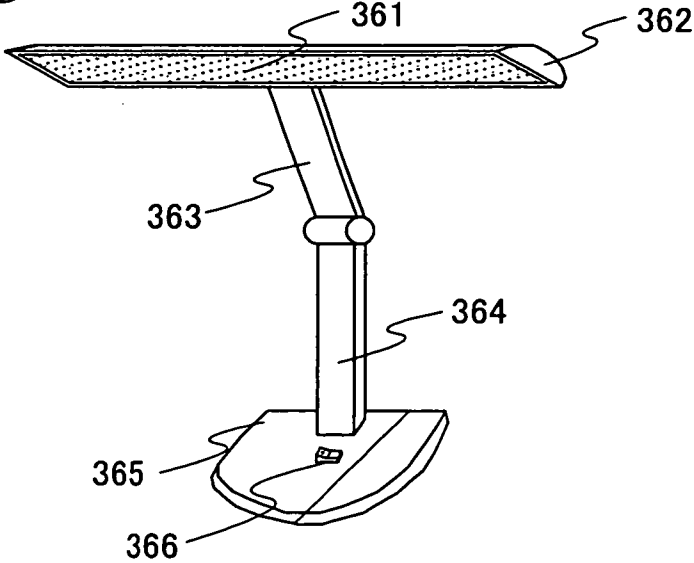


圖 33

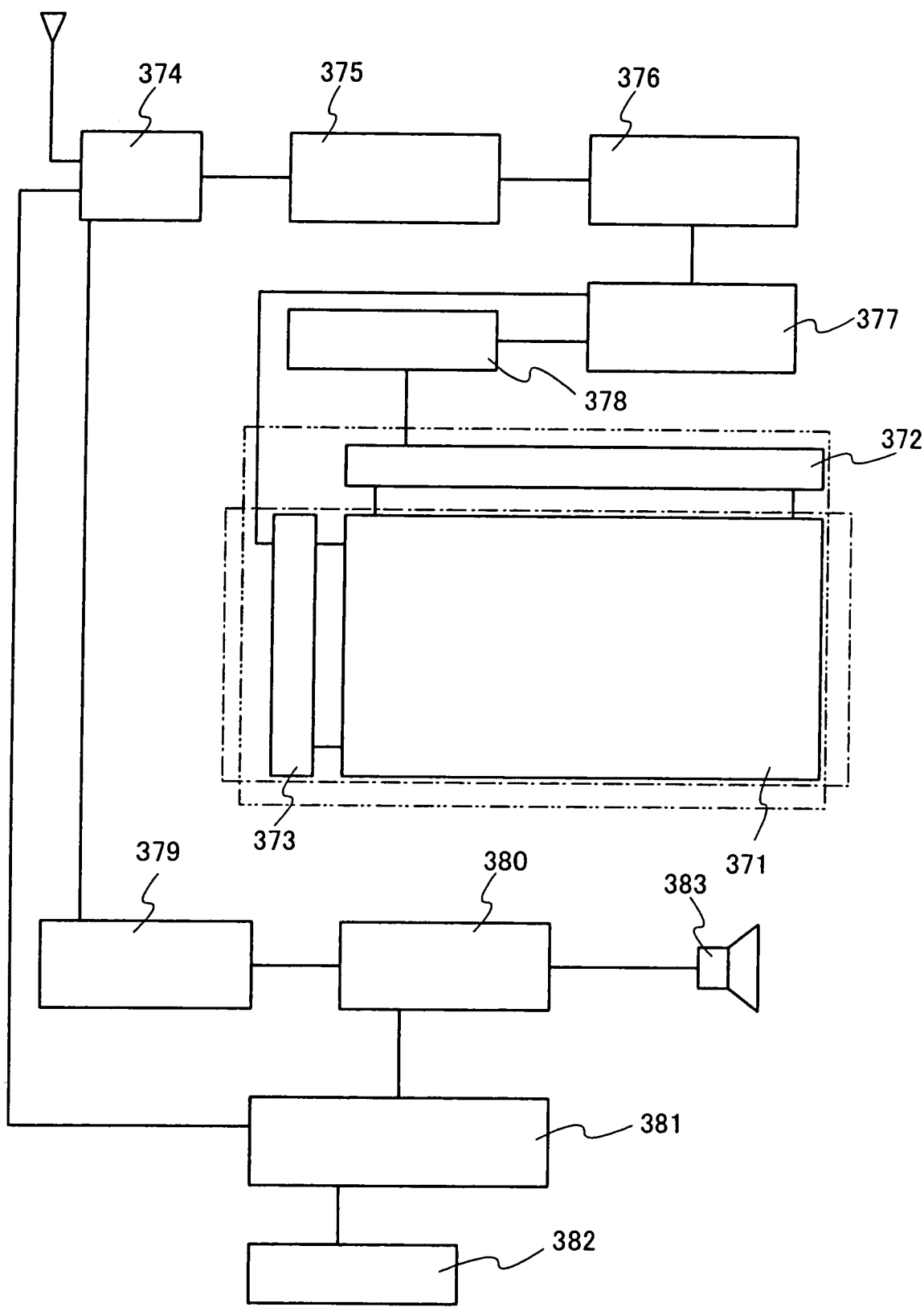


圖 34A

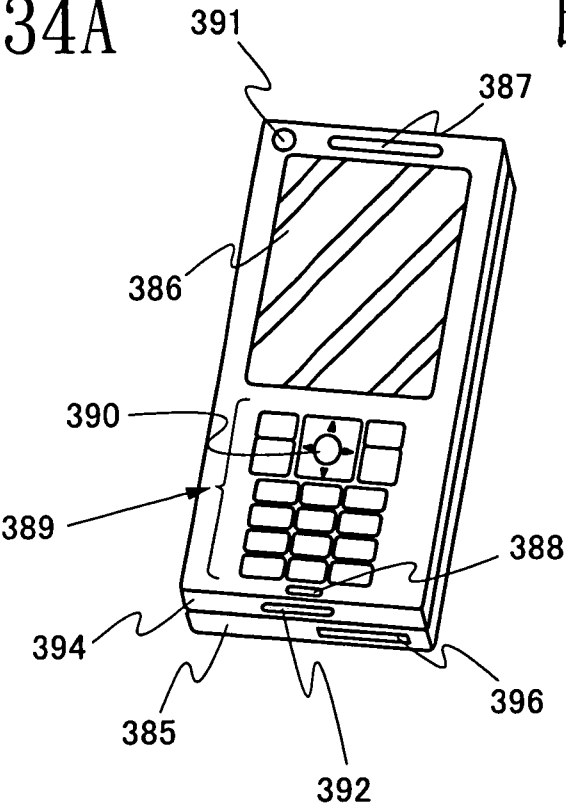


圖 34B

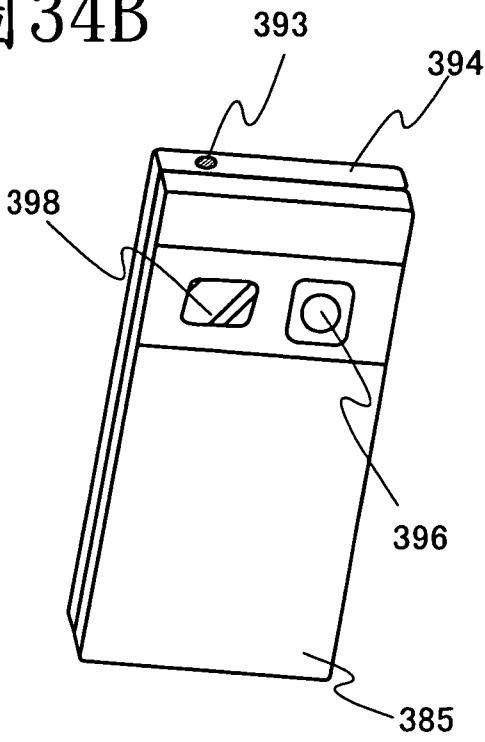


圖 34C

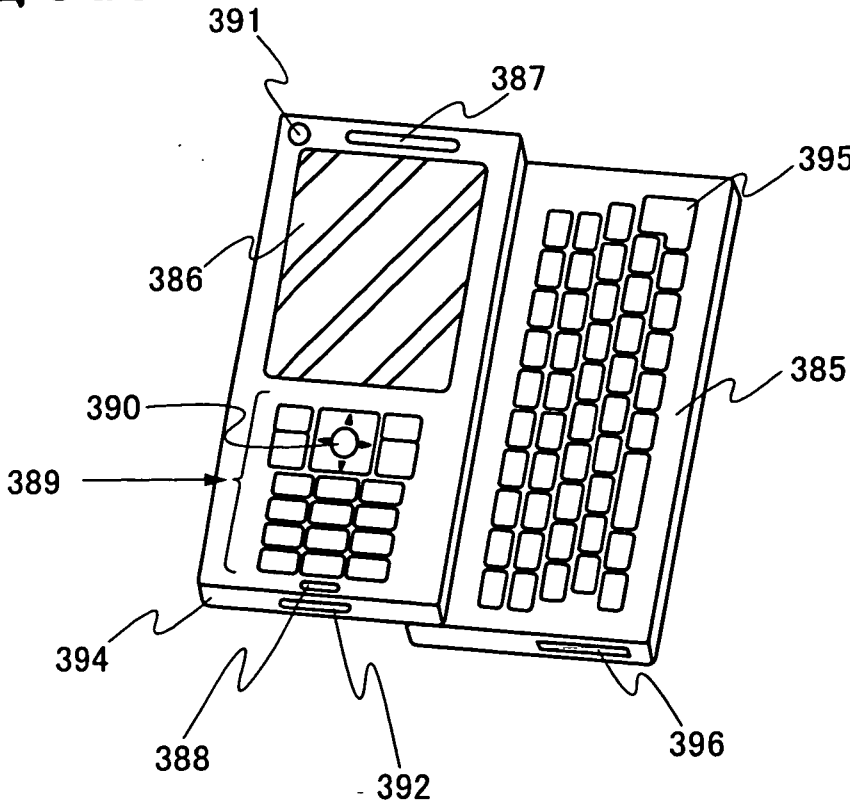


圖 35A

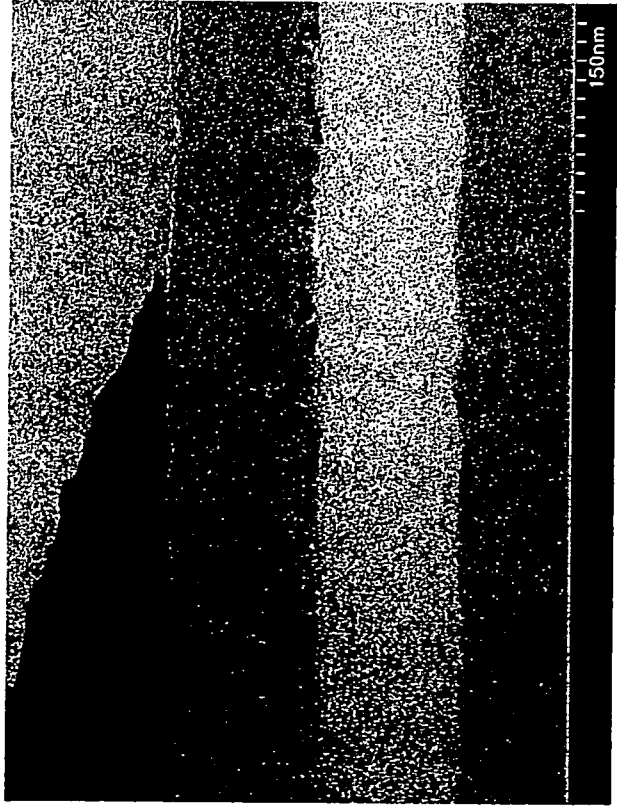


圖 35B

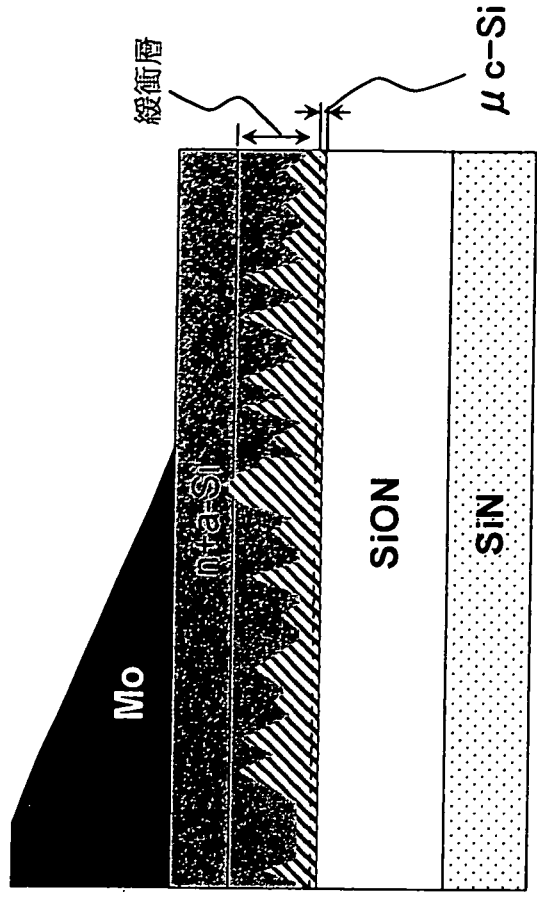


圖 36A

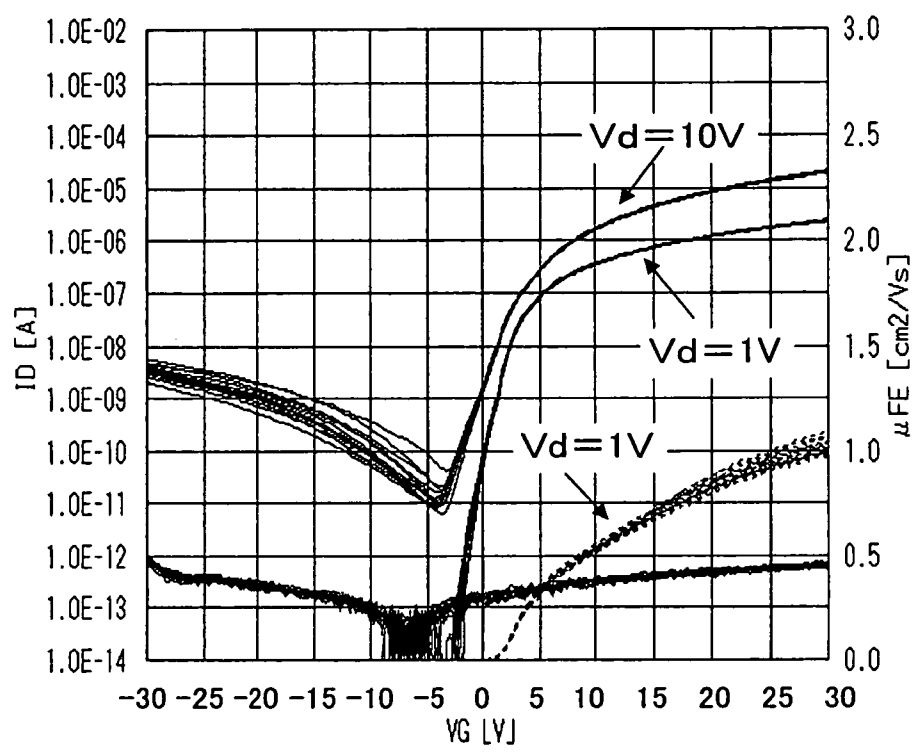


圖 36B

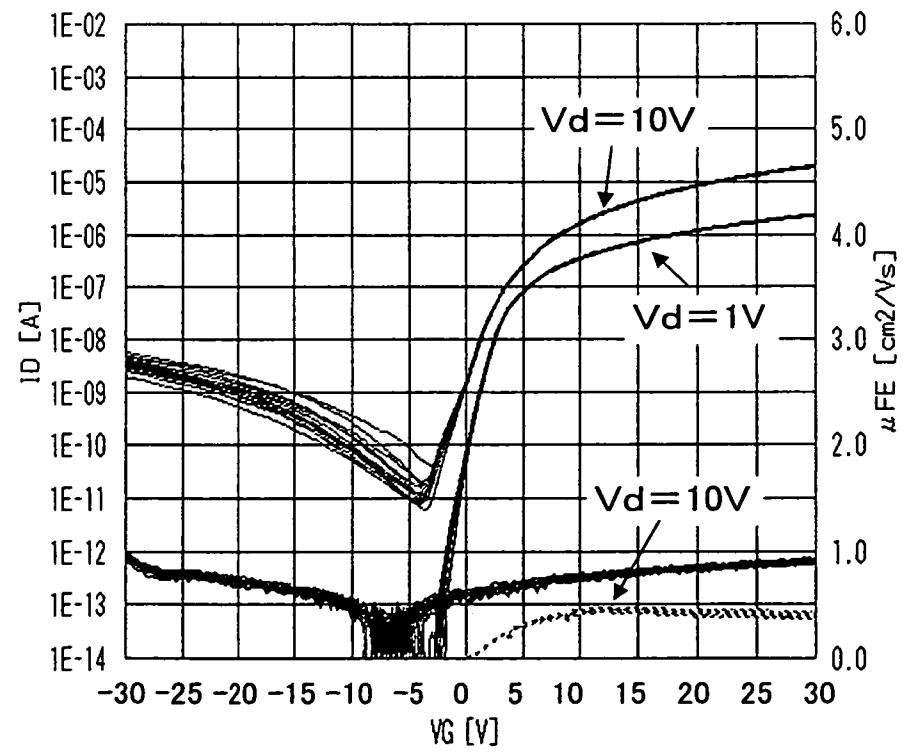


圖 37A

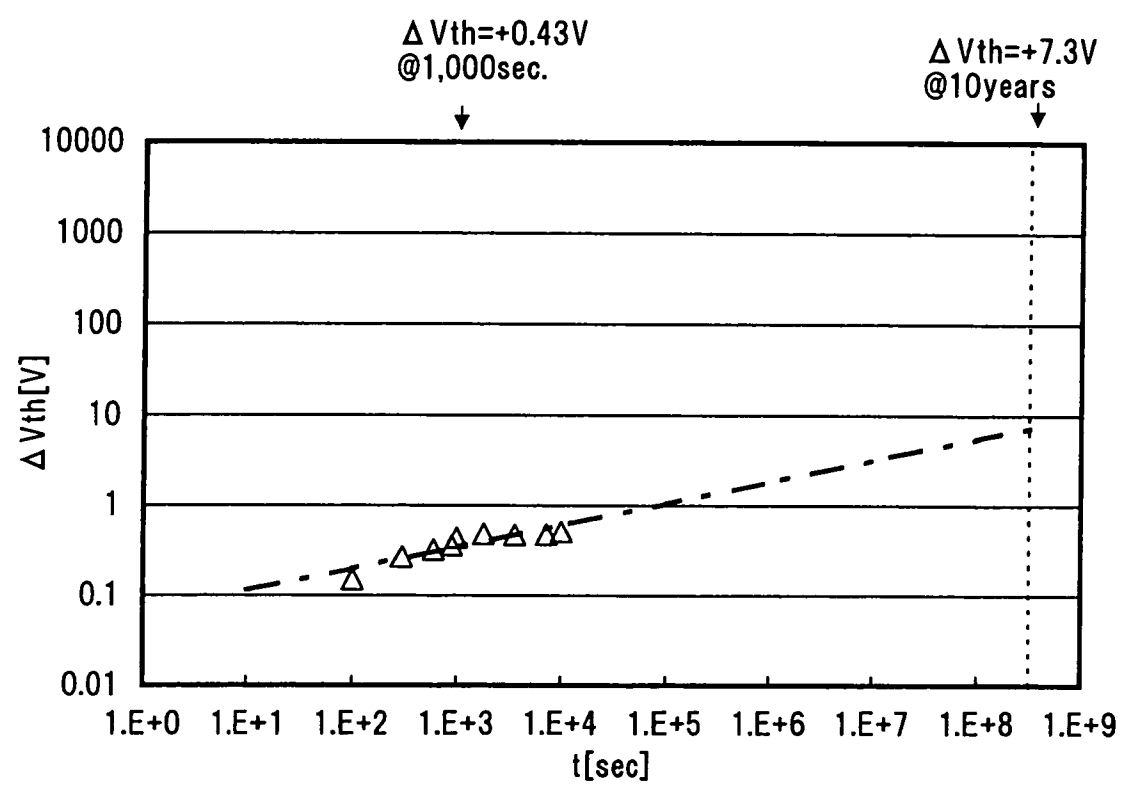


圖 37B

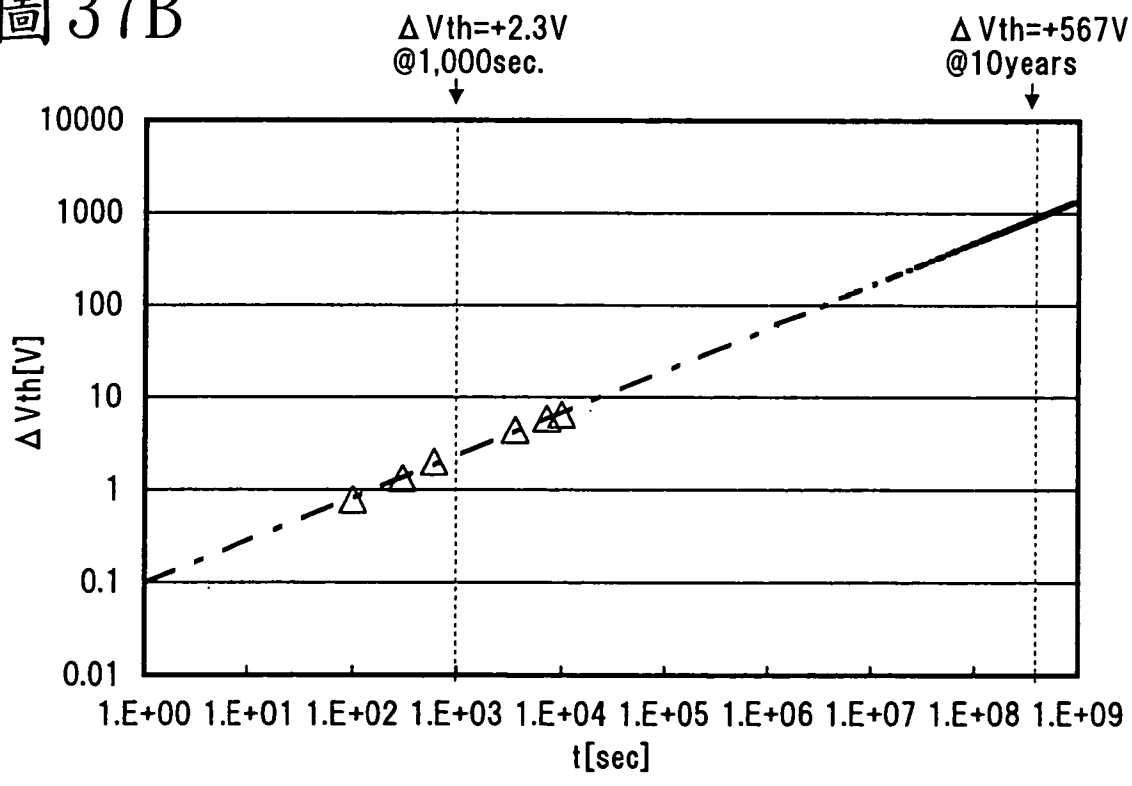


圖 38A

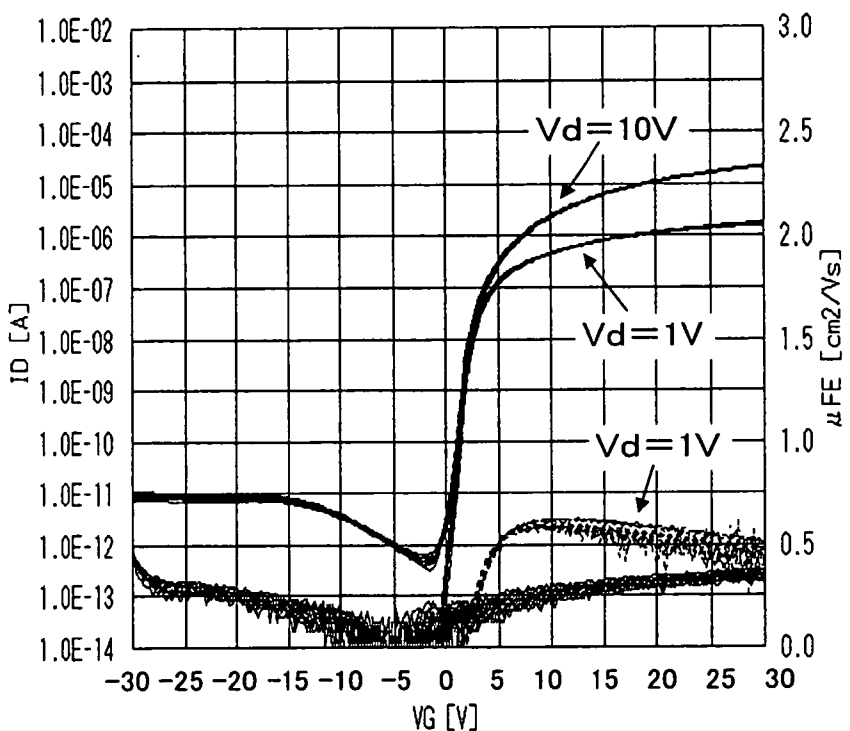


圖 38B

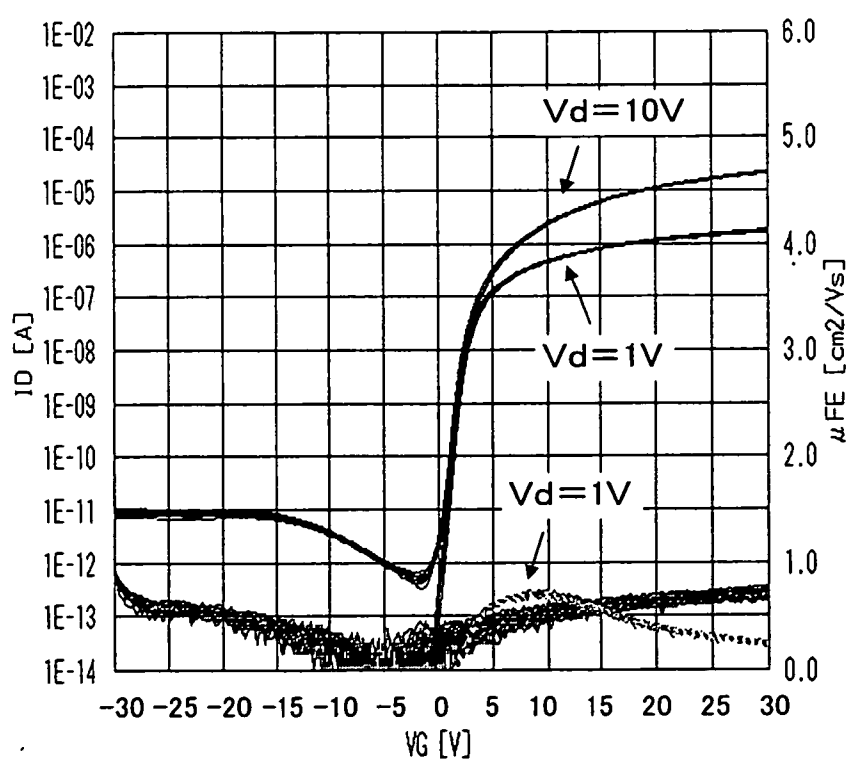


圖 39

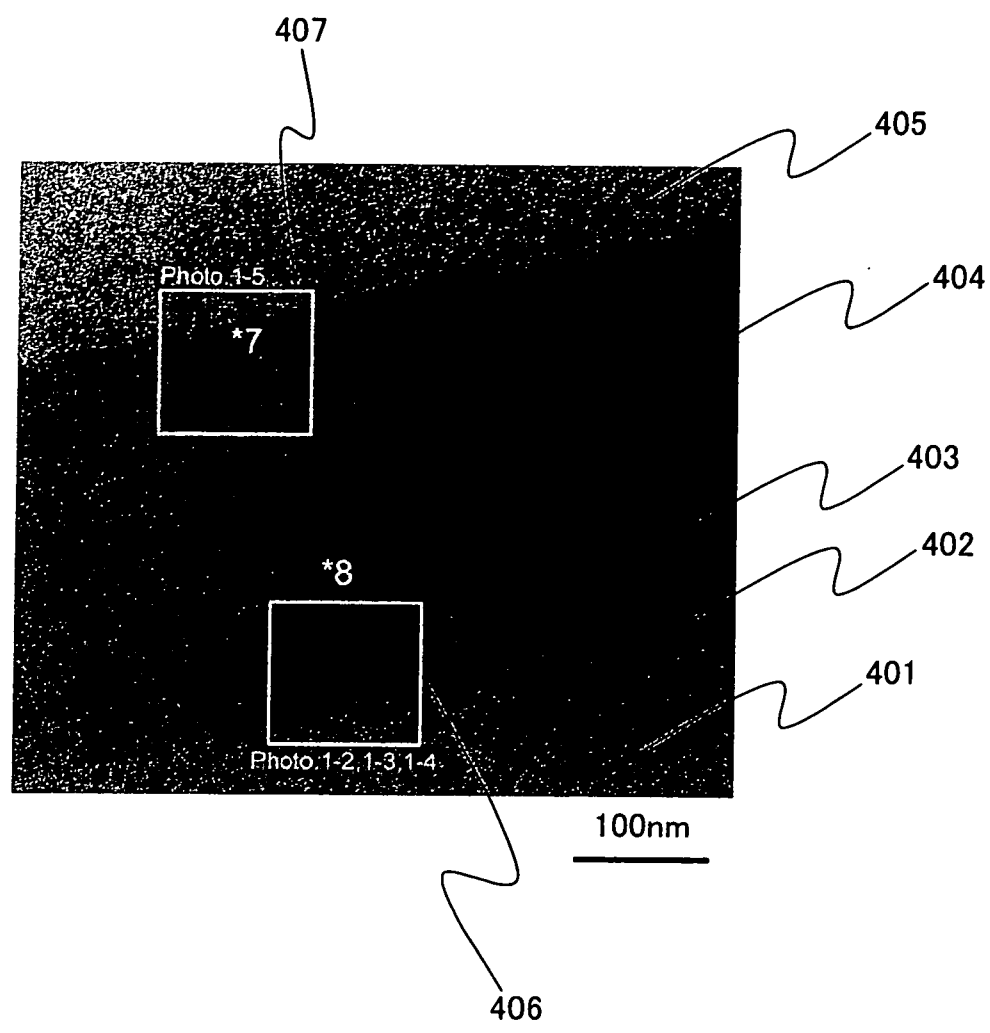


圖 40

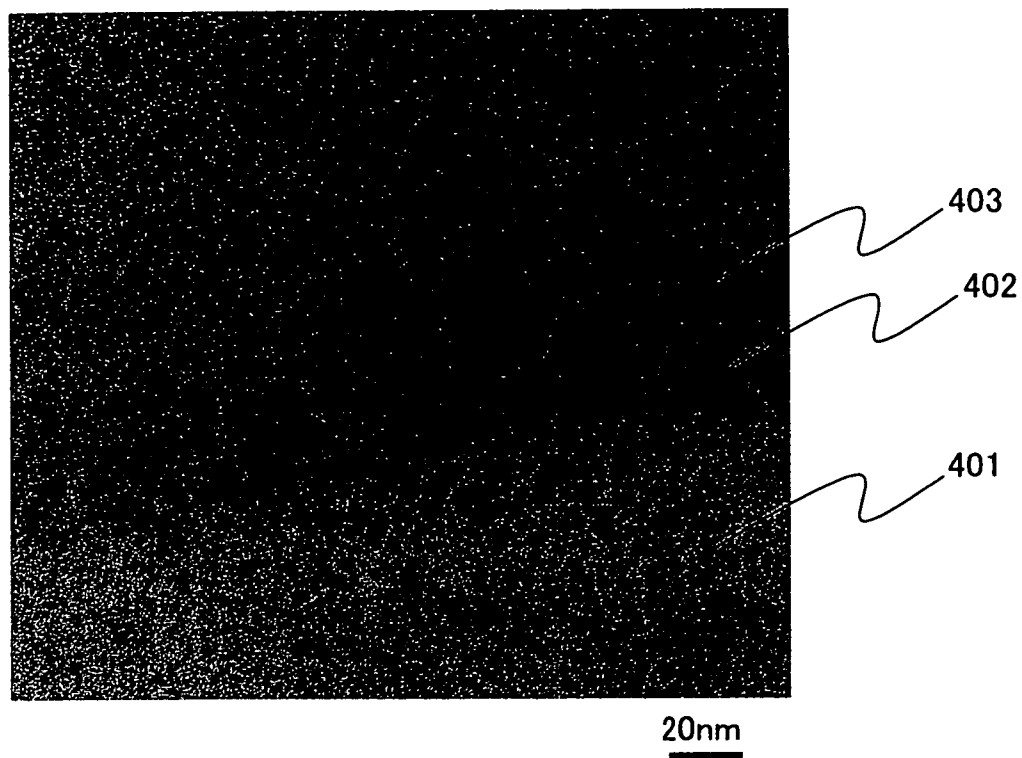
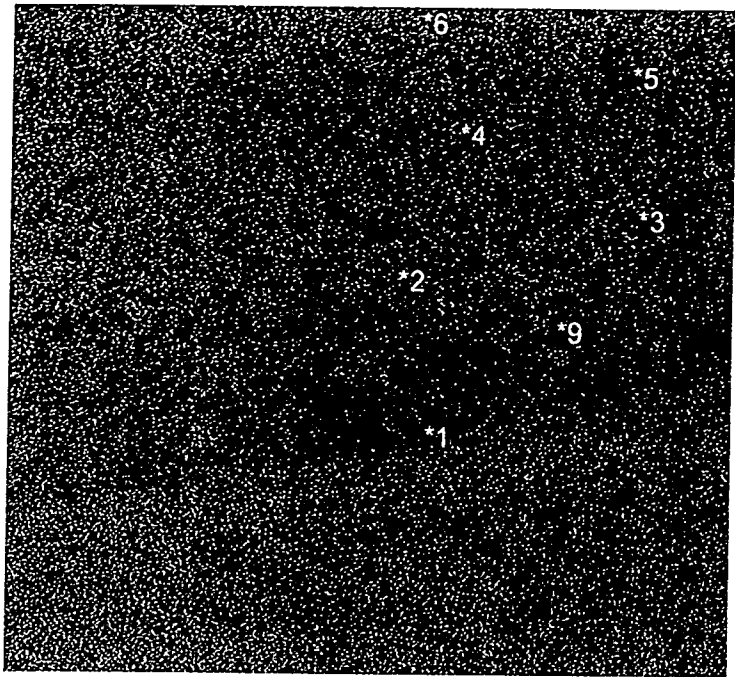


圖 41A



10nm

圖 41C

圖 41B

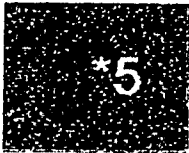


圖 41E

圖 41F

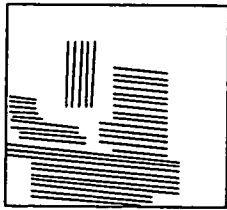
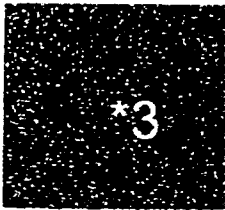


圖 41D

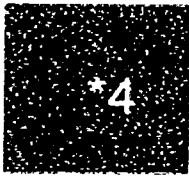


圖 41G

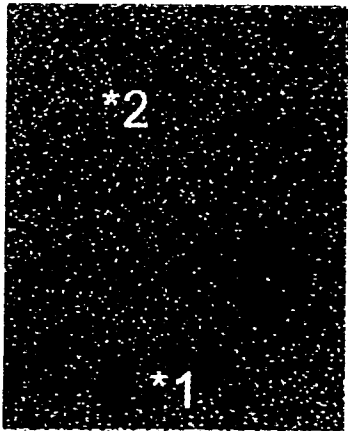


圖 41H

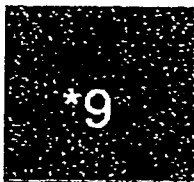


圖 42

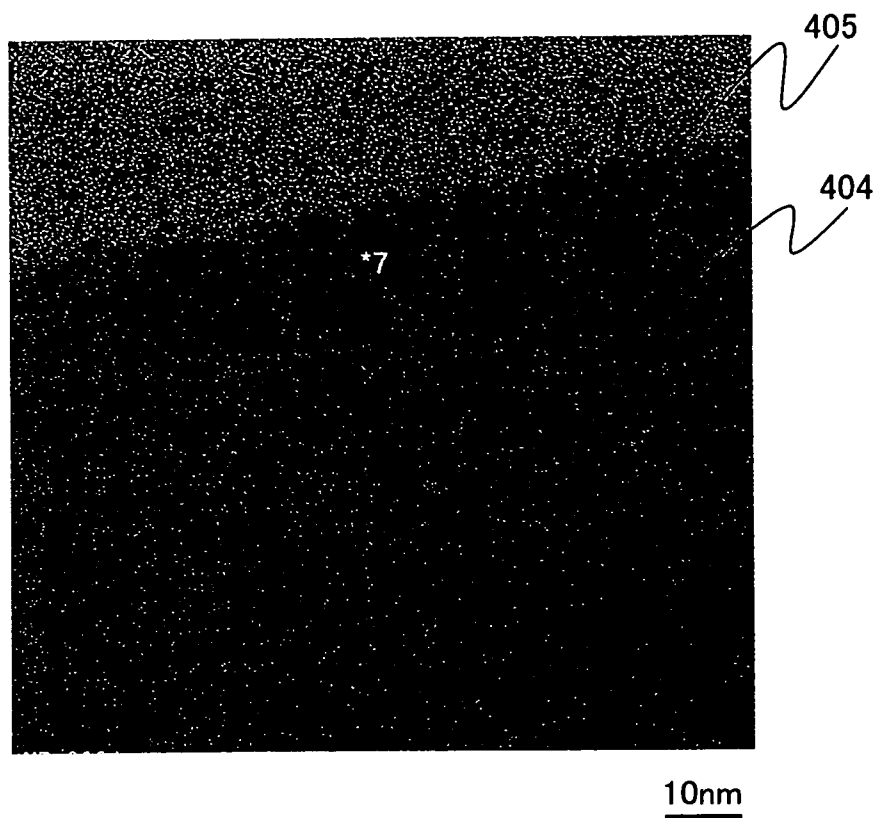


圖 43A

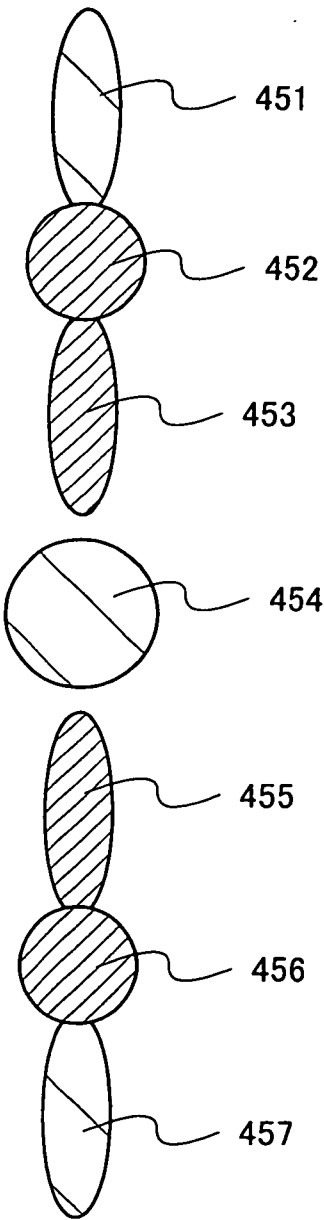


圖 43B

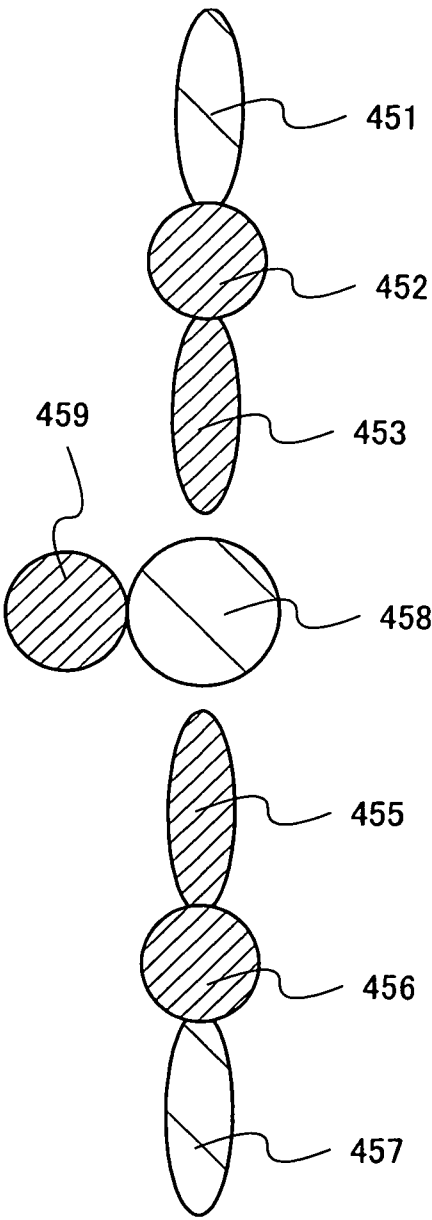
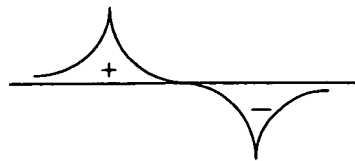


圖 44A



反鍵合性軌道

圖 44B



鍵合性軌道

圖45A

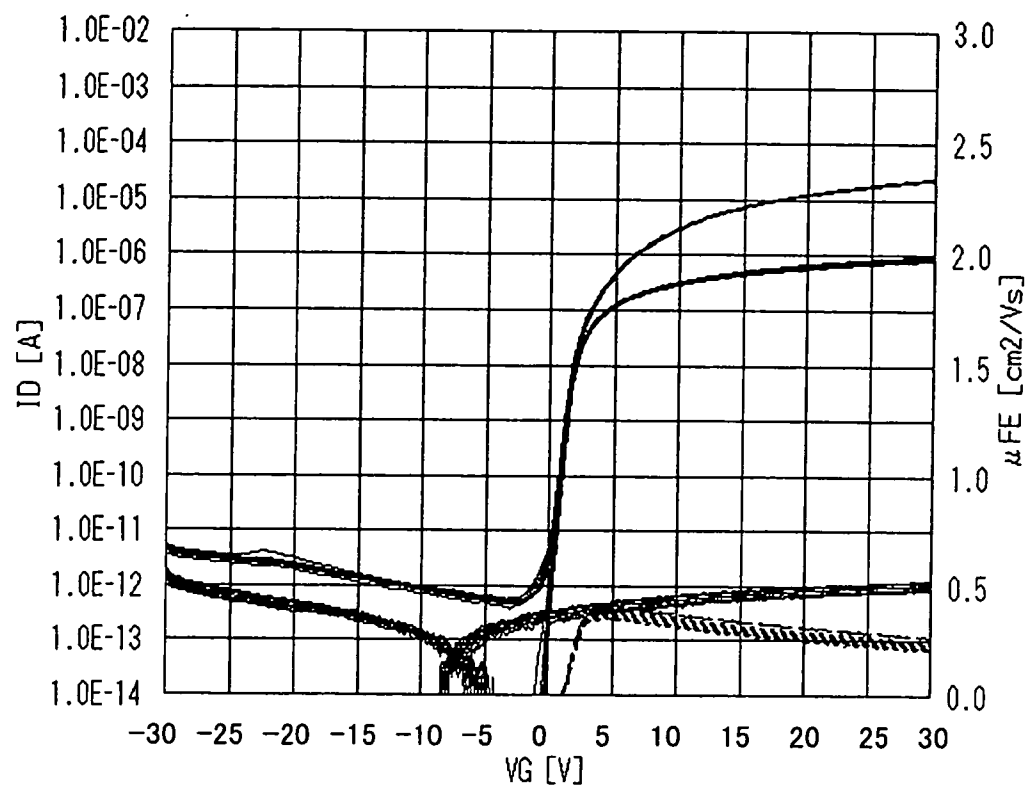


圖45B

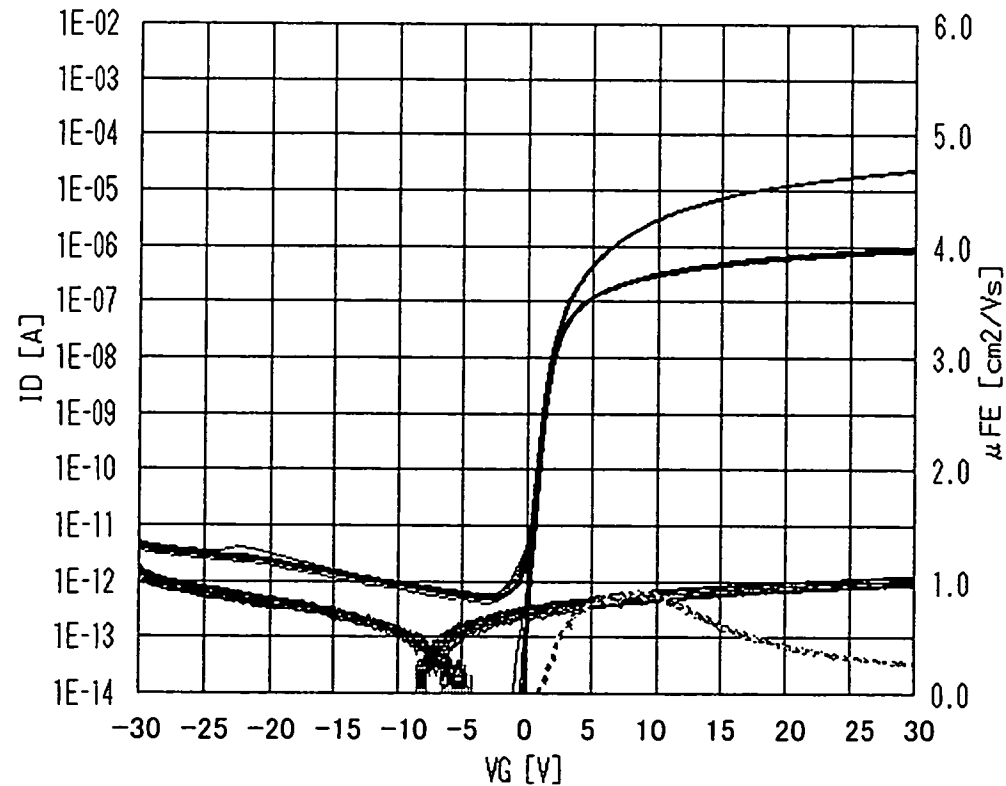


圖 46A

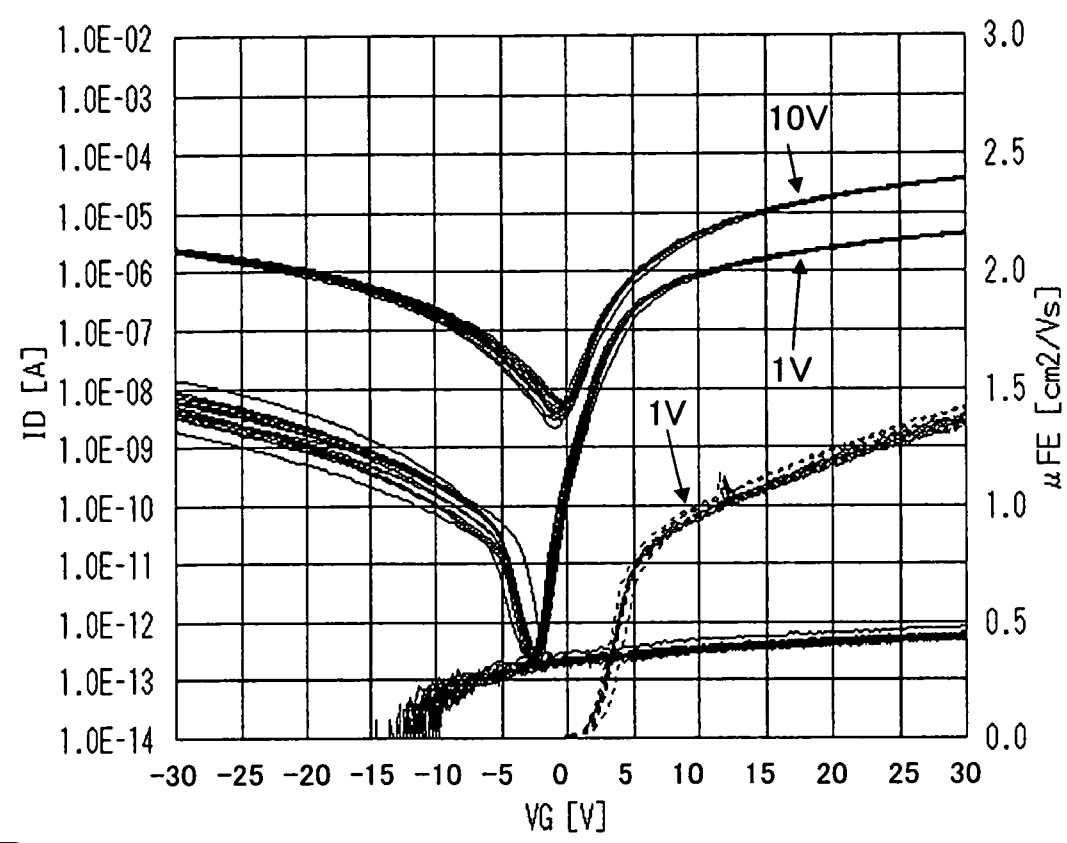


圖 46B

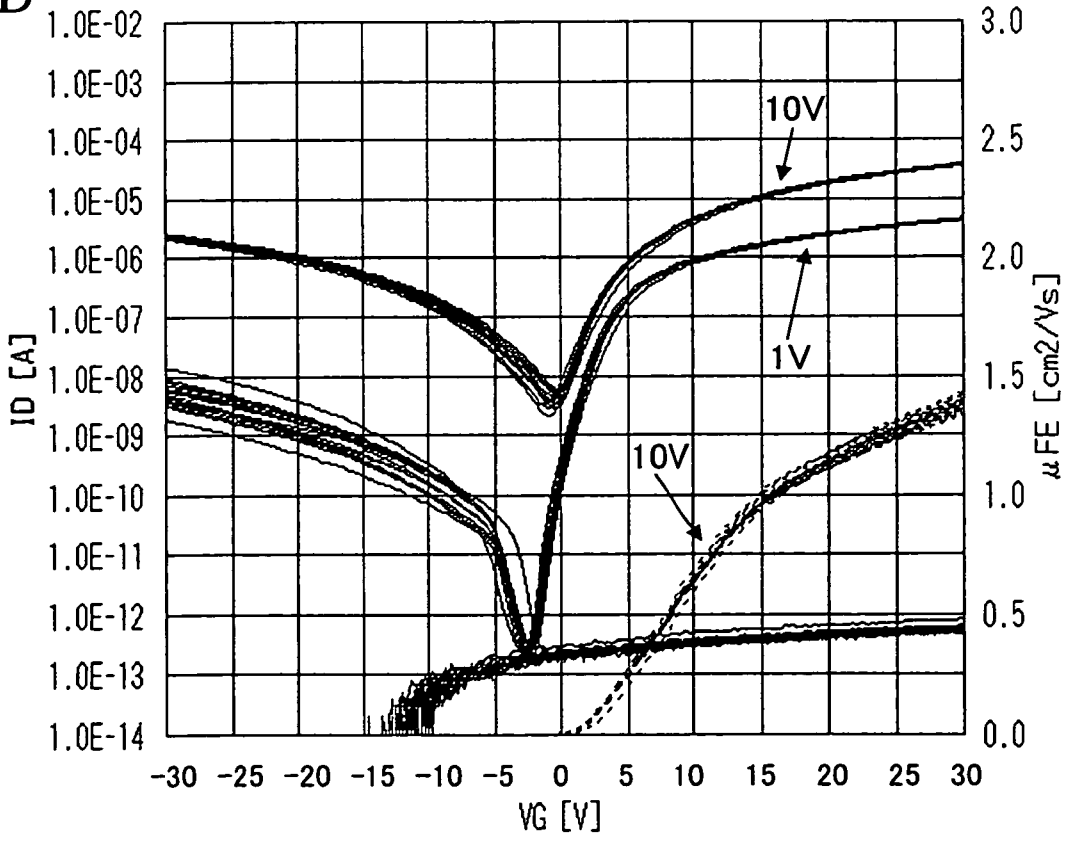


圖 47

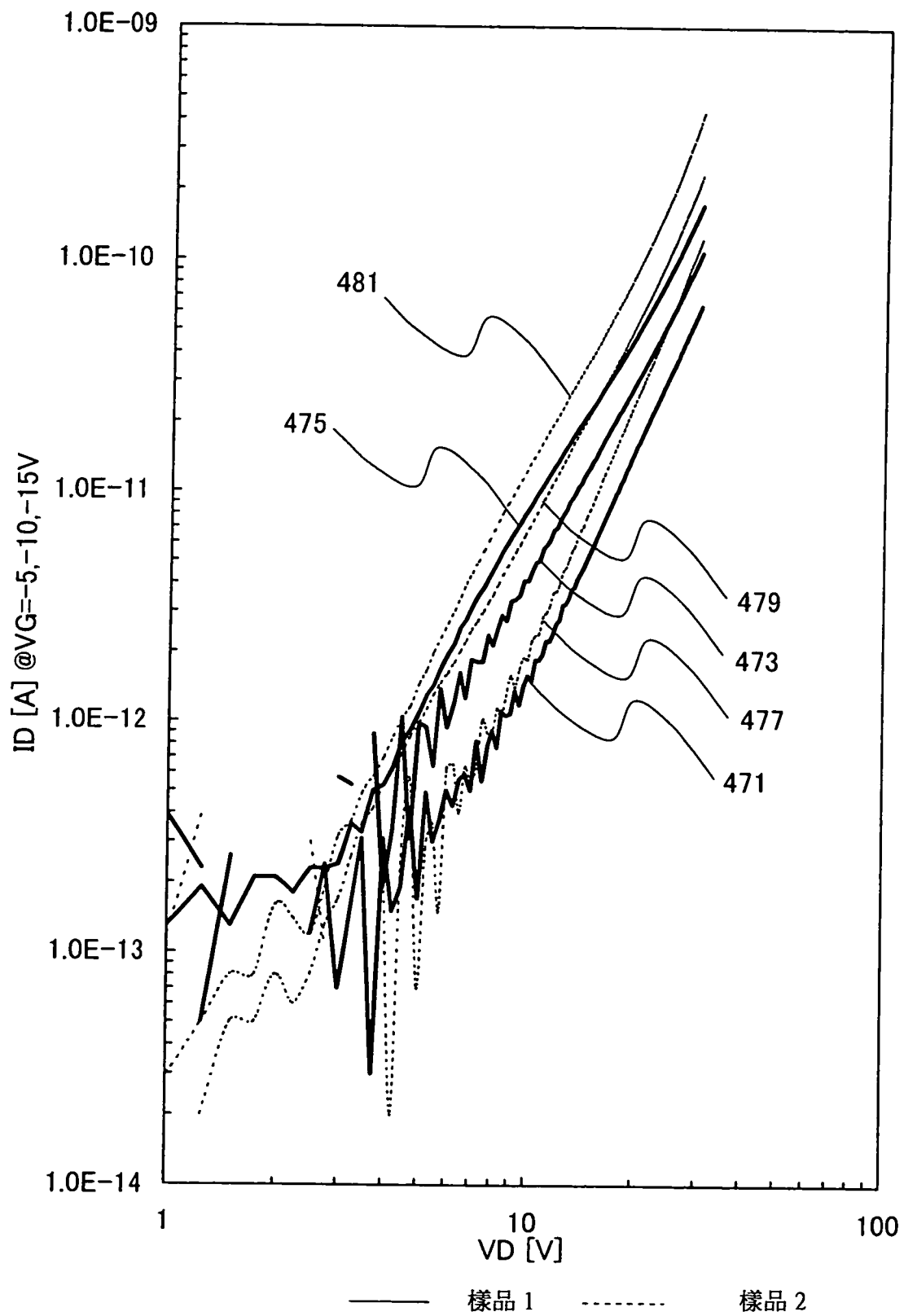


圖 48

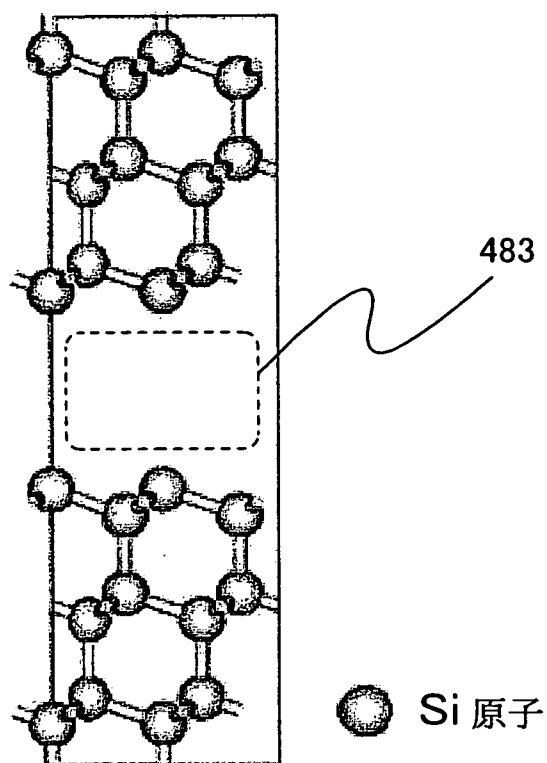


圖 49A

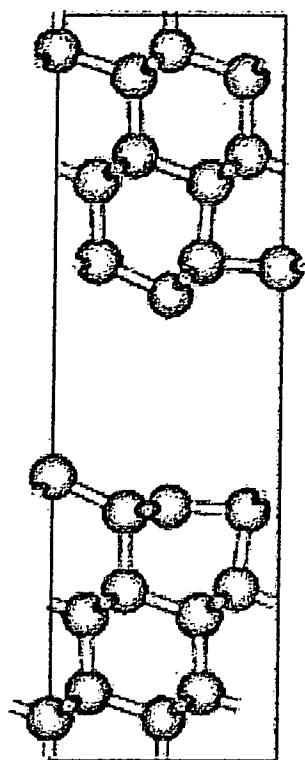


圖 49B

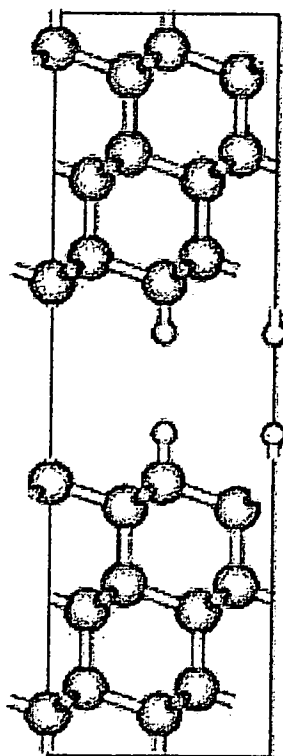
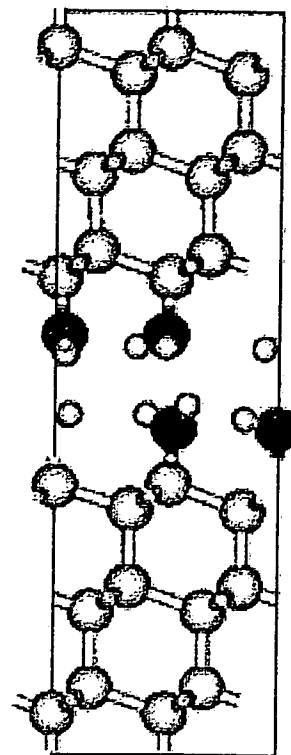


圖 49C



○ H 原子

● Si 原子

● N 原子

圖 50

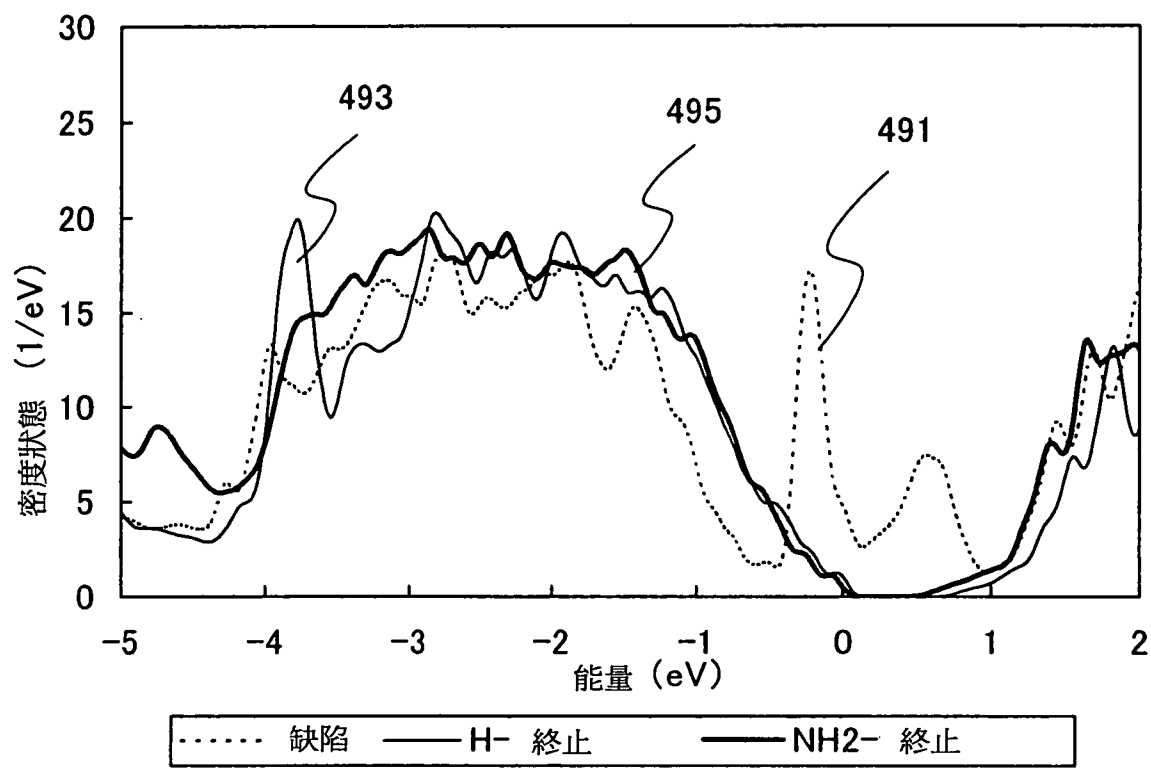


圖 51B

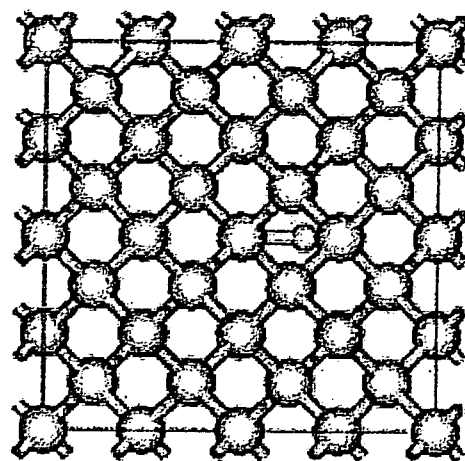


圖 51A

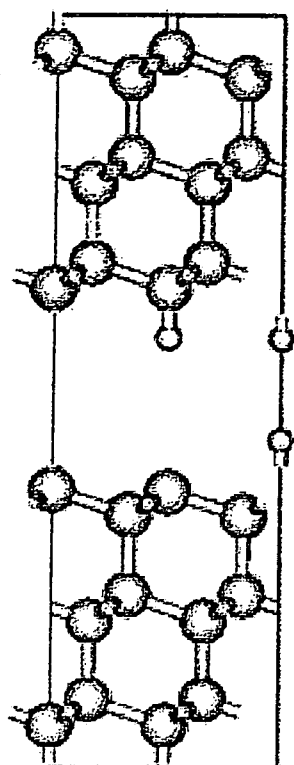


圖 51D

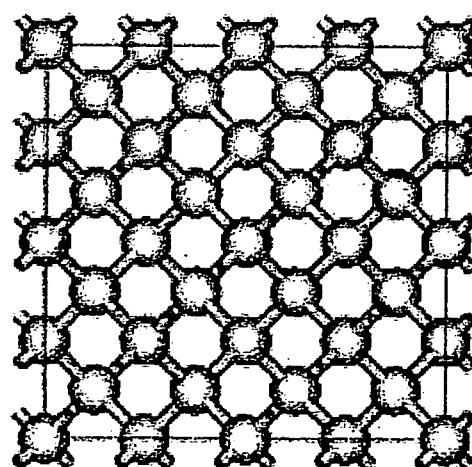
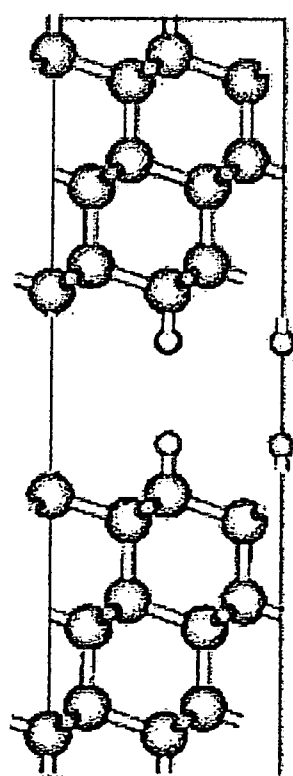


圖 51C



○ H 原子

● Si 原子

圖 52A

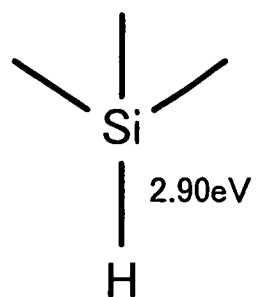


圖 52B

