

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016 年 10 月 6 日(06.10.2016)



(10) 国際公開番号

WO 2016/159385 A1

- (51) 国際特許分類:  
H01L 21/336 (2006.01) H01L 21/318 (2006.01)  
H01L 21/316 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2016/061049
- (22) 国際出願日: 2016 年 4 月 4 日(04.04.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2015-077217 2015 年 4 月 3 日(03.04.2015) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 小山 弘美(KOYAMA, Hiromi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 寺西 秀明(TERANISHI, Hideaki); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1000013 東京都千代田区霞が関 3 丁目 8 番 1 号 虎の門三

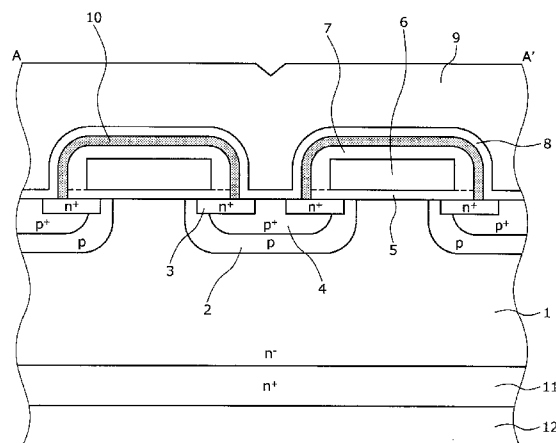
井ビルディング 5 階 酒井総合特許事務所  
Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: An interlayer insulating film (7), which is formed of a silicon oxide film containing phosphorus such as PSG and BPSG, is provided on a first main surface of an n<sup>+</sup>-type drift layer (1) so as to cover a gate electrode (6) that constitutes a MOS gate structure. A protective film (10) is provided on the surface of the interlayer insulating film (7) so as to cover the interlayer insulating film (7). The protective film (10) is formed of a material that has a smaller diffusion coefficient of mobile ions than the interlayer insulating film (7). A front surface electrode (9) that is in contact with a p-type base region (2) and an n<sup>+</sup>-type region (3) is provided on the surface of the protective film (10). Diffusion of mobile ions coming into the vicinity of the gate electrode (6) from the front surface electrode (9) side is able to be suppressed by the protective film (10), which is provided between the interlayer insulating film (7) and the front surface electrode (9), so that ionic contamination is able to be prevented. Consequently, a semiconductor device is able to be prevented from breakdowns and operational failures.

(57) 要約:

[続葉有]



WO 2016/159385 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

n 型ドリフト層 (1) の第 1 主面には、MOS ゲート構造を構成するゲート電極 (6) を覆うように PSG や BPSG 等のリンを含む酸化シリコン膜からなる層間絶縁膜 (7) が設けられている。層間絶縁膜 (7) の表面には、層間絶縁膜 (7) を覆うように保護膜 (10) が設けられている。保護膜 (10) は、層間絶縁膜 (7) よりも可動イオンの拡散係数の小さい材料からなる。保護膜 (10) の表面には、p 型ベース領域 (2) および n<sup>+</sup> 型領域 (3) に接するおもて面電極 (9) が設けられている。層間絶縁膜 (7) とおもて面電極 (9) との間に設けた保護膜 (10) によって、おもて面電極 (9) 側からゲート電極 (6) 付近へ侵入する可動イオンの拡散を抑制することができ、イオン汚染を防止することができる。それによって、半導体装置の故障や動作不良を防止することができる。

## 明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、半導体装置に関する。

背景技術

[0002] パワーモジュール等に搭載されるパワーデバイスなどの半導体装置では、外部からのイオン汚染による故障を防止する対策として電極上に保護膜を形成することが公知である。例えば、絶縁ゲート型電界効果トランジスタ（MOSFET: Metal Oxide Semiconductor Field Effect Transistor）や絶縁ゲート型バイポーラトランジスタ（IGBT: Insulated Gate Bipolar Transistor）など電力変換装置用のパワー半導体装置では、大電流を流すため、おもて面電極を露出させる開口部（コンタクトホール）を大きくする必要がある。

[0003] また、パワー半導体装置では、LSI（Large Scale Integration: 大規模集積回路）や、横型半導体装置を集積したパワーIC（Integrated Circuit: 集積回路）のようにおもて面電極の全面を保護膜で覆い、チップ外周部に形成した小さい開口部からおもて面電極とのコンタクトをとることができない。このため、外部から侵入したイオンを捕える効果を有する層間絶縁膜をおもて面電極とゲート電極との間に形成し、故障の原因となる虞のあるイオンがおもて面電極側からゲート電極付近に侵入することを防止している。

[0004] 従来の半導体装置の構造について、プレーナゲート型IGBTを例に説明する。図8は、従来の半導体装置の構造を示す断面図である。図8には、オン状態のときに電流が流れる活性領域の断面構造を示す。図8に示すように、従来の半導体装置において、n-型ドリフト層101の一方の主面側には、プレーナゲート型のMOSゲート（金属－酸化膜－半導体からなる絶縁ゲ-

ト)構造が設けられている。MOSゲート構造は、p型ベース領域102、n<sup>+</sup>型エミッタ領域103、p<sup>+</sup>型コンタクト領域104、ゲート絶縁膜105およびゲート電極106からなる。ゲート電極106の表面には、層間絶縁膜107が設けられている。

[0005] 層間絶縁膜107の表面には、窒化チタン(TiN)膜などのバリアメタル108が設けられている。バリアメタル108は、層間絶縁膜107を深さ方向に貫通するコンタクトホールに露出されたn<sup>+</sup>型エミッタ領域103およびp<sup>+</sup>型コンタクト領域104に接する。バリアメタル108上には、エミッタ電極となるおもて面電極109が設けられている。n<sup>-</sup>型ドリフト層101の他方の主面には、p<sup>+</sup>型コレクタ領域111が設けられている。コレクタ電極となる裏面電極112は、p<sup>+</sup>型コレクタ領域111に接する。

[0006] このようにゲート電極付近へのイオンの侵入を防止した装置として、ゲート電極と金属配線層との間の絶縁層として窒化膜を用いた装置が提案されている(例えば、下記特許文献1参照。)。下記特許文献1では、PSG(Phospho Silicate Glass)等の絶縁層に代えて、窒化シリコン(SiN)等からなる窒化膜がゲート電極の上に形成されている。また、別の装置として、浮遊ゲートおよび選択ゲート等のポリシリコン層と層間絶縁膜との間に、汚染物質遮断層として窒化膜を設けた装置が提案されている(例えば、下記特許文献2参照。)。

## 先行技術文献

### 特許文献

- [0007] 特許文献1：特開平11-330090号公報  
特許文献2：特開平05-145047号公報

## 発明の概要

### 発明が解決しようとする課題

- [0008] しかしながら、上述したように、パワー半導体装置では、大電流を流すため、おもて面電極109(電極パッド)を露出させる開口部を大きくする必

要がある。また、活性領域に配置されるおもて面電極 109 は配線層（不図示）とのコンタクトをとるために露出させる必要があり、おもて面電極 109 上には保護膜を形成することができない。このため、おもて面電極 109 中からまたは外部からおもて面電極 109 を通ってゲート電極 106 付近や半導体部中に侵入したイオンによって活性領域が汚染され、半導体装置の故障や動作不良を招く虞がある。

[0009] この発明は、上述した従来技術による問題点を解消するため、故障や動作不良を防止することができる半導体装置を提供することを目的とする。

### 課題を解決するための手段

[0010] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第 1 導電型の半導体層の第 1 主面に沿って、第 2 導電型の第 1 半導体領域が設けられている。前記第 1 半導体領域の内部に、第 1 導電型の第 2 半導体領域が選択的に設けられている。前記第 2 半導体領域と前記半導体層との間の前記第 1 半導体領域の第 1 主面に沿って、ゲート絶縁膜が設けられている。前記ゲート絶縁膜を挟んで前記第 1 半導体領域の反対側に、ゲート電極が設けられている。前記ゲート電極を覆うように、層間絶縁膜が設けられている。前記層間絶縁膜を覆うように、保護膜が設けられている。前記保護膜は、前記層間絶縁膜よりも可動イオンの拡散係数の小さい絶縁材料からなる。前記保護膜を覆うように、第 1 電極が設けられている。前記第 1 電極は、前記第 1 半導体領域および前記第 2 半導体領域に電氣的に接続されている。前記半導体層の第 2 主面に沿って、第 3 半導体領域が設けられている。第 2 電極は、前記第 3 半導体領域に接続されている。

[0011] また、この発明にかかる半導体装置は、上述した発明において、前記保護膜は、窒化シリコンからなることを特徴とする。

[0012] また、この発明にかかる半導体装置は、上述した発明において、前記層間絶縁膜は、リンを含む酸化シリコン、または、リンおよびボロンを含む酸化シリコンからなることを特徴とする。

- [0013] また、この発明にかかる半導体装置は、上述した発明において、前記保護膜と前記第1電極との間に、前記第1電極と前記第1半導体領域および前記第2半導体領域との相互反応を防止する金属膜をさらに備えることを特徴とする。
- [0014] また、この発明にかかる半導体装置は、上述した発明において、第1導電型の前記第3半導体領域を備えることを特徴とする。
- [0015] また、この発明にかかる半導体装置は、上述した発明において、第2導電型の前記第3半導体領域を備えることを特徴とする。
- [0016] また、この発明にかかる半導体装置は、上述した発明において、前記半導体層の第1主面に沿って延びる前記ゲート電極を備えたプレーナゲート構造を有することを特徴とする。
- [0017] また、この発明にかかる半導体装置は、上述した発明において、前記半導体層の第1主面と直交する方向に延びる前記ゲート電極を備えたトレンチゲート構造を有することを特徴とする。
- [0018] 上述した発明によれば、おもて面電極側から侵入する可動イオンの拡散が保護膜中において抑制される。このため、保護膜の厚さを適宜設定することで、外部からおもて面電極を通して保護膜に移動（拡散）する可動イオンをほぼ保護膜中に留めることができる。これにより、おもて面電極の形成以降に、ゲート電極付近や半導体部中に可動イオンが侵入することを抑制することができ、活性領域のイオン汚染を防止することができる。また、上述した発明によれば、可動イオンの侵入を防止するための保護膜を段差被覆性の高い層間絶縁膜の表面に設けることで、層間絶縁膜と同程度に保護膜が平坦化される。このため、保護膜の表面に設けられるおもて面電極に巣（孔）が生じない。したがって、層間絶縁膜とおもて面電極との間に保護膜を設けたとしても所定の電気的特性を維持することができる。

## 発明の効果

- [0019] 本発明にかかる半導体装置によれば、故障や動作不良を防止することができるという効果を奏する。

## 図面の簡単な説明

[0020] [図1]図1は、実施の形態1にかかる半導体装置の平面レイアウトを示す平面図である。

[図2]図2は、図1の切断線A-A'における断面構造を示す断面図である。

[図3]図3は、実施の形態2にかかる半導体装置の構造を示す断面図である。

[図4]図4は、実施の形態3にかかる半導体装置の構造を示す断面図である。

[図5]図5は、実施の形態4にかかる半導体装置の構造を示す断面図である。

[図6]図6は、可動イオンの拡散係数と温度との関係を示す特性図である。

[図7A]図7Aは、可動イオンの拡散長と拡散時間との関係を示す特性図である。

[図7B]図7Bは、可動イオンの拡散長と拡散時間との関係を示す特性図である。

[図8]図8は、従来の半導体装置の構造を示す断面図である。

## 発明を実施するための形態

[0021] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0022] (実施の形態1)

実施の形態1にかかる半導体装置の構造について説明する。図1は、実施の形態1にかかる半導体装置の平面レイアウトを示す平面図である。図1に示すように、実施の形態1にかかる半導体装置は、半導体チップ上に、オン状態のときに電流が流れる活性領域20aと、活性領域20aの周囲を囲む耐圧構造領域20bと、を備える。活性領域20aにおいて、チップ最表面には、おもて面電極（電極パッド（第1電極））9およびゲートパッド16

が互いに離れて設けられている。

[0023] 活性領域 20a のおもて面電極 9 およびゲートパッド 16 は、チップおもて面を覆うパッシベーション膜（不図示）を深さ方向に貫通する開口部（コンタクトホール）に露出されている。耐压構造領域 20b において、チップおもて面はパッシベーション膜で覆われている。耐压構造領域 20b は、チップおもて面側の電界を緩和し耐压を保持する領域である。耐压構造領域 20b は、例えばガードリング、フィールドプレートおよびリサーフ等を組み合わせた耐压構造を有する。

[0024] 次に、活性領域 20a における断面構造について説明する。図 2 は、図 1 の切断線 A-A' における断面構造を示す断面図である。図 2 には、活性領域 20a の 1 つの単位セル（素子の機能単位）を示している。図 2 では、この単位セルに隣接するように活性領域 20a に繰り返し配置された他の単位セルや、活性領域 20a の周囲を囲む耐压構造領域 20b を図示省略する（図 3～5 においても同様）。図 2 に示すように、活性領域 20a において、 $n^-$ 型ドリフト層（半導体層）1 となる  $n^-$ 型半導体基板（半導体チップ）のおもて面（第 1 主面）側には、プレーナゲート型の MOS ゲート構造が設けられている。

[0025] MOS ゲート構造は、 $p$ 型ベース領域（第 1 半導体領域）2、 $n^+$ 型領域（第 2 半導体領域）3、 $p^+$ 型領域 4、ゲート絶縁膜 5 およびゲート電極 6 からなる。具体的には、 $n^-$ 型半導体基板のおもて面の表面層に、 $p$ 型ベース領域 2 が選択的に設けられている。 $p$ 型ベース領域 2 の内部には、 $n^-$ 型半導体基板のおもて面に露出するように、かつ互いに接するように  $n^+$ 型領域 3 および  $p^+$ 型領域 4 がそれぞれ選択的に設けられている。 $n^+$ 型領域 3 は、 $n^+$ 型ソース領域である。 $n^+$ 型領域 3 は、 $p$ 型ベース領域 2 の内部において  $p^+$ 型領域 4 よりも外側に配置されている。 $p^+$ 型領域 4 は、 $p^+$ 型コンタクト領域であり、後述するおもて面電極 9 とのコンタクト抵抗を低減させる機能を有する。

[0026]  $n^-$ 型半導体基板のおもて面には、 $n^-$ 型ドリフト層における、隣り合う  $p$ 型ベース領域 2 間に挟まれた部分から  $p$ 型ベース領域 2 および  $n^+$ 型領域 3 にわ

たって、ゲート絶縁膜 5 が設けられている。ゲート絶縁膜 5 の表面には、ゲート電極 6 が設けられている。単位セルの各ゲート電極 6 は、それぞれ、図示省略する部分において（例えばチップ外周部に配置されるゲートランナーを介して）ゲートパッド（図 1 の符号 16 で示す部分）に接続されている。ゲート電極 6 の表面には、ゲート電極 6 を覆うように層間絶縁膜 7 が設けられている。

[0027] 層間絶縁膜 7 は、PSG や BPSG (Boro Phospho Silicate Glass) 等のリン (P) を含む酸化シリコン膜である。リンを含む酸化シリコン膜は、リンを含まない酸化シリコン膜に比べて熱処理時における流動性が高く、層間絶縁膜 7 の平坦化効果が高いため、層間絶縁膜 7 の段差被覆性（ステップカバレッジ）を高めることができる。BPSG 等のリンおよびボロン (B) を含む酸化シリコン膜は、リンのみを含む酸化シリコン膜よりも低い温度の熱処理（リフロー）によって平坦化が可能であり、かつ平坦化効果が高い。このため、リンおよびボロンを含む酸化シリコン膜によって層間絶縁膜 7 を構成することが好ましい。

[0028] 層間絶縁膜 7 のリン濃度を例えば 0.5 wt % 以上 4.0 wt % 以下程度とすることで、層間絶縁膜 7 の流動性を高くすることができるため、平坦化効果を高めることができる。より好ましくは、層間絶縁膜 7 のリン濃度は、例えば 1.0 wt % 以上 3.0 wt % 以下程度であることがよい。層間絶縁膜 7 のリン濃度の上記範囲は、特に 1200 V 耐圧クラスのシリコン (Si) 半導体を用いた IGBT において有用である。また、層間絶縁膜 7 のボロン濃度を例えば 1.0 wt % 以上 4.0 wt % 以下程度とすることで、層間絶縁膜 7 の平坦化効果をさらに高めることができる。より好ましくは、層間絶縁膜 7 のボロン濃度は、例えば 1.0 wt % 以上 3.0 wt % 以下程度であることがよい。その理由は、リフローした時の平坦化と不純物のゲッタリングとを高めることができるからである。また、層間絶縁膜 7 のボロン濃度を上記範囲内とすることにより信頼性も向上させることができる。層間絶縁膜 7 のボロン濃度の上記範囲は、特に 600 V 耐圧クラスのシリコン半導体

を用いた IGBT において有用である。

[0029] また、層間絶縁膜 7 は、ゲート電極 6 側から、例えば、ノンドープの堆積酸化膜と、リンを含む酸化シリコン膜とを順に積層した積層膜であってもよい。堆積酸化膜は、化学気相成長 (CVD: Chemical Vapor Deposition) 法によって堆積 (形成) された熱 CVD 膜である。ゲート電極 6 とリンを含む酸化シリコン膜との間に堆積酸化膜を配置することで、リンを含む酸化シリコン膜中のリン原子がゲート電極 6 付近に移動することを防止する。このため、電気的特性が変化することを防止することができる。層間絶縁膜 7 を深さ方向に貫通するコンタクトホールには、 $n^+$ 型領域 3 および  $p^+$ 型領域 4 が露出されている。層間絶縁膜 7 の表面には、層間絶縁膜 7 を覆うように保護膜 10 が設けられている。

[0030] 保護膜 10 は、おもて面電極 9 側からゲート電極 6 付近への可動イオンの侵入を防止する機能を有する。具体的には、保護膜 10 は、層間絶縁膜 7 よりも可動イオンの拡散係数の小さい材料からなる。より具体的には、保護膜 10 は、既存の製造プロセスで通常用いられるなどの実用性を考慮して、例えば、非晶質 (アモルファス) で平坦性よく形成可能である窒化シリコン (SiN) 膜であってもよい。可動イオンとは、半導体装置の故障や動作不良を招く虞のあるナトリウム (Na) イオン、カリウム (K) イオンおよび塩素 (Cl) イオンなどの金属イオンである。 $p^+$ 型領域 4 の表面には、保護膜 10 は設けられていない。 $n^+$ 型領域 3 の表面は後述するバリアメタル 8 に接するように露出されていればよく、 $n^+$ 型領域 3 の表面の一部に保護膜 10 が設けられていてもよい。

[0031] 保護膜 10 の厚さは、後述するおもて面電極 9 の形成以降の温度環境下において、おもて面電極 9 側から保護膜 10 中に侵入した可動イオンが保護膜 10 を抜けて層間絶縁膜 7 に達しない程度の厚さとする。おもて面電極 9 の形成以降とは、おもて面電極 9 形成後の製造プロセス時や、半導体装置 (製品) としての使用時である。具体的には、保護膜 10 の厚さは、半導体製品としての使用による経年劣化 (例えば耐用年数 10 年間程度) に耐え得る、

例えば0.1  $\mu\text{m}$ 以上の厚さであればよい。より好ましくは、保護膜10の厚さは、実施可能な範囲で薄いことがよく、例えば0.05  $\mu\text{m}$ 以上1  $\mu\text{m}$ 以下程度であってもよい。その理由は、次の通りである。保護膜10の厚さが0.05  $\mu\text{m}$ 未満である場合、可動イオンが保護膜10を通過して層間絶縁膜7まで拡散し、保護膜10中に可動イオンを留めることができないからである。保護膜10の厚さが1  $\mu\text{m}$ よりも大きい場合、保護膜10の平坦性が悪化することでカバレッジが悪くなり、特性に影響を与えるからである。

[0032] 保護膜10の表面には、窒化チタン(TiN)膜などのバリアメタル(金属膜)8が設けられている。バリアメタル8は、層間絶縁膜7のコンタクトホールに露出された $n^+$ 型領域3および $p^+$ 型領域4に接する。バリアメタル8は、製品としての使用時に形成されたアルミスパイクが $p$ 型ベース領域2と $n^-$ 型ドリフト層1との間の $p-n$ 接合を突き抜けることを防止する機能を有する。アルミスパイクとは、アルミニウム(Al)を主材料とするおもて面電極9が半導体部側にスパイク状に突出してなる突起部である。また、バリアメタル8は、製造プロセス中におもて面電極9と半導体部との相互反応によりシリコン(Si)の析出物が生じることを防止する機能を有する。

[0033] バリアメタル8上には、コンタクトホールを埋め込むように、ソース電極となるおもて面電極9が設けられている。バリアメタル8は設けられていなくてもよく、バリアメタル8が設けられていない場合、層間絶縁膜7のコンタクトホールに露出された $n^+$ 型領域3および $p^+$ 型領域4にはおもて面電極9が接する。なお、おもて面電極9と半導体部とのコンタクト抵抗は、バリアメタル8の有無によってはほぼ変化しない。おもて面電極9のほぼ全面は、図示省略するパッシベーション膜のコンタクトホールに露出されている。 $n^-$ 型半導体基板の裏面(第2主面)の表面層には、 $n^+$ 型ドレイン領域(第3半導体領域)11が設けられている。 $n^-$ 型半導体基板の裏面全面に、ドレイン電極となる裏面電極(第2電極)12が設けられている。裏面電極12は、 $n^+$ 型ドレイン領域11に接する。

[0034] 次に、実施の形態1にかかる半導体装置の製造方法について説明する。ま

ず、異なるマスクを用いて不純物をイオン注入する工程を繰り返し行うことにより、 $n^-$ 型ドリフト層 1 となる  $n^-$ 型半導体ウエハのおもて面側に、選択的に、 $p$ 型ベース領域 2、 $n^+$ 型領域 3 および  $p^+$ 型領域 4 を順に形成する。次に、熱処理により  $n^-$ 型半導体ウエハのおもて面を熱酸化してゲート絶縁膜 5 を形成する。次に、ゲート絶縁膜 5 上に例えばポリシリコン (poly-Si) 層を堆積し、所定パターンにパターニングすることによりゲート電極 6 を形成する。ここまでの工程によって、MOS ゲート構造が形成される。このとき、例えば  $p$ 型ベース領域 2 と同時にガードリングを形成したり、ゲート電極 6 と同時にフィールドプレートを形成したりするなどによって耐圧構造領域 20b を形成してもよい。

[0035] 次に、CVD 法により、ウエハおもて面上に、ゲート電極 6 を覆うように、層間絶縁膜 7 として例えばノンドープの堆積酸化膜を形成する。次に、例えば CVD 法により、堆積酸化膜上に層間絶縁膜 7 として例えば BPSG を形成する。次に、例えば熱処理 (リフロー) により、層間絶縁膜 7 を平坦化する。次に、フォトリソグラフィにより、ウエハおもて面上に、コンタクトホール形成領域に対応する部分を開口したレジストマスクを形成する。次に、このレジストマスクをマスクとしてエッチングを行い、層間絶縁膜 7、堆積酸化膜およびゲート絶縁膜 5 を選択的に除去してコンタクトホールを形成することで、 $n^+$ 型領域 3 および  $p^+$ 型領域 4 を露出させる。

[0036] 次に、レジストマスクを除去した後、ウエハおもて面上に、層間絶縁膜 7 を覆うように保護膜 10 を形成する。特に限定しないが、保護膜 10 は、例えばプラズマ CVD 法や、基板温度を  $600 \sim 800^\circ\text{C}$  程度に加熱して行う熱 CVD 法などによって形成してもよい。熱 CVD 法には、大気圧雰囲気下で行う常圧 CVD 法と大気圧よりも低い減圧雰囲気下で行う減圧 CVD 法がある。後述する電極 (バリアメタル 8 やおもて面電極 9、裏面電極 12) 形成前であるため、保護膜 10 の形成にはプラズマ CVD 法および熱 CVD 法のいずれの方法を用いてもよい。

[0037] 次に、フォトリソグラフィにより、保護膜 10 上に、コンタクトホールの

形成領域に対応する部分を開口したレジストマスクを形成する。次に、このレジストマスクをマスクとしてエッチングを行い、保護膜 10 を選択的に除去してコンタクトホールを形成し、 $n^+$ 型領域 3 および  $p^+$ 型領域 4 を露出させる。次に、保護膜 10 を覆い、かつコンタクトホール内の  $n^+$ 型領域 3 および  $p^+$ 型領域 4 に接するように、ウエハおもて面上に例えば窒化チタンからなるバリアメタル 8 を形成する。次に、バリアメタル 8 上に例えばアルミニウム層を形成し、所定パターンにパターニングしておもて面電極 9 およびゲートパッドを形成する。

[0038] 次に、ウエハおもて面上にパッシベーション膜を形成し、所定パターンにパターニングしておもて面電極 9 およびゲートパッドを露出させる。次に、半導体ウエハを裏面側から研削またはエッチングしていき、半導体装置として用いる製品厚さの位置まで薄くする。次に、 $n$ 型不純物のイオン注入により、半導体ウエハの研削後の裏面の表面層に  $n^+$ 型ドレイン領域 11 を形成する。次に、 $n^+$ 型ドレイン領域 11 上に、ドレイン電極となる裏面電極 12 を形成する。その後、半導体ウエハをチップ状に切断（ダイシング）することにより、図 1，2 に示す MOSFET が完成する。

[0039] 特に限定しないが、例えば実施の形態 1 にかかる半導体装置が耐圧 1200 V クラスである場合には、各部の寸法は次の値をとる。ゲート絶縁膜 5 の厚さは 65 nm である。ゲート電極 6 の厚さは 0.5  $\mu\text{m}$  である。層間絶縁膜 7 の厚さは 1  $\mu\text{m}$  である。バリアメタル 8 の厚さは 0.16  $\mu\text{m}$  である。おもて面電極 9 の厚さは 5  $\mu\text{m}$  である。保護膜 10 の厚さは 0.1  $\mu\text{m}$  である。

[0040] 以上、説明したように、実施の形態 1 によれば、層間絶縁膜とおもて面電極との間に、層間絶縁膜よりも可動イオンの拡散係数の小さい材料からなる保護膜を設けることにより、おもて面電極側から侵入した可動イオンの移動（拡散）が保護膜中において抑制される。可動イオンの移動速度（拡散速度）は温度に依存して速くなるため、おもて面電極の形成後の製造プロセス時や製品使用時における温度環境や熱履歴等を考慮して保護膜の厚さを適宜設

定することで、外部からおもて面電極を通して保護膜に移動（拡散）する可動イオンをほぼ保護膜中に留めることができる。このため、おもて面電極の形成以降に、おもて面電極側からゲート電極付近や半導体部中に可動イオンが侵入することを抑制することができる。これにより、活性領域のイオン汚染を防止することができるため、イオン汚染による電気的特性の劣化を防止することができる。したがって、製品出荷時の初期不良や製品使用時の経年劣化を抑制することができ、半導体装置（製品）の故障や動作不良を防止することができる。

[0041] また、実施の形態 1 によれば、可動イオンの侵入を防止するための保護膜を段差被覆性の高い層間絶縁膜の表面に設けることで、層間絶縁膜と同程度に当該保護膜を平坦化させることができる。このように保護膜を平坦化することができ、保護膜の表面に段差が生じないため、保護膜の表面に設けられるおもて面電極に巣（孔）が生じない。したがって、層間絶縁膜とおもて面電極との間に保護膜を設けたとしても所定の電気的特性を維持可能であり、半導体装置の故障や動作不良を防止することができる。また、実施の形態 1 によれば、既存の製造プロセスで通常用いられる、例えば窒化シリコンなどを保護膜の材料とすることで、層間絶縁膜とおもて面電極との間に、既存の設備を用いて容易に段差被覆性の高い保護膜を形成することができる。ここで、従来のように窒化チタンなどのバリアメタルのみを用いて可動イオンの侵入を抑制する場合は、バリアメタルを厚く形成する際に多結晶が柱状に成長してクラックが入りやすい。このため、バリアメタルによっておもて面電極側からの可動イオンの侵入を防止可能な程度にバリアメタルを厚くする（例えば  $1\ \mu\text{m}$  程度）ことは難しい。一方、実施の形態 1 によれば、バリアメタルよりも薄い厚さの保護膜であっても可動イオンの侵入を防止可能であることや、保護膜の厚さを容易に厚くすることができることから、製造性が高い。

[0042] （実施の形態 2）

次に、実施の形態 2 にかかる半導体装置の構造について説明する。図 3 は

、実施の形態2にかかる半導体装置の構造を示す断面図である。図3には、図1の切断線A-A'における断面構造を示す。実施の形態2にかかる半導体装置は、実施の形態1をIGBTに適用した変形例である。

[0043] 具体的には、チップおもて面側に $n^+$ 型エミッタ領域となる $n^+$ 型領域3が設けられ、チップ裏面側に実施の形態1における $n^+$ 型ドレイン領域に代えて $p^+$ 型コレクタ領域21が設けられている。バリアメタル8が形成されない場合は、エミッタ電極となるおもて面電極9は、 $n^+$ 型領域3および $p^+$ 型領域4に接する。バリアメタル8が形成される場合、おもて面電極9は、バリアメタル8を介して $n^+$ 型領域3および $p^+$ 型領域4に電氣的に接続される。コレクタ電極となる裏面電極12は、 $p^+$ 型コレクタ領域21に接する。すなわち、実施の形態2にかかる半導体装置の $p^+$ 型コレクタ領域21以外の構成は、実施の形態1と同様である。

[0044] 実施の形態2にかかる半導体装置の製造方法は、実施の形態1において、半導体ウエハを裏面から研削した後、 $p$ 型不純物のイオン注入により、半導体ウエハの研削後の裏面の表面層に $p^+$ 型コレクタ領域21を形成すればよい。すなわち、実施の形態2にかかる半導体装置の製造方法の、 $p^+$ 型コレクタ領域21の形成以外の工程は、実施の形態1と同様である。

[0045] 以上、説明したように、実施の形態2によれば、プレーナゲート型IGBTにおいても、層間絶縁膜とおもて面電極との間に層間絶縁膜よりも可動イオンの拡散係数の小さい絶縁材料からなる保護膜を設けることで、実施の形態1と同様の効果を得ることができる。

[0046] (実施の形態3)

次に、実施の形態3にかかる半導体装置の構造について説明する。図4は、実施の形態3にかかる半導体装置の構造を示す断面図である。図4には、図1の切断線A-A'における断面構造を示す。実施の形態3にかかる半導体装置は、実施の形態1にトレンチゲート型を適用した変形例である。すなわち、実施の形態3においては、活性領域20aのチップおもて面側に、 $p$ 型ベース領域32、 $n^+$ 型領域33、 $p^+$ 型領域34、トレンチ30、ゲート絶縁

膜35およびゲート電極36からなるトレンチゲート型のMOSゲート構造が設けられている。

[0047] 具体的には、 $n^-$ 型ドリフト層1となる $n^-$ 型半導体基板のおもて面の表面層に、 $p$ 型ベース領域32が設けられている。 $p$ 型ベース領域32の内部には、 $n^+$ 型ソース領域となる $n^+$ 型領域33と、 $p^+$ 型コンタクト領域となる $p^+$ 型領域34がそれぞれ選択的に設けられている。チップおもて面側には、 $p$ 型ベース領域32および $n^+$ 型領域33を深さ方向に貫通するトレンチ30が設けられている。トレンチ30の底部は、 $n^-$ 型ドリフト層1に位置する。トレンチ30の内部には、ゲート絶縁膜35を介してゲート電極36が設けられている。

[0048] 層間絶縁膜7、バリアメタル8、おもて面電極9、保護膜10、 $n^+$ 型ドレイン領域11および裏面電極12の構成（すなわちMOSゲート構造以外の構成）は、実施の形態1と同様である。実施の形態3にかかる半導体装置の製造方法は、実施の形態1において、一般的な方法により、プレーナゲート型のMOSゲート構造に代えてトレンチゲート型のMOSゲート構造を形成すればよい。

[0049] 以上、説明したように、実施の形態3によれば、トレンチゲート型MOSFETにおいても、層間絶縁膜とおもて面電極との間に層間絶縁膜よりも可動イオンの拡散係数の小さい絶縁材料からなる保護膜を設けることで、実施の形態1、2と同様の効果を得ることができる。

[0050] （実施の形態4）

次に、実施の形態4にかかる半導体装置の構造について説明する。図5は、実施の形態4にかかる半導体装置の構造を示す断面図である。図5には、図1の切断線A-A'における断面構造を示す。実施の形態4にかかる半導体装置は、実施の形態3をIGBTに適用した変形例である。

[0051] 具体的には、チップおもて面側に $n^+$ 型エミッタ領域となる $n^+$ 型領域33が設けられ、チップ裏面側に実施の形態3における $n^+$ 型ドレイン領域に代えて $p^+$ 型コレクタ領域21が設けられている。バリアメタル8が形成されない場

合は、エミッタ電極となるおもて面電極 9 は、 $n^+$ 型領域 33 および  $p^+$ 型領域 34 に接する。バリアメタル 8 が形成される場合、おもて面電極 9 は、バリアメタル 8 を介して  $n^+$ 型領域 33 および  $p^+$ 型領域 34 に電氣的に接続される。コレクタ電極となる裏面電極 12 は、 $p^+$ 型コレクタ領域 21 に接する。すなわち、実施の形態 4 にかかる半導体装置の  $p^+$ 型コレクタ領域 21 以外の構成は、実施の形態 3 と同様である。

[0052] 実施の形態 4 にかかる半導体装置の製造方法は、実施の形態 3 において、半導体ウエハを裏面から研削した後、 $p$ 型不純物のイオン注入により、半導体ウエハの研削後の裏面の表面層に  $p^+$ 型コレクタ領域 21 を形成すればよい。すなわち、実施の形態 4 にかかる半導体装置の製造方法の、 $p^+$ 型コレクタ領域 21 の形成以外の工程は、実施の形態 3 と同様である。

[0053] 以上、説明したように、実施の形態 4 によれば、トレンチゲート型 IGBT においても、層間絶縁膜とおもて面電極との間に層間絶縁膜よりも可動イオンの拡散係数の小さい絶縁材料からなる保護膜を設けることで、実施の形態 1～3 と同様の効果を得ることができる。

[0054] (実施例)

次に、保護膜 10 中における可動イオンの挙動について検証した。図 6 は、可動イオンの拡散係数と温度との関係を示す特性図である。図 7 A, 7 B は、可動イオンの拡散長と拡散時間との関係を示す特性図である。図 6 には、窒化シリコン膜および酸化シリコン膜に対する可動イオンの拡散係数の温度依存性を示す。図 7 A, 7 B には、200℃の温度環境下における窒化シリコン膜および酸化シリコン膜に対する時間経過に伴う可動イオンの拡散長を示す。図 7 B には、図 7 A の結果に加えてさらに 10 年経過後（可動イオンの拡散時間＝87600 時間）の可動イオンの拡散長を示す。図 6, 7 A, 7 B の窒化シリコン膜 ( $\text{SiN}$ ) は、本発明の保護膜 10 に相当する。図 6, 7 A, 7 B の酸化シリコン膜 ( $\text{SiO}_2$ ) は、層間絶縁膜 107 に相当し、層間絶縁膜 107 とおもて面電極 109 との間に本発明の保護膜 10 を設けていない従来構造である。図 6, 7 A, 7 B では、おもて面電極側から侵

入する可動イオンのうち最も多く存在するナトリウム（Na）イオンを用いている。

[0055] 図6に示す結果より、窒化シリコン膜に対するナトリウムイオンの拡散係数は、酸化シリコン膜に対するナトリウムイオンの拡散係数よりも小さいことが確認された（窒化シリコン膜に対するナトリウムイオンの拡散係数<酸化シリコン膜に対するナトリウムイオンの拡散係数）。このため、おもて面電極9と層間絶縁膜7との間に例えば窒化シリコン膜からなる保護膜10を形成することで、おもて面電極9側から侵入する可動イオンの拡散を保護膜10中において抑制することができることがわかる。

[0056] また、図6に示す結果より、可動イオンの移動速度（拡散速度）は温度に指数関数的に依存して速くなることが確認された。このため、保護膜10の厚さを適宜設定することで、おもて面電極9中から保護膜10に移動した可動イオンまたは外部からおもて面電極9を通して保護膜10に侵入した可動イオンをほぼ保護膜10中に留めることができることがわかる。保護膜10の厚さは、例えば、おもて面電極9の形成後に行う製造プロセスの処理時間および熱処理温度や、半導体装置（製品）の使用時間および温度環境等を考慮して設定すればよい。

[0057] また、図7Aに示す結果より、酸化シリコン膜に対するナトリウムイオンの拡散長は、1000時間で $19\mu\text{m}$ であることが確認された。一方、窒化シリコン膜に対するナトリウムイオンの拡散長は、1000時間で $1.0\times 10^{-7}\mu\text{m}$ であり、3000時間で $1\text{\AA}$ 程度と、酸化シリコン膜に対するナトリウムイオンの拡散長に比べて小さい。すなわち、窒化シリコン膜中におけるナトリウムイオンは、酸化シリコン膜中におけるナトリウムイオンに比べて温度環境による悪影響を受けにくく、移動速度（拡散）が遅くなることが確認された。また、図7Bに示す結果より、10年経過後においても、窒化シリコン膜に対するナトリウムイオンの拡散長は、酸化シリコン膜に対するナトリウムイオンの拡散長に比べて十分に小さい状態を維持していることが確認された。したがって、本発明の保護膜10を設けることによって、製品

使用時の経年劣化を抑制することができることが確認された。

[0058] 図示省略するが、窒化シリコン膜および酸化シリコン膜に対するナトリウムイオン以外の可動イオン（例えばカリウムイオンや塩素イオン）についても、窒化シリコン膜および酸化シリコン膜に対するナトリウムイオンと同じ挙動を示すと推測される。したがって、図6，7A，7Bに示す結果より、本発明のように層間絶縁膜7とおもて面電極9との間に保護膜10を設けることで、イオン汚染の原因となる可動イオンがおもて面電極9側からゲート電極6付近および半導体部へ侵入することを防止することができることが確認された。

[0059] 以上において本発明では、MOSゲート構造を備えたパワー半導体装置を例に説明しているが、上述した実施の形態に限らず、最表面を保護膜で覆うことができないことでイオン汚染が生じる様々な半導体装置に適用可能である。また、上述した各実施の形態では、層間絶縁膜とおもて面電極との間に設ける保護膜として窒化シリコン膜を例に説明しているが、層間絶縁膜よりも可動イオンの拡散係数の小さい他の材料を用いて当該保護膜を形成してもよい。また、本発明は、シリコン半導体を用いた半導体装置や、炭化珪素（SiC）半導体を用いた半導体装置に適用可能である。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

### 産業上の利用可能性

[0060] 以上のように、本発明にかかる半導体装置は、電力変換装置のモータ制御や大電流・大電圧な種々の産業用機械および自動車などに使用されるパワー半導体装置に有用であり、特にMOSゲート構造を備えたパワー半導体装置に適している。

### 符号の説明

- [0061]   1   n<sup>-</sup>型ドリフト層  
          2, 3 2   p型ベース領域  
          3, 3 3   n<sup>+</sup>型領域

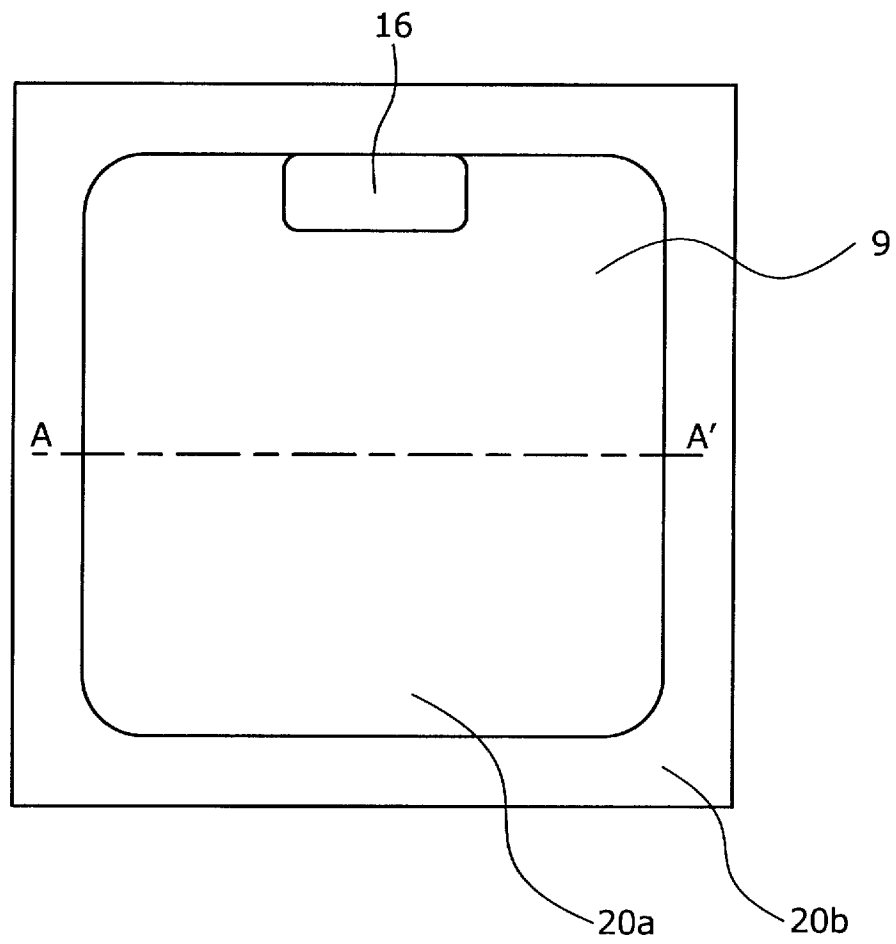
- 4, 34 p<sup>+</sup>型領域
- 5, 35 ゲート絶縁膜
- 6, 36 ゲート電極
- 7 層間絶縁膜
- 8 バリアメタル
- 9 おもて面電極
- 10 保護膜
- 11 n<sup>+</sup>型ドレイン領域
- 12 裏面電極
- 16 ゲートパッド
- 20a 活性領域
- 20b 耐圧構造領域
- 21 p<sup>+</sup>型コレクタ領域
- 30 トレンチ

## 請求の範囲

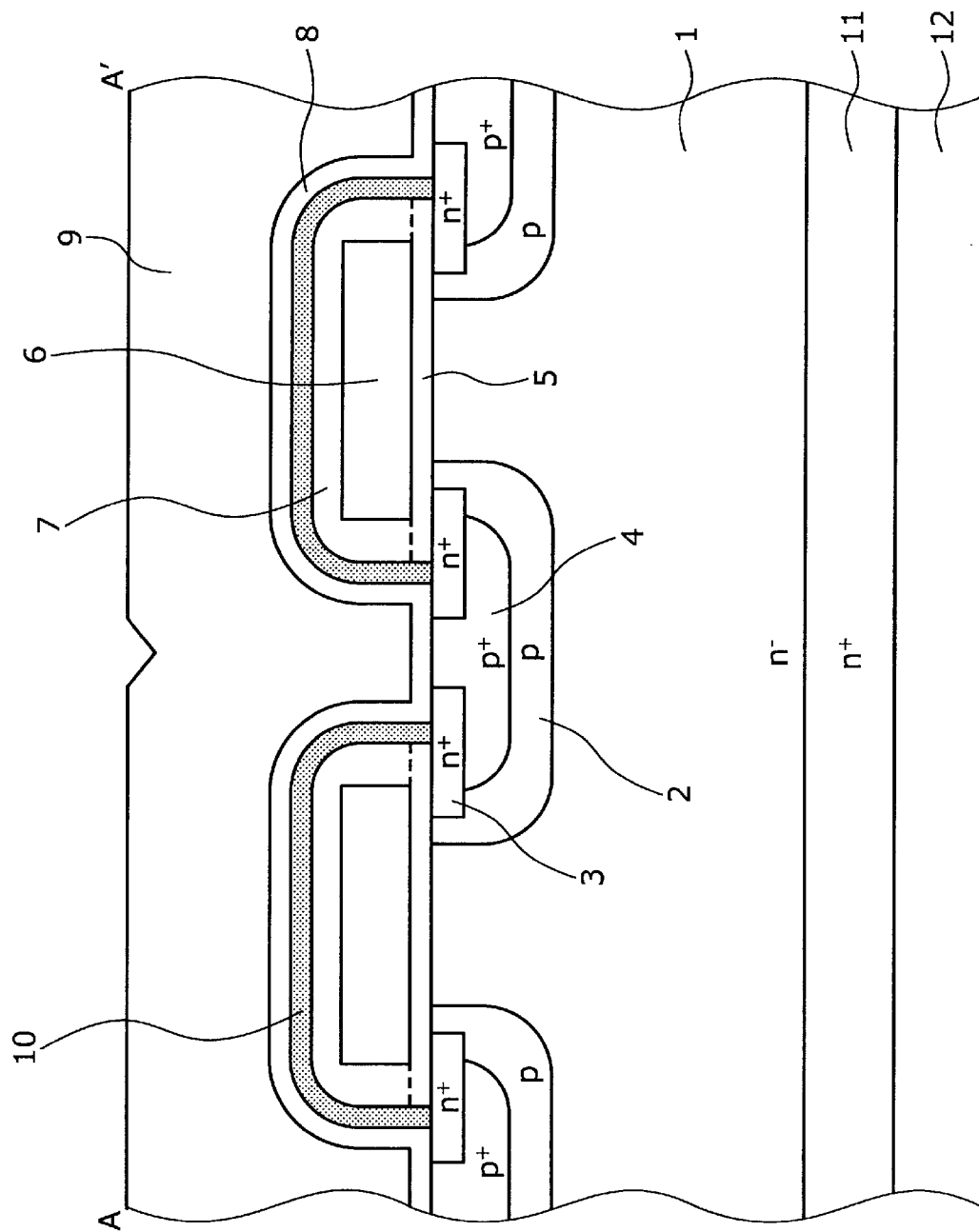
- [請求項1]           第1導電型の半導体層と、  
                  前記半導体層の第1主面に沿って設けられた第2導電型の第1半導体領域と、  
                  前記第1半導体領域の内部に選択的に設けられた第1導電型の第2半導体領域と、  
                  前記第2半導体領域と前記半導体層との間の前記第1半導体領域の第1主面に沿って設けられたゲート絶縁膜と、  
                  前記ゲート絶縁膜を挟んで前記第1半導体領域の反対側に設けられたゲート電極と、  
                  前記ゲート電極を覆うように設けられた層間絶縁膜と、  
                  前記層間絶縁膜を覆うように設けられた、前記層間絶縁膜よりも可動イオンの拡散係数の小さい材料からなる保護膜と、  
                  前記保護膜を覆うように設けられ、かつ前記第1半導体領域および前記第2半導体領域に電氣的に接続された第1電極と、  
                  前記半導体層の第2主面に沿って設けられた第3半導体領域と、  
                  前記第3半導体領域に接続された第2電極と、  
                  を備えることを特徴とする半導体装置。
- [請求項2]           前記保護膜は、窒化シリコンからなることを特徴とする請求項1に記載の半導体装置。
- [請求項3]           前記層間絶縁膜は、リンを含む酸化シリコン、または、リンおよびボロンを含む酸化シリコンからなることを特徴とする請求項1に記載の半導体装置。
- [請求項4]           前記保護膜と前記第1電極との間に、前記第1電極と前記第1半導体領域および前記第2半導体領域との相互反応を防止する金属膜をさらに備えることを特徴とする請求項1に記載の半導体装置。
- [請求項5]           前記第3半導体領域は、第1導電型であることを特徴とする請求項1に記載の半導体装置。

- [請求項6] 前記第3半導体領域は、第2導電型であることを特徴とする請求項1に記載の半導体装置。
- [請求項7] 前記半導体層の第1主面に沿って延びる前記ゲート電極を備えたプレーナゲート構造を有することを特徴とする請求項1～6のいずれか一つに記載の半導体装置。
- [請求項8] 前記半導体層の第1主面と直交する方向に延びる前記ゲート電極を備えたトレンチゲート構造を有することを特徴とする請求項1～6のいずれか一つに記載の半導体装置。

[図1]

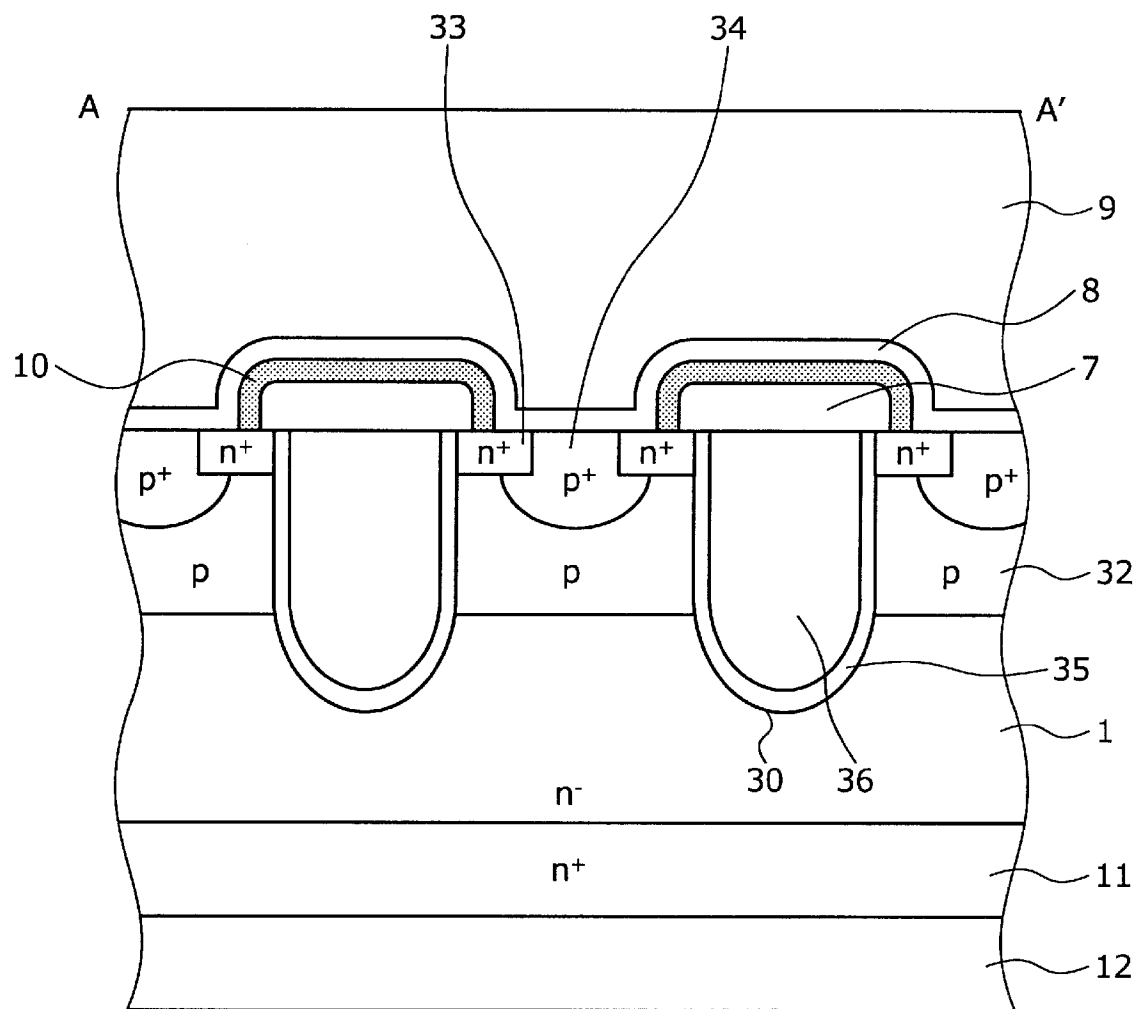


[図2]

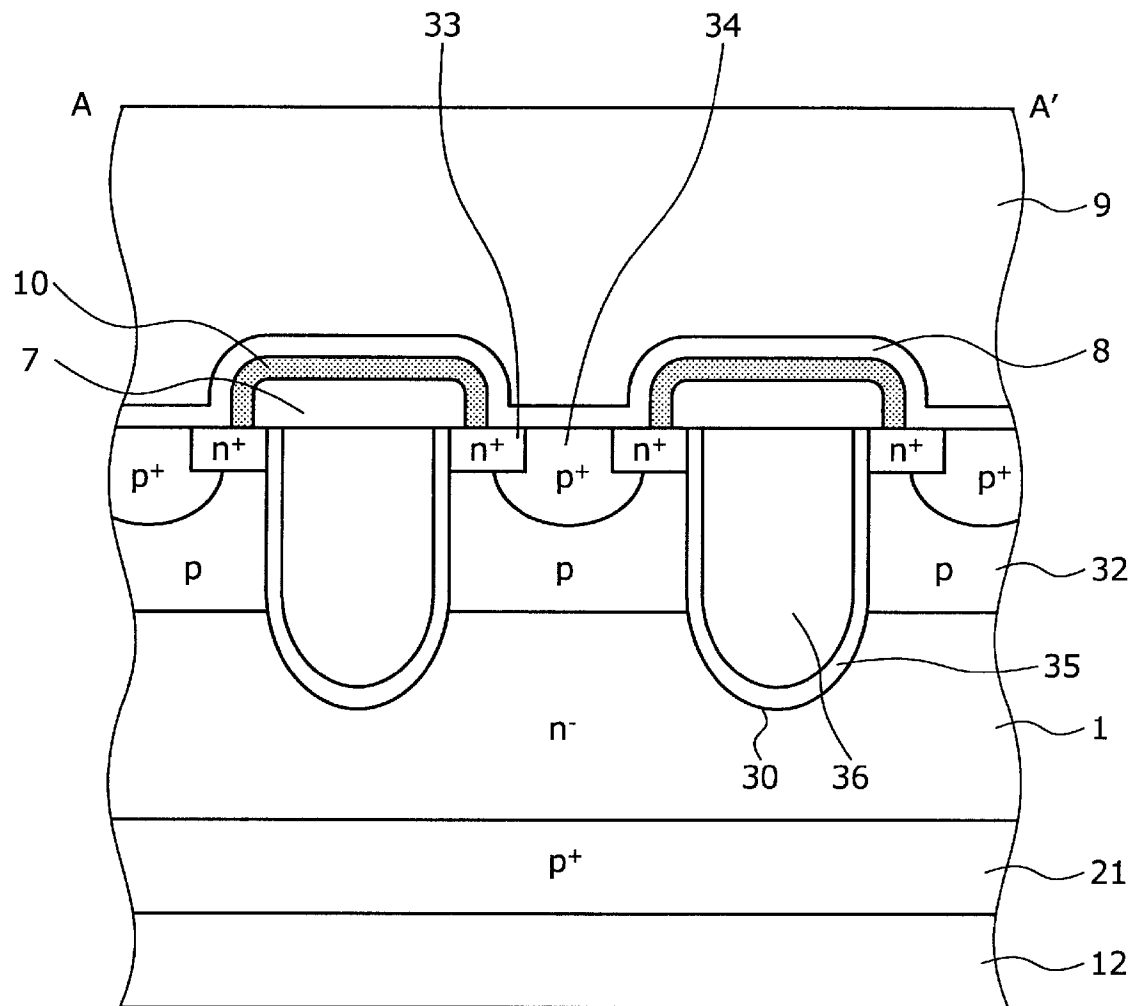




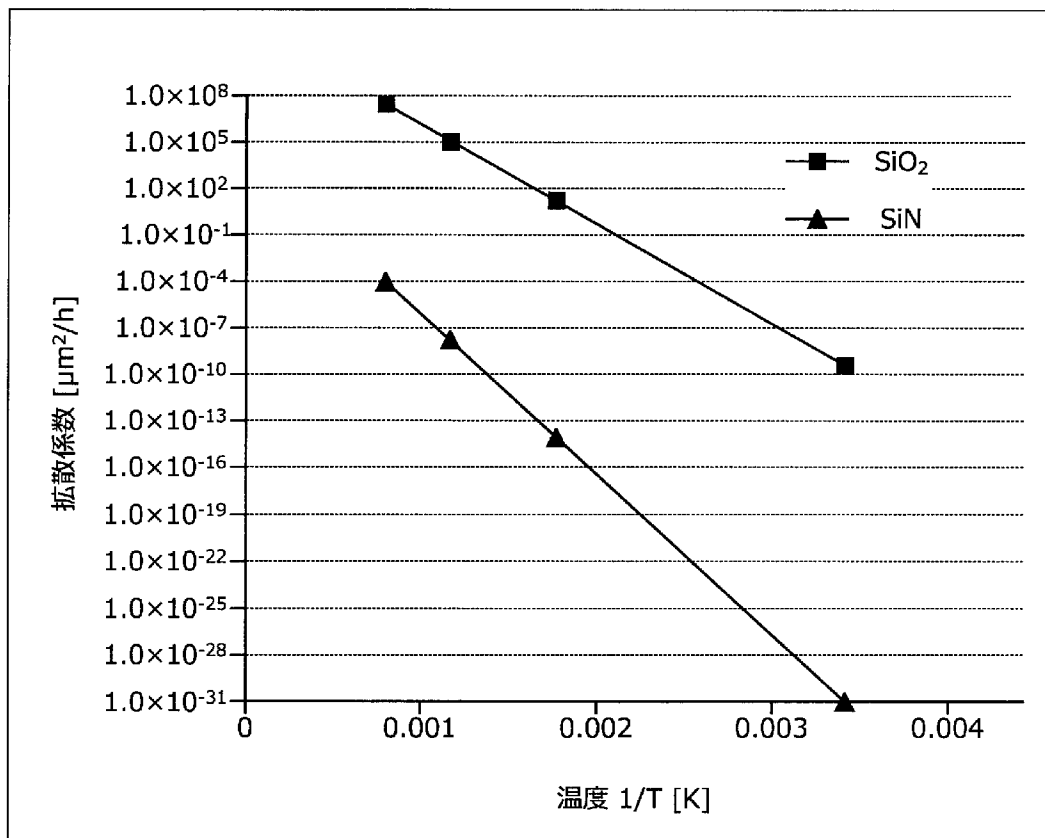
[図4]



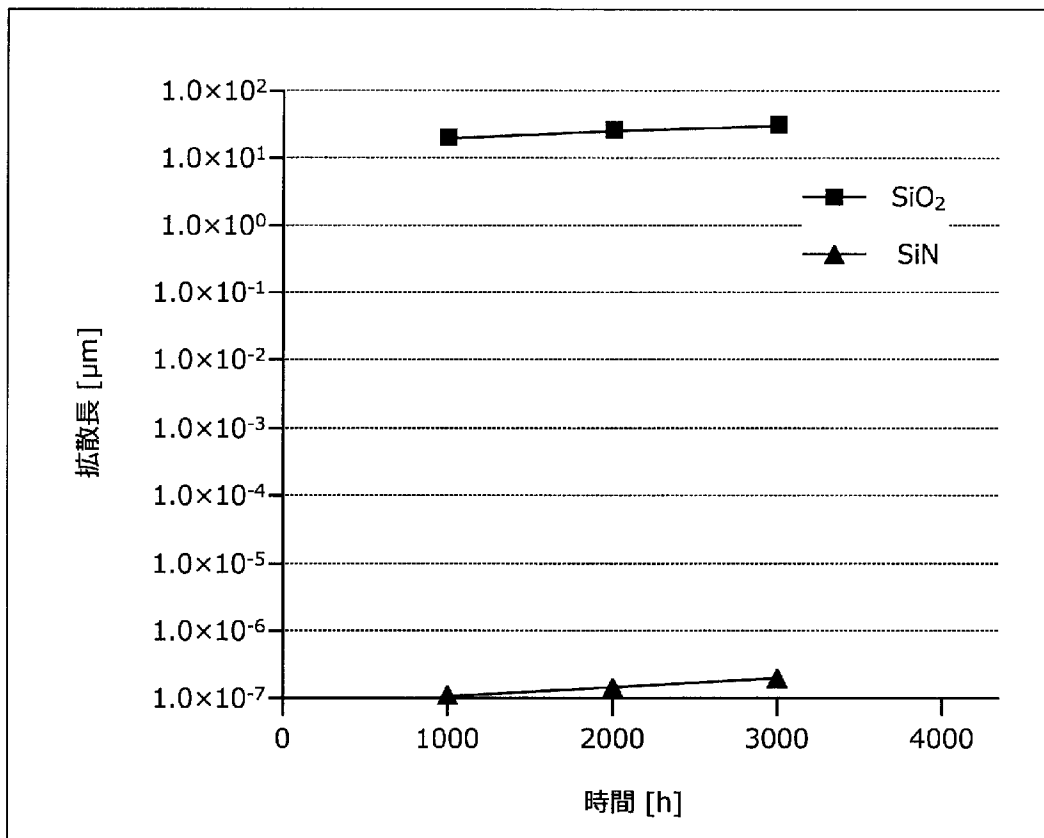
[図5]



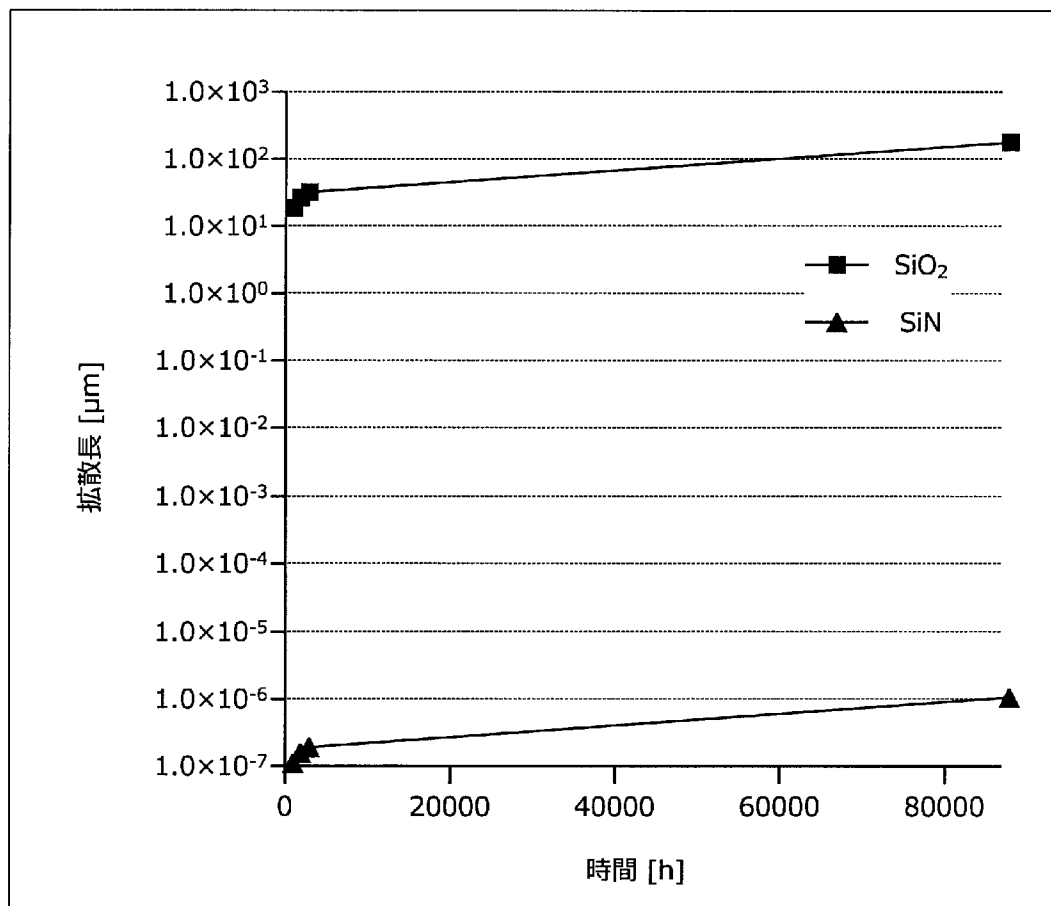
[図6]



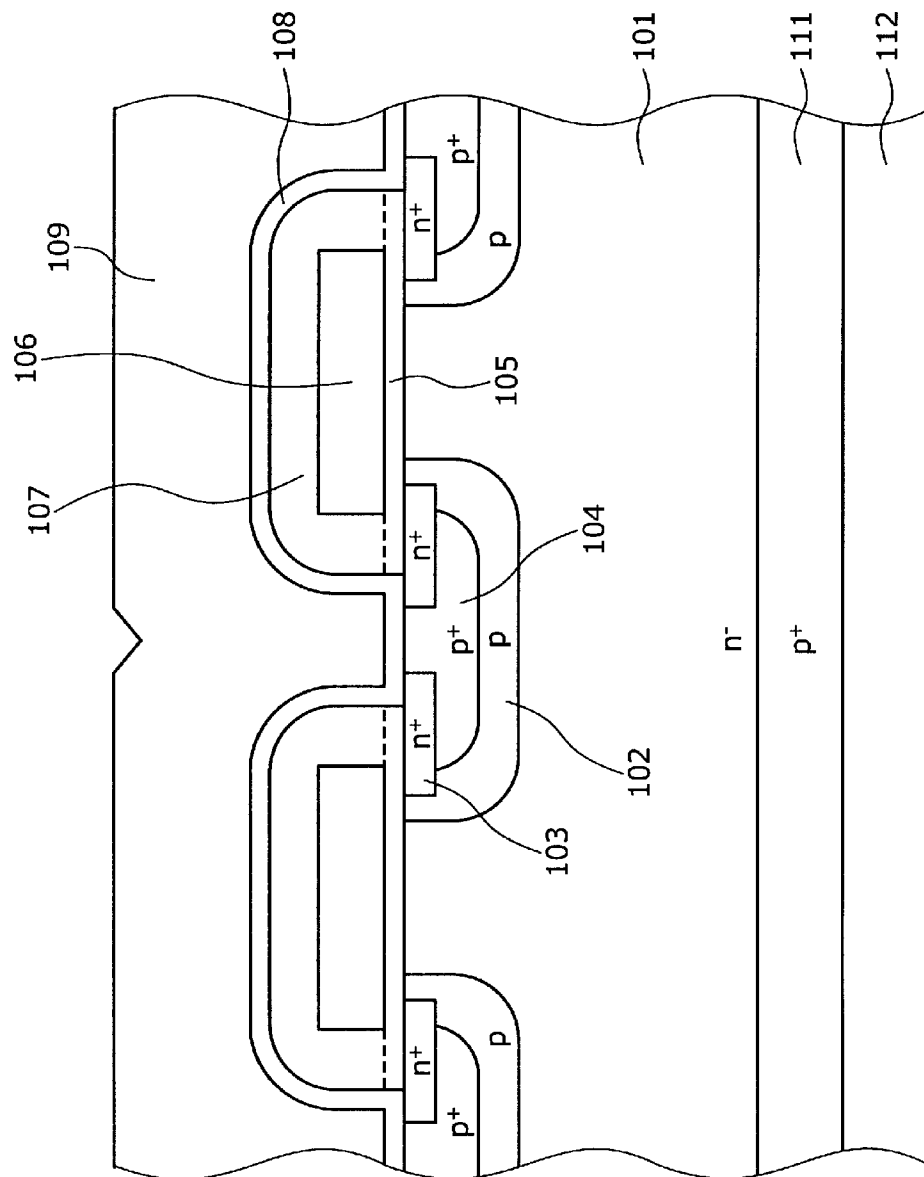
[図7A]



[図7B]



[図8]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/061049

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/316(2006.01)i, H01L21/318(2006.01)i,  
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/316, H01L21/318, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2016 |
| Kokai Jitsuyo Shinan Koho | 1971-2016 | Toroku Jitsuyo Shinan Koho | 1994-2016 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                   | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>Y    | JP 2010-272785 A (Nissan Motor Co., Ltd.),<br>02 December 2010 (02.12.2010),<br>paragraphs [0013] to [0037], [0063] to [0092];<br>fig. 7<br>(Family: none)                                                                           | 1-7<br>8              |
| Y         | JP 2004-31959 A (Siliconix, Inc.),<br>29 January 2004 (29.01.2004),<br>paragraphs [0006] to [0016]; fig. 2<br>& US 2003/0235958 A1<br>paragraphs [0011] to [0022]; fig. 2<br>& WO 2004/061975 A1 & EP 1376675 A2<br>& DE 10393853 T5 | 8                     |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier application or patent but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
03 June 2016 (03.06.16)

Date of mailing of the international search report  
14 June 2016 (14.06.16)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L21/316(2006.01)i, H01L21/318(2006.01)i, H01L29/78(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/316, H01L21/318, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2016年 |
| 日本国実用新案登録公報 | 1996-2016年 |
| 日本国登録実用新案公報 | 1994-2016年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                           | 関連する<br>請求項の番号 |
|-----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| X               | JP 2010-272785 A（日産自動車株式会社）                                                                                                                                                 | 1-7            |
| Y               | 2010.12.02, 段落[0013]-[0037], 段落[0063]-[0092], 図7<br>(ファミリーなし)                                                                                                               | 8              |
| Y               | JP 2004-31959 A（シリコニックス・インコーポレイテッド）<br>2004.01.29, 段落[0006]-[0016], 図2<br>& US 2003/0235958 A1, 段落[0011]-[0022], 図2<br>& WO 2004/061975 A1 & EP 1376675 A2 & DE 10393853 T5 | 8              |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

|                                                               |                                                                     |
|---------------------------------------------------------------|---------------------------------------------------------------------|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの                                | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの     |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                        | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                     |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献                                     | 「&」 同一パテントファミリー文献                                                   |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願                                  |                                                                     |

国際調査を完了した日

03.06.2016

国際調査報告の発送日

14.06.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

6311

電話番号 03-3581-1101 内線 3516