

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6496329号
(P6496329)

(45) 発行日 平成31年4月3日(2019.4.3)

(24) 登録日 平成31年3月15日(2019.3.15)

(51) Int. Cl.		F I			
HO2M	7/48	(2007.01)	HO2M	7/48	M
HO3F	1/52	(2006.01)	HO3F	1/52	
HO3F	3/217	(2006.01)	HO3F	3/217	
HO3F	3/26	(2006.01)	HO3F	3/26	
HO3F	3/68	(2006.01)	HO3F	3/68	210

請求項の数 24 (全 45 頁)

(21) 出願番号	特願2016-574954 (P2016-574954)
(86) (22) 出願日	平成27年6月29日 (2015. 6. 29)
(65) 公表番号	特表2017-521032 (P2017-521032A)
(43) 公表日	平成29年7月27日 (2017. 7. 27)
(86) 国際出願番号	PCT/US2015/038338
(87) 国際公開番号	W02016/003914
(87) 国際公開日	平成28年1月7日 (2016. 1. 7)
審査請求日	平成29年7月4日 (2017. 7. 4)
(31) 優先権主張番号	62/019, 119
(32) 優先日	平成26年6月30日 (2014. 6. 30)
(33) 優先権主張国	米国 (US)
(31) 優先権主張番号	14/751, 586
(32) 優先日	平成27年6月26日 (2015. 6. 26)
(33) 優先権主張国	米国 (US)

(73) 特許権者	508240030
	エムケーエス インストゥルメンツ, イン コーポレイテッド
	アメリカ合衆国, 01810, マサチュー セッツ州, アンドーバー, スイート, 20 1, テク, ドライブ, 2
(74) 代理人	100108453
	弁理士 村山 靖彦
(74) 代理人	100110364
	弁理士 実広 信哉
(74) 代理人	100133400
	弁理士 阿部 達彦

最終頁に続く

(54) 【発明の名称】 電力増幅器出力と負荷電圧クランプ回路の絶縁を組み合わせるための変圧器を組み込んだ電源回路

(57) 【特許請求の範囲】

【請求項1】

(i) 第1の電源からの直流(DC)電圧、および(ii)制御モジュールからの制御信号を受け取り、前記制御信号に基づいて前記DC電圧を交流(AC)出力信号に変換するように構成された電力増幅器と、

第1の巻線、第2の巻線、および第3の巻線を含む変圧器であって、前記第1の巻線が前記AC出力信号を受け取るように構成されており、前記第2の巻線が前記AC出力信号に基づく出力電流を受け取るように構成されており、前記第2の巻線が出力端子を介して負荷に電流を供給する変圧器と、

複数のダイオードを備える整流器およびクランプ回路であって、前記ダイオードが、(i)前記第3の巻線にわたる電圧を整流し、(ii)前記出力端子における電圧をクランプして前記負荷に供給される出力電力を制限し、(iii)前記第3の巻線から前記第1の電源または第2の電源に電力を戻すように構成されている整流器およびクランプ回路とを備える電源回路。

【請求項2】

前記第1の巻線が1次巻線であり、前記第2の巻線が2次巻線であり、前記第3の巻線が3次巻線である請求項1に記載の電源回路。

【請求項3】

前記複数のダイオードが、ダイオードブリッジ整流器の構成に配置された4つのダイオードをさらに備える請求項1に記載の電源回路。

10

20

【請求項 4】

前記4つのダイオードが、絶縁された組ダイオード整流器の構成で配置されている請求項3に記載の電源回路。

【請求項 5】

前記複数のダイオードが、全波ブリッジ整流器の構成に配置された対のダイオードをさらに備える請求項1に記載の電源回路。

【請求項 6】

前記複数のダイオードが、絶縁された2つのダイオード整流器の構成に配置された対のダイオードをさらに備える請求項5に記載の電源回路。

【請求項 7】

(i)第1の電源からの直流(DC)電圧、および(ii)第2の制御信号を受け取り、前記第2の制御信号に基づいて、前記DC電圧を第2の交流(AC)出力信号に変換するように構成された第2の電力増幅器をさらに備える電源回路であって、前記変圧器が第4の巻線をさらに備え、前記第4の巻線が前記第2のAC出力信号を受け取るように構成されている請求項1に記載の電源回路。

10

【請求項 8】

前記制御信号および前記第2の制御信号が、それぞれ、第1の電力増幅器を、前記第2の電力増幅器に対して同相または逆相で動作させる請求項7に記載の電源回路。

【請求項 9】

前記電力増幅器が、フルブリッジ構成に配置された複数のスイッチを含む請求項1に記載の電源回路。

20

【請求項 10】

第1の電源から直流(DC)電圧を受け取って、前記DC電圧を交流(AC)出力信号に変換するように構成された電力増幅器と、

第1の巻線、第2の巻線、および第3の巻線を含む変圧器であって、前記第1の巻線が前記AC出力信号を受け取るように構成されており、前記第2の巻線が前記AC出力信号に基づく出力電流を受け取るように構成されており、前記第2の巻線が出力端子を介して負荷に電流を供給する変圧器と、

複数のダイオードを備える整流器およびクランプ回路であって、前記ダイオードが、前記出力端子における電圧をクランプして前記負荷に供給される出力電力を制限することと、前記第3の巻線にわたる電圧を整流することまたは前記第3の巻線から前記第1の電源または第2の電源に電力を戻すことのうちの少なくとも1つとを行うように構成されている整流器およびクランプ回路とを備える電源回路。

30

【請求項 11】

前記第1の巻線が1次巻線であり、前記第2の巻線が2次巻線であり、前記第3の巻線が3次巻線である請求項10に記載の電源回路。

【請求項 12】

前記複数のダイオードが、ダイオードブリッジ整流器の構成に配置された4つのダイオードをさらに備える請求項10に記載の電源回路。

【請求項 13】

前記4つのダイオードが、絶縁された組ダイオード整流器の構成で配置されている請求項12に記載の電源回路。

40

【請求項 14】

前記複数のダイオードが、全波ブリッジ整流器の構成に配置された対のダイオードをさらに備える請求項10に記載の電源回路。

【請求項 15】

前記複数のダイオードが、絶縁された2つのダイオード整流器の構成に配置された対のダイオードをさらに備える請求項14に記載の電源回路。

【請求項 16】

第2の電源から直流(DC)電圧を受け取って、前記DC電圧を第2の交流(AC)出力信号に変換

50

するように構成された第2の電力増幅器をさらに備える電源回路であって、

前記変圧器が第4の巻線をさらに備え、前記第4の巻線が前記第2のAC出力信号を受け取るように構成されている請求項10に記載の電源回路。

【請求項17】

前記電力増幅器が、前記第2の電力増幅器に対して同相または逆相で動作する請求項16に記載の電源回路。

【請求項18】

前記電力増幅器と前記第2の電力増幅器が同一のユニットまたは別個のユニットである請求項16に記載の電源回路。

【請求項19】

第1の電源から直流(DC)電圧を受け取って、前記DC電圧を交流(AC)出力信号に変換するための手段と、

第1の巻線、第2の巻線、および第3の巻線を含む、変圧のための手段であって、前記第1の巻線が前記AC出力信号を受け取り、前記第2の巻線が前記AC出力信号に基づく出力電流を受け取り、前記第2の巻線が出力端子を介して負荷に電流を供給する変圧のための手段と、

前記出力端子における電圧をクランプして前記負荷に供給される出力電力を制限することと、前記第3の巻線にわたる電圧を整流することまたは前記第3の巻線から前記第1の電源または第2の電源に電力を戻すことのうちの少なくとも1つとを行うように配置された複数のダイオードを含んでいる整流器およびクランプ手段とを備える電源回路。

【請求項20】

前記複数のダイオードが、ダイオードブリッジ整流器の構成に配置された4つのダイオードをさらに備える請求項19に記載の電源回路。

【請求項21】

前記複数のダイオードが、全波ブリッジ整流器の構成に配置された対のダイオードをさらに備える請求項19に記載の電源回路。

【請求項22】

第2の電源から直流(DC)電圧を受け取って、前記DC電圧を第2の交流(AC)出力信号に変換するための第2の手段をさらに備え、

前記変圧のための手段が第4の巻線をさらに備え、前記第4の巻線が前記第2のAC出力信号を受け取るように構成されている請求項19に記載の電源回路。

【請求項23】

前記変換するための手段が、前記変換するための第2の手段に対して同相または逆相で動作する請求項22に記載の電源回路。

【請求項24】

前記変換するための手段と前記変換するための第2の手段が同一のユニットまたは別個のユニットである請求項22に記載の電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般に、交流電力を供給するための電源に関し、より詳細には電源の電力増幅器を保護するための回路に関するものである。

【背景技術】

【0002】

無線周波数(RF)エネルギーは、様々な産業において、誘導加熱、誘電加熱、およびプラズマ励起による材料の処理のために使用されている。プラズマ励起は、誘導結合、容量結合、真の電磁(EM)波結合、マイクロ波結合の形をとることができる。このRFエネルギーを供給する発生器は、コンマ数ワットを供給する単一のA級トランジスタ増幅器から数千ワットを供給する自己発振管(電子管)発生器に及ぶ多数の回路トポロジーを利用する。

【0003】

10

20

30

40

50

半導体製造業は、ミクロンサイズおよびサブミクロンサイズのフィルムの堆積およびエッチングにRFプラズマを利用する。この用途のための一般的な電源は、電源周波数の変圧器/整流器/キャパシタの直流電源および高周波数の電力増幅器から成り得る。一般的な電力および周波数の値は、20キロワットまでと、400kHz～100.0MHzの範囲内とであり得るが、そのように限定されなくてよい。電源または発電機は、100:1の出力負荷範囲にわたって1%または2%の精度に制御可能な電力を有するであろう。通常、発電機は、通常は50オームに規定された負荷に出力するように特に構成されているが、不整合負荷に対しても故障することなく、任意の負荷を駆動することができるべきである。電力増幅器から引き出され負荷に供給される電流が特定のしきい値を超過するなど、不整合状態(たとえば負荷インピーダンスの増加)および/または他の状態が発生すると、ある期間にわたって電力増幅器に被害が生じることがある。一般的な保護機構は、電力を低減するものである。たとえば、対応して電流または消費電力を低減するように、比例増幅器の駆動レベルが低下される。50オームのシステムでは、一般的な50オームからの変化が、反射電力として測定され得る。反射電力を制限するために駆動レベルが低下される。

10

【0004】

図1は、逆相の正弦波によって駆動されるスイッチすなわちトランジスタS1、S2を有する一般的な変圧器結合のプッシュプル式RF電力増幅器を示す。5素子の高調波除去フィルタは、インダクタL1、L2ならびにキャパシタC1、C2、およびC4を含む。高調波除去フィルタは、一般的には高純度または一定の正弦波出力を保証するものである。AB級またはB級であり得る、バイアスのない構成が示されている。一般的には、バイポーラ接合トランジスタ(BJT)または金属酸化膜半導体電界効果トランジスタ(MOSFET)のいずれかが使用される。変圧器T1は、通常は28Vまたは50Vの所与のDC供給電圧のために必要な電力と整合するように選択された比を有する。詳細な回路は、通信用に使用される広帯域HF/VHF電力増幅器の設計に関する標準的な業界の慣行に従う。

20

【0005】

図1の増幅器には1つの利点があるが、いくつかの欠点がある。利点は、広帯域の設計において、単に駆動周波数すなわち入力周波数を変化させることによって、出力周波数が容易に変化されることである。所与の出力周波数に対して、出力フィルタのみを変更すればよい。増幅器の基本的な線形性/純度が十分に優れていれば、すべてがなして済む。図1の回路には、効率が悪くトランジスタの消費電力が大きいという欠点がある。効率は、理論上70%を超えることができないが、一般的には高々50%である。大きい消費電力に対処するために、多くの用途に使用されるRFトランジスタは、高価で特別な酸化ベリリウム(BEo)の低熱抵抗技術を採用することが多い。このRFトランジスタは、空冷または水冷の大きいヒートシンクを必要とすることが多い。RF線形増幅器の設計において大量のデータが公表されている。発生器を設計しようとするあらゆる電源製造業者が、トランジスタ製造業者の高信頼度の応用回路を使用することができる。

30

【0006】

図2に見られるように、図2の回路は、高効率および低消費電力を提供する別の動作モードを利用するものである。図2の回路の駆動信号は矩形波に固定されており、その結果、トランジスタは、ここではリニアモードではなくスイッチングモードで動作する。すなわち、図1のスイッチすなわちトランジスタS1、S2は、完全オンと完全オフの間で動作する。図2のスイッチすなわちトランジスタS1、S2は、完全オンから完全オフへ切り換わることによって動作する。このとき変圧器T1の出力は矩形波である。インダクタL1、L2およびキャパシタC1、C2を含んでいる4素子フィルタが、必要な基本周波数をフィルタリングして正弦波の出力を産出する。高調波電流を除去するために、フィルタが誘導性入力をもたらすように、キャパシタC4が除去されている。トランジスタの電圧および変圧器の電圧は矩形波であるが、電流は正弦波である。このとき効率は100%であり得、一般的には80～95%の範囲内に入る。そのような回路は、通常、増幅器ではなく共振コンバータまたは共振インバータと称される。

40

【0007】

50

図2の回路にはいくつかの欠点がある。フィルタは、固定されているかまたは狭い周波数範囲または動作帯域のみが可能であるように、特定の出力周波数向けに十分に選択されている。また、出力電力を直接制御することはできない。図1と異なり、図2の回路は、ラインまたは出口の電圧に対して直接接続することができない。むしろ、図2に対するDC入力は、一般的にはスイッチングモードコンバータを使用して実現された追加の電力コンバータを使用して調整しなければならない。さらに、負荷の不整合によって、フィルタとトランジスタの間に大きい循環電流が生じることがある。DC入力電流を制限しても、循環電流は必ずしも制限されない。

【 0 0 0 8 】

特にE級増幅器に関して、E級増幅器は高効率を提供するスイッチングモードの増幅器トポロジーである。そのトポロジーのために、一般的にはトランジスタであるE級増幅器のスイッチング素子は、最大の消費電力が生じる活性領域においてほとんど時間を費やさない。この構成において、E級増幅器のスイッチング素子は、トランジスタではなくむしろスイッチのように動作する。すなわち、このスイッチング素子は、その時間の大部分を遮断領域または飽和領域のいずれかにおいて費やす。

【 0 0 0 9 】

設計者は、ゼロ電圧スイッチング(ZVS)として知られているスイッチングモードの技術を使用することにより、E級増幅器の効率をさらに改善する。ZVSは、E級増幅器のスイッチング素子が遷移中に活性領域を通過するのを防止する。スイッチング素子の出力に誘導負荷を加えることにより、スイッチング素子の出力における寄生キャパシタンスおよびスワンピングキャパシタンスがゼロボルトまで放電されてから、スイッチング素子が遮断領域から飽和領域へ移行しようとする。インダクタとキャパシタが協働して、直列共振回路を形成し、スイッチング素子の出力に誘導負荷を与える。共振回路の周波数は、増幅器の動作周波数未満である。このとき、共振回路のインダクタが共振回路を支配し、トランジスタに対する誘導負荷を生成する。

【 0 0 1 0 】

ZVSを遂行するために、スイッチング素子は、デバイスチャネルが遮断領域にあるときでも、マイナスのドレイン-ソース電流を通し得るように設計しなければならない。MOSFETがソースに対する基板接続において固有のボディダイオードを有するので、そのような要件は、MOSFETがE級増幅器のトポロジーのスイッチング素子に関する好ましい選択であることを示唆する。バイポーラ接合トランジスタ(BJT)または絶縁ゲートバイポーラトランジスタ(IGBT)などの他のトランジスタも選択され得るが、そのような構成は、エミッタ-コレクタ接合にわたって高速のダイオードを配置する必要がある。

【 0 0 1 1 】

E級増幅器の主要な利益は、主としてデバイスの電力損失が低減することにより、E級トポロジーにおいて使用される同じトランジスタから、他のトポロジーよりも大きいRF電力が実現され得ることである。他方では、E級増幅器は、RF出力から除去しなければならないかなりの2次高調波エネルギーを生成する。そのようなトポロジーは、一般的にはRF電力が負荷に送出される前にフィルタリングする少なくとも1つの追加の段を必要とする。

【 0 0 1 2 】

先に論じられたように、インダクタおよびキャパシタから成る直列共振回路は、増幅器の動作周波数未満の共振周波数を有する。負荷はキャパシタ、インダクタ、および抵抗の任意の組合せであり得るが、負荷と、共振回路との直列結合が増幅器の動作周波数と等しい共振周波数を有するような値を有するキャパシタのみであると、スイッチング素子を通る電流は無限の値に近づく可能性がある。結果として、トランジスタに被害が生じる可能性がある。しかしながら、一般的なE級増幅器の適用は、増幅器出力の反射電力をクランプする外部制御ループを利用することによってトランジスタの被害を防止する。制御ループは、反射電力が事前設定の限界を超過したことを一旦感知すると、反射電力が所定の限度に一致するまでDCレールの電圧を低下させる。制御ループは、トランジスタに対する衝撃を防止するために迅速に反応しなければならない。トランジスタに対する衝撃は、RF増

10

20

30

40

50

幅器の入力電力を低下させてゼロにすることによっても防止することができる。しかしながら、プラズマ処理の用途では、そのような行為は、プラズマが消失するという望ましくない結果をもたらす恐れがある。

【発明の概要】

【課題を解決するための手段】

【0013】

電力増幅器を含む電源回路は、(i)第1の電源からの直流(DC)電圧、および(ii)制御信号を受け取るように構成されている。電源は、制御信号に基づいて、直流電圧を交流(AC)出力信号に変換する。変圧器は第1の巻線、第2の巻線、および第3の巻線を含む。第1の巻線がAC出力信号を受け取る。第2の巻線は、AC出力信号に基づく出力電流を受け取り、出力端子を介して負荷に電流を供給する。整流器およびクランプ回路は複数のダイオードを含む。ダイオードは、第3の巻線にわたる電圧を整流し、出力端子における電圧をクランプし、第3の巻線から第1の電源または第2の電源に電力を戻すように構成されている。

10

【0014】

電源回路に含まれる電力増幅器は、第1の電源から直流(DC)電圧を受け取って、直流電圧を交流(AC)出力信号に変換する。変圧器は第1の巻線、第2の巻線、および第3の巻線を含む。第1の巻線がAC出力信号を受け取る。第2の巻線は、AC出力信号に基づく出力電流を受け取り、出力端子を介して負荷に電流を供給する。整流器およびクランプ回路は複数のダイオードを含む。ダイオードは、第3の巻線にわたる電圧を整流すること、出力端子における電圧をクランプすること、および第3の巻線から第1の電源または第2の電源に電力を戻すことのうちの少なくとも2つを行うように構成されている。

20

【0015】

本開示の適用可能性のさらなる領域が、発明を実施するための形態、特許請求の範囲および図面から明らかになるであろう。発明を実施するための形態と具体例とは、説明の目的のみを意図しており、本開示の範囲を限定することを意図するものではない。

【図面の簡単な説明】

【0016】

【図1】前述のように従来技術において実行された回路トポロジーの図である。

【図2】前述のように従来技術において実行された回路トポロジーの図である。

【図3】電源の回路図である。

30

【図4】組み合わされた出力を生成するために直列に接続された回路を示す図である。

【図5】組み合わされた電力出力を生成するために並列に接続された回路を示す図である。

【図6】単一のクランプダイオード対によって保護されたスイッチングブリッジの半分を示す図である。

【図7】共振回路および出力を供給する単一のスイッチと、回路を保護する単一のダイオードクランプ対とを示す図である。

【図8】図7の回路の3レベルの実装形態の図である。

【図9】ハーフブリッジインバータおよび保護回路を示す図である。

【図10】特定のスイッチングデバイスに依拠した、スイッチングデバイス向けの代替構成を示す図である。

40

【図11】特定のスイッチングデバイスに依拠した、スイッチングデバイス向けの代替構成を示す図である。

【図12】特定のスイッチングデバイスに依拠した、スイッチングデバイス向けの代替構成を示す図である。

【図13】クランプダイオードのうちの1つと並列にキャパシタを有する回路を示す図である。

【図14】クランプダイオードの各々と並列にキャパシタを有する回路を示す図である。

【図15】一連のキャパシタおよびダイオードにわたって分割された電圧を有する回路を示す図である。

50

- 【図16】保護回路の中にインダクタンスおよびRC回路が見られる回路を示す図である。
- 【図17】フィルタ回路網の動作を改善するためのMOSFET回路を示す図である。
- 【図18】デバイスのキャパシタンスに対処するためのインバータの代替入力回路向けの回路を示す図である。
- 【図19】複数のFETを使用して実施された、デバイスのキャパシタンスに対処するためのインバータ回路を示す図である。
- 【図20】図18の入力回路に対する改善を示す図である。
- 【図21】追加のLC直列回路を有するインバータを示す図である。
- 【図22】クランプ電圧を変化させるための電源回路を示す図である。
- 【図23】図22のインバータとともに使用するための代替の定電圧シンク機構を示す図である。 10
- 【図24】図22のインバータとともに使用するための代替の定電圧シンク機構を示す図である。
- 【図25】図22のインバータとともに使用するための代替の定電圧シンク機構を示す図である。
- 【図26】図22のインバータとともに使用するための代替の定電圧シンク機構を示す図である。
- 【図27-1】保護回路を内蔵する例示的ハーフブリッジインバータから得られた波形を示す図である。
- 【図27-2】保護回路を内蔵する例示的ハーフブリッジインバータから得られた波形を示す図である。 20
- 【図28】保護回路を内蔵しない例示的ハーフブリッジインバータからの比較の波形を示す図である。
- 【図29】電源用制御回路のブロック図である。
- 【図30】保護回路を利用するプラズマシステムに関するブロック図である。
- 【図31】図30の制御回路用の整合回路(matching network)を示す図である。
- 【図32】シングルエンド増幅器を示す回路図である。
- 【図33】シングルエンド増幅器の第2の構成を示す回路図である。
- 【図34】図33の回路の動作を説明する波形を示す図である。
- 【図35】図33の回路の動作を説明する波形を示す図である。 30
- 【図36】図33の回路の動作を説明する波形を示す図である。
- 【図37】プッシュプル構成に配置された1対のシングルエンド増幅器を表す回路を説明する図である。
- 【図38】プッシュプル構成に配置され、負荷のバランスをとることするための追加回路を含む、1対のシングルエンド増幅器を表す回路を説明する図である。
- 【図39】並列の構成に配置された1対のシングルエンド増幅器を表す回路を説明する図である。
- 【図40】並列かつプッシュプル構成に配置されたシングルエンド増幅器を表す回路を説明する図である。
- 【図41】並列に配置されて出力にフィルタが付加されている1対のシングルエンド増幅器を表す回路を説明する図である。 40
- 【図42】電力増幅器と、絶縁された組ダイオードの整流と、本開示によるクランプ回路とを内蔵する電源回路を説明する図である。
- 【図43】電力増幅器のスイッチと、絶縁された組ダイオードの整流と、本開示によるクランプ回路とを内蔵する別の電源回路を説明する図である。
- 【図44】電力増幅器と、絶縁された2つのダイオードの整流と、本開示によるクランプ回路とを内蔵する別の電源回路を説明する図である。
- 【図45】電圧の整流もクランプもない電源回路を説明する図である。
- 【図46】クランプダイオード保護なしで負荷インピーダンスの変化からもたらされる図45の電源回路の電力増幅器の出力電流の例示的プロットである。 50

【図47】本開示によるクランプダイオード保護がある状態で負荷インピーダンスの変化からもたらされる図42の電源回路の電力増幅器の出力電流の例示的プロットである。

【図48】互いに同相の電力増幅器と、絶縁された2つのダイオードの整流およびクランプの回路とを内蔵する一方で、電力増幅器の出力電圧を結合する電源回路を説明する図である。

【図49】互いに逆相の電力増幅器と、絶縁された2つのダイオードの整流およびクランプの回路とを内蔵する一方で、電力増幅器の出力電圧を結合する電源回路を説明する図である。

【発明を実施するための形態】

【0017】

図面では、参照番号は、類似の要素および/または同一の要素を識別するために再利用されることがある。

【0018】

好ましい実施形態の以下の説明は、本来例示でしかなく、本明細書で提供される開示、その応用、または使用法を限定するようには意図されていない。

【0019】

図3を参照して、電圧インバータ回路は全体的に10で示されており、11における直流(DC)電圧源入力および12における交流(AC)出力を有する。図の説明において、スイッチは、一般にSの後に数字が続く記号を使用して参照され、キャパシタはCの後に数字が続く記号を使用して参照され、インダクタはLの後に数字が続く記号を使用して参照され、ダイオードはDの後に数字が続く記号を使用して参照され、変圧器はTの後に数字が続く記号を使用して参照されることに最初から留意されたい。さらに、全体的に対称なトポロジーを有する回路において、全体的に類似した対称な要素を示すために、上記の参照記号のそれぞれに文字接尾部が続くことがある。

【0020】

スイッチS1、S2は、信号源すなわち発生器13から、それぞれの逆相の矩形波信号を入力として受け取る。矩形波信号は、スイッチS1またはS2のいずれかをオンにする場合は常にインダクタL1にわたる電圧の極性を逆にするやり方でスイッチS1、S2をオンにする。信号源13がそのようなやり方でスイッチS1、S2を駆動したとき、スイッチS1、S2とキャパシタC3が協働してDC入力信号を反転させてAC信号にしたものがインダクタL1に印加される。これは12における交流出力を生成し、DC成分はキャパシタC4によって阻止される。12における出力信号の周波数は、信号源13によって出力される信号の周波数に依拠する。インダクタL1、L2およびキャパシタC1、C2を備える4素子の高調波フィルタは、全体的に前述のように動作する。インダクタL1およびキャパシタC1が高調波フィルタの第1段を形成し、インダクタL2およびキャパシタC2が高調波フィルタの第2段を形成する。出力フィルタは、インダクタL1に入力される信号の高調波成分を除去して、出力正弦波の純度を改善し、一般的には50オームである出力インピーダンスに対して、所与の入力電圧に関する所要出力電力を整合させる。

【0021】

上記で論じたように、図1および図2の回路は、不整合負荷によって生成される大きい循環電流に対して非常に脆弱であり得る。第1段の高調波フィルタと第2段の高調波フィルタの間に挿入された1対のクランプダイオードまたは整流器D1およびD2が、電流を循環させることによって、可能性のある被害を緩和する。ダイオードD2は、DC入力源11のマイナスレールからノードXまで延在する。ダイオードD1は、ノードXからDC入力源11のプラスレールまで延在する。動作において、回路が、ノードXを、どちらかの方向へレール電圧を超えて駆動しようとする、そのレールに関連したダイオードがオンになって導電性になる。ダイオードがオンになるとノードXをレール電圧にクランプし、過剰な電圧および/または電流を、インバータへ、詳細には入力源11およびキャパシタC3へフィードバックする。より詳細には、回路が、ノードXを、DC入力源11のプラスレールにおける電圧を超えて駆動しようとする、ダイオードD1がオンになって、DC入力電圧源11およびキャパシタC3へ

10

20

30

40

50

戻る、スイッチS2のボディダイオードを含む電流経路をもたらす。同様に、回路が、ノードXを、DC電源11のマイナスレール未満へ駆動しようとするとき、ダイオードD2が導電性になって、DC入力源11およびキャパシタC3へ戻る、スイッチS1のボディダイオードを含む電流経路をもたらす。不整合負荷の影響が周波数とともに増加するとき、図3の回路によって、インバータが、従来は達成するのが困難であった周波数において使用され得る。

【0022】

図4は、直列に配置された2つの電源回路の出力を説明するものである。図4は、フルブリッジ構成に配置された2つの半分AおよびBを含む。図4の回路では、2つの半分AおよびBのそれぞれに印加されるスイッチング信号間の位相を変化させることによって、出力12における電力を調整することができる。

10

【0023】

図4の第1の半分に含まれる1対のスイッチS1A、S2Aが、信号源13Aによって出力された1対のAC信号を受け取る。スイッチS1A、S2Aは、DC電源11のマイナス電圧レールとプラス電圧レールの間で直列に接続されている。スイッチS1A、S2Aからの出力が印加されるインダクタL1Aが、インダクタL2AおよびキャパシタC1A、C2Aと組み合わせられて2段の4素子高調波フィルタを形成する。第1のクランプダイオードD1Aのマイナス端子すなわちカソードがDC入力源11のプラスレールに接続されており、プラス端子すなわちアノードがインダクタL1AとL2Aの間に接続されている。第2のクランプダイオードD2Aのプラス端子すなわちアノードがDC電源11のマイナス端子に接続されており、マイナス端子すなわちカソードがクランプダイオードD1Aのプラス端子に接続されている。高調波フィルタからの出力が、変圧器T1の第1の終端タップに接続されている。

20

【0024】

クランプダイオードD1A、D2Aが、図4の回路の左半分を保護する。回路が、ノードXAにおける電圧を、DC電源11のプラスレールを超えて駆動しようとしたとき、ダイオードD1Aが導電性になることにより、ノードXAにおける電圧を、ほぼDC入力源11のプラスレール電圧にクランプし、DC入力源11およびキャパシタC3へ戻る経路をもたらす。同様に、回路が、ノードXAをDC入力源11のマイナスレール電圧未満へ駆動しようとしたとき、ダイオードD2Aがオンになって、ノードXAにおける電圧をほぼDC入力源11のマイナスレール電圧にクランプし、DC入力源11およびキャパシタC3へ戻る回路経路をもたらすことにより、図4の回路の左半分を保護する。

30

【0025】

図4の回路は、スイッチS1B、S2Bを含んでいる第2の半分Bも含む。信号源13Bは、スイッチS1B、S2Bに対して1対のAC信号を出力する。信号源13A、13Bは、単一のユニットへと組み合わせられ得ることに留意されたい。半分Bは、インダクタL1B、L2BおよびキャパシタC1B、C2Bを備える4素子の2段高調波フィルタも含む。半分Bには、半分Aにおいて説明されたように、1対のクランプダイオードD1B、D2Bも配置されている。回路の半分Bからの出力が、変圧器T1の終端タップに接続されている。回路の半分Bは、回路の半分Aに関して説明されたように動作する。変圧器T1は、回路の半分AおよびBと出力12の間を絶縁する。回路半分AとBは、変圧器T1の入力コイルを介して直列に接続されている。

40

【0026】

回路の半分AとBは、それぞれの半分のスイッチング信号間の位相を変えると出力12における電力が変化するように、直列に結合されている。具体的には、スイッチS1AおよびスイッチS1Bの作動も停止も同時に行われるとき、スイッチS1A、S1Bは同相または0度の位相で動作すると称される。反対に、スイッチS1Bがオンのときは常にスイッチS1Aがオフであり、スイッチS1Bがオフのときは常にスイッチS1Aがオンであれば、両スイッチは、逆相すなわち180度の位相角であると称される。類似の用語が、スイッチS2A、S2Bのそれぞれに当てはまる。位相コントローラ14が、それぞれの回路の半分の間の相対的位相を変化させるために、それぞれの回路の半分AとBの間の位相を割り出し、信号源13A、13Bのそれぞれに出力信号を供給する。出力12における最大電力は、回路の半分AとBが180度の位相すなわち逆相で動作するとき生じる。出力12における最小電力は、回路の半分

50

AとBが0度の位相または同相で動作するとき生じる。位相がゼロのとき、それぞれの半分には、負荷インピーダンスにかかわらず開回路が見える。変圧器T1は、出力を直列で効果的に結合し、出力12の前に阻止キャパシタを設ける必要はない。それぞれの回路の半分AおよびBの高調波フィルタを形成する回路素子は、0度の位相角におけるゼロ出力を保証するために、一致する必要がある、すなわち等しくなければならない。たとえば、L1A、L2A、C1A、およびC2Aの値は、L1B、L2B、C1B、およびC2Bの値と等しくするべきである。

【 0 0 2 7 】

図5は、並列に結合された第1の回路の半分Aと第2の回路の半分Bとを説明するものである。回路の半分Aに含まれるスイッチの対S1A、S2Aは、信号源13Bと組み合わせられて単一のユニットを形成し得る信号発生器13Aから、それぞれのAC入力信号を受け取る。スイッチS1AとS2Aは、DC入力源11のそれぞれのプラス電圧レールとマイナス電圧レールの間で直列に接続されている。スイッチS1A、S2Aからの出力は、インダクタL1A、L2AおよびキャパシタC1A、C2Aを備える4素子の2段高調波フィルタに印加される。

【 0 0 2 8 】

DC入力源11のそれぞれのプラスレールとマイナスレールの上に、1対のクランプダイオードD1AとD2Aが直列に配置されている。ダイオードD1Aのマイナス端子すなわちカソードはDC電源のプラスレールに接続されており、ダイオードD1Aのプラス端子すなわちアノードはノードXAに接続されている。ダイオードD2Aのマイナス端子すなわちカソードはノードXAに接続されており、ダイオードD2Aのプラス端子すなわちアノードはDC電源11のマイナスレールに接続されている。回路の半分Aからの出力が、DC入力源11のマイナスレールと4素子フィルタからの出力の間の電圧によって割り出される。フィルタからの出力は、出力信号のあらゆるDC成分を阻止する阻止キャパシタC4に印加される。キャパシタC4は出力12にも接続されている。動作において、回路が、DC電源11のそれぞれのマイナスレールおよびプラスレールによって規定された所定のしきい値を超えてノードXAを駆動しようとしたとき、クランプダイオードD1A、D2Aは、DC入力源11およびキャパシタC3への回路経路をもたらすことによって、回路の半分Aの回路要素を保護する。

【 0 0 2 9 】

回路の半分Bは、回路の半分Aと同様に配置されており、回路の半分Aと同じやり方で動作する。図5に示されるような回路の半分AとBの並列接続において、それぞれの半分AとBの間の動作の位相を変化させると出力12における電力が変化する。具体的には、回路の半分AとBが、0度すなわち同相で動作するとき、出力12において最大電力が生成される。反対に、回路の半分AとBが180度すなわち逆相で動作するとき、短絡が出現して、出力12に最小電力が出現する。位相コントローラ14は、それぞれの回路の半分AとBの間の相対位相を制御するために、信号発生器13A、13Bのそれぞれに制御信号を供給する。180度の位相角において、それぞれの回路の半分には、このとき、負荷インピーダンスにかかわらず短絡が見える。キャパシタC2AとC2Bが並列であるため、単一の素子へと結合され得ることに留意されたい。それぞれの回路の半分AおよびBの高調波フィルタを形成する回路素子は、180度の位相角におけるゼロ出力を保証するために、一致する必要がある、すなわち等しくなければならない。たとえば、L1A、L2A、C1A、およびC2Aの値は、L1B、L2B、C1B、およびC2Bの値と等しくするべきである。

【 0 0 3 0 】

図6が表す回路が有する回路の半分AとBは、協働して、出力12の前の共通要素に信号を印加する。回路の半分Aに含まれる対のスイッチS1AとS2Aは、DC入力源11のそれぞれのプラス電圧レールとマイナス電圧レールの間で直列に配置されている。スイッチS1A、S2Aからの出力はインダクタL1Aに入力される。信号源すなわち発生器13Aは、スイッチS1A、S2Bの作動を制御するAC信号を出力する。回路の半分Bに含まれる対のスイッチS1BとS2Bは、DC入力源11のそれぞれのプラス電圧レールとマイナス電圧レールの間で直列に配置されている。スイッチS1B、S2Bからの出力はインダクタL1Bに入力される。信号源すなわち発生器13Bは、信号源13Aとともに単一のユニットへと組み合わせられてよく、それぞれのスイッチS1B、S2Bの作動および停止を制御するAC信号を供給する。

【 0 0 3 1 】

1対のクランプダイオードD1、D2が、それぞれのスイッチ対S1A、S2AおよびS1B、S2Bと並列に配置されている。クランプダイオードD1、D2は、回路の半分A、Bのいずれかが、ノードXYを、DC入力源11のそれぞれのプラスレールおよびマイナスレールによって規定された所定の電圧を超えて駆動しようとしたとき、DC入力源11およびキャパシタC3へ戻る回路経路をもたらず。

【 0 0 3 2 】

DC電源11のマイナス電圧レールとノードXYの間にキャパシタC1が配置されている。DC電源11のマイナスレールとノードXYの間の電圧によって、インダクタL1A、L2B、L2およびキャパシタC1、C2によって形成された高調波フィルタの第2段を形成する、インダクタL2およびキャパシタC2によって定義されたフィルタに対する入力電圧が定義される。キャパシタC1は、それぞれのインダクタL1A、L2Bと協働して高調波フィルタの第1段をもたらず。信号は、阻止キャパシタC4によってDC成分を除去されてから出力12に出力される。

【 0 0 3 3 】

クランプダイオードD1、D2は、回路の半分A、Bのいずれかが、ノードXYを、DC電源11のプラス電圧レール～マイナス電圧レールの範囲を超えて駆動しようとしたとき、DC電源11およびキャパシタC3へ戻る回路経路をもたらず。したがって、回路の半分A、Bのいずれが前述の所定のしきい値を超えてノードXYを駆動しても、クランプダイオードD1、D2が、DC電源11およびキャパシタC3へ戻る回路経路をもたらずことによって図6の回路を保護するように動作する。

【 0 0 3 4 】

図6の回路は、信号源13A、13Bのそれぞれに対する制御信号を生成することによって回路の半分AとBの間の相対位相を制御するための位相コントローラ14も含む。図6において、回路の半分AとBが同相すなわち0度の位相角で動作するとき、出力12に供給される電力が最小になり、回路の半分AとBが逆相すなわち180度の位相角で動作するとき、出力12に供給される電力が最大になる。図6の回路において、180度の位相角におけるゼロ出力を保証するために、インダクタL1とL1Bが一致しなければならない。

【 0 0 3 5 】

図7は、出力12にAC信号を供給するように並列に結合された回路の半分AとBを有する回路を表すものである。回路の半分Aを参照して、スイッチS1Aは信号源13AからAC信号を受け取る。スイッチS1Aは、DC電源11のそれぞれのマイナス電圧レールとプラス電圧レールの間の転流インダクタL3Aと直列に配置されている。スイッチS1Aと並列にキャパシタC6Aが配置されている。転流インダクタL3AとキャパシタC6Aは、協働して、回路の半分Aがシングルエンドのインバータ機能をもたらずように、タンク回路を形成する。タンク回路は半波整流された正弦波形を出力する。阻止キャパシタC7Aは、スイッチS1Aおよび転流インダクタL3Aから出力された信号からDC成分を除去する。キャパシタC7Aは、図8に見られるように、ACを互いに結合して、それぞれのデバイスにわたって同じAC電圧を保証する。L3AとL3Bが、均等分配を促進するために交差結合され得ることに留意されたい。インダクタL3AとL1Aの比が、スイッチS1Aのストレスの変化量を決定する。インダクタL3Aを通る電流が、インダクタL1Aを通る電流と比較して相対的に大きければ、インダクタL1Aを通じての負荷による変化は、スイッチS1Aに対するストレス上の影響が限定的であろう。図7の回路には、均一な高調波が生成され、C7AにわたるDC電圧が負荷に左右されるという欠点がある。これは、いくらかの負荷変動の下で過渡的な充電電流が流れ得ることを意味する。阻止キャパシタC7Aのから出力がインダクタL1Aに入力される。

【 0 0 3 6 】

第2の回路の半分Bは、信号源13Bによって出力されたAC信号によって駆動されるスイッチS1Bを含む。スイッチS1Bは、DC入力源11のそれぞれのマイナスレールとプラスレールの間の転流インダクタL3Bに対して直列である。スイッチS1Bと並列にキャパシタC6Bが配置されている。転流インダクタL3BおよびキャパシタC6Bがタンク回路を形成する。スイッチS1BおよびインダクタL3Bからの出力は、信号からDC成分を除去する阻止キャパシタC7Bに

10

20

30

40

50

印加される。インダクタL1BはキャパシタC7Bに接続されている。

【0037】

インダクタL1AとL1BはノードXZにおいて相互に接続され、インダクタL2およびキャパシタC2に出力を供給する。キャパシタC2のもう一方の端子はDC電圧源11のマイナスレールに接続されている。DC電圧源11のマイナスレールとノードXZの間にキャパシタC1が接続されている。したがって、インダクタL1A、L2およびキャパシタC1、C2は、回路の半分Aからの出力に対する2段の高調波フィルタを形成する。同様に、インダクタL1B、L2およびキャパシタC1、C2は、回路の半分Bからの出力に対する2段の高調波フィルタを形成する。阻止キャパシタC4は、出力12に供給される信号からDC成分を除去する。

【0038】

図7は、電圧源11のそれぞれのプラスレールとマイナスレールの間で直列に配置された1対のクランプダイオードD1、D2も含む。ダイオードD1のマイナス端子すなわちカソードはDC電源11のプラスレールに接続されており、ダイオードD1のプラス端子すなわちアノードはノードXZに接続されている。ダイオードD2のマイナス端子すなわちカソードはノードXZに接続されており、ダイオードD2のプラス端子すなわちアノードはDC電源11のマイナスレールに接続されている。

【0039】

回路の半分A、Bのいずれかが、ノードXZにおける電圧を、所定のしきい値を超えて駆動しようとしたとき、クランプダイオードD1、D2のうちの1つがオンになることにより、ノードXZからDC電源11およびキャパシタC3へ戻す回路経路をもたらし、たとえば、図7の回路がDC電源11のプラスレールを超える電圧へとノードXZを駆動しようとしたとき、ダイオードD1が導電性になることにより、過剰な電圧および電流をDC入力源11およびキャパシタC3へ戻す回路経路をもたらし、同様に、回路が、ノードXZの電圧を、DC入力源11のマイナスレールの電圧未満へと駆動しようとしたとき、ダイオードD2が導電性になり、DC入力源11およびキャパシタC3へ戻る回路経路をもたらし、

【0040】

図7の回路の半分AとBは並列に配置されている。スイッチS1AおよびスイッチS1Bを制御する制御信号の相対位相が同相すなわち0度のとき、出力12が最大電力を受け取る。反対に、スイッチS1Aの駆動信号とスイッチS1Bの駆動信号の間の位相が逆相すなわち180度のとき、出力12が最小電力を受け取る。位相コントローラ14は、信号源13A、13Bのそれぞれに入力信号を供給することにより、回路の半分AとBの間の相対位相を変化させる。それぞれの回路の半分AおよびBの高調波フィルタを形成する回路素子は、180度の逆相を保証するために、一致する必要がある、すなわち等しくなければならない。たとえば、L1A、L2A、C1A、およびC2Aの値は、L1B、L2B、C1B、およびC2Bの値と等しくするべきである。

【0041】

図7の回路の特有の問題は、高周波での動作中に、同じ回路経路の内部でスイッチを交互に駆動することが、一般により困難になることである。インダクタL3および関連するキャパシタC6によって形成されたタンク回路を利用することにより、一般に、特定の回路の半分のスイッチングに要求される精度が緩和される。

【0042】

図8は、図8のシングルエンドのインバータ回路の3レベルの実装形態を表すものである。図8は1対の回路の半分A、Bを含み、それぞれの対が、プライム(')、ダブルプライム(")、およびトリプルプライム('')によって示された3つのレベルを含む。回路の半分Aを参照して、各レベルが、信号源13AからAC信号を受け取るスイッチS1Aを含む。スイッチS1AはインダクタL3Aに接続し、キャパシタC6Aと並列に配置されている。インダクタL3AとキャパシタC6Aは、協働してタンク回路を形成する。インダクタL3AおよびスイッチS1Aからの出力は、インダクタL3AおよびスイッチS1Aの出力からDC成分を除去する阻止キャパシタC7Aに入力される。スイッチS1AとインダクタL3Aの直列接続に対してキャパシタC5Aが並列に配置されている。それぞれのスイッチS1A'、S1A''、S1A'''が、信号源13Aからアナログ信号を受け取る。

10

20

30

40

50

【 0 0 4 3 】

キャパシタC5A'、C5A''、C5A'''が3つのレベルを分離する。それぞれのキャパシタC5A'、C5A''、C5A'''が電流を通してDCを阻止し、したがって各段のそれぞれのAC部分の電流ループをもたらす。キャパシタC7A'、C7A''、C7A'''が、それぞれのレベルの出力を互いにAC結合し、これらのインピーダンスは、対象の周波数において無視できるものである。したがって、それぞれのレベルが、ほぼ等しい電圧を有する。たとえば、DC入力源11が300ボルトの電圧を出力すると、それぞれのキャパシタにわたる電圧は100ボルトになる。したがって、それぞれのレベルの回路の半分Aは、DC電源による電圧出力のうちの1/3のみを扱えばよい。

【 0 0 4 4 】

同様に、回路の半分Bに含まれる3つのレベルのそれぞれが、インダクタL3Bと直列に接続されたスイッチS1Bを有する。上記で論じたように、スイッチS1Bは、インダクタL3Bとタンク回路を形成しているキャパシタC6Bに対しても並列に接続されている。阻止キャパシタC7Bが、インダクタL3BおよびスイッチS1Bの出力からDC成分を除去する。各レベルが、キャパシタC5Bとも並列に接続されている。各素子が、回路の半分Aに関して前述のように動作する。それぞれのスイッチS1B'、S2B''、S3B'''が、信号発生器13BからAC信号を受け取る。

【 0 0 4 5 】

回路の半分Aの3つのレベルからの出力が結合されてインダクタL1Aに入力される。インダクタL1Aは、インダクタL2およびキャパシタC1、C2と協働して、回路の半分Aから出力される高調波成分を除去するための2段の高調波フィルタを形成する。同様に、それぞれのレベルの回路の半分Bからの出力が組み合わされてインダクタL1Bに入力され、インダクタL1Bも、インダクタL2およびキャパシタC1、C2と協働して、回路の半分Bから出力されるAC信号から高調波成分を除去するための2段の高調波フィルタを形成する。高調波フィルタの出力に阻止キャパシタC4が接続されて、出力12に供給された信号のDC成分を除去する。

【 0 0 4 6 】

図8は、DC入力源11のそれぞれのプラス電圧レールとマイナス電圧レールの間で直列に配置された1対のクランプダイオードD1、D2も含む。クランプダイオードD1とD2は、回路の半分のいずれかが、ノードXZを、DC入力源11のそれぞれのプラスレールおよびマイナスレールによって規定された所定のしきい値を超えて駆動しようとしたとき、協働して、DC電源11およびキャパシタC3へ戻る回路経路をもたらす。動作において、回路の半分のいずれかが、ノードXZを、DC入力源11のプラスレールよりも高い電圧へと駆動しようとしたとき、ダイオードD1がオンになって、DC入力源11およびキャパシタC3へ戻る回路経路を生成する。同様に、回路の半分A、Bのいずれかが、ノードXZの電圧を、DC入力源11のマイナスレール未満へと駆動しようとしたとき、ダイオードD2がオンになり、DC入力源11およびキャパシタC3へ戻る回路経路を生成する。

【 0 0 4 7 】

動作において、回路の半分AとBの間の相対位相が、出力12に供給される電力を決定する。回路の半分AとBの間の相対位相が0度すなわち同相であるとき、出力12は最大電力を受け取る。反対に、それぞれの回路の半分AとB用のスイッチを駆動するAC信号間の相対位相が180度すなわち逆相であるとき、出力12は最小の電力を受け取る。

【 0 0 4 8 】

図8の回路の特別な利点は、電圧源11のそれぞれのマイナスとプラスレールの間で直列に3つの回路を配置することにより、それぞれのレベルが、DC電源11のそれぞれのマイナスレールからプラスレールにわたる全電圧の1/3しか扱わないことである。これによって、それぞれのレベルが扱うのは、単一レベルの実装形態における全電圧ではなく、入力電圧の1/3のみであるため、約300ボルトのDC入力を有する電源向けの400～500ボルトのデバイスを利用することが可能になる。そのような400～500ボルトのデバイスは広く入手可能であり、300ボルトの入力システム向けに最適の特性をもたらす。

【 0 0 4 9 】

10

20

30

40

50

図9は、保護回路を有するインバータの回路図を示す。図9の回路の電圧レールにわたって300ボルトのDC電圧が印加される。第1のキャパシタC3-1は、400ボルト(V)の能力を有する2.2マイクロファラド(μF)のキャパシタとして具現され、第2のキャパシタC3-2は、380Vの能力を有する220 μF キャパシタとして具現され、これらが電圧レールの間で並列に配置されている。信号源(図示せず)によって、絶縁変圧器T3の端子に第1のAC信号が印加される。変圧器T4の入力に、信号源(図示せず)から第2のAC信号が印加される。

【0050】

変圧器T3から出力が、22オーム()の抵抗を介して、1対のスイッチS1-1、S1-2に入力される。同様に、変圧器T4から出力が、22オーム()の抵抗を介して第2のスイッチ対S2-1、S2-2に入力される。これらのスイッチはIRF740パッケージから選択されている。スイッチ対S1-1とS1-2は並列に配置されており、スイッチ対S2-1とS2-2も同様である。単一スイッチの対のデュアルスイッチのそのような並列の配置は、それぞれのスイッチの電流ハンドリング要件を軽減する。スイッチ対S1、S2からの出力が入力される10.3マイクロヘンリー(μH)のインダクタL1は、13.2 μH のインダクタL2、30ナノファラッド(nF)のキャパシタC1、および10nFのキャパシタC2と協働して、スイッチS1、S2の出力から高調波を除去するための4素子の高調波フィルタをもたす。阻止キャパシタC4は、400Vの能力を有する2.2 μF のキャパシタとして具現される。

【0051】

クランプダイオードD1およびD2が、DC電源11のそれぞれのプラス電圧レールとマイナス電圧レールの間で直列に配置されている。クランプダイオードD1、D2は、好ましくはパッケージHFAT660から選択される。

【0052】

前述の回路は、一般的には限定された周波数範囲にわたって動作する。LC回路網が一般に低域通過フィルタであるため、最大電力スループットは周波数に反比例する。また、周波数が低下すると、高調波からの歪みが出現し始めるはずである。少なくとも30%の帯域幅にわたって、満足すべき動作が観測された。

【0053】

DC電圧源との間にクランプダイオードが接続され得る複数のLC回路網に給電する電圧源インバータを有する他の回路が存在する。ハーフブリッジのインバータ回路が説明されているが、フルブリッジでシングルエンドのインバータも含まれることを理解されたい。本明細書で説明されたように、これらのLC回路網の値およびクランプ点は好ましいものであって有利に選択されており、その結果、過度の循環エネルギーが電源に戻され得、過大な電流および電圧の蓄積が防止され、それによって構成要素が保護される。加えて、そのような選択は、電源インバータにおいて電流が常に誘導的に見えることを保証し得、ダイオード回復の配慮に対処する。そのような回路網には、出力、クランプ点、およびインバータトランジスタの整合を促進するため、または絶縁をもたすために、変圧器が含まれてよい。

【0054】

さらに、電力レベルが位相関係によって制御され得るように、本明細書で説明した回路網に対して2つの電圧源インバータが接続されてよい。本明細書で説明した位相関係に加えて、非対称回路網は、より複雑な位相関係をもたすことになる。対称回路網は、最大電力の位相および最小電力の位相が周波数に左右されないはずであるという利点をもたす。

【0055】

本明細書で説明されたタイプの上記の位相変調回路は、可能性のある3つの設計上の問題を浮き彫りにする。

【0056】

第1に、特定の限定された条件下で、DC電力が一方のブリッジ側から他方へと循環する。これが生じたとき、それでもなおFETは誘導によってオフになる(see inductive turn off)が、全体のサイクルにわたって平均すると、FETは最終的に整流している。すなわち、

10

20

30

40

50

より多くの電荷が、FETを通過して順方向ではなく逆方向に流れる。結果的に、逆方向の電流がボディダイオードをオンにするほど十分に大きければ、トランジスタがオフになるときボディダイオードが完全には回復しないはずであり、消費電力が大きくなる。この作用は、デバイスが熱くなると、ボディダイオードの電圧降下の負の温度係数によって強調されることになり、熱暴走を引き起こす可能性がある。

【0057】

この第1の問題は、低周波数において、損失を容認することにより、または逆方向の絶縁ダイオードを使用することによって対処され得る。より高い周波数では、FETは、逆電流がそのチャンネルによって常に処理されるように、十分に低い抵抗を有するよう選択すべきである。これは、低電圧デバイスを用いると、そのオン抵抗が電圧の2.5乗に比例する一方でダイオードの電圧降下が電圧とは無関係であるため、達成するのがより容易である。

10

【0058】

第2に、LC回路網が小さい位相において共振状態になり、出力の振幅が、したがって順方向電力が、比較的大きくなるまでクランプされないとき、高利得の条件が存在する。この状態は、デバイスを損なうことにはならないが、制御の精度に影響を及ぼすはずである。

【0059】

この第2の問題は、非常に正確で安定した位相コントローラまたは変調器の設計を利用することにより、または出力回路網に抵抗を挿入してQを低下させ、位相特性を拡大することによって対処され得る。50オームの電力の1%または2%しか必要としない抵抗を利用すれば十分と思われる。この問題が出現するのは、純粋な無効負荷といったいささか人為的な条件の間に生じ得ることなど、負荷において消費される実電力がない場合のみである。一般に、プラズマチャンバ、ケーブル、および整合回路が、Qを十分に低下させるはずである。

20

【0060】

第3に、この位相対電力の制御特性は、様々な劣った整合条件下の屈曲または変化を示すことがある。たとえば、位相がゼロから最大値へスムーズに変化するとき、電力は、ゼロから増加してわずかに減少し、次いで増加し続ける。これは、非線形なプラズマのインピーダンス/電力の関数に関連して振動を引き起こす可能性がある。

30

【0061】

この問題は性質上理論的なものであり、現実的ではないであろう。制御アルゴリズムは、3:1の電圧定在波比(VSWR)よりも優れた整合において通常は消滅する屈曲をジャンプするだけでよい。また、電力制御特性は、無限のVSWR円の少なくとも半分については屈曲がなく、そのため、ケーブル長さ、パイ回路網などを利用して、VSWR円のどこかに負荷を配置することができる。實際上、図6の回路は、屈曲がそれほど顕著でなく、一般的には實際上到達し得ない最大電力の近くで生じるという点で、図4よりも優れている。

【0062】

本明細書で説明された回路は、金属酸化膜半導体電界効果トランジスタ(MOSFET)を利用するものである。MOSFETは、対象になり得る(of likely interest)、1メガヘルツ(MHz)よりも高い周波数においてバイポーラ接合トランジスタ(BJT)または絶縁ゲートバイポーラトランジスタ(IGBT)よりも一般に優れている。

40

【0063】

図10～図12は、MOSFET、BJT、またはIGBTのトランジスタのうちの1つを使用して上記回路のスイッチを実施するための構成を表すものである。図10は、前述の回路において使用されるようなMOSFETを示す。MOSFETは、MOSFETの設計において本質的な阻止ダイオードを含む。図11は、BJT 20および逆並列ダイオード22を示す。前述の回路では、BJT 20を使用してスイッチを実施するとき、クランプダイオードD1、D2がアクティブになったとき回路経路をもたらすために、逆並列ダイオード22が含まれていなければならない。

【0064】

50

同様に、図12は、本明細書で開示されたスイッチを実施するとき、およびIGBTを利用するときにより好ましい構成を示すものである。図12は、IGBT 24と、図11の逆並列ダイオード22と類似の機能をもたらす逆並列ダイオード26とを示す。適切なスイッチングおよび回路経路の機能をもたらす他のスイッチングデバイスまたは回路の組合せも、MOSFETの代わりに使用され得ることに留意されたい。

【0065】

図13～図15は、D1、D2に関して説明された代替のダイオードクランプ回路を表すものである。図13は、ダイオードD1、D2およびキャパシタC1を含むダイオードクランプ回路を表す。この回路は上記で説明されている。図14および図15は、ダイオードD1、D2およびキャパシタC1の代替構成を使用している実装形態を示す。それぞれの回路において、キャパシタC1は、図14に示されるように、それぞれのダイオードにわたって配置された半分の値の同じキャパシタを2つ利用して実施されてよい。同一のキャパシタC1/2は、デカップリングキャパシタC3(図14には示されていない)によって効果的に並列結合されている。デカップリングキャパシタC3は、動作周波数に対して容量が大きく、そのインピーダンスが無視され得ることにより、回路の物理的配置および構成要素の電力共有を支援する。

10

【0066】

図15に示されるように、より高い周波数において、それぞれのダイオードD1、D2について2つのダイオードを直列に使用するのが有利であり得る。一般により低い電圧のダイオードは、より小さい逆回復電荷を有する。2つのダイオードを直列にすると、各ダイオードを通して同一の電荷が流れる。各ダイオードにわたってC1を分割すると、AC電圧の等しい共有が保証される。

20

【0067】

図16に示されるように、クランプ回路のさらなる変形形態では、インダクタL6が、クランプダイオードD1、D2とフィルタリングキャパシタC1の接合の間に、L1と直列に配置されている。インダクタL6は、好ましくは小さい値である。これは、ダイオードのオン/オフの切り換えを和らげることができ、整流効率を向上させる。ダイオードD1、D2がオフになる時の高周波リングを減衰させるために、キャパシタC7および抵抗R1によって形成されたスナバ回路が必要とされることがある。これも、正確に選択すれば、2つの並列のブリッジ回路間の位相角度が小さいときなど、LC回路網が低出力において共振状態になる場合のQが大きい状況を軽減するのに寄与するはずである。

30

【0068】

上記で論じたように、LCフィルタ回路網が小さい位相において共振状態になり、振幅の位相が増加し、したがって順方向電力の位相が増加するまで、クランプされない場合に存在する高い利得状態の結果として、電力の制御精度が損なわれる可能性がある。これは、非常に正確で安定した位相変調器の設計、または、Qを低下させ、かつ位相特性を拡大するのに十分な値を有する抵抗を出力網に接続することによって対処され得る。50オームの電力の約1～2%を消費すれば、この問題に対処するのに十分であると思われる。一般的には、これが生じるのは、テスト条件における純理論的な無効負荷といったいくぶん人為的な条件下など、負荷において消費される電力が小さい場合のみである。実際上、ケーブル、整合回路、および負荷が、十分にQを低下させるはずである。位相シフトが大きければ、クランプダイオードが共振を防止する。

40

【0069】

あるいは、Qは、位相が小さいときに限ってクランプ点に抵抗を挿入する(*switching in*)ことによって選択的に低下されてよい。これは、値が小さいときオンになるように設定された(*set to come on for low values*)、位相変調器の要求に応じるコンパレータを使用して達成され得る。次いで、コンパレータは、電力需要が小さいときなど位相差が比較的小さいときに作動されるMOSFETスイッチの形をとり得るリレーを駆動することができる。図17は、クランプ点において抵抗を選択的に挿入するための回路を示す。図17に示されるように、電圧振幅がクランプダイオードによって制限され、しかもMOSFETが両方向に導通するので、MOSFET SRが有利に使用され得る。バイアス抵抗器R3、R4が、電圧振幅をSR

50

の範囲内に集中させることができる。R2は十分な減衰をもたらすように選択されており、C8はDC成分がR2およびMOSFET SRを流れるのを阻止する。SRに対する入力は、一般的には制御回路によって供給される。C8から出力は、ダイオードD1とD2の相互接続に接続される。

【0070】

動作周波数が増加すると、一般的にはスイッチを実施しているFETのキャパシタンスが、回路の動作に対してより有効な効果を有する。図18はハーフブリッジ回路への拡張を示す。

【0071】

図18において、キャパシタC3(図示せず)に対して並列にキャパシタC5が配置されている。キャパシタC5とスイッチS1、S2の出力の間の相互接続の間にインダクタL3が挿入されている。インダクタL3は、FET S1、S2の出力およびミラーキャパシタンスを充放電するのに十分な誘導電流が常に流れることを保証する。インダクタL3は、出力およびクランプ回路網が容量性負荷の電流が流れることを許す場合、その電流が誘導性に見えることも保証する。

【0072】

上記で論じたように、特定の状況下で、一方のブリッジ側からもう一方の側へDC電力が循環することがある。その結果、FET S1、S2が誘導でオフになっても(still see inductive turn off)、全体のサイクルにわたって平均すると、FET S1、S2は最終的に整流している。すなわち、より多くの電荷が順方向ではなく逆方向に流れる。結果的に、電流が、FETに含まれるボディダイオードを逆転させてオンにするほど十分に大きければ、FETのトランジスタがオフになるとき、FETスイッチが完全には回復されず、電力消費が大きくなるはずである。これは、FETデバイスが熱くなるとき、ボディダイオードの電圧降下の負の温度係数によって強調されることになり、熱暴走を引き起こす可能性がある。

【0073】

これも上記で論じたように、低周波数において、この状況は、損失を容認すること、または逆方向の絶縁ダイオード(reverse isolation diodes)を使用することによって対処され得る。より高い周波数では、FETは、逆電流がそのFETチャネルによって常に処理されるように、十分に低いオン抵抗を有するように選択すべきである。これは、低電圧デバイスを用いると、そのオン抵抗が電圧の2.5乗に比例する一方でダイオードの電圧降下が電圧とは無関係であるため、達成するのがより容易である。

【0074】

図19に示されるように、S1-1、S1-2とS2-1、S2-2との2組の低電圧FETが直列に接続されてよい。これらのFETは、一般的には、並列の2つのFETデバイスと比較して、オン抵抗が1/4であり、それぞれの電圧降下が1/2になるはずである。したがって、ダイオード構成に関するしきい値電流は2倍になる。図19において、それぞれのスイッチS1-1、S1-2、S2-1、S2-2と並列に各キャパシタC6が配置され得る。等しい電圧の共有を保証するばかりでなく、有効なデバイスキャパシタンスを増すためにキャパシタC6が必要とされることがある。等しい電圧を共有し、アンバランス電流のみを通すことが、キャパシタC7によってさらに促進される。この構成において、高速回復エピタキシャルダイオードFET(FREDFET)スイッチには、逆方向の回復充電が低減されるという利点がある。

【0075】

図20は、図18の回路に対するさらに別の改善を示すものである。キャパシタC5のそれぞれに対して2つのクランプダイオードDI1、DI2が並列に挿入されている。ダイオードDI1、DI2は、接合における電流または電圧を電源へ戻すために整流するように選択されている。これは、図18におけるような誘導電流を循環させて、FET S1、S2の電荷を蓄える性質の方向を変え、また、FET S1、S2からのDC成分を吸収して、これを電源レールに戻す。これは、一方のブリッジから他方のブリッジへ流れるあらゆるDCを扱うことができ、FETボディダイオードの回復の問題にも対処することができる。キャパシタC5およびダイオードDI1、DI2は、主要なクランプ機構と同様に直列および並列の結合に構成され得るが、一般的

10

20

30

40

50

には、必要とされる電力処理能力はより小さいものでよい。可変周波数の動作が望まれる場合、図20の回路には、ダイオードDI1、DI2が常に導通するようにL3およびC5が選択されている限り、ターンオフ電流が周波数と無関係にほぼ同一のままであるというさらなる利点がある。

【0076】

図21に示されている、図20の回路に対する改善は、インダクタL5およびキャパシタC5を含んでいる追加のLC直列回路を含む。共振周波数が電源の1次周波数とその3次高調波の間にあるように、インダクタL5およびキャパシタC5の値を適切に選択することにより、インダクタL3を通る電流が周波数とともに増加し、DC電流がほぼ一定に保たれる。

【0077】

マイナスレールおよびプラスレールにより、不整合効果にตอบสนองし、電圧および/または電流をインバータにフィードバックすることを可能にする所定のポイントにクランプするための好都合な基準電圧が与えられるが、クランプダイオードを、何らかの他の所定の電圧源にわたってクランプが生じるように接続することも可能である。回路が時々過剰な電圧および電流を消費しなければならないので、代替電圧源の参照は、好ましくは定電圧シンクを参照することを含む。

【0078】

図22は、マイナス電圧レールおよびプラス電圧レール以外の電圧を参照する回路を説明するものである。ツェナーダイオードZ1がクランプ用の高い基準電圧を設定し、ツェナーダイオードZ2がクランプ用の低い基準電圧を設定するように、インダクタL1とインバータスイッチS1、S2の間に阻止キャパシタC4が挿入されている。ツェナーダイオードZ1とZ2が、ポイントAとBの間で、アノードどうして直列に接続されており、その結果、一方は、ポイントXの電圧がプラスに駆動されると導通して加熱することによってエネルギーを消費し、他方は、ポイントXにおける電圧がマイナスに駆動されると導通してエネルギーを消費することになる。一方のダイオードが整流器モードで動作するとき、他方のデバイスはツェナーモードで動作する。

【0079】

實際上、ツェナーダイオードZ1、Z2は、高速ではうまく切り換わらない。この状況は、ツェナーダイオードD1、D2の代わりに図23の構成を代用することによって補償され得る。図23では、ツェナーダイオードZ1が普通のダイオードDZ1とカソードどうして直列に接続され、ツェナーダイオードZ2が普通のダイオードDZ2とアノードどうして直列に接続されている。次いで、これらのツェナーダイオードと普通のダイオードの直列接続が並列に配置される。この構成では、ツェナーダイオードZ1、Z2は整流モードで動作する必要はない。

【0080】

現在、特に大きい電力定格のツェナーダイオードは入手可能ではないというさらなる問題がある。現在、ツェナーダイオードの最大電力定格は約70Wである。さらに、比較的大きな電力定格のツェナーダイオードは、一般的には高価である。しかしながら、トランジスタは、非常に大きい電力定格において比較的低コストであり、容易に入手可能である。ツェナーの制限を克服するためのやり方の1つには、図24に示されるものなどのアクティブなツェナー回路を使用するものがある。図24において、ツェナーダイオードZAは、主として、ツェナーダイオードZAよりも約100倍大きい電力レベルを消費するように構成されたトランジスタTAをオンにするように機能する。トランジスタTAの消費電力は、アクティブなツェナー回路の利得の関数である。

【0081】

図24を参照して、ダイオードZAがツェナーモードのとき、以下の式が当てはまる。

$$V=V_2+V_{BE}, \text{ここで } V_{BE} \text{ 0.6vであり、}$$

$$I=I_2+I_Q, \text{ここで } I_Q \text{ HFE} \times I_2, \text{ HFE } 100 \text{ であって、}$$

その結果、 $I_Q \gg I_2$ 、かつ $P_Q \gg P_2$ である。

【0082】

10

20

30

40

50

上記の式から理解されるように、トランジスタTAを通る電流は、ツェナーダイオードZAを通る電流よりもはるかに大きく、トランジスタTAによって消費される電力はツェナーダイオードZAによって消費される電力よりもはるかに大きい。

【 0 0 8 3 】

図25は、インバータのマイナスレールおよびプラスレール以外の電圧基準を設定するための代替機構を表すものである。具体的には、図25は、ダイオードDB1A、DB2A、DB1B、DB2Bを備えるダイオードブリッジを示す。ダイオードブリッジの半分にわたってツェナーダイオードZBが接続されている。したがって、マイナスの波形でもプラスの波形でも、電圧がしきい値電圧を超えたとき、ツェナーダイオードZBはツェナーモードになる。図26が表すダイオードブリッジ機構は図25のものに類似であるが、図24に類似のトランジスタTAおよびツェナーダイオードZAの機構を含むことにより、消費電力が増加する。

10

【 0 0 8 4 】

図24～図26のダイオードブリッジ回路はいくつかの利点をもたらす。第1に、必要なツェナーダイオードは2つではなく1つだけであるため、設計はコストが下がる。第2に、2つのツェナーダイオードの機構を使用して得られる一貫しないクランプ電圧ではなく、ツェナーダイオードを1つだけ使用して、一貫したクランプ電圧を得ることができる。第3に、普通のダイオードは、ツェナーダイオードよりも、一致させるのが容易である。

【 0 0 8 5 】

図27は、保護回路を有する電源の例示的回路の実装形態に関して測定された波形を示すものである。DC300Vの入力について、整合状態と不整合状態の下で、動作波形および電力レベルを記録した。負荷インピーダンスは50オームにおいて整合され、また、不整合の負荷インピーダンスは、開回路、短絡、ならびに誘導性無効と容量性無効の両方の12、25、50、100および200オームを使用した。図27a～図27mを参照すると、それぞれの図が、1～4と分類された4つの波形を含んでいる。波形1は、インダクタL1の出力、入力など、MOSFETのドレイン電圧を一目盛につき200ボルトで示す。波形2は、L1を通る電流を一目盛につき10アンペアで示す。波形3は、クランプ電圧すなわちダイオードD1とD2の間のノードにおける電圧であり、一目盛につき約200ボルトである。波形4は、クランプダイオードの電流であり、一目盛につき10アンペアである。これらの規定は、図27および図28の出力波形のそれぞれに当てはまるものである。選択された値は、最悪の動作条件が見いだされることを保証するのに十分な無限のVSWRにおける12の個別のポイントを与える。下記の表は主要なパラメータのリストである。

20

30

【 0 0 8 6 】

【表 1】

	負荷	DC 電流 (A)	RF 順方 向電力 (W)	消費電力 (W)	ピーク FET 電流 (A)	ダイオード 電流(A)
	50 オーム	1.71	465	48	10	4
	開回路	0.109	138	33	10	0
	200 オーム	0.139	145	42	12	0
	100	0.162	157	49	13	0
誘導性	50	0.226	176	68	14	10
	25	0.240	155	72	14	18
	12	0.242	149	73	13	23
	短絡	0.204	202	61	10	24
	12 オーム	0.184	231	55	9	23
	25	0.173	342	52	7	23
容量性	50	0.071	300	22	4	0
	100	0.073	190	22	7	0
	200	0.088	150	26	9	0

10

20

【 0 0 8 7 】

30

負荷が開回路から短絡へと誘導的に回転し、次いで再び容量的に回転して戻るとき、FET電流は誘導性に保たれ、50オームの値よりも40%弱だけ大きい。DC電流の消費量は、50オームの値の1/6でしかない。クランプダイオードD1、D2は、50オームの負荷に対してわずかに導通するように見られるが、回路網をわずかに再調整することによって解消され得るはずである。しかしながら、これは、効率または有効な保護にとって重要なことではない。

【 0 0 8 8 】

対比として、図28は、クランプ回路なしで実施された375KHzのハーフブリッジインバータの出力波形を表すものである。試験中、試験デバイスは、デバイスの破壊を防止するように手で供給電圧を低減することによって保護された。下記の表は主要なパラメータのリストである。このとき、保護は、供給電圧を低減することによって達成されている。

40

【 0 0 8 9 】

【表2】

	負荷	DC 電流(A)	RF 順方向電 力(W)	消費電力 (W)	ピーク FET 電流 (A)
	50 オーム	1.86	514	44	10
	50 オーム	0.25	241	75	15
誘導性	25	0.41	424	124	18
	12	0.36@200V	331	73	14
	短絡	2.15 @ 42V	752	90	14
容量性	12 オーム	0.46 @ 40V	53	23	2.0
	25	0.12 @ 50V	21	6	0.5

10

【0090】

20

誘導負荷インピーダンスが低減されるにつれてFET電流がより大きくなる。12オームにおいて電源が300Vに維持されると、順方向電力は50オームの値よりも大きく750Wに達することになる。短絡のとき、L1が回路網の残りと共振して、わずかに42Vから750Wが生成される。300Vにおいて、順方向RF電力は約38kWになり、DC電力は4.6kWになり、ピークトランジスタ電流は100Aになるはずである。

【0091】

負荷が容量的にスイングしてインピーダンスが上昇し始めるとき、FETには容量性負荷がかかる。この状況は、電流が依然として適度であってもFETが大きいダイオード回復損失を被るので、共振前に見られた大きい誘導電流よりも問題になる可能性がある。さらに、整流のdv/dtの障害(commutating dv/dt failure)のリスクもある。最後の3つのグラフ

30

【0092】

図29は発電機用の制御回路を表すものである。制御回路20は、入力電圧を受け取るフィルタのソフトスタート整流器22を含む。整流器22は、過電圧保護用の回路ブレーカを含み得る。補助の電力感知ユニット(PSU)24は、制御回路に給電するためのより低い電圧信号を生成する。冷却ファン26は、発電機回路を冷却する。

【0093】

フィルタのソフトスタート整流器22からの出力を印加される任意選択のDCスイッチ28が、複数の電力増幅器30a、30b、30c、30dに対するDC電圧の印加を制御する。電力の全体を扱うための1つの増幅器を必要とするのではなく、電力処理を4つの増幅器の間で分割するために、4つの電力増幅器30a～30dが並列で使用されている。あるいは、電力増幅器30a～30dの機能を1つまたは多数の電力増幅器が実行してもよい。駆動回路32は、それぞれの電力増幅器30a～30dのそれぞれスイッチングを制御するためのスイッチング信号を生成する。

40

【0094】

電力増幅器30a～30dからの出力を入力される結合および絶縁の変圧器34は、電力増幅器30a～30dからの出力のそれぞれを1つの信号へと結合する。結合回路34は、電力増幅器を出力から絶縁するための絶縁変圧器を含み得る。結合および絶縁の変圧器34は、結合された信号を、電力信号をフィルタリングしてから出力を生成するフィルタおよび電力感知の回路36に出力する。回路36の電力感知部分は、フィードバック信号を供給して位相変調器

50

の保護回路38を制御する。

【0095】

位相制御変調器回路(Control phase modulator circuit)38は、アナログまたはデジタルの電子回路を使用して実施されてよい。回路38は、DCスイッチ28、駆動回路32、およびフロントパネル制御回路40のそれぞれに対して制御信号を出力する。それぞれの電力増幅器30a~30dの内部でスイッチングの位相を変化させることにより、対応して出力電力が変化され得る。したがって、位相制御変調器回路38は、フィルタおよび電力感知の回路36からの入力に従って電力増幅器の位相を変化させる。フロントパネル制御回路40は、オペレータに情報を提供し、所望の位相変化および結果としての出力電力の変化も可能にする。

【0096】

図30は、本明細書で説明された選択される電源が、システムにおいてプラズマチャンバを制御するために使用され得る制御システムを表すものである。制御システム50は、集積回路を製作するために使用され得るものなどのプラズマチャンバ52を含む。プラズマチャンバ52は、1つまたは複数のガス入口54と、1つまたは複数のガス出口56とを含む。ガスの入口54および出口56により、プラズマチャンバ52の内部に対するガスの導入および排出が可能になる。プラズマチャンバ52の内部の温度は、プラズマチャンバ52に印加される熱制御信号58によって制御され得る。プラズマコントローラ60がプラズマチャンバから受け取る入力には、チャンバ内の真空のレベルを示す真空信号62と、電圧信号64と、入口のガス流量と出口のガス流量の間の比を示す信号66とが含まれる。当業者なら認識するように、プラズマコントローラ60は、他の入力も受け取ってよく、他の出力も生成してよい。プラズマコントローラ60は、電圧発生器68によってプラズマチャンバに印加されるべき所望の入力電力を割り出す。電圧発生器68は、プラズマコントローラ60から入力信号を受け取るマイクロプロセッサ70または他の類似のコントローラを含む。マイクロプロセッサ70は、所望の周波数および電力定格の電圧信号を出力する電源72に対して制御信号を生成する。電源72からの電圧出力は、電源72とプラズマチャンバ52の間のインピーダンスを整合させる整合回路74に入力される。

【0097】

図31は、図30の整合回路70向けに実施され得るものなどの整合回路80を表すものである。整合回路80は、望ましくは負荷82によって与えられる出力インピーダンスを用いて50オームの入力インピーダンスと整合する。整合回路80は、第1の可変キャパシタ84、第2の可変キャパシタ86、およびインダクタ88を含む、フィルタのトポロジーに構成されている。キャパシタ84、86は可変キャパシタとして実施されており、その結果、フィルタ回路網のキャパシタンスは、50オームの入力と負荷82の間のインピーダンスを整合させるように適切に変化され得る。コントローラ88は、整合したインピーダンスに従って変化するフィードバック信号を受け取って、それぞれのキャパシタ84、86のキャパシタンスを変化させる制御信号を生成する。当業者なら、変圧器または固定回路網などの他の整合回路の構成も実施され得ることを理解するであろう。

【0098】

図32を参照して、図32は、シングルエンド増幅器、より詳細にはE級増幅器を表すものである。本明細書において使用される類似の参照数字は、類似の動作を遂行する構成装置を参照することに留意されたい。図32が表すスイッチすなわちトランジスタS1は、DC電源11の1対の電圧レールV+とV-の間のインダクタL3に対して直列に配置されている。スイッチS1は、信号源すなわち発生器13から制御信号を受け取る。スイッチS1に対して並列に配置されているキャパシタC6は、インダクタL3とともに並列共振回路を形成する。スイッチS1と、インダクタL3と、キャパシタC6とが組み合わせられて、シングルエンド増幅器を形成するように協働する。増幅器の出力において、インダクタL1とクランプダイオードD1は、協働して誘導クランプ回路を形成する。誘導クランプ回路が、スイッチS1の出力と負荷90の間に置かれており、図1~図31を参照しながら上記で説明されたものと同様に動作する。インダクタL1とキャパシタC4は、スイッチS1の出力における高調波フィルタを連携して形成し、フィルタリングされた信号を負荷90に供給する。

10

20

30

40

50

【0099】

クランプダイオードD1が、マイナスレールV-とノードXの間に置かれている。クランプダイオードD1のアノードはマイナス電圧レールV-に接続されており、カソードはノードXに接続されている。図32の回路が所定のしきい値を超えてノードXを駆動しようとする、ダイオードD1がオンになることにより、ノードXの電圧を一般的には2V(Vはレール電圧)ボルトの所定値にクランプする。

【0100】

構成の1つでは、キャパシタC6、インダクタL1、およびキャパシタC4の値は、負荷が適切に整合している場合にはダイオードD1が導通しないように選択される。そのような値を選択すると、望ましくない高調波の生成が低減する。しかしながら、代替構成では、高調波の存在が許容できると考えられる場合には、負荷が整合していてもダイオードD1が導通するように、これらの値が選択されてよい。

10

【0101】

図32のダイオードD1は、インダクタL1とキャパシタC4の接合と、グランドとの間に、いくらかの寄生キャパシタンスを導入する。このキャパシタンスが過大になると、負荷90に対する電力供給が損なわれる可能性がある。しかしながら、図32の回路にわずかな修正を施すと、クランプダイオードD1の寄生キャパシタンスを有利に利用することができる。

【0102】

図33を参照して、ダイオードD1と並列にキャパシタC1が配置され、キャパシタC4の機能がわずかに変更される。この修正により、図33のキャパシタC1は、図32のキャパシタC4の機能を遂行する。このとき、図33のキャパシタC4はDC阻止キャパシタンスとなり、結果的に、比較的大きいキャパシタンス値を有するべきである。図33の回路には、インダクタL1とキャパシタC1の共振周波数が増幅器の動作周波数になり得るといふさらなる利益がある。この構成において、インダクタL1とキャパシタC1が協働して、スイッチS1の出力における高調波フィルタを形成する。図32に関して説明されたように、図33のクランプダイオードD1は、マイナス電圧レールV-とノードXの間を相互に接続する。図33の回路がノードXを所定のしきい値未満に駆動しようとする、ダイオードD1がオンになることにより、ノードXの電圧を一般的には2Vボルトの所定値にクランプする。

20

【0103】

図34～図36は、図33の回路の動作を説明する波形を表すものである。図34は図33のノードAにおける予期された波形を表し、図35は図33のノードXにおける予期された波形を表す。見られるように、ノードAにおける予期された波形は半波整流された正弦波である。インダクタL3を通るDC電流が一定であれば、ノードAにおけるピーク電圧はDCレール電圧の倍($\times V$)になる。好ましくは、インダクタL1およびキャパシタC1の値は、負荷が整合するときダイオードD1のカソード(ノードX)の電圧がグランドに近づくように選択される。ノードAにおける電圧波形の基本成分が $\times V/2$ であるので、インダクタL1とキャパシタC2の特性インピーダンスは整合負荷インピーダンスの $1/2$ 倍である。この関係は、図34および図35の波形に表されている。動作において、ノードAに現れる波形には、かなりの2次(偶数)高調波成分が含まれている(is embedded)。この2次高調波成分のうちのいくらかは、ノードXの波形に現れる(is passed onto)。図36の波形は、シミュレーションによって割り出されたノードAおよびノードXにおける電圧を表すものである。

30

40

【0104】

図37は、図36のシミュレーション波形に関して論じられたようなE級増幅器によって出力される偶数高調波に対処するための構成を表すものである。具体的には、図37は、図33に表されるようにプッシュプル構成に配置された1対のE級増幅器を表す。類似の参照数字は類似の構成要素を指し、そのような参照数字は、並列配置のそれぞれの半分に関連した構成要素を指すためにAまたはBなどの付加的な接尾部表記を含み得ることに再び留意されたい。

【0105】

図37は、負荷90にAC信号を供給するように並列に結合された回路の半分AとBを有する回

50

路を表すものである。それぞれの回路の半分AおよびBが、一般に、図34に関して上記で説明されたようにE級増幅器の構成を含む。変圧器T2は、それぞれの回路の半分からの出力を負荷90に印加するために結合するように、キャパシタC4の出力において、それぞれの半分AとBを接合する。スイッチS1AとS1Bは、位相コントローラ14が信号発生器13A、13Bに対して出力した信号に従って、互いに180度の逆相で駆動される。それぞれのキャパシタC4AおよびC4Bからの出力は、変圧器T2によって結合される。好ましくは、変圧器T2は、それぞれの回路の半分の最大の結合を可能にする。そのような最大の結合は、ダイオードD1AおよびD1Bのそれぞれのカソード(マイナス端子)におけるピーク電圧の制御を可能にし、その結果、それぞれの電圧がDCレール電圧の2倍にクランプされる。

【0106】

好ましくは、変圧器T2によってもたらされる結合は、回路の半分の両方、結果的に両方の増幅器の、バランスのとれた装荷を保証する。図37の整合負荷90は、一般的には、2つの増幅器のうちの1つだけの整合インピーダンスの1/2のインピーダンスである。設計者は、一般的には、より低い出力インピーダンスよりも高い出力インピーダンスを好む。整合負荷インピーダンスを4倍に増加するために、図37の回路に任意選択の平衡不平衡変成器が追加されてよい。

【0107】

図38は、より高い出力インピーダンスをもたらすための、図37に対する修正を表すものである。図38を参照して、図38は図37と同様に構成されており、それぞれの回路の半分の出力には追加の変圧器T3が配置されている。したがって、図38の変圧器T2には、磁化電流、偶数次高調波電流、およびダイオード電流が印加される。図38の変圧器T2は、負荷電流を受け取らない。したがって、図38の変圧器T2は、図37の変圧器T2よりもかなり小さくパッケージ化され得る。さらに、図38の回路は変圧器T2なしでも動作することができるが、変圧器T2はダイオードD1AおよびD1Bにわたるピーク電圧を最小化する。

【0108】

データを送信するために周波数変調または位相変調が利用されるとき、設計者は、一般的にはE級増幅器の構成を選択する。他方では、振幅変調は、増幅器入力が一固定のままではなければならないので、E級増幅器に対して特定の障害を提起する。振幅変調および出力電力制御を実施するためのやり方の1つには、DCレール電圧を変化させるものがある。DCレール電圧を変化させるやり方は、あらゆる増幅器に対して有効であるが、本明細書で説明された誘導性クランプにより、別の制御方法を実施することが可能になる。

【0109】

本明細書で説明されたような誘導性クランプを内蔵する増幅器は、スイッチの被害なしで、事実上あらゆる負荷に対して動作することができる。したがって、これらの増幅器の2つ以上を、並列および/または直列のプッシュプル構成に結合することが可能である。次いで、出力電力は、増幅器間の位相差を変化させることによって制御され得る。

【0110】

図39は、並列に配置された1対のE級増幅器を表す。図39の構成は、特に最大電力を供給することを対象とするものである。図37および図38に関して、最大の出力電力を達成するために、スイッチS1AとS1Bは180度の逆相で動作する。図37および図38において、出力電力を最小にするためには、スイッチS1AとS1Bは同相で動作する。図39の設計を用いて、しかしながら、スイッチS1'とS1''が同相で動作するとき最大の出力電力が達成され、S1'とS1''が180度の逆相で動作するとき最小電力が達成される。

【0111】

図40は、シングルエンド増幅器の並列プッシュプル式の実装形態を表すものである。具体的には、第1の対の増幅器はプッシュプル構成の第1の半分を示す。増幅器は、1対の電圧レールの間に、トランジスタS1A'およびS2A''と直列のインダクタL3A'およびL3A''を備える。それぞれのスイッチS1A'およびS2A''が、それぞれのキャパシタC6A'およびC6A''と並列である。インダクタL1A'、L1A''が、それぞれのスイッチS1AおよびS2A''の出力に配置されており、第1の端子においてフィルタキャパシタC1Aに加えられている。C1Aのもう

10

20

30

40

50

一方の端子はグラウンドに接続されている。クランプダイオードD1AがキャパシタC1Aと並列に配置されており、阻止キャパシタC4Aが負荷90と直列に配置されており、阻止キャパシタC4Aと負荷90を結合したものがダイオードD1Aと並列である。プッシュプル構成の第2の半分も同様に構成される。プッシュプル構成のそれぞれの半分がトランジスタT2によって結合されており、トランジスタT2は、図37および図38に関して上記で説明されたように動作する。

【0112】

位相コントローラ14は、信号発生器13A'、13A''、13B'、および13B''のそれぞれに対して出力信号を生成する。好ましくは、位相コントローラ14は、プッシュプル構成のそれぞれの半分A、Bを180度の逆相で動作させる。位相コントローラ14は、それぞれの半分の内部で、信号発生器13A'、13A''、13B'、および13B''に送られる制御信号を変化させることができる。信号発生器13A'と13A''が同相で動作するとき、プッシュプル構成の回路の半分Aは最大電力を出力し、信号発生器13A'と13A''が逆相で動作するとき、回路の半分Aは電力を出力しない。制御信号発生器13B'および13B''も同様に動作する。図40の回路は、単一の反転した構成の出力から偶数次の高調波を除去するように動作する。

10

【0113】

図41は図39の回路を表すものであるが、負荷90と並列に追加のインダクタL4を含むように変更されている。この構成は、所望の負荷インピーダンスが電力増幅器の出力インピーダンスよりも高いとき役に立つ。この構成は、偶数次の高調波を除去するのをさらに支援する。図41の構成は、誘導性フィルタL4の追加を伴って、図39に関して説明されたようにゆっくりと動作する。

20

【0114】

負荷90は、無効成分を含んでいるとき、特別な問題を提起する。位相シフト制御を使用するとき、スイッチS1'またはS1''のうちの1つにマイナスの実インピーダンスがかかる可能性がある。回路が、DCレールによって配達されたエネルギーをスイッチS1'またはS2''を介してDCレールに返そうとしたとき、マイナスの実インピーダンスが生じる。そのような状況は、組み込みボディダイオードの内部の逆回復状況によってスイッチが被害を受ける可能性がある。この問題は、より高速のボディダイオードを有するMOSFETを使用すること、またはMOSFETにわたって低い順方向電圧降下を与えるショットキー整流器などの高速ダイオードを使用することによって補正され得る。

30

【0115】

図33に示されるE級増幅器の特定の構成要素の値に関して、ダイオードD1は、一般に、かろうじて活性化されるが、負荷90が適切に整合しているときには導通しないのが望ましい。キャパシタC4は、DC阻止キャパシタであり、その無効インピーダンスは負荷90のインピーダンスよりもはるかに小さいものであるべきである。スイッチS1の破壊電圧は、プラスDCレール電圧V+の値の少なくとも5倍である。キャパシタC6の破壊電圧は、DCレール電圧V+の値の少なくとも35倍である。インダクタL1とL2は等しいインダクタンスを有し、キャパシタC6とC1も同様に等しいキャパシタンス値を有する。負荷90に送られる電力Pは以下の式(1)で定義され、

【0116】

【数1】

$$P = \frac{V^2}{2R} \quad (1)$$

40

【0117】

ここで、

Vはレール11に印加される電圧であり、

Rは負荷90のインピーダンスである。

50

C6およびC1のキャパシタンスCは以下の式(2)で定義され、

【0118】

【数2】

$$C = \frac{1}{\pi \times F_{op} \times R} \quad (2)$$

【0119】

ここで、

F_{op} は増幅器の動作周波数であり、

Rは負荷90のインピーダンスである。

インダクタL1およびL3のインダクタンスLは以下の式(3)で定義され、

【0120】

【数3】

$$L = \frac{R}{4 \times F} \quad (3)$$

【0121】

ここで、

F_{op} はE級増幅器の動作周波数であり、

Rは負荷90のインピーダンスである。

【0122】

インダクタL1とL3のインダクタンス値は等しくなくてよく、C6とC6のキャパシタンス値は等しくなくてよい。さらに、インダクタL3およびキャパシタC6は、図36に示されるVdsの電圧波形を変化させるように調整されてよい。たとえば、ピーク電圧が低減され得、図36の偽の(fake)波形の対称性は、インダクタL1およびキャパシタC1の値を調整することによって改善され得る。しかしながら、そのような調整は、ZVSスイッチングに悪影響を与える恐れがある。

【0123】

図1～図31に関して論じられた回路の変更および置換は、適切な場合には図32～図41において同様に実施され得ることが当業者には理解されよう。

【0124】

以下の図42～図44および図48～図49に示される電源回路および/または1つまたは複数の部分が、図3～図9、図22、図29～図30、図32～図33および図37～図41に示される回路の1つまたは複数の部分に適用され得る。たとえば、図42～図44の電源回路のそれぞれが、図3～図4の回路のすべてまたは一部分に適用可能であり得る。別の例として、図42～図44の電源回路は、信号源13A、13Bおよび位相コントローラ14を除く図4の回路のすべてまたは一部分に適用可能であり得る。信号源13A、13Bおよび位相コントローラ14は、図42～図44の電力増幅器のスイッチに制御信号(または駆動信号)を供給するように変更されてよく、かつ/または接続されてよい。以下の図には電位V+、V-が示されている。電位は、以下でV+、V-として識別される。

【0125】

以下の図では、回路要素に対してC1、C2、C3、L1、T1、W1、W2、W3などの回路要素識別子が与えられている。別々の図の同一識別子を有する回路要素は、同一の構成で同一の値を有してよく、異なる構成で異なる値を有してもよい。たとえば、図42のキャパシタンスC2は、図43のキャパシタンスC2と同一のキャパシタンスも異なるキャパシタンスも有し得る。

10

20

30

40

50

【0126】

また、以下の図において、複数の整流器およびクランプ回路が開示される。整流器とクランプ回路は交換可能である。たとえば、図42の整流器およびクランプ回路が図44の整流器およびクランプ回路で置換されてよく、図44の整流器およびクランプ回路が図42の整流器およびクランプ回路で置換されてよい。別の例として、図42の整流器およびクランプ回路が、図47および/または図48の整流器およびクランプ回路を置換し得る。

【0127】

図42は電源回路を示す。電源回路は、電力増幅器、キャパシタンスC2、インダクタンスL1、変圧器T1、キャパシタンスC3および出力フィルタを含む。電力増幅器は第1の電源に接続されており、V+およびV-として識別される電位を有する端子にわたる直流(DC)電圧を受け取る(以後、端子は端子V+、V-と称される)。電力増幅器は制御モジュールにも接続されており、制御モジュールから1つまたは複数の制御信号(または駆動信号)を受け取る。駆動信号は、示されるような正弦波の信号でよく、矩形波の信号でよく、または電力増幅器のスイッチの状態を制御するのに使用されるデジタル信号でもよい。スイッチの例が図43に示されている。

10

【0128】

電力増幅器に含まれる2つの出力は、交流(AC)出力信号を出力する。第1の出力はキャパシタンスC2に接続される。キャパシタンスC2はDC阻止キャパシタンスである。キャパシタンスC2と、インダクタンスL1と、変圧器T1の1次巻線とが直列に接続されている。キャパシタンスC2およびインダクタンスL1は、(i)電力増幅器の第1の出力と、(ii)変圧器T1の1次巻線W1の第1の終端との間に接続されている。1次巻線W1の第2の終端は、電力増幅器の第2の出力に接続されている。

20

【0129】

変圧器は、1次巻線W1、2次巻線W2、および補助巻線(または第3の巻線)W3を含む。2次巻線W2の第1の終端は、出力端子(または接合端子)、キャパシタンスC3、および出力フィルタの入力に接続されている。2次巻線の第2の終端はグランド基準端子に接続されている。キャパシタンスC3はフィルタとして動作し、出力端子に接続されており、(i)2次巻線W2の第1の終端とグランド基準端子の間、および(ii)出力フィルタとグランド基準端子の間に接続されている。出力フィルタの出力は負荷(たとえば前述の負荷のうちの1つ)に供給される。フィルタの入力は出力端子に接続されている。出力フィルタの出力インピーダンスは、負荷の入力インピーダンスと整合し得る。

30

【0130】

補助巻線W3は、整流器およびクランプ回路に接続されている。整流器およびクランプ回路は、出力端子における電圧の全波整流をもたらす、出力端子の電圧を制限する。整流器およびクランプ回路はダイオードCR1~CR4を含む。補助巻線W3の第1の終端が、ダイオードCR1のアノードおよびダイオードCR3のカソードに接続されている。第3の巻線の第2の終端が、ダイオードCR2のアノードおよびダイオードCR4のカソードに接続されている。互いに接続されたダイオードCR3およびCR4のアノードが、第1の電源と電力増幅器とに接続された端子V-に接続されている。互いに接続されたダイオードCR1およびCR2のカソードが、第1の電源と電力増幅器とに接続された端子V+に接続されている。

40

【0131】

動作中、整流器およびクランプ回路によって供給される整流された電圧が、端子V+における電位よりも大きければダイオードの対CR1/CR4またはCR2/CR3のうちの1つが導通して、第1の電源に電流を戻す。これは、電圧クランプをもたらして第1の電源に電流を戻し、このことが出力端子における電圧を制限する。これが、結果として、出力フィルタに設けられた増幅器の出力電力および出力電流を制限し、したがって負荷に供給される出力電力を制限する。出力端子(またはキャパシタンスC3に接続された接合端子)の電圧を制限することによって、電力増幅器からの電流の過大な引出(excessive draw of current)が防止される。補助巻線W3にわたる電圧がプラスであって、端子V+における電位およびダイオードCR1のしきい値電圧よりも大きければ、ダイオードCR1およびCR4が導通する。補助巻線W

50

3にわたる電圧がマイナスであって、その大きさが、端子V+における電位およびダイオードCR2のしきい値電圧よりも大きければ、ダイオードCR2およびCR3が導通する。

【0132】

図42に示された構成の代替として、整流器およびクランプ回路の出力が、第1の電源の端子V+、V-ではなく第2の電源に接続されてよい。これによって、整流器およびクランプ回路のクランプ電圧を、電位V+およびV-以外のレベルに設定することが可能になる。第2の電源における電力は、第1の電源に戻されてよい。これは、たとえばコンバータ回路によって生じ得る。それに加えて、またはその代わりに、整流器およびクランプ回路の出力は、抵抗および/またはツェナーダイオードを含む放散回路に接続されてよく、この回路は、出力端子から受け取った電力を消費するために使用され得る。図43～図44および図49～図49の構成も、第2の電源および/または放散回路を含むように変更されてよい。

10

【0133】

整流器およびクランプ回路は、1つまたは複数の所定の保護電圧に整合するAC結合回路である。言い換えれば、整流器およびクランプ回路は、出力端子における電圧を所定の保護電圧にクランプするように構成されている。たとえば、出力端子におけるクランプ電圧は、(i)ダイオードCR1の順バイアスのしきい値電圧と電位V+の合計、および(ii)電位V-からダイオードCR2の順バイアスのしきい値電圧の合計を引いたものでよい。したがって、ダイオードの順バイアスのしきい値電圧が同一(たとえばVt)であれば、出力端子における電圧範囲は、(Vt+V+)と(V--Vt)との間にクランプされる。

【0134】

20

変圧器T1の巻線比は任意でよく、または、適切なクランプ保護をもたらして出力端子における出力電圧を適切に制限するように、あらかじめ設定されたものでもよい。変圧器T1の巻線比は、(i)コイルW1とW2の間、および(ii)コイルW1とW3の間の巻線比を含む。

【0135】

図43は別の電源回路を示す。この電源回路は図42の電源回路に類似である。図43は、電力増幅器に含まれ得る増幅器の例示的スイッチQ1～Q4を説明するものである。スイッチQ1～Q4はMOSFETスイッチでよい。電力増幅器はフルブリッジ増幅器である。第1のハーフブリッジ増幅器はスイッチQ1、Q2を含む。第2のハーフブリッジ増幅器はスイッチQ3、Q4を含む。スイッチQ1とQ2は端子V+とV-の間で直列に接続されている。スイッチQ3とQ4は端子V+とV-の間で直列に接続されている。スイッチQ1、Q2はスイッチQ3、Q4と並列に接続されている。キャパシタンスC1は、スイッチQ1、Q2と並列に接続されてよく、またスイッチQ3、Q4と並列に接続されてよい。キャパシタンスC1およびスイッチQ1～Q4は端子V+、V-に供給されたDC電圧をAC電圧に変換するように構成されており、スイッチQ1～Q4はそのように動作する。スイッチQ1～Q4のそれぞれが制御入力を有し、それぞれの制御信号(または駆動信号)を受け取る。

30

【0136】

図44が示す別の電源回路は、電力増幅器(たとえば図42～図43の電力増幅器のうちの1つ)、キャパシタンスC2、C3、インダクタンスL1、変圧器T1、出力フィルタ、ならびに整流器およびクランプ回路を含む。変圧器T1は、1次巻線W1、2次巻線W2、および補助巻線W3を含む。整流器およびクランプ回路は全波整流をもたらし、変圧器の2次巻線W2の第1の終端と出力フィルタの入力の間の出力端子(または接合)における電圧をクランプする。

40

【0137】

図44の整流器およびクランプ回路は、ダイオードCR1、CR2を含む。図44の整流器およびクランプ回路は、図42、図43の整流器およびクランプ回路とは異なり、ダイオードCR3およびCR4を含まない。ダイオードCR3およびCR4の代わりに、補助巻線W3が、端子V-に接続されている中央タップを含む。ダイオードCR1、CR2のアノードは、それぞれ補助巻線W3の終端に接続されている。ダイオードCR1、CR2のカソードは、端子V+に接続されている。整流器およびクランプ回路の構成は、図42および図43の整流器およびクランプ回路に対してダイオードの数を4つから2へと減少させる一方で、同一または類似の整流およびクランプ保護をもたらす。

50

【 0 1 3 8 】

図44の整流器およびクランプ回路は、出力端子における電圧を所定の保護電圧にクランプするように構成されている。

【 0 1 3 9 】

図45は、図41～図43において説明された電圧整流およびクランプ機能のない、従来知られている電源回路を示す。電源回路は、電力増幅器、キャパシタンスC2、インダクタンスL1、変圧器T1、キャパシタンスC3、および出力フィルタを含む。電力増幅器は、端子V+、V-を介してDC電圧および制御信号(または駆動信号)を受け取る。電力増幅器の第1の出力とインダクタンスの間にキャパシタンスC2が接続されている。キャパシタンスと、インダクタンスと、変圧器T1の1次巻線とが直列に接続されている。変圧器T1の第2の終端は、電力増幅器の第2の出力に接続されている。(i)変圧器T1の2次巻線の第1の終端と(ii)出力フィルタの入力の間に出力端子が接続されている。2次巻線の第2の終端はグランド基準に接続されている。出力端子とグランド基準の間にキャパシタンスC3が接続されている。出力フィルタの出力は負荷に接続される。

10

【 0 1 4 0 】

図46は、図45の電源回路に関する例示的シミュレーションプロットを示すものである。シミュレーションプロットは、図45の電力増幅器の出力電流の、対応する負荷の変化による時間に対する変化を示す。図45の電源回路のような、補助巻線およびダイオードクランプ回路が用意されていない非保護の電源回路では、出力端子(または接合)における電圧が増加する可能性がある。電圧が、電力増幅器に被害をもたらし得るレベルに増加する恐れがある。

20

【 0 1 4 1 】

図46のシミュレーションプロットのシミュレーションに関して、100 μ sにおいて負荷のインピーダンスが増加し始め、それによって電力増幅器の出力電流が増加する。シミュレーションプロットは、電力増幅器からの電流が少なくとも500 μ sまで増加し続けることを示す。これは過大な放散に至る可能性があり、可能性としては電力増幅器の故障をもたらす、したがって電源回路の故障をもたらす。

【 0 1 4 2 】

図47は、図42の電源回路用の電力増幅器の出力電流の例示的シミュレーションプロットを示すものである。このプロットは、図42の電力増幅器の出力電流の、対応する負荷の変化による時間に対する変化を示す。100 μ sにおいて負荷インピーダンスが増加し始める。図42の電源回路が整流器およびクランプ回路を含んでいるので、電力増幅器の出力電流はクランプされ、増加し続けるのではなく制限される。負荷のインピーダンスが変化することによって出力電流が増加するが、出力電流は電流の所定レベルを超えないようにクランプされる。整流器およびクランプ回路の支援を伴って、電力増幅器の出力電流はわずかに増加して、負荷のインピーダンスにかかわらずピーク制限に迅速に到達する。出力電流は横ばい状態になり、安全な動作範囲にとどまる。

30

【 0 1 4 3 】

図48に示される電源回路は、互いに同相の電力増幅器と、整流器およびクランプ回路とを内蔵する一方で、電力増幅器の出力電圧を結合するものである。電源回路は、電力増幅器1～n、変圧器T1、キャパシタンスC3、出力フィルタ、ならびに整流器およびクランプ回路を含む。電力増幅器1～nは、上記で開示された他の電力増幅器(たとえば図42～図44の電力増幅器の1つまたは複数)に類似して動作してよく、かつ/または構成されてよい。電力増幅器1～nは、電源からそれぞれの対の端子V+、V-を介してDC電圧を受け取る。電力増幅器1～nのそれぞれが、同一の制御信号(または駆動信号)あるいは同一の制御信号(または駆動信号)の組を受け取ってよい。これによって、電力増幅器1～nの各スイッチが、他の電力増幅器1～nのうちの1つの対応するスイッチと同相で動作する。

40

【 0 1 4 4 】

電力増幅器1～nは、それぞれの第1の出力および第2の出力を含む。第1の出力は、それぞれのキャパシタンスC2.1～C2.nに接続されている。キャパシタンスC2.1～C2.nは、それ

50

それぞれのインダクタンス $L_{1.1} \sim L_{1.n}$ および変圧器 T_1 の1次コイルと直列に接続されている。インダクタンス $L_{1.1} \sim L_{1.n}$ は、キャパシタンス $C_{2.1} \sim C_{2.n}$ と1次コイル $W_{1.1} \sim W_{1.n}$ の第1の終端の間に接続されている。電力増幅器 $1 \sim n$ の第2の出力は、1次コイル $W_{1.1} \sim W_{1.n}$ の第2の終端に接続されている。

【0145】

変圧器は、巻線 $W_{1.1} \sim W_{1.n}$ 、 W_2 、 W_3 を含む。2次巻線 W_2 の第1の終端は、出力端子、キャパシタンス C_3 および出力フィルタに接続されている。2次巻線の第2の終端およびキャパシタンス C_3 はグラウンド基準に接続されている。出力フィルタは負荷に接続されており、フィルタリングした電力を負荷に伝送する。

【0146】

電源回路は、複数の電力増幅器 $1 \sim n$ の、単一の整流器およびクランプ回路を含む。これは、回路要素を最小化する一方で、電力増幅器 $1 \sim n$ のすべてに対する保護をもたらす。整流器およびクランプ回路は、補助巻線 W_3 、第1のダイオード CR_1 、および第2のダイオード CR_2 を含む。補助巻線 W_3 の第1の終端は、第1のダイオード CR_1 のアノードに接続されている。補助巻線 W_3 の第2の終端は、第2のダイオード CR_2 のアノードに接続されている。ダイオード CR_1 、 CR_2 のカソードは、電源のプラス端子および/または電力増幅器 $1 \sim n$ の端子 V_+ に接続されてよい。補助巻線 W_3 に含まれる中央タップは、電源のマイナス端子および/または電力増幅器 $1 \sim n$ の端子 V_- に接続されてよい。ダイオード CR_1 、 CR_2 のカソードおよび中央タップに供給される、整流器およびクランプ回路の出力は、電力増幅器 $1 \sim n$ に接続された電源とは別の電源に接続されてよい。

【0147】

動作において、変圧器 T_1 は、電力増幅器 $1 \sim n$ から受け取った電力を1次コイル $W_{1.1} \sim W_{1.n}$ において結合する。結合された電力は、主として2次コイル W_2 に供給される。結合された電力のうちいくらかは整流器およびクランプ回路に供給されてよい。これは、ダイオード CR_1 、 CR_2 のそれぞれの順バイアスのしきい値電圧を V_t として、出力端子における電圧が $(V_t + V_+)$ 以上であるとき、または $V_- - V_t$ 以下であるとき、特に当てはまる。

【0148】

電源回路のこの構成により、出力端子において、共通負荷に対して、それぞれの電源の電力を加法的に結合して供給するように複数のRF源を結合すること(すなわち複数の電力増幅器からの出力電力を結合すること)が可能になる。これは、電力消費要素を使用しない効率的な結合をもたらす一方で、複数の動作モード下の相互の絶縁をもたらす。動作モードは、正常モード、クランプモード、および電力増幅器故障モードを含み得る。正常モードの間、電力増幅器 $1 \sim n$ (またはRF源)からの電力(または電流)は、変圧器 T_1 によってコヒーレントに加算される。クランプモードの間、電力が結合される一方で、出力端子において電圧がクランプされる。電力増幅器故障モードの間、故障した電力増幅器における短絡状態または開回路状態が存在するように、電力増幅器 $1 \sim n$ のうちの1つまたは複数が故障していることがある。故障した電力増幅器のために、出力端子における電圧が、正常モードの間供給される電圧から増加するかまたは減少する可能性がある。出力端子における電圧の大きさが所定レベルまで増加すると、整流器およびクランプ回路の対応する1つまたは複数のダイオードが順方向に導通して、増加したエネルギーを電源に戻す。これによって、故障していない1つまたは複数の電力増幅器が保護される。

【0149】

図49は、互いに逆相の電力増幅器と、絶縁された2つのダイオードの整流およびクランプの回路とを内蔵する一方で、電力増幅器の出力電圧を結合する電源回路を示すものである。図49の電源回路は図48の電力増幅器回路に類似しており、電力増幅器 $1 \sim n$ 、キャパシタンス $C_{2.1} \sim C_{2.n}$ 、インダクタンス $L_{1.1} \sim L_{1.n}$ 、変圧器 T_1 、キャパシタンス C_3 、出力フィルタ、ならびに整流器およびクランプ回路を含む。

【0150】

図49の電源回路は、図48の電源回路と異なり、位相シフト制御モジュールに接続された入力端子を含む。位相シフト制御モジュールは、それぞれの電力増幅器に接続された任意

10

20

30

40

50

数の出力を有し得る。位相シフト制御モジュールは、入力端子において受け取った1つまたは複数の制御信号(または駆動信号)の位相をシフトして、電力増幅器2~nに位相シフト信号を供給する。位相シフト制御モジュールは、電力増幅器の出力信号の間の位相シフト関係を制御し、結果として、出力信号を結合する態様を制御する。電力増幅器2~nの出力信号は、電力増幅器1の出力信号に対して $-180^\circ \sim 180^\circ$ の間の違相であり得る。電力増幅器2~nの出力信号は、電力増幅器1の出力信号から、位相を、同一量または異なる量だけシフトされてよい。電力増幅器の出力信号のうちの2つが逆相に近ければ近いほど、これら2つの出力信号が相殺しあう度合いが大きくなる。電力増幅器の出力信号のうちの2つが同相に近ければ近いほど、これら2つの信号が互いに加算される度合いが大きくなって、供給電力が増加する。

10

【0151】

図48~図49の電力増幅器には単一の制御信号(または駆動信号)が供給されると示されているが、任意数の制御信号(または駆動信号)が電力増幅器のそれぞれに供給されてよい。一例として、図43に示されるように、電力増幅器のそれぞれが4つのスイッチを含んでよい。これらのスイッチが、それぞれの制御信号(または駆動信号)を受け取ってよい。この例では、電力増幅器のそれぞれが4つの制御信号(または駆動信号)を受け取る。別の例として、図43を参照すると、スイッチQ1、Q3が第1の制御信号(または駆動信号)を受け取ってよい。スイッチQ2、Q4が第2の制御信号(または駆動信号)を受け取ってよい。

【0152】

また、図48~図49の構成については、整数値nは2以上でよい。一実施形態では、nは2または3に限定される。別の実施形態では、nは偶数に限定される。

20

【0153】

図42~図44および図48~図49の整流器およびクランプ回路は、電源回路の出力インピーダンスが負荷インピーダンスと整合しているとき整流器として動作し得る。図42~図44および図48~図49の整流器およびクランプ回路は、電源回路の出力インピーダンスが負荷インピーダンスと整合していないとき、整流と電圧クランプの両方を遂行し得る。

【0154】

前述の例は、不整合負荷状態の間、電力増幅器を保護するものである。不整合負荷状態は、電源回路の出力インピーダンスが負荷インピーダンスと整合していないときを指す。電源回路に含まれる整流器およびクランプ回路は、たとえば変圧器の巻線比を調整することにより、適切な(または所定の)保護電圧に整合され得る。電圧クランプ保護は、DC電流経路に設けられるのではなく、絶縁されたやり方でAC電流経路に設けられる。たとえば図42~図44および図48、図49の整流器およびクランプ回路は、供給された電力のDC-AC変換の後に、変圧器の下流に設けられる。これは、クランプ電圧制御の順応性を向上させ、回路構成要素を最小限にする(たとえば電圧クランプのために使用されるダイオードの数を最小限に抑える)。クランプ電圧は、 $0 \sim V_+$ の間の電圧範囲ばかりではなく、 $V_- \sim 0$ の間の電圧範囲も制御される。これによって、AC電圧の振幅およびクランプを調整することが可能になる。

30

【0155】

前述の説明は本来例示でしかなく、本開示、その用途、または使用法を限定するようには意図されていない。本開示の広範な教示は様々な形態で実施され得る。したがって、本開示は特定の例を含んでいるが、図面、明細書、および以下の特許請求の範囲を検討すれば他の修正形態が明らかになるはずであるので、本開示の真の範囲はそのように限定されるべきではない。本明細書で使用される慣用句「A、B、およびCのうちの少なくとも1つ」は、非排他的論理和を使用した論理の(AまたはBまたはC)を意味するように解釈されるべきであって、「Aの少なくとも1つ、Bの少なくとも1つ、およびCの少なくとも1つ」を意味するよう解釈されるべきでない。方法の範囲内の1つまたは複数のステップが、本開示の原理を変えることなく、異なる順序で(または同時に)実行され得ることを理解されたい。

40

【0156】

また、構成要素間の物理的関係を説明するために様々な用語が使用されている。第1の

50

要素が第2の要素に対して「接続される」、「係合する」、または「結合される」と言及されるとき、第1の要素は、第2の要素に対して直接接続されてよく、係合してよく、配置されてよく、加えられてよく、または結合されてよく、あるいは介在要素が存在してもよい。対照的に、ある要素が別の要素に対して、「直接接続されている」、「直接係合している」、または「直接結合されている」と言及されたとき、介在要素は存在し得ない。第1の要素が第2の要素に対して「接続される」、「係合する」、または「結合する」と明示することは、第1の要素が第2の要素に対して「直接接続され得る」、「直接係合し得る」、または「直接結合され得る」ことを意味する。要素間の関係を説明するために使用される他の用語は、同様に(たとえば、「～の間に」に対する「直接～の間に」、「～に隣接する」に対する「～に直接隣接する」など)解釈されるべきである。

10

【0157】

以下の定義を含んでいる本出願では、「モジュール」または「コントローラ」という用語は、「回路」で置換され得る。「モジュール」という用語は、特定用途向け集積回路(A SIC)、デジタル、アナログ、またはアナログ/デジタル混合のディスクリート回路、デジタル、アナログ、またはアナログ/デジタル混合の集積回路、組合せ論理回路、フィールドプログラマブルゲートアレイ(FPGA)、コードを実行する(共用の、専用の、またはグループの)プロセッサ回路、プロセッサ回路によって実行されるコードを記憶する(共用の、専用の、またはグループの)メモリ回路、説明された機能をもたらす他の適切なハードウェア構成要素、あるいはシステムオンチップなどにおける上記のいくつかまたはすべての組合せを指してよく、これらの一部分でよく、またはこれらを含んでよい。

20

【0158】

モジュールは1つまたは複数のインターフェース回路を含み得る。いくつかの例では、インターフェース回路は、ローカルエリアネットワーク(LAN)、インターネット、広域ネットワーク(WAN)、またはそれらの組合せに接続された、有線または無線のインターフェースを含み得る。本開示の何らかの所与のモジュールの機能性は、インターフェース回路を介して接続された複数のモジュールの間に分散されてよい。たとえば、複数のモジュールは負荷平衡を可能にし得る。さらなる例では、(遠隔モジュールまたはクラウドモジュールとしても知られている)サーバモジュールが、クライアントモジュールに代わっていくつかの機能性を達成してもよい。

【0159】

上記で使用されたコードという用語は、ソフトウェア、ファームウェア、および/またはマイクロコードを含んでよく、また、プログラム、ルーチン、関数、クラス、データ構造、および/またはオブジェクトを指してもよい。共用プロセッサ回路という用語は、複数のモジュールからのいくつかまたはすべてのコードを実行する単一のプロセッサ回路を包含する。グループプロセッサ回路という用語は、追加のプロセッサ回路と組み合わせて、1つまたは複数のモジュールからのいくつかまたはすべてのコードを実行するプロセッサ回路を包含する。複数のプロセッサ回路に対する言及は、個別のダイ上の複数のプロセッサ回路、単一ダイ上の複数のプロセッサ回路、単一プロセッサ回路の複数のコア、単一プロセッサ回路の複数のスレッド、または上記のものの組合せを包含する。共用メモリ回路という用語は、複数のモジュールからのいくつかまたはすべてのコードを記憶する単一のメモリ回路を包含する。グループメモリ回路という用語は、追加のメモリと組み合わせて、1つまたは複数のモジュールからのいくつかまたはすべてのコードを記憶するメモリ回路を包含する。

30

40

【0160】

メモリ回路という用語は、コンピュータ可読媒体という用語のサブセットである。本明細書で使用されるコンピュータ可読媒体という用語は、媒体(搬送波など)によって伝搬する一時的な電気信号または電磁気信号を包含せず、したがって、コンピュータ可読媒体という用語は、有形かつ非一時的なものと見なされ得る。非一時的かつ有形のコンピュータ可読媒体の限定的でない例には、不揮発性メモリ回路(フラッシュメモリ回路またはマスクROM回路など)、揮発性メモリ回路(静的ランダムアクセスメモリ回路および動的ランダ

50

ムアクセスメモリなど)、ならびに磁気記憶装置(磁気テープまたはハードディスクドライブなど)および光学記憶装置などの補助記憶装置が含まれる。

【0161】

本出願において説明された装置および方法は、コンピュータプログラムで具現された1つまたは複数の特定の機能を実行するように汎用コンピュータを構成することによってもたらされた専用コンピュータによって、部分的にまたは完全に実施され得る。コンピュータプログラムは、少なくとも1つの非一時的な有形のコンピュータ可読媒体に記憶されたプロセッサ実行可能命令を含む。コンピュータプログラムは、記憶データを含んでよく、または記憶データに依存してもよい。コンピュータプログラムは、専用コンピュータのハードウェアと相互作用する基本入出力システム(BIOS)、専用コンピュータの特定のデバイスと相互作用するデバイスドライバ、1つまたは複数のオペレーティングシステム、ユーザアプリケーション、バックグラウンドサービスおよびアプリケーションなどを含み得る。

10

【0162】

コンピュータプログラムは、(i)アセンブラコード、(ii)コンパイラによってソースコードから生成されたオブジェクトコード、(iii)インタプリタによって実行するためのソースコード、(iv)ジャストインタイムコンパイラによってコンパイルして実行するためのソースコード、(v)HTML(ハイパーテキストマークアップランゲージ)またはXML(エクステンシブルマークアップランゲージ)などの構文解析用の説明テキストなどを含み得る。単なる例として、ソースコードは、C、C++、C#、Objective-C、Haskell、Go、SQL、Lisp、Java(登録商標)、ASP、Perl、Javascript(登録商標)、HTML5、Ada、ASP(アクティブサーバページ)、Perl、Scala、Erlang、Ruby、Flash(登録商標)、Visual Basic(登録商標)、Lua、またはPython(登録商標)で書かれ得る。

20

【0163】

ある要素が「～するための手段」という慣用句を使用して明確に記述された場合、または方法の請求項が「～するための動作」もしくは「～するためのステップ」という慣用句を使用する場合を除けば、特許請求の範囲において記述された要素のいかなるものも、米国特許法第112条(f)の意味の範囲内のミーンズプラスファンクション要素であるようには意図されていない。

【符号の説明】

30

【0164】

- 10 電圧インバータ回路
- 11 直流(DC)電圧源入力
- 12 交流(AC)出力
- 13 信号源
- 13' 信号源
- 13A 信号源
- 13A' 信号源
- 13A" 信号源
- 13B 信号源
- 13B' 信号源
- 13B" 信号源
- 14 位相コントローラ
- 20 制御回路
- 22 ソフトスタート整流器
- 24 電力感知ユニット(PSU)
- 26 冷却ファン
- 28 DCスイッチ
- 30a 電力増幅器
- 30b 電力増幅器

40

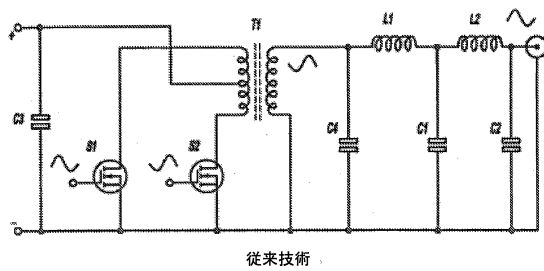
50

- 30c 電力増幅器
- 30d 電力増幅器
- 32 駆動回路
- 34 結合および絶縁の変圧器
- 36 フィルタおよび電力感知の回路
- 38 位相制御変調器
- 40 フロントパネル制御回路
- 52 プラズマチャンバ
- 54 ガス入口
- 56 ガス出口
- 58 熱制御信号
- 60 プラズマコントローラ
- 62 真空信号
- 64 電圧信号
- 66 入口のガス流量と出口のガス流量の間の比を示す信号
- 68 電圧発生器
- 70 マイクロプロセッサ
- 72 電源
- 74 整合回路
- 80 整合回路
- 82 負荷
- 84 第1の可変キャパシタ
- 86 第2の可変キャパシタ
- 88 インダクタ
- 90 負荷

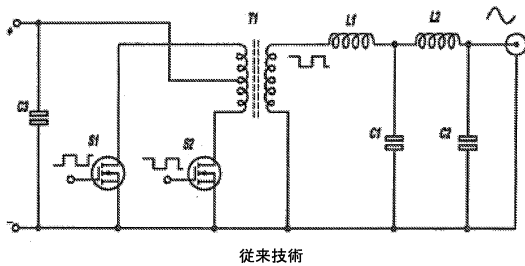
10

20

【図1】



【図2】



【図3】

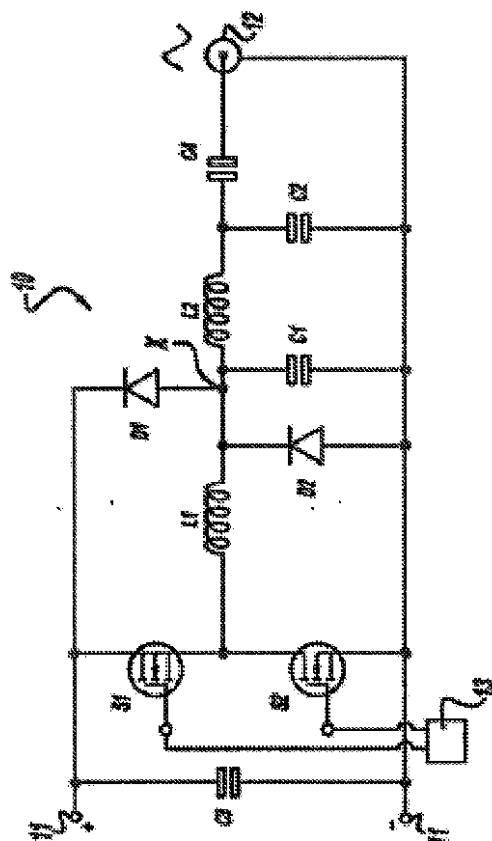
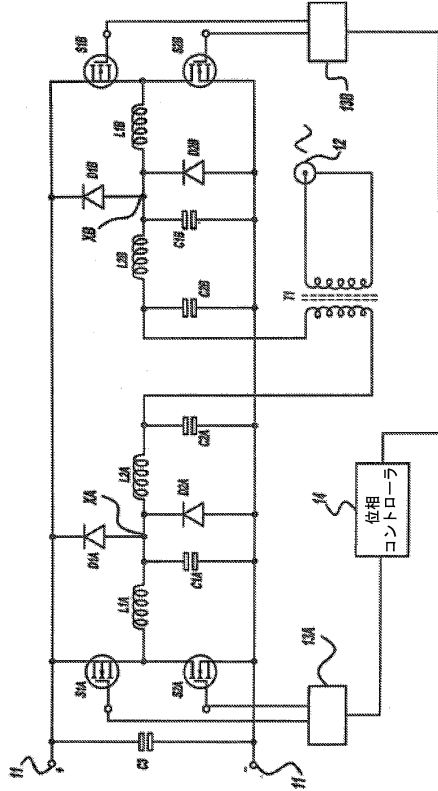
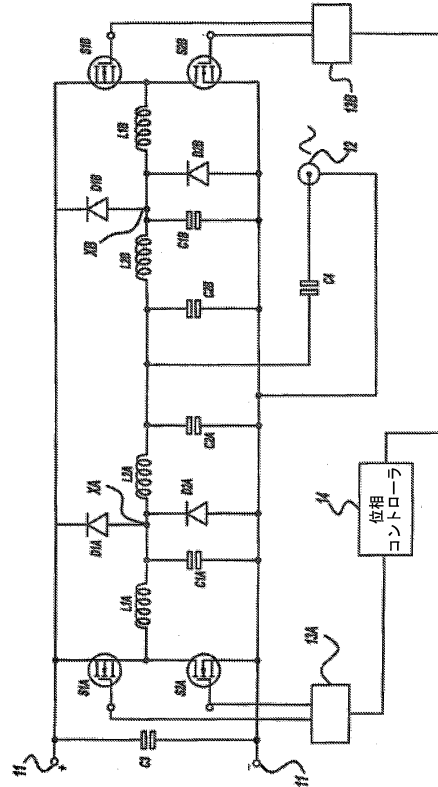


FIG. 3

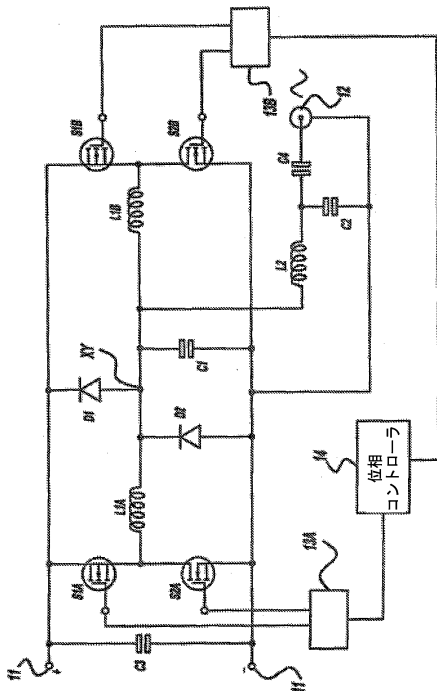
【 図 4 】



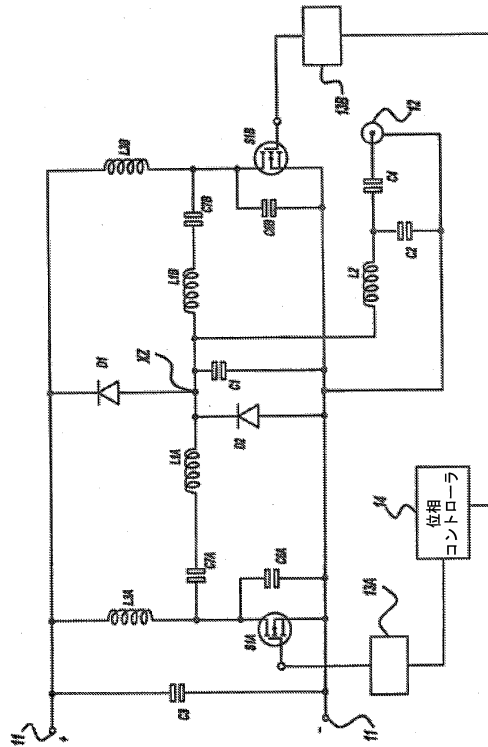
【 図 5 】



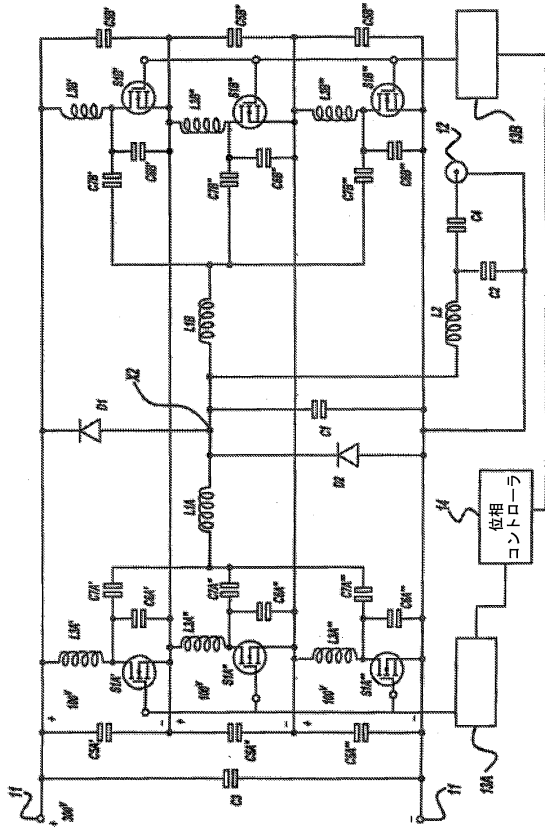
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

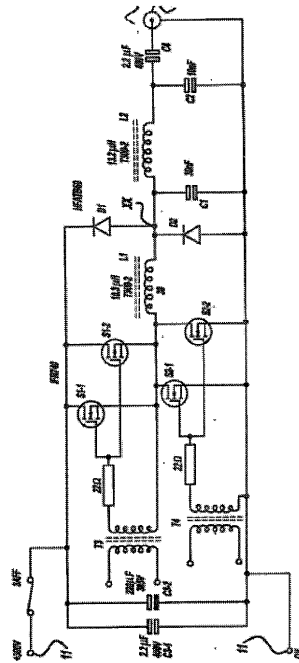


FIG. 9

【 図 10 】

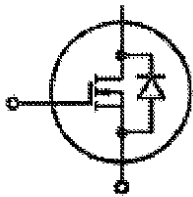


FIG. 10

【 図 12 】

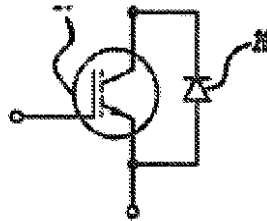


FIG. 12

【 図 11 】

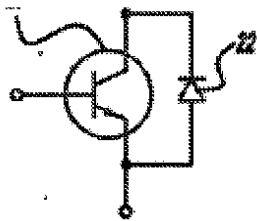


FIG. 11

【 図 13 】

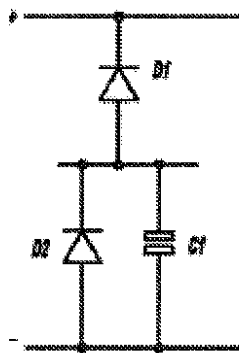


FIG. 13

【 図 19 】

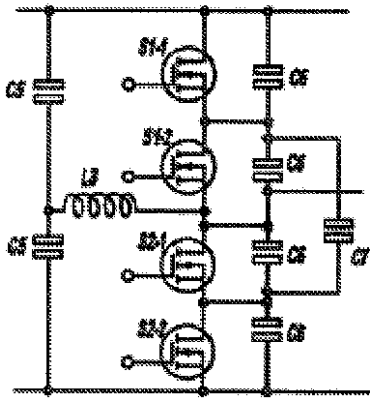


FIG. 19

【 図 20 】

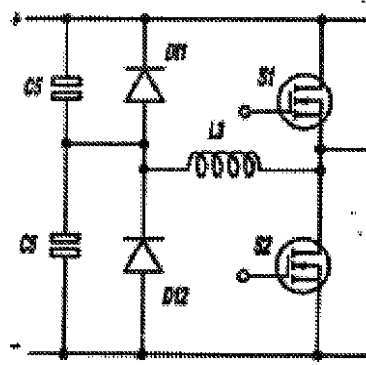


FIG. 20

【 図 21 】

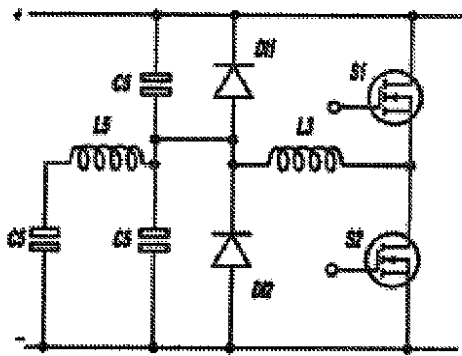


FIG. 21

【 図 23 】

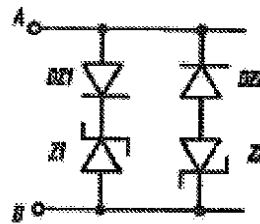


FIG. 23

【 図 22 】

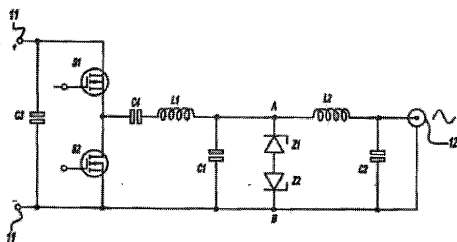


FIG. 22

【 図 24 】

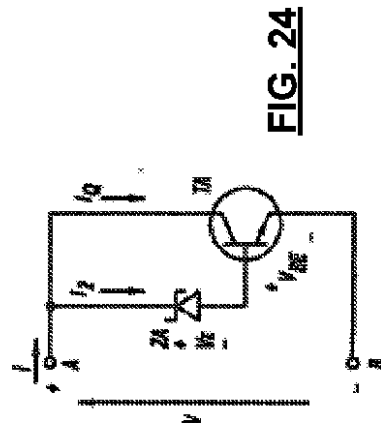


FIG. 24

【 図 2 5 】

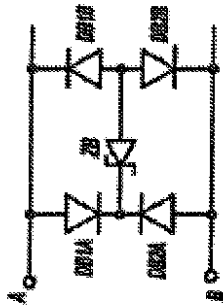


FIG. 25

【 図 2 6 】

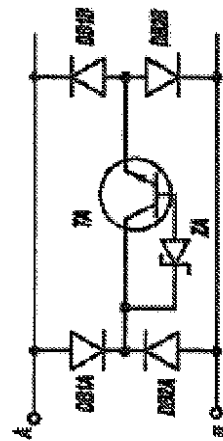
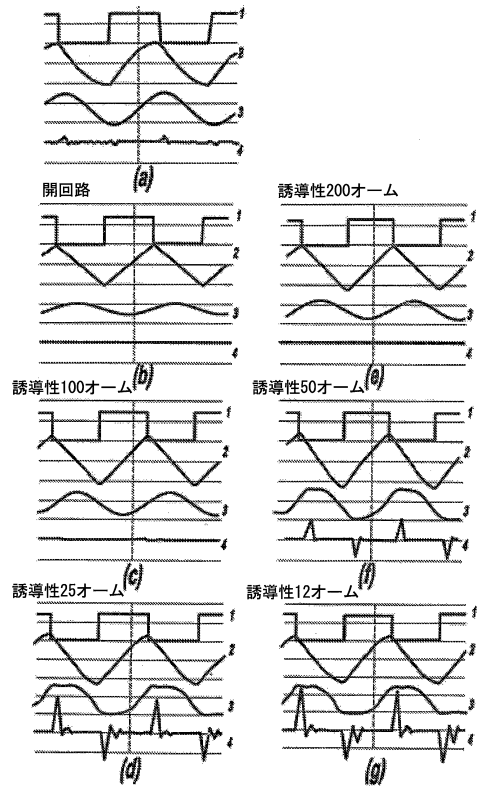
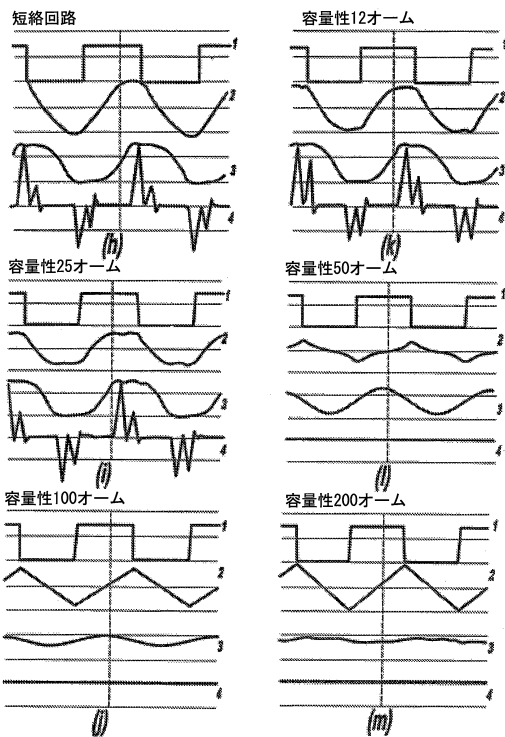


FIG. 26

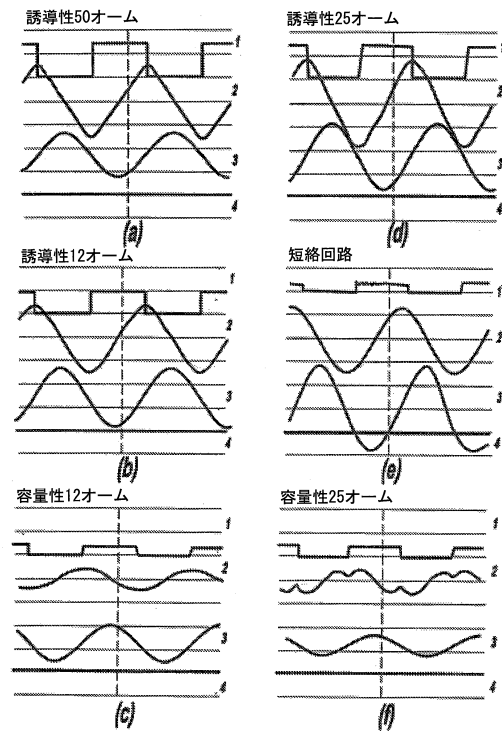
【 図 2 7 - 1 】



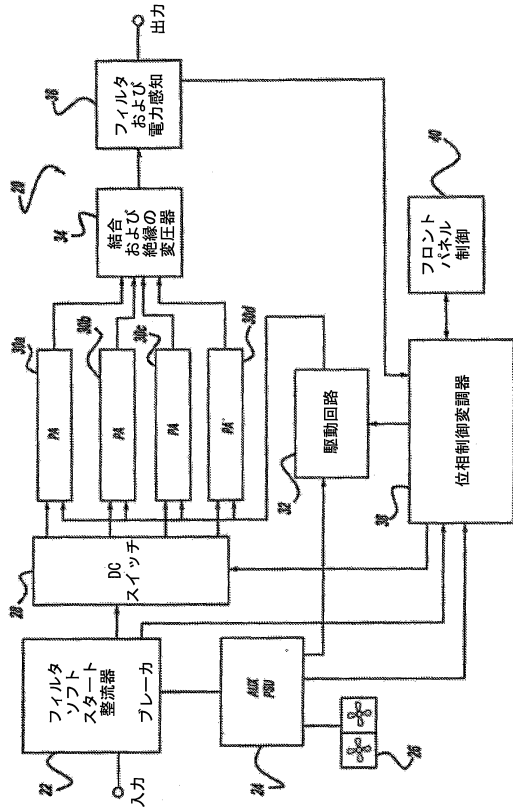
【 図 2 7 - 2 】



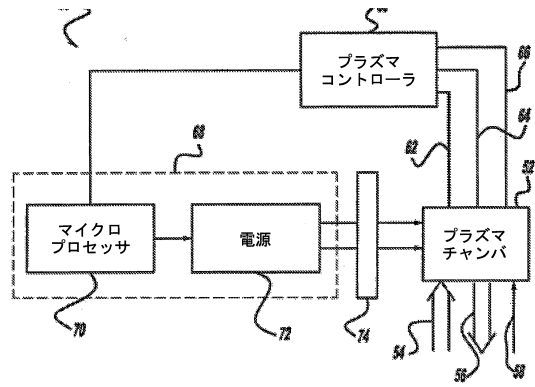
【 図 2 8 】



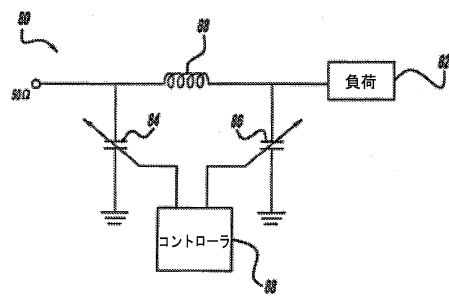
【図 29】



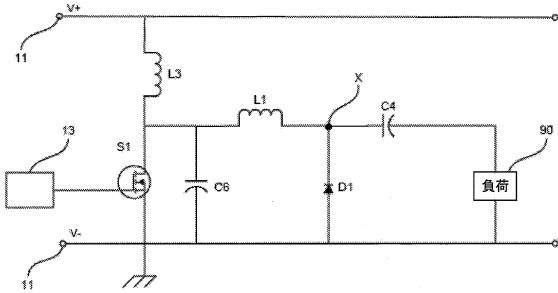
【図 30】



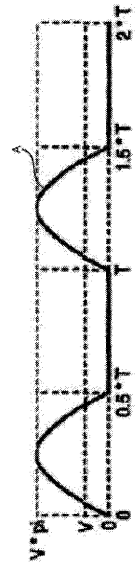
【図 31】



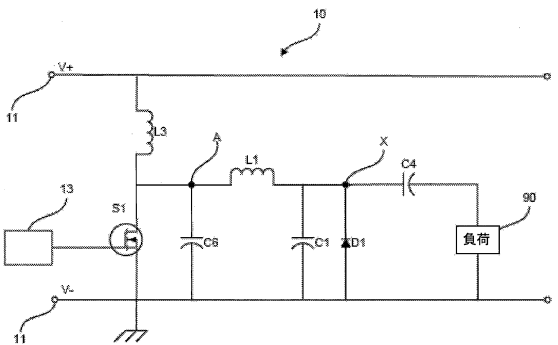
【図 32】



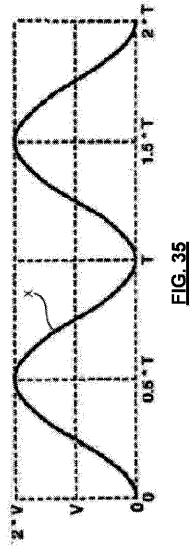
【図 34】



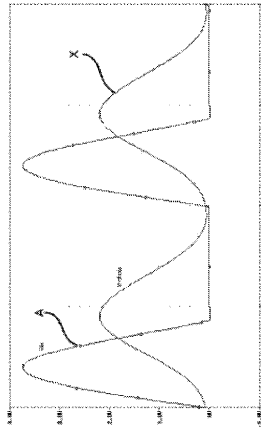
【図 33】



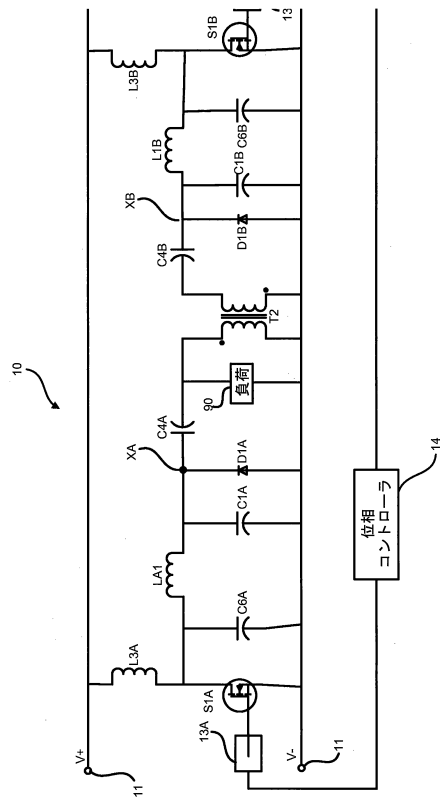
【 図 3 5 】



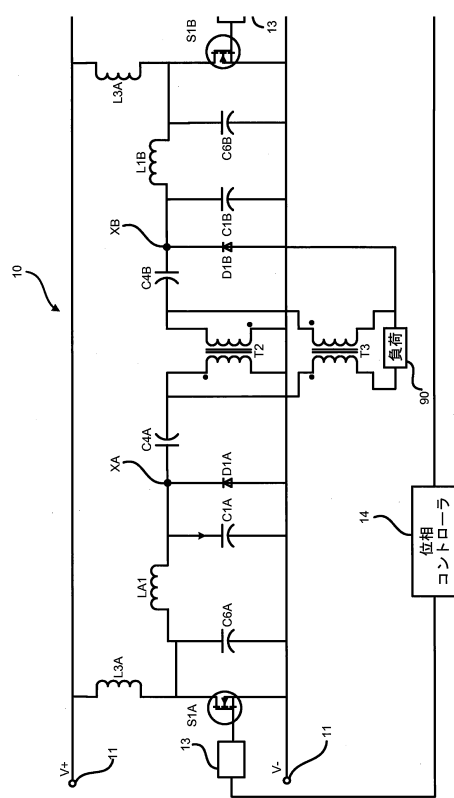
【 図 3 6 】



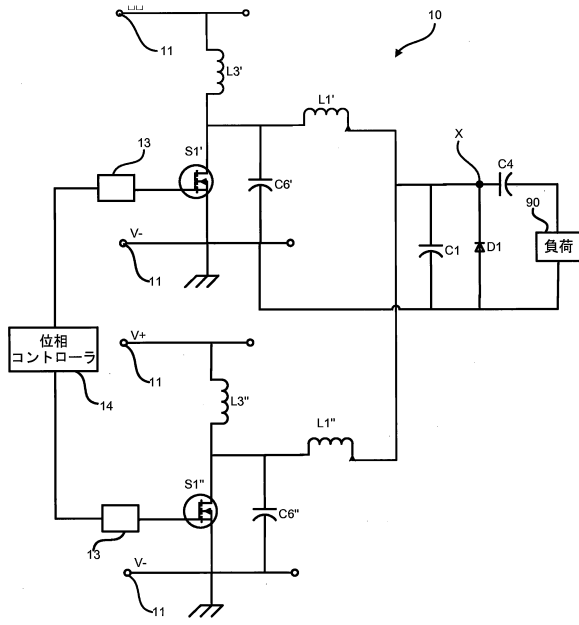
【 図 3 7 】



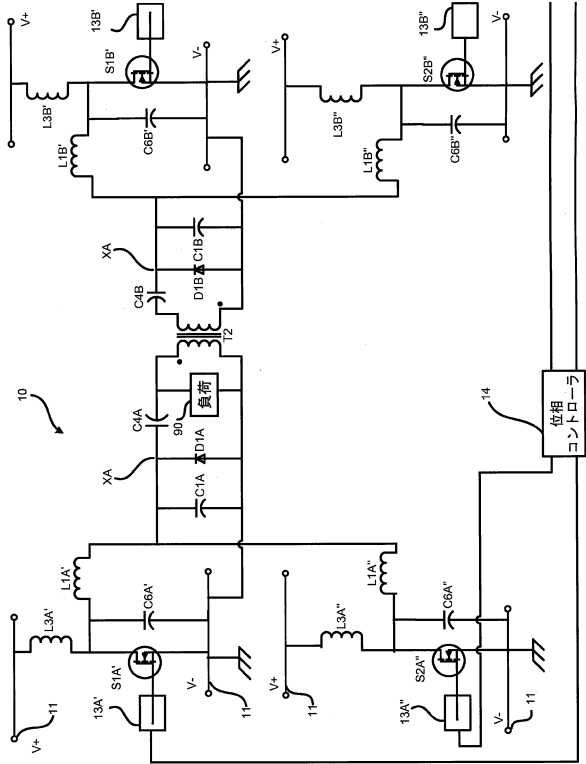
【 図 3 8 】



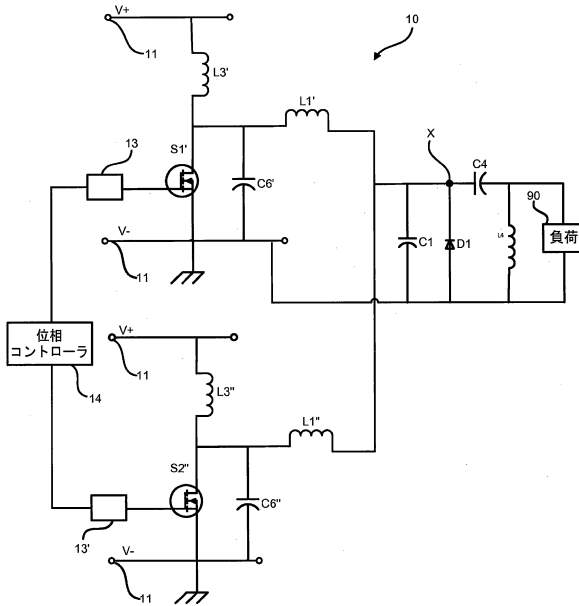
【図39】



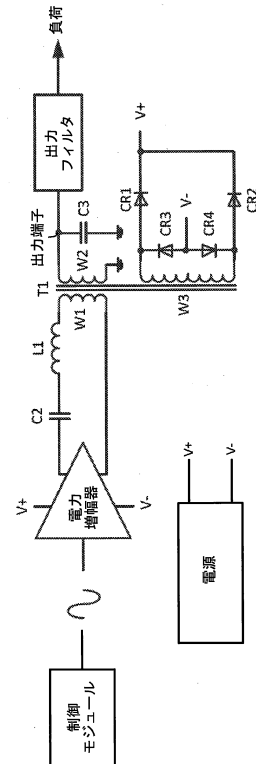
【図40】



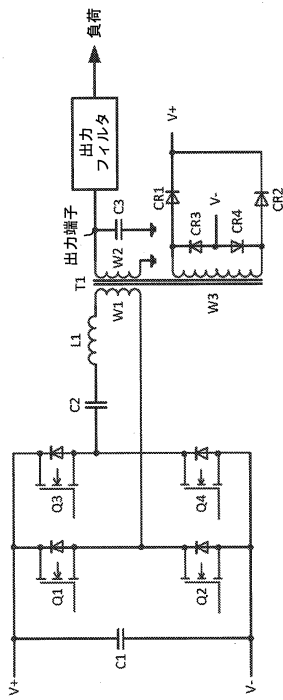
【図41】



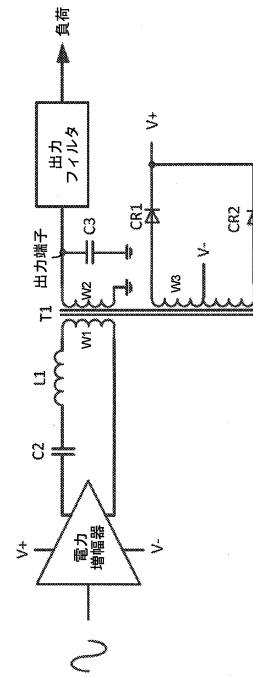
【図42】



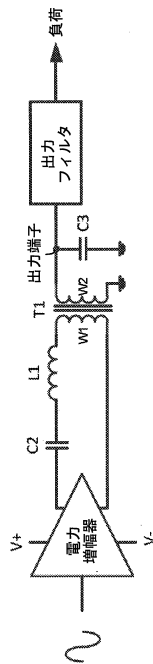
【図43】



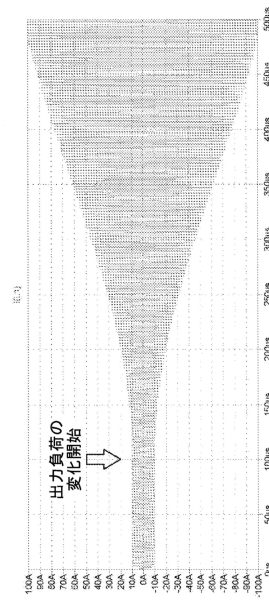
【図44】



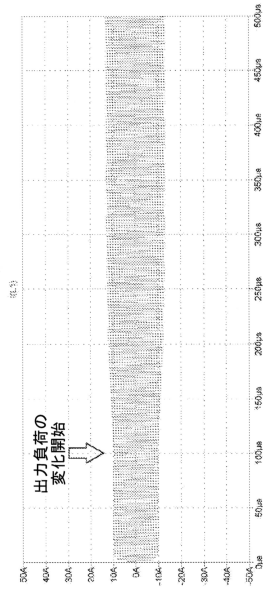
【図45】



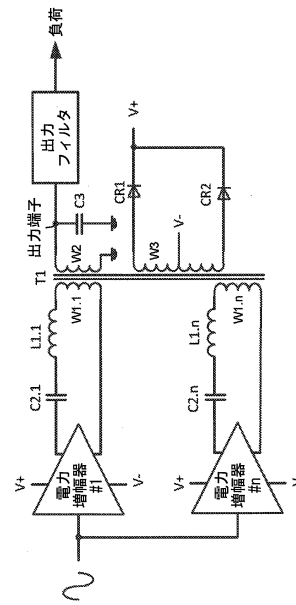
【図46】



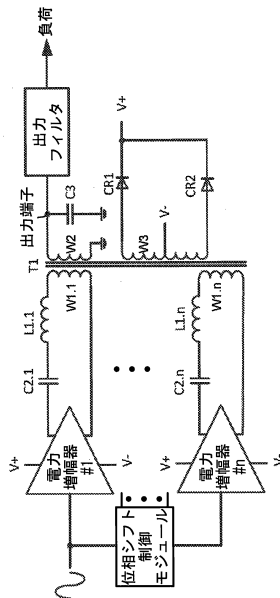
【図 47】



【図 48】



【図 49】



フロントページの続き

(72)発明者 キィ・ルー

アメリカ合衆国・ニューヨーク・14564・ヴィクター・イェール・コート・544

審査官 佐藤 匡

(56)参考文献 特表平06-510393(JP,A)
特開平04-087569(JP,A)
特開2010-119169(JP,A)
特開2013-247814(JP,A)
米国特許第05438498(US,A)
特開2002-034241(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00, 7/48,

H03F 1/52, 3/217, 3/26, 3/68