

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6743809号
(P6743809)

(45) 発行日 令和2年8月19日(2020.8.19)

(24) 登録日 令和2年8月3日(2020.8.3)

(51) Int.Cl.	F I
HO 4 N 5/378 (2011.01)	HO 4 N 5/378
HO 3 M 1/56 (2006.01)	HO 3 M 1/56

請求項の数 6 (全 20 頁)

(21) 出願番号	特願2017-511526 (P2017-511526)	(73) 特許権者	000002185
(86) (22) 出願日	平成28年3月23日 (2016.3.23)		ソニー株式会社
(86) 国際出願番号	PCT/JP2016/059087		東京都港区港南1丁目7番1号
(87) 国際公開番号	W02016/163228	(74) 代理人	100121131
(87) 国際公開日	平成28年10月13日 (2016.10.13)		弁理士 西川 孝
審査請求日	平成31年2月25日 (2019.2.25)	(74) 代理人	100082131
(31) 優先権主張番号	特願2015-77902 (P2015-77902)		弁理士 稲本 義雄
(32) 優先日	平成27年4月6日 (2015.4.6)	(72) 発明者	半澤 克彦
(33) 優先権主張国・地域又は機関	日本国 (JP)		東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	松本 静徳
			神奈川県厚木市岡田四丁目16番1号 ソニーLSIデザイン株式会社内
		審査官	梅本 達雄

最終頁に続く

(54) 【発明の名称】 固体撮像装置、電子機器、およびAD変換装置

(57) 【特許請求の範囲】

【請求項1】

複数の画素を有する画素部と、
前記画素から出力される画素信号と参照信号とを比較する比較器と、
前記比較器の比較時間をカウントするカウンタと
を備え、
前記比較器は、
前記画素信号と前記参照信号との比較動作を行う第1のアンプと、
第1のトランジスタを有し、前記第1のアンプの出力信号を増幅する第2のアンプと

、
前記第1のトランジスタの極性の同じ極性の第2のトランジスタと
を備え、
前記第2のトランジスタのゲートは、前記第1のアンプの出力ノードに接続され、
前記第2のトランジスタのソースおよびドレインは、前記第1のトランジスタのソースと同じ固定電位に接続される
固体撮像装置。

【請求項2】

前記第2のトランジスタがPMOSトランジスタの場合、前記第2のトランジスタのソースおよびドレインは、電源電位に接続される
請求項1に記載の固体撮像装置。

10

20

【請求項 3】

前記第 2 のトランジスタが NMOS トランジスタの場合、前記第 2 のトランジスタのソースおよびドレインは、接地電位に接続される

請求項 1 に記載の固体撮像装置。

【請求項 4】

前記第 2 のトランジスタの閾値電圧は、前記第 2 のアンプが反転を開始する直前の前記第 1 のアンプの出力信号と略同じレベルに設定される

請求項 1 に記載の固体撮像装置。

【請求項 5】

複数の画素を有する画素部と、

10

前記画素から出力される画素信号と参照信号とを比較する比較器と、

前記比較器の比較時間をカウントするカウンタと

を備え、

前記比較器は、

前記画素信号と前記参照信号との比較動作を行う第 1 のアンプと、

第 1 のトランジスタを有し、前記第 1 のアンプの出力信号を増幅する第 2 のアンプと

、

前記第 1 のトランジスタの極性の同じ極性の第 2 のトランジスタと

を有し、

前記第 2 のトランジスタのゲートは、前記第 1 のアンプの出力ノードに接続され、

20

前記第 2 のトランジスタのソースおよびドレインは、前記第 1 のトランジスタのソースと同じ固定電位に接続される固体撮像装置

を備える電子機器。

【請求項 6】

アナログ信号と参照信号とを比較し、その結果を増幅する比較器と、

前記比較器の比較時間をカウントするカウンタと

を備え、

前記比較器は、

前記アナログ信号と前記参照信号との比較動作を行う第 1 のアンプと、

第 1 のトランジスタを有し、前記第 1 のアンプの出力信号を増幅する第 2 のアンプと

30

、

前記第 1 のトランジスタの極性の同じ極性の第 2 のトランジスタと

を備え、

前記第 2 のトランジスタのゲートは、前記第 1 のアンプの出力ノードに接続され、

前記第 2 のトランジスタのソースおよびドレインは、前記第 1 のトランジスタのソースと同じ固定電位に接続される

AD変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

40

本技術は、固体撮像装置、電子機器、およびAD変換装置に関し、特に、AD変換結果の誤差の発生を抑制することができるようにする固体撮像装置、電子機器、およびAD変換装置に関する。

【背景技術】

【0002】

近年、ADC (Analog Digital Converter) に用いられる 2 段アンプ構成の比較器に対して、ノイズの低減および反転遅延の抑制が求められている。反転遅延は、差動対の 2 入力的大小関係が変化してから、出力が反転するまでの時間である。

【0003】

比較器のノイズを低減することにより、ADCのノイズを低減することができる。また、

50

比較器の反転遅延を抑制することにより、AD変換時間を短くすることができる。

【0004】

比較器におけるノイズの低減は、帯域を制限する容量（以下、帯域制限容量という）の容量値を大きくしてノイズ帯域を狭めることで実現できる。しかしながら、この場合、反転遅延が増大してしまう。

【0005】

これに対して、特許文献1には、帯域制限容量の容量値を可変にした比較器が開示されている。この構成によれば、参照信号が傾斜したときに帯域制限容量の容量値を小さくすることで、ノイズを一定にしながら反転遅延を最小限に抑えることができる。

【0006】

しかしながら、特許文献1の構成では、ノイズと反転遅延のトレードオフは解消せず、ノイズを低減すると反転遅延が増大してしまう。

【0007】

特許文献2では、ノイズと反転遅延のトレードオフを解消するために、比較器を構成する第2アンプの入出力間に、ミラー効果を発現するための容量を接続することが提案されている。この構成によれば、その容量の容量値は、反転動作前では小さいが、反転動作中はミラー効果により大きくなる。これにより、ノイズを低減しつつ、反転遅延を最小限に抑えることができる。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2013-38549号公報

【特許文献2】特開2014-17838号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、特許文献2の構成では、カラムADC等のように多数のADCが一斉に動作した場合、電源が変動することで出力段にノイズが重畳されてしまう。その結果、AD変換結果に誤差が生じてしまう。

【0010】

本技術は、このような状況に鑑みてなされたものであり、AD変換結果の誤差の発生を抑制するようにするものである。

【課題を解決するための手段】

【0011】

本技術の一側面の固体撮像装置は、複数の画素を有する画素部と、前記画素から出力される画素信号と参照信号とを比較する比較器と、前記比較器の比較時間をカウントするカウンタとを備え、前記比較器は、前記画素信号と前記参照信号との比較動作を行う第1のアンプと、第1のトランジスタを有し、前記第1のアンプの出力信号を増幅する第2のアンプと、前記第1のトランジスタの極性の同じ極性の第2のトランジスタとを備え、前記第2のトランジスタのゲートは、前記第1のアンプの出力ノードに接続され、前記第2のトランジスタのソースおよびドレインは、前記第1のトランジスタのソースと同じ固定電位に接続される。

【0012】

前記第2のトランジスタがPMOSトランジスタの場合、前記第2のトランジスタのソースおよびドレインは、電源電位に接続される。

【0013】

前記第2のトランジスタがNMOSトランジスタの場合、前記第2のトランジスタのソースおよびドレインは、接地電位に接続される。

【0014】

前記第2のトランジスタの閾値電圧は、前記第2のアンプが反転を開始する直前の前記

10

20

30

40

50

第1のアンプの出力信号と略同じレベルに設定される。

【0015】

本技術の一側面の電子機器は、複数の画素を有する画素部と、前記画素から出力される画素信号と参照信号とを比較する比較器と、前記比較器の比較時間をカウントするカウンタとを備え、前記比較器は、前記画素信号と前記参照信号との比較動作を行う第1のアンプと、第1のトランジスタを有し、前記第1のアンプの出力信号を増幅する第2のアンプと、前記第1のトランジスタの極性の同じ極性の第2のトランジスタとを有し、前記第2のトランジスタのゲートは、前記第1のアンプの出力ノードに接続され、前記第2のトランジスタのソースおよびドレインは、前記第1のトランジスタのソースと同じ固定電位に接続される固体撮像装置を備える。

10

【0016】

本技術の一側面のAD変換回路は、アナログ信号と参照信号とを比較し、その結果を増幅する比較器と、前記比較器の比較時間をカウントするカウンタとを備え、前記比較器は、前記アナログ信号と前記参照信号との比較動作を行う第1のアンプと、第1のトランジスタを有し、前記第1のアンプの出力信号を増幅する第2のアンプと、前記第1のトランジスタの極性の同じ極性の第2のトランジスタとを備え、前記第2のトランジスタのゲートは、前記第1のアンプの出力ノードに接続され、前記第2のトランジスタのソースおよびドレインは、前記第1のトランジスタのソースと同じ固定電位に接続される。

【0017】

本技術の一側面においては、画素信号と参照信号との比較動作を行う第1のアンプと第1のトランジスタを有し、第1のアンプの出力信号を増幅する第2のアンプと、第1のトランジスタの極性の同じ極性の第2のトランジスタとを備える比較器において、第2のトランジスタのゲートは、第1のアンプの出力ノードに接続され、第2のトランジスタのソースおよびドレインは、第1のトランジスタのソースと同じ固定電位に接続される。

20

【発明の効果】

【0018】

本技術の一側面によれば、AD変換結果の誤差の発生を抑制することが可能となる。

【図面の簡単な説明】

【0019】

【図1】本技術の固体撮像装置の構成例を示すブロック図である。

30

【図2】画素の構成例を示す図である。

【図3】従来の比較器の構成例を示す回路図である。

【図4】図3の比較器の動作を示すタイミングチャートである。

【図5】従来の比較器の他の構成例を示す回路図である。

【図6】図5の比較器の動作を示すタイミングチャートである。

【図7】従来の比較器のさらに他の構成例を示す回路図である。

【図8】図7の比較器の動作を示すタイミングチャートである。

【図9】本技術の比較器の構成例を示す回路図である。

【図10】PMOSトランジスタの容量特性を示す図である。

【図11】本技術の比較器の動作を示すタイミングチャートである。

40

【図12】電源変動ノイズの影響について説明する図である。

【図13】本技術の比較器の他の構成例を示す回路図である。

【図14】NMOSトランジスタの容量特性を示す図である。

【図15】本技術の電子機器の構成例を示すブロック図である。

【図16】イメージセンサを使用する使用例を示す図である。

【発明を実施するための形態】

【0020】

以下、本技術の実施の形態について図を参照して説明する。

【0021】

<固体撮像装置の構成>

50

図1は、本技術の固体撮像装置の構成例を示すブロック図である。

【0022】

図1に示される固体撮像装置1は、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサとして構成される。

【0023】

固体撮像装置1は、画素部11、垂直走査回路12、水平転送走査回路13、タイミング制御回路14、ADC (Analog Digital Converter) 群15、DAC16、アンプ回路17、および信号処理回路18を備えている。

【0024】

これらの構成要素のうち、画素部11、垂直走査回路12、水平転送走査回路13、ADC群15、DAC16、およびアンプ回路17は、アナログ回路により構成される。また、タイミング制御回路14、および信号処理回路18は、デジタル回路により構成される。

【0025】

画素部11は、複数の画素が行列状に配置されることで構成される。画素の構成は、図2を参照して後述する。

【0026】

垂直走査回路12は、行アドレスや行走査を制御する。水平転送走査回路13は、列アドレスや列走査を制御する。

【0027】

タイミング制御回路14は、画素部11の信号を順次読み出すための制御回路として、内部クロックを生成する。タイミング制御回路14は、画素部11、垂直走査回路12、水平転送走査回路13、ADC群15、DAC16、および信号処理回路18の信号処理に必要なタイミング信号を生成する。タイミング制御回路14は、ADC群15の各比較器の動作開始時に、カラム毎に動作点を決めるための初期化 (オートゼロ: AZ) 用スイッチ (以下、AZスイッチという) に印加する初期化信号としての制御パルスを生成する。

【0028】

ADC群15は、ADCが複数列配列されて構成される。カラム毎のADCは、画素部11からの画素信号VSLに対して、DAC16からの参照電圧Vslopを用いたAD変換、およびデジタルCDS (Correlated Double Sampling) を行い、数ビットのデジタル信号を出力する。

【0029】

各ADCは、比較器31、カウンタ32、およびラッチ33を備えている。

【0030】

比較器31は、DAC16により生成される参照電圧Vslopと、行毎に画素から垂直信号線を通して得られる画素信号VSLとを比較する。

【0031】

カウンタ32は、比較器31の比較時間をカウントする。

【0032】

ラッチ33は、カウンタ32のカウント値を保持する。各ラッチ33の出力は、水平転送線LTRFに接続されている。

【0033】

ADC群15において、カラム毎に配置された比較器31は、垂直信号線に読み出された画素信号VSLと、参照電圧Vslop (ランプ波形のランプ信号RAMP) とを比較する。

【0034】

このとき、比較器31と同様に列毎に配置されたカウンタ32が動作し、ランプ信号RAMPとカウント値が一对一の対応を取りながら変化することで、画素信号VSLがデジタル信号に変換される。

【0035】

そして、画素信号VSLとランプ信号RAMPが交わったとき、比較器31の出力が反転するとともに、カウンタ32の入力クロックが停止し、または、入力が停止していたクロックがカウンタ32に入力され、AD変換が完了する。

【0036】

AD変換期間終了後、水平転送走査回路13により、ラッチ33に保持されたデータが水平転送線LTRFに転送される。転送されたデータは、アンプ回路17を経て信号処理回路18に入力され、所定の信号処理により2次元画像が生成される。

【0037】

<画素の構成例>

図2は、固体撮像装置1の画素部11を構成する画素の構成例を示す図である。

【0038】

画素51は、フォトダイオード61、転送トランジスタ62、リセットトランジスタ63、増幅トランジスタ64、および選択トランジスタ65から構成される。

10

【0039】

フォトダイオード61は、入射光をその光量に応じた量の電荷（ここでは電子）に光電変換する。

【0040】

転送トランジスタ62は、フォトダイオード61と出力ノードとしてのフローティングディフュージョン（FD）との間に接続される。転送トランジスタ62は、転送制御線LTxを通してゲートに駆動信号TGが与えられると、フォトダイオード61で光電変換された電子をFDに転送する。

【0041】

リセットトランジスタ63は、電源ラインLVDDとFDとの間に接続される。リセットトランジスタ63は、リセット制御線LRSTを通してゲートに駆動信号RSTが与えられると、FDの電位を電源ラインLVDDの電位にリセットする。

20

【0042】

FDには、増幅トランジスタ64のゲートが接続される。増幅トランジスタ64は、選択トランジスタ65を介して垂直信号線66に接続され、図示せぬ定電流源とソースフォロアを構成する。

【0043】

選択制御線LSELを通して制御信号SELが選択トランジスタ65のゲートに与えられると、選択トランジスタ65がオンする。選択トランジスタ65がオンすると、増幅トランジスタ64は、FDの電位を増幅し、その電位に応じた電圧を垂直信号線66に出力する。垂直信号線66を通じて各画素51から出力された電圧（画素信号VSL）は、ADC群15に入力される。

30

【0044】

なお、リセット制御線LRST、転送制御線LTx、および選択制御線LSELは、画素配列の行単位で配線されており、垂直走査回路12により駆動される。

【0045】

すなわち、転送トランジスタ62、リセットトランジスタ63、および選択トランジスタ65の各ゲートが行単位で接続されていることから、上述した動作は、1行分の各画素51について同時に行われる。

【0046】

40

<比較器の構成例>

本実施の形態の比較器31は、主に、縦続接続された第1アンプおよび第2アンプから構成される。

【0047】

ここで、本実施の形態の比較器31の構成について説明する前に、従来の比較器の構成について説明する。

【0048】

（従来の比較器の構成1）

図3は、従来の比較器の構成例を示す回路図である。

【0049】

50

図3に示されるように、比較器100Aは、縦続接続された第1アンプ110および第2アンプ120から構成される。第1アンプ110は、画素信号VSLと参照信号Vslop（ランプ信号RAMP）との比較動作を行う。第2アンプ120は、第1アンプ110の出力信号を増幅する。

【0050】

第1アンプ110は、pチャネルMOS（PMOS）トランジスタPT111乃至PT114、nチャネルMOS（NMOS）トランジスタNT111乃至NT113、および容量C111、C112を備えている。

【0051】

PMOSトランジスタPT111のソースおよびPMOSトランジスタPT112のソースは、電源電位VDDに接続されている。

10

【0052】

PMOSトランジスタPT111のドレインはNMOSトランジスタNT111のドレインに接続され、その接続点によりノードND111が形成される。また、PMOSトランジスタPT111のドレインとゲートが接続され、その接続点がPMOSトランジスタPT112のゲートに接続されている。

【0053】

PMOSトランジスタPT112のドレインはNMOSトランジスタNT112のドレインに接続され、その接続点により第1アンプ110の出力ノードND112が形成される。NMOSトランジスタNT111とNMOSトランジスタNT112のソース同士が接続され、その接続点がNMOSトランジスタNT113のドレインに接続される。NMOSトランジスタNT113のソースは基準電位（例えば接地電位）GNDに接続される。

20

【0054】

NMOSトランジスタNT111のゲートは容量C111の第1電極に接続され、その接続点によりノードND113が形成される。容量C111の第2電極は、ランプ信号RAMPの入力端子TRAMPに接続される。

【0055】

NMOSトランジスタNT112のゲートは容量C112の第1電極に接続され、その接続点によりノードND114が形成される。容量C112の第2電極は、画素信号VSLの入力端子TVSLに接続される。

30

【0056】

また、NMOSトランジスタNT113のゲートは、バイアス信号BIASの入力端子TBIASに接続される。

【0057】

PMOSトランジスタPT113のソースはノードND111に接続され、そのドレインはノードND113に接続される。PMOSトランジスタPT114のソースはノードND112に接続され、そのドレインはノードND114に接続される。

【0058】

そして、PMOSトランジスタPT113およびPT114のゲートは、ローレベルでアクティブの第1のAZ信号PSELの入力端子TPSELに共通に接続される。

40

【0059】

第1アンプ110においては、PMOSトランジスタPT111、PT112によりカレントミラー回路が構成され、NMOSトランジスタNT111、NT112によりNMOSトランジスタNT113を電流源とする差動比較部（差動対）が構成される。

【0060】

また、PMOSトランジスタPT113、PT114はAZスイッチとして機能し、容量C111、C112はAZレベルのサンプリング容量として機能する。

【0061】

そして、第1アンプ110の出力信号1stcompは、出力ノードND112から第2アンプ120に出力される。

50

【0062】

第2アンプ120は、PMOSトランジスタPT121、NMOSトランジスタNT121、NT122、および容量C121を備えている。

【0063】

PMOSトランジスタPT121のソースは電源電位VDDに接続され、そのゲートは第1アンプ110の出力ノードND112に接続される。

【0064】

PMOSトランジスタPT121のドレインはNMOSトランジスタNT121のドレインに接続され、その接続点により出力ノードND121が形成される。

【0065】

NMOSトランジスタNT121のソースは接地電位GNDに接続され、そのゲートは容量C121の第1電極に接続され、その接続点によりノードND122が形成される。容量C121の第2電極は接地電位GNDに接続される。

【0066】

NMOSトランジスタNT122のドレインはノードND121に接続され、そのソースはノードND122に接続される。

【0067】

そして、NMOSトランジスタNT122のゲートはハイレベルでアクティブの第2のAZ信号NSELの入力端子TNSELに接続される。

【0068】

この第2のAZ信号NSELは、第1アンプ110に供給される第1のAZ信号PSELと相補的なレベルをとる。

【0069】

第2アンプ120においては、PMOSトランジスタPT121により入力端および増幅回路が構成される。

【0070】

また、NMOSトランジスタNT122がAZスイッチとして機能し、容量C121がAZレベルのサンプリング容量として機能する。

【0071】

そして、第2アンプ120の出力信号2ndOUTは、出力ノードND121から比較器100Aの出力端子TOUTに出力される。

【0072】

(比較器の動作1)

ここで、図4のタイミングチャートを参照して、図3の比較器100Aの動作について説明する。

【0073】

詳細な説明は省略するが、AZ期間が終了すると、リセットレベルの積分型AD変換(P相)が開始される。

【0074】

P相においては、ランプ信号RAMPのランプ波形の変化に追従して、画素信号VSLとの比較が開始される。そして、ランプ信号RAMPと画素信号VSLとの交差以降、第1アンプ110の出力信号1stcompが急峻に変化する。

【0075】

第1アンプ110の出力信号1stcompが、第2アンプ120の出力信号2ndOUTが反転を開始するレベル(反転開始電圧Vstart)になると、第2アンプ120のPMOSトランジスタPT121がオンする。PMOSトランジスタPT121がオンすると、電流I1が流れ始め、第2アンプ120の出力信号2ndOUTがローレベル(L)からハイレベル(H)に反転する。

【0076】

なお、信号レベルの積分型AD変換(D相)においても、比較器100Aは、P相と同じ動作をする。これにより、デジタルCDSの結果、kTCノイズや比較器のオフセットをキャン

10

20

30

40

50

セルすることができる。

【0077】

図4に示されるように、比較器100Aにおいては、反転遅延は比較的小さく抑えられている。しかしながら、第2アンプ120の出力信号2ndOUTが変動中、第1アンプ110の出力信号1stcompの変化の傾きが大きい。そのため、帯域が広くなりノイズを低減することができない。

【0078】

そこで、ノイズを低減するために帯域制限容量を設けた構成について説明する。

【0079】

(従来の比較器の構成2)

10

図5は、従来の比較器の他の構成例を示す回路図である。

【0080】

図5の比較器100Bの構成は、図3の比較器100Aの構成と基本的に同様であるが、第1アンプ110の出力ノードND112と電源電位VDDとの間に、帯域制限容量C130をさらに備える点で異なる。

【0081】

(比較器の動作2)

図6は、図5の比較器100Bの動作について説明するタイミングチャートである。

【0082】

図6においては、D相期間のタイミングチャートは省略され、AZ期間およびP相期間のタイミングチャートが示されている。

20

【0083】

図6に示されるように、比較器100Bにおいて帯域制限容量C130を設けたことで、第1アンプ110の出力信号1stcompの変化の傾きは小さくなる。これにより、帯域が狭くなりノイズを低減することができる。しかしながら、反転遅延は大きくなってしまふ。

【0084】

そこで、上述したようなノイズと反転遅延のトレードオフを解消するために、第2アンプの入出力間に、ミラー効果を発現するための容量を設けた構成について説明する。

【0085】

30

(従来の比較器の構成3)

図7は、従来の比較器のさらに他の構成例を示す回路図である。

【0086】

図7の比較器100Cの構成は、図3の比較器100Aの構成と基本的に同様であるが、第2アンプ120の入出力間に、容量C140をさらに備える点で異なる。

【0087】

(比較器の動作3)

図8は、図7の比較器100Cの動作について説明するタイミングチャートである。

【0088】

図8においても、D相期間のタイミングチャートは省略され、AZ期間およびP相期間のタイミングチャートが示されている。

40

【0089】

図8に示されるように、比較器100Cにおいて容量C140を設けたことで、ミラー効果により、第2アンプ120の出力信号2ndOUTが変動しているときにだけ、容量C140の容量値(第2アンプ120の入力端における実効的な容量値)が大きくなる。これにより、ノイズを低減しつつ、反転遅延の増大を抑制することができる。

【0090】

次に、本技術の比較器31の構成について説明する。

【0091】

<本技術の比較器の構成>

50

図9は、本技術の比較器の構成例を示す回路図である。

【0092】

比較器31の構成は、図3の比較器100Aの構成と基本的に同様であるが、第1アンプ110の出力ノードND112と電源電位VDDとの間に、帯域制限容量としてPMOSトランジスタPT150をさらに備える点で異なる。

【0093】

PMOSトランジスタPT150は、第1アンプ110においてNMOSトランジスタNT111, NT112により構成される差動対と逆の極性を有する。言い換えると、PMOSトランジスタPT150は、第2アンプ120の入力端となるPMOSトランジスタPT121と同じ極性を有する。

10

【0094】

PMOSトランジスタPT150のゲートは、第1アンプ110の出力ノードND112に接続される。また、PMOSトランジスタPT150のソースおよびドレインは、電源電位VDDに接続される。

【0095】

図10は、PMOSトランジスタの容量特性を示す図である。

【0096】

図10に示されるように、PMOSトランジスタの容量値は、入力電圧が高い、つまりゲート-ソース間電圧 V_{gs} が低い電圧にある場合には小さい。しかしながら、入力電圧が低くなり、ゲート-ソース間電圧 V_{gs} が閾値電圧 V_{th} を上回ると、PMOSトランジスタの容量値は急激に大きくなる。

20

【0097】

この特性と、第1アンプ110の出力信号1stcompが高いレベルから低いレベルに変化することを利用して、第2アンプ120の出力信号2ndOUTの反転開始付近で、帯域制限容量の容量値を大きくすることができる。このとき、PMOSトランジスタPT150の閾値電圧 V_{th} は、第2アンプ120の出力信号2ndOUTが反転を開始する直前の第1アンプ110の出力信号1stcompと略同じレベルに設定されているものとする。なお、PMOSトランジスタPT150の閾値電圧 V_{th} は、反転開始電圧 V_{start} より高いレベルであればよい。

【0098】

<本技術の比較器の動作>

30

図11は、図9の比較器31の動作について説明するタイミングチャートである。

【0099】

図11においても、D相期間のタイミングチャートは省略され、AZ期間およびP相期間のタイミングチャートが示されている。

【0100】

図11に示されるように、比較器31において帯域制限容量としてPMOSトランジスタPT150を設けたことで、出力信号1stcompが高いレベルから低いレベルに変化し、反転開始電圧 V_{start} と略同じレベル（閾値電圧 V_{th} ）になったときに、PMOSトランジスタPT150の容量値（第2アンプ120の入力端における実効的な容量値）が大きくなる。これにより、ノイズを低減しつつ、反転遅延の増大を抑制することができる。

40

【0101】

なお、PMOSトランジスタPT150の容量特性から、反転動作後は、PMOSトランジスタPT150の容量値は大きいままとなる。そのため、第1アンプ110の出力信号1stcompの電圧変動方向は、高いレベルから低いレベルへの一方向であることが望ましいが、逆方向であってもよい。

【0102】

このように、本技術の比較器31の構成によれば、ミラー効果を利用した図7の比較器100Cの構成と同等に、ノイズと反転遅延のトレードオフを解消することができる。

【0103】

ところで、例えば、カラムADC等のように多数のADCが一斉に動作した場合、電源が変動

50

する。

【0104】

この場合、比較器100Cの構成では、図12の上段に示されるように、電源変動によるノイズが、PMOSトランジスタPT121のソースに入力される。これにより、ゲートソース間電圧 V_{gs} が変動し、第2アンプ120の出力信号2ndOUTにノイズが重畳される。その結果、AD変換結果に誤差が生じてしまう。特に、同時に動作する比較器が多いほど、変動が大きくなり、AD変換結果の誤差が大きくなる。

【0105】

一方、本技術の比較器31の構成では、図12の下段に示されるように、電源変動によるノイズが、PMOSトランジスタPT121のソースに入力される他、PMOSトランジスタPT150を介して、PMOSトランジスタPT121のゲートにも入力される。そのため、相対的にゲートソース間電圧 V_{gs} の変動は抑えられ、第2アンプ120の出力信号2ndOUTにノイズが重畳されることを抑制することができる。結果として、AD変換結果の誤差の発生を抑制することができる。特に、同時に動作する比較器が多く、変動が大きくなる場合でも、AD変換結果の誤差の発生を抑制することが可能である。

【0106】

以上のように、本技術の構成によれば、ノイズと反転遅延のトレードオフを解消するとともに、AD変換結果の誤差の発生を抑制することが可能となる。

【0107】

＜本技術の比較器の他の構成＞

図13は、本技術の比較器の他の構成例を示す回路図である。

【0108】

図13の比較器200は、図9の比較器31のトランジスタの極性を逆極性にして構成されている。そのため、接続される電源電位と接地電位も回路上逆となっている。なお、図13においては、理解を容易にするために、ノードと容量の符号は図9と同じ符号を付している。

【0109】

図13に示されるように、比較器200は、縦続接続された第1アンプ210、第2アンプ220、およびNMOSトランジスタNT230から構成される。

【0110】

第1アンプ210において、図9のNMOSトランジスタNT111乃至NT113の代わりに、PMOSトランジスタPT211乃至PT213を用いて差動対および電流源が構成されている。そして、電流源としてのPMOSトランジスタPT213のソースは電源電位VDDに接続されている。

【0111】

また、図9のPMOSトランジスタPT111、PT112の代わりに、NMOSトランジスタNT211、NT212を用いてカレントミラー回路が構成され、NMOSトランジスタNT211、NT212のソースが接地電位GNDに接続されている。

【0112】

さらに、図9のPMOSトランジスタPT113、PT114の代わり、NMOSトランジスタNT213、NT214を用いてAZスイッチが構成されている。この場合、第1アンプ210には第2のAZ信号NSELがNMOSトランジスタNT213、NT214のゲートに供給される。

【0113】

第2アンプ220において、図9のPMOSトランジスタPT121の代わりに、NMOSトランジスタNT221を用いて入力端および増幅回路が構成されている。NMOSトランジスタNT221のソースは接地電位GNDに接続されている。

【0114】

図9のNMOSトランジスタNT121の代わりに、PMOSトランジスタPT221を用いてミラー回路を形成するトランジスタが構成されている。そして、PMOSトランジスタPT221のソースは電源電位VDDに接続されている。

【0115】

また、容量C121の第1電極がPMOSトランジスタPT221のゲートに接続されたノードND122に接続され、第2電極が電源電位VDDに接続されている。

【0116】

さらに、図9のNMOSトランジスタNT122の代わりに、PMOSトランジスタPT222を用いてAZスイッチが構成されている。この場合、第2アンプ220には第1のAZ信号PSELがPMOSトランジスタPT222のゲートに供給される。

【0117】

そして、NMOSトランジスタNT230が、帯域制限容量として第1アンプ210の出力ノードND112と接地電位GNDとの間に接続されている。

10

【0118】

NMOSトランジスタNT230は、第1アンプ210においてPMOSトランジスタPT211、PT212により構成される差動対と逆の極性を有する。言い換えると、NMOSトランジスタNT230は、第2アンプ220の入力端となるNMOSトランジスタNT221と同じ極性を有する。

【0119】

NMOSトランジスタNT230のゲートは、第1アンプ210の出力ノードND112に接続される。また、NMOSトランジスタNT230のソースおよびドレインは、接地電位GNDに接続される。

【0120】

20

図14は、NMOSトランジスタの容量特性を示す図である。

【0121】

図14に示されるように、NMOSトランジスタの容量値は、入力電圧が低い、つまりゲート-ソース間電圧 V_{gs} が低い電圧にある場合には小さい。しかしながら、入力電圧が高くなり、ゲート-ソース間電圧 V_{gs} が閾値電圧 V_{th} を上回ると、NMOSトランジスタの容量値は急激に大きくなる。

【0122】

この特性と、第1アンプ210の出力信号1stcompが低いレベルから高いレベルに変化することを利用して、第2アンプ220の出力信号2ndOUTの反転開始付近で、帯域制限容量の容量値を大きくすることができる。このとき、NMOSトランジスタNT230の閾値電圧 V_{th} は、第2アンプ220の出力信号2ndOUTが反転を開始する直前の第1アンプ210の出力信号1stcompと略同じレベルに設定されているものとする。なお、NMOSトランジスタNT230の閾値電圧 V_{th} は、反転開始電圧 V_{start} より低いレベルであればよい。

30

【0123】

このような構成を有する図13の比較器200は、基本的に、図9の比較器31と同様に動作する。ただし、図11のタイミングチャートにおけるRAMP、1stcomp、2ndAmpの各波形は反対になる。

【0124】

そして、図13の比較器200によれば、図9の比較器31と同様の効果を得ることができる。

40

【0125】

具体的には、図13の比較器200の構成では、GND変動によるノイズが、NMOSトランジスタNT221のソースに inputsされる他、NMOSトランジスタNT230を介して、NMOSトランジスタNT221のゲートにも入力される。そのため、相対的にゲート-ソース間電圧 V_{gs} の変動は抑えられ、第2アンプ220の出力信号2ndOUTにノイズが重畳されることを抑制することができる。結果として、AD変換結果の誤差の発生を抑制することができる。

【0126】

本技術は、固体撮像装置への適用に限られるものではなく、撮像装置にも適用可能である。ここで、撮像装置とは、デジタルスチルカメラやデジタルビデオカメラ等のカメラシステムや、携帯電話機等の撮像機能を有する電子機器のことをいう。なお、電子機器に搭

50

載されるモジュール状の形態、すなわちカメラモジュールを撮像装置とする場合もある。

【0127】

＜電子機器の構成例＞

ここで、図15を参照して、本技術を適用した電子機器の構成例について説明する。

【0128】

図15に示される電子機器300は、光学レンズ301、シャッタ装置302、固体撮像装置303、駆動回路304、および信号処理回路305を備えている。図15においては、固体撮像装置303として、上述した本技術の固体撮像装置1を電子機器（デジタルスチルカメラ）に設けた場合の実施の形態を示す。

【0129】

光学レンズ301は、被写体からの像光（入射光）を固体撮像装置303の撮像面上に結像させる。これにより、信号電荷が一定期間、固体撮像装置303内に蓄積される。シャッタ装置302は、固体撮像装置303に対する光照射期間および遮光期間を制御する。

【0130】

駆動回路304は、シャッタ装置302および固体撮像装置303に、駆動信号を供給する。シャッタ装置302に供給される駆動信号は、シャッタ装置302のシャッタ動作を制御するための信号である。固体撮像装置303に供給される駆動信号は、固体撮像装置303の信号転送動作を制御するための信号である。固体撮像装置303は、駆動回路304から供給される駆動信号（タイミング信号）により信号転送を行う。信号処理回路305は、固体撮像装置303から出力された信号に対して各種の信号処理を行う。信号処理が行われた映像信号は、メモリなどの記憶媒体に記憶されたり、モニタに出力される。

【0131】

本実施の形態の電子機器300においては、固体撮像装置303において、AD変換結果の誤差の発生を抑制することができるため、結果として、高画質な画像を得ることができる電子機器を提供することが可能となる。

【0132】

＜イメージセンサの使用例＞

最後に、本技術を適用したイメージセンサの使用例について説明する。

【0133】

図16は、上述したイメージセンサの使用例を示す図である。

【0134】

上述したイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

【0135】

- ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

- ・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

- ・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

- ・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

- ・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

- ・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

- ・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に

10

20

30

40

50

供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

【0136】

なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【0137】

さらに、本技術は以下のような構成をとることができる。

(1)

複数の画素を有する画素部と、

前記画素から出力される画素信号と参照信号とを比較する比較器と、

前記比較器の比較時間をカウントするカウンタと

を備え、

前記比較器は、

前記画素信号と前記参照信号との比較動作を行う第1のアンプと、

第1のトランジスタを有し、前記第1のアンプの出力信号を増幅する第2のアンプと

、

前記第1のトランジスタの極性の同じ極性の第2のトランジスタと

を備え、

前記第2のトランジスタのゲートは、前記第1アンプの出力ノードに接続され、

前記第2のトランジスタのソースおよびドレインは、前記第1のトランジスタのソースと同じ固定電位に接続される

固体撮像装置。

(2)

前記第2のトランジスタがPMOSトランジスタの場合、前記第2のトランジスタのソースおよびドレインは、電源電位に接続される

(1)に記載の固体撮像装置。

(3)

前記第2のトランジスタがNMOSトランジスタの場合、前記第2のトランジスタのソースおよびドレインは、接地電位に接続される

(1)に記載の固体撮像装置。

(4)

前記第2のトランジスタの閾値電圧は、前記第2のアンプが反転を開始する直前の前記第1のアンプの出力信号と略同じレベルに設定される

(1)乃至(3)のいずれかに記載の固体撮像装置。

(5)

複数の画素を有する画素部と、

前記画素から出力される画素信号と参照信号とを比較する比較器と、

前記比較器の比較時間をカウントするカウンタと

を備え、

前記比較器は、

前記画素信号と前記参照信号との比較動作を行う第1のアンプと、

第1のトランジスタを有し、前記第1のアンプの出力信号を増幅する第2のアンプと

、

前記第1のトランジスタの極性の同じ極性の第2のトランジスタと

を有し、

前記第2のトランジスタのゲートは、前記第1アンプの出力ノードに接続され、

前記第2のトランジスタのソースおよびドレインは、前記第1のトランジスタのソースと同じ固定電位に接続される固体撮像装置

を備える電子機器。

(6)

アナログ信号と参照信号とを比較し、その結果を増幅する比較器と、
前記比較器の比較時間をカウントするカウンタと
を備え、
前記比較器は、

前記アナログ信号と前記参照信号との比較動作を行う第1のアンプと、
第1のトランジスタを有し、前記第1のアンプの出力信号を増幅する第2のアンプと

、
前記第1のトランジスタの極性の同じ極性の第2のトランジスタと
を備え、

前記第2のトランジスタのゲートは、前記第1アンプの出力ノードに接続され、

前記第2のトランジスタのソースおよびドレインは、前記第1のトランジスタのソースと同じ固定電位に接続される

AD変換装置。

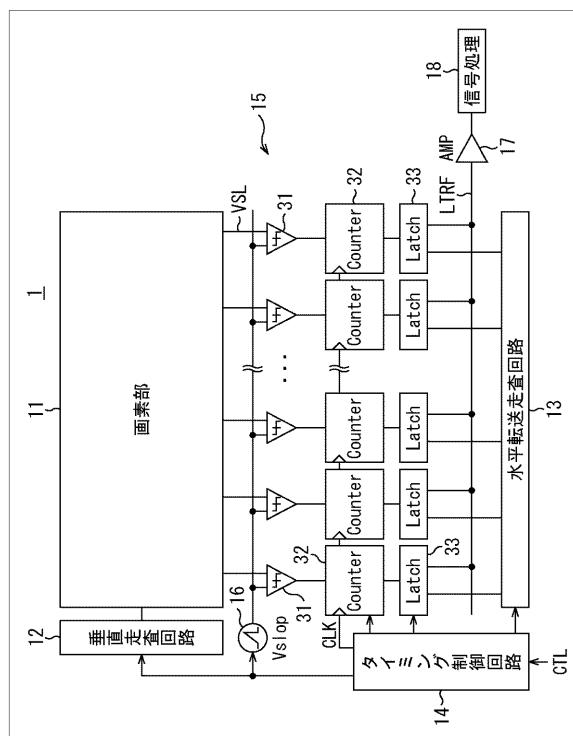
【符号の説明】

【0138】

1 固体撮像装置、 11 画素部、 15 ADC群、 31 比較器、 32 カウンタ、 33 ラッチ、 51 画素、 110 第1アンプ、 120 第2アンプ、
PT150 PMOSトランジスタ、 200 比較器、 210 第1アンプ、 220 第2アンプ、
NT230 NMOSトランジスタ、 300 電子機器、 303 固体撮像装置

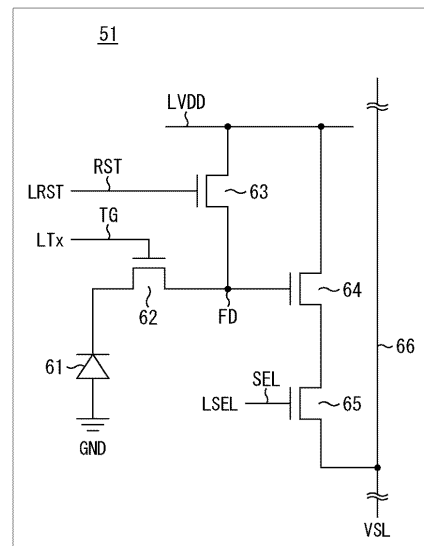
【図1】

FIG.1



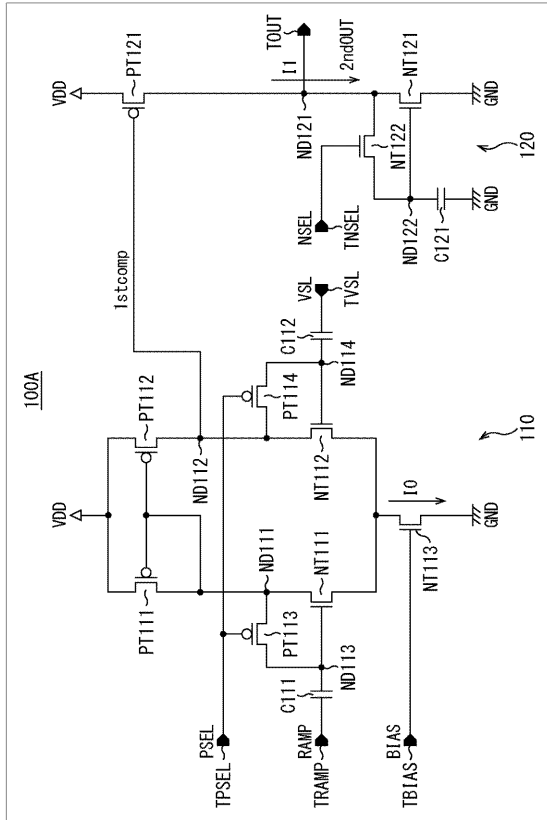
【図2】

FIG.2



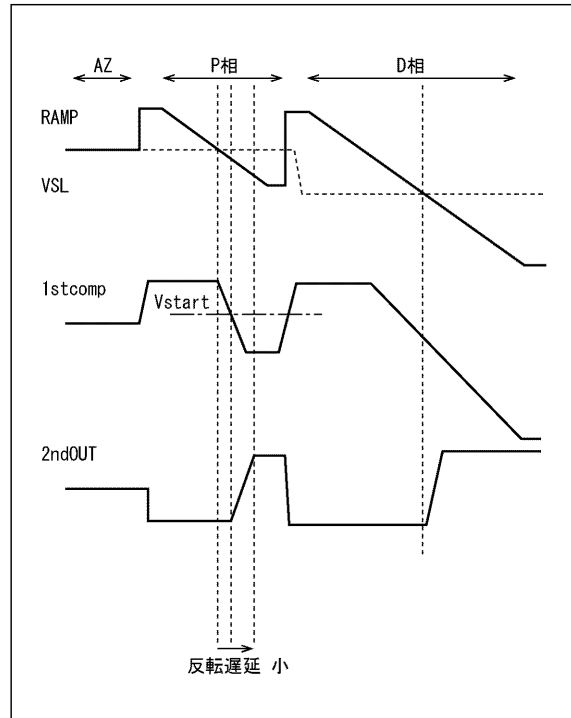
【図 3】

FIG.3



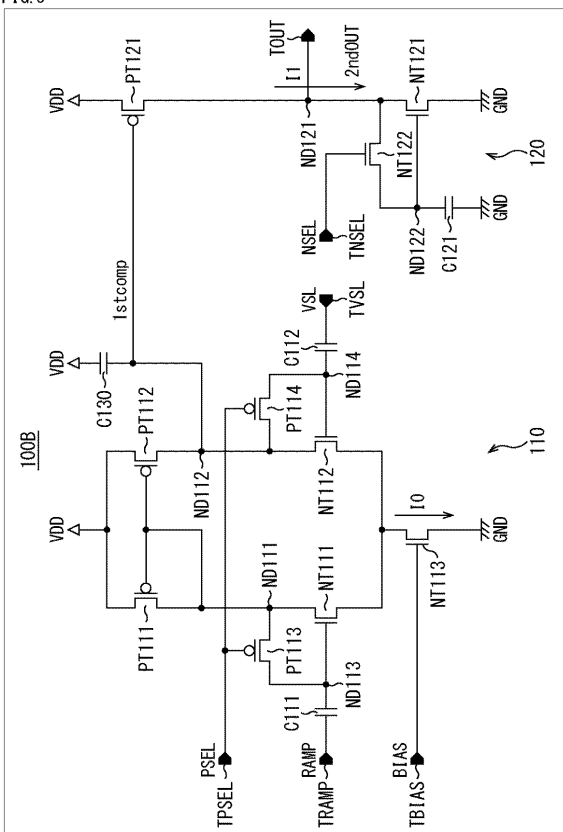
【図 4】

FIG.4



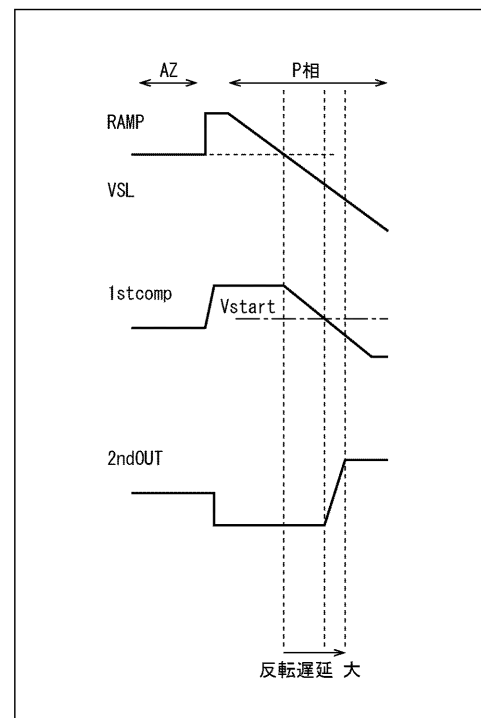
【図 5】

FIG.5



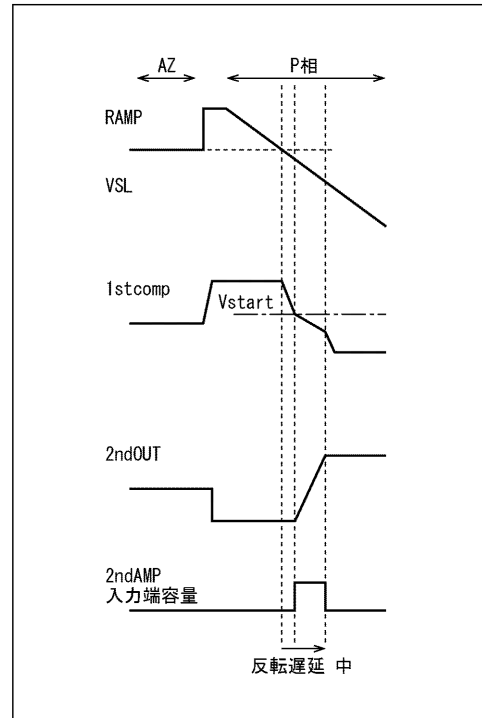
【図 6】

FIG.6



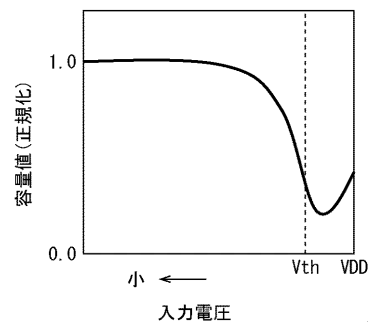
【图 8】

FIG.8

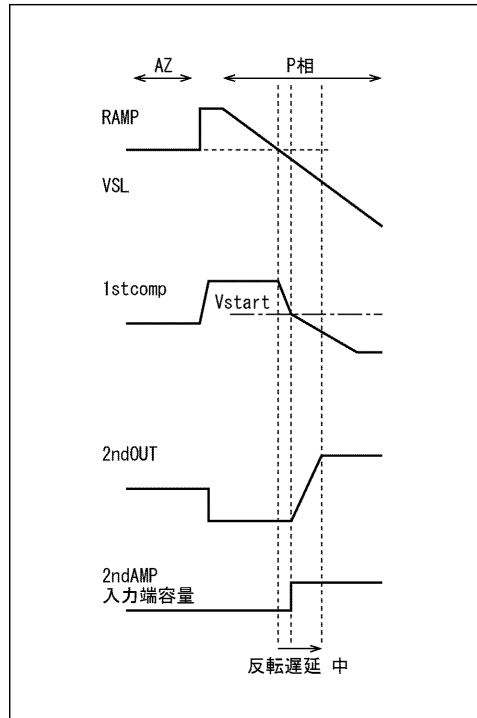


【図 10】

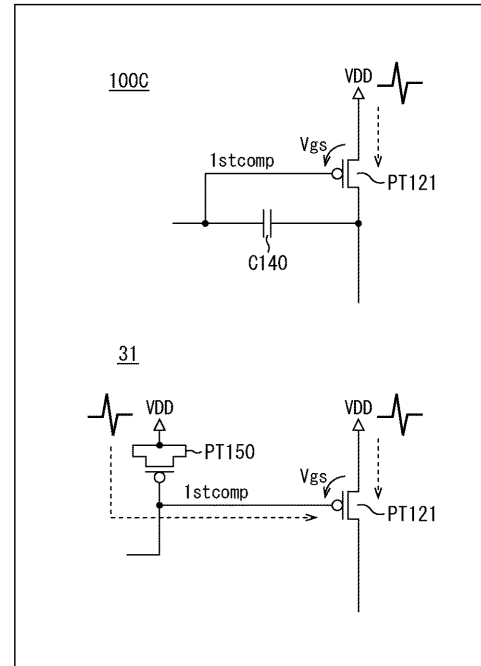
FIG.10



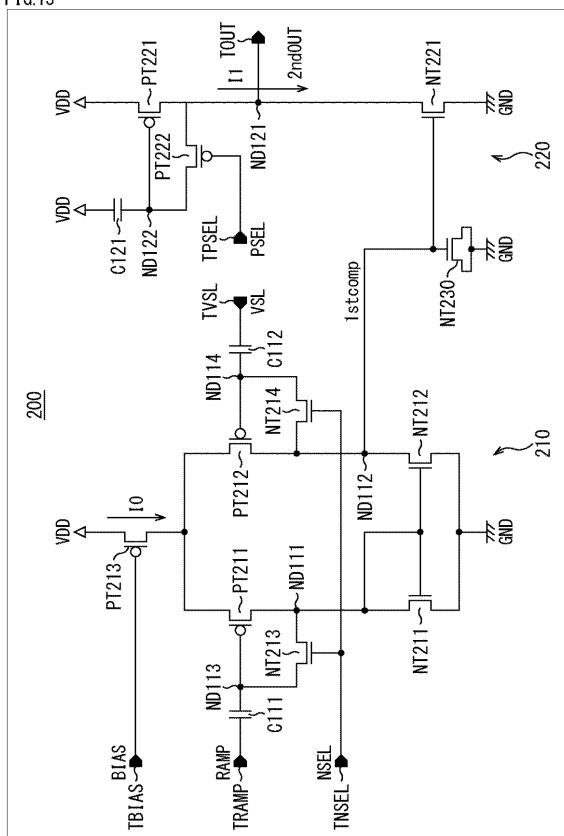
【図 1 1】
FIG.11



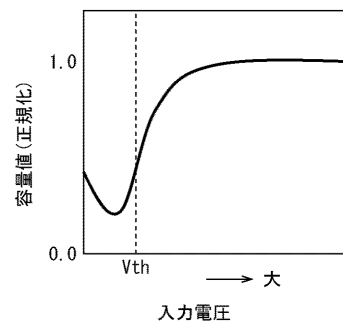
【図 1 2】
FIG.12



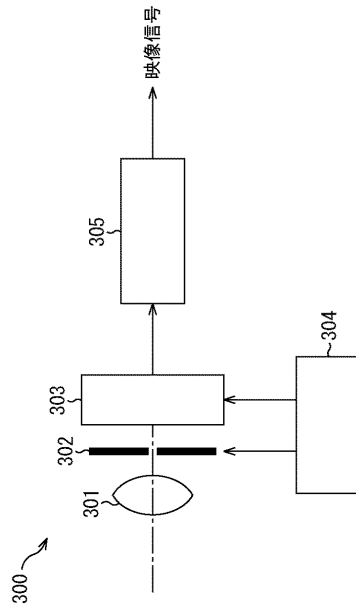
【図 1 3】
FIG.13



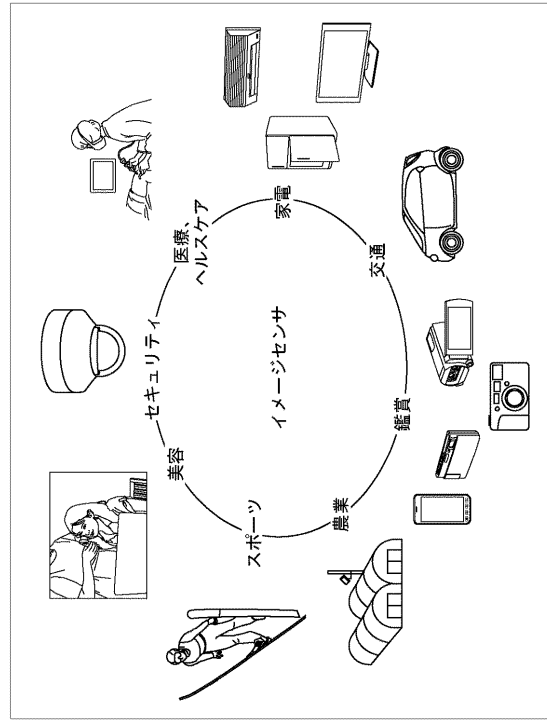
【図 1 4】
FIG.14



【図 15】
FIG.15



【図 16】
FIG.16



フロントページの続き

- (56)参考文献 特開2010-093641 (JP, A)
特開2009-253881 (JP, A)
特開2001-144606 (JP, A)
国際公開第2010/050515 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H04N	5/374
H04N	5/357
H04N	5/378
H01L	27/146
H03K	5/08
H03M	1/56