



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UTBM

DOMANDA NUMERO	101989900087350
Data Deposito	31/10/1989
Data Pubblicazione	01/05/1991

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	04	L		

Titolo

ADATTATORE MONOLITICO DELLA VELOCITA' PER RETE NUMERICA INTEGRATA NEI
SERVIZI (RNIS O ISDN).

La presente invenzione concerne un adattatore di velocità per la connessione alla Rete Numerica Integrata nei Servizi (RNIS o ISDN) di terminali sincroni ed asincroni conformi alle attuali specifiche CCITT-serie X e V. Il sistema implementa le funzioni richieste dalla relativa normativa CCITT-V 110 per l'adattamento di terminali sincroni delle serie X.21, X.21bis, V.24 e RS 232, e di terminali asincroni delle serie X.20, X.20bis, V.24 e RS 232.

Le tecniche di adattamento di velocità rivestono particolare importanza nell'interfacciamento di terminali a reti di telecomunicazione. In particolare, l'introduzione della nuova Rete Numerica Integrata nei Servizi (RNIS o ISDN) ha reso necessario l'interfacciamento di terminali a bassa velocità al canale B della RNIS il quale è caratterizzato da una velocità di 64 Kbit/secondo, come da normativa CCITT-serie I.

L'adattamento di velocità in ambito RNIS può essere efficacemente effettuato mediante l'implementazione della raccomandazione CCITT-V 110, la quale si basa sulla composizione e scomposizione logica di una matrice o trama di formato prestabilito.

In fase di ricezione dalla rete, i dati in ingresso sono bit strutturati in ottetti raggruppati in trame

asincrone di diversa lunghezza contenenti dati di sincronizzazione. Pertanto occorre prima cercare la sincronizzazione di trama e successivamente collocare gli ottetti ricevuti nella posizione prestabilita all'interno della matrice preconfezionata. La matrice così costituita conterrà "bit dati" ed altre informazioni aggiuntive che saranno smistate ai blocchi di controllo, mentre i soli bit dati saranno portati in uscita, ad una velocità opportuna, inferiore comunque alla velocità di ingresso. Questa descrizione, ancorchè sommaria, mette in evidenza la necessità di provvedere alla sincronizzazione ed alla composizione/scomposizione di trame asincrone.

Naturalmente l'adattamento di velocità viene implementato simultaneamente in entrambe le direzioni, che possono essere definite di "trasmissione" e di "ricezione", rispettivamente. In modo ricezione è richiesta la sincronizzazione e la scomposizione delle trame, mentre in modo trasmissione è richiesta l'operazione inversa di composizione delle trame e la generazione di bit di sincronizzazione.

Nell'ambito di un tale sistema, riveste una fondamentale importanza il blocco "ricezione" che implementa le funzioni di sincronizzazione e scomposizione delle trame per l'allacciamento di

terminali asincroni alla rete.

Il blocco "ricezione", come mostrato schematicamente in Fig. 1, deve adattare il flusso-dati DATAIN in un flusso-dati DATAOUT, entrambi seriali e sincroni con i rispettivi segnali di clock CKIN e CKOUT.

Va notato che, in conformità con le citate normative, i rapporti dei segnali di clock CKIN e CKOUT possono essere esclusivamente 5/3 o 4/3, come illustrato nella seguente tabella 1.

T A B E L L A 1			
CKIN	CKOUT	numero bit per trama	rapporto
8000	4800	80	5/3
16000	9600	80	5/3
32000	19200	80	5/3
64000	38400	80	5/3
64000	48000	32	4/3

Sempre in conformità con le suddette normative, in funzione del valore di questo rapporto, le trame in trasferimento saranno composte e successivamente scomposte secondo le due diverse strutture a matrice riportate qui a seguito.

MATRICE 1 per RAPPORTO 5/3								
numero riga/ /ottetto	Numero bit/colonna							
	1	2	3	4	5	6	7	8
0	0	0	0	0	0	0	0	0
1	1	D1	D2	D3	D4	D5	D6	S1
2	1	D7	D8	D9	D10	D11	D12	X
3	1	D13	D14	D15	D16	D17	D18	S3
4	1	D19	D20	D21	D22	D23	D24	S4
5	1	E1	E2	E3	E4	E5	E6	E7
6	1	D25	D26	D27	D28	D29	D30	S6
7	1	D31	D32	D33	D34	D35	D36	X
8	1	D37	D38	D39	D40	D41	D42	S8
9	1	D43	D44	D45	D46	D47	D48	S9

MATRICE 2 per RAPPORTO 4/3								
numero riga/ /ottetto	Numero bit/colonna							
	1	2	3	4	5	6	7	8
1	1	D1	D2	D3	D4	D5	D6	S1
2	0	D7	D8	D9	D10	D11	D12	X
3	1	D13	D14	D15	D16	D17	D18	S3
4	1	D19	D20	D21	D22	D23	D24	S4

Le due matrici hanno strutture simili e si differenziano fondamentalmente nella dimensione (numero di righe).

Rispettivamente, l'organizzazione delle informazioni

nelle due matrici sono come segue:

Campo informativo della matrice 1:

riga 0 e colonna 1: pattern di sincronizzazione

riga 5: informazioni per microprocessore (bit E)

colonna 8: bit di controllo (bit S, X)

I rimanenti bit (bit D) sono i bit-dati da inviare sul filo di OUTPUT. Trama da 80 bit.

Campo informativo della matrice 2:

colonna 1: pattern di sincronizzazione

colonna 8: bit di controllo

I rimanenti bit (bit D) sono i bit-dati da inviare sul filo di OUTPUT. Trama da 32 bit.

Pertanto in fase di ricezione, il relativo blocco circuitale di sincronizzazione e scomposizione delle trame del sistema riceve sul filo di ingresso DATAIN il flusso dati seriale alla velocità fissata dal segnale di clock CKIN senza alcuna informazione esplicita sull'inizio e la fine di ogni trama di dati, e quindi l'operazione di sincronizzazione e di scomposizione logica di una trama deve avvenire attraverso le seguenti operazioni:

1. Ricerca del pattern di sincronizzazione

Il pattern di sincronizzazione è l'elemento logico di identificazione dell'inizio di una trama e consente quindi di posizionare i bit

ricevuti nella corretta posizione all'interno della matrice. La ricerca del pattern di sincronizzazione all'interno della trama seriale viene effettuata all'inizio delle operazioni e controllata ad ogni trama ricevuta.

2. Composizione della trama

Si intende con tale operazione posizionare i bit nella corretta posizione all'interno della matrice, sia essa una matrice di tipo 1 (da 80 bit) o una matrice di tipo 2 (da 32 bit).

3. Selezione dei bit

Dalla matrice così composta, vengono selezionati i bit-dati da inviare all'uscita DATAOUT, i bit di controllo da inviare sui fili di controllo, e i bit di supervisione destinati al microprocessore di supervisione.

4. Scomposizione della trama

Si intende con tale espressione lo smistamento dei bit così selezionati sui rispettivi fili.

5. Controllo della sincronizzazione

Il controllo del pattern di sincronizzazione è effettuato ad ogni trama. Nel caso di esito negativo, cioè di perdita della sincronizzazione, lo stato di anomalia viene segnalato ed il sistema ritorna al punto 1. Per effettuare

nuovamente la descritta sequenza di operazioni.

Una soluzione canonica per la realizzazione di un siffatto sistema consisterebbe nel trattare la trama nella sua completezza, cioè memorizzare 30 bit (o 32 bit) e riconoscere la trama completa quando i bit di sincronizzazione, entrando in un registro a scorrimento saranno arrivati nella posizione ad essi destinata nella matrice. Riconosciuta la configurazione di una trama questa può essere salvata (memorizzata) in un secondo registro mentre il flusso di ingresso continua a scorrere nel primo registro. Una prima macchina a stati provvederà al controllo della composizione della trama nel primo registro al momento opportuno ed al mantenimento della sincronizzazione di trama ed al controllo del caricamento della trama composta nel secondo registro al momento opportuno.

Dopo una prima fase di riconoscimento della sincronizzazione da parte della macchina a stati, potrà essere utilizzato un contatore il quale, allo scadere dell'30° (o del 32° bit), informerà la macchina a stati che una nuova trama entrante è completa nel primo registro. Nella fase di funzionamento sincrono la macchina a stati che ha cercato inizialmente la sincronizzazione controllerà, allo scadere del contatore, la correttezza del pattern di

sincronizzazione e comanderà il caricamento della trama nel secondo registro.

La gestione dei dati in uscita da un tale blocco di ricezione potrà essere svolta da una seconda macchina a stati funzionante con lo stesso clock dell'output dati. Questa seconda macchina a stati avendo a disposizione l'intera trama nel secondo registro sarà in grado di selezionare i bit da inviare nelle varie direzioni prelevandoli direttamente dalle loro posizioni nella matrice. In particolare i bit-dati potranno essere caricati in un terzo registro a scorrimento che li scaricherà in uscita. L'ottetto destinato al microprocessore di supervisione potrà essere indirizzato separatamente rispetto ai dati, mentre i dati dei fili di controllo potranno essere in modo analogo indirizzati in uscita secondo le richieste delle sopraccitate normative.

Naturalmente nel caso del secondo tipo di trama da 32 bit il sistema potrà utilizzare la medesima struttura usandone solo una parte.

A fronte di questo stato della tecnica il presente trovato ha come oggetto un diverso processo di sincronizzazione e composizione/scomposizione di trame asincrone che vantaggiosamente prescinde dalla necessità di memorizzare e manipolare l'intera trama dei dati pur

rispettando appieno negli effetti quanto stabilito da dette normative, operando sull'elemento base di organizzazione dei dati nel flusso seriale che è l'ottetto anzichè su una trama completa, ed un relativo dispositivo monolitico che integra l'intero sistema adattatore della velocità per Rete Numerica Integrata nei Servizi (RNIS o ISDN) per l'adattamento di terminali sincroni ed asincroni secondo la normativa CCITT-V 110.

Fondamentalmente il sistema opera sugli ottetti nei quali è strutturato il flusso seriale di dati identificando mediante l'impiego di semplici contatori la loro rispettiva posizione nella trama e gestendo i dati ottenuti in ciascun ottetto secondo quanto richiesto dalle specifiche.

I maggiori vantaggi di questa architettura di sistema sono principalmente dovuti alla riduzione di complessità e quindi anche di area occupata e di costo.

Rispetto infatti ad una soluzione tradizionale basata sulla memorizzazione e manipolazione di intere trame (o al limite di semitrame) si realizza un vantaggioso ridimensionamento dei registri i quali anzichè memorizzare la trama, composta al limite da 10 ottetti, devono memorizzare soltanto un ottetto per volta.

L'architettura di un dispositivo realizzato secondo

la presente invenzione è tale da semplificare inoltre i blocchi di controllo, non essendo più necessari come nel caso di una soluzione di tipo convenzionale generatori di indirizzi complessi e multiplexer per selezionare di volta in volta l'ottetto interessato della trama, essendo al contrario sufficiente comandare di volta in volta il caricamento dell'unico ottetto presente in un determinato registro.

Anche il ritardo subito dai dati tra l'ingresso del blocco di ricezione e l'uscita dallo stesso è notevolmente ridotto in un dispositivo realizzato secondo la presente invenzione. Il ritardo causato infatti, in un sistema di tipo tradizionale, dallo scorrimento dell'intera trama o semitrama in ingresso, prima del riconoscimento della sincronizzazione e delle trasmissioni della stessa, è ridotto essenzialmente al ritardo attribuibile allo scorrimento di un singolo ottetto di dati, a parità di altre condizioni. Infatti nel sistema dell'invenzione non ci saranno mai più di due ottetti per volta fermi all'interno del blocco di ricezione anziché la presenza di due trame o di una come è il caso in un sistema di tipo tradizionale.

Anche il particolare rapporto tra i clock dei dati in ingresso ed in uscita dettato dalle normative risulta sfruttato in modo migliore.

Allo scopo di meglio illustrare l'invenzione ed i suoi vantaggi e di rendere una sua realizzazione pratica più immediata da parte di un tecnico del campo, segue la descrizione di un dispositivo integrato monoliticamente, denominato IBRA avente una architettura del blocco "ricezione" secondo la presente invenzione.

La figura 1 è la rappresentazione del quadripolo equivalente di un blocco "ricezione" di un sistema adattatore di velocità, come già descritto in precedenza;

la figura 2 è uno schema a blocchi semplificato di un dispositivo monolitico adattatore della velocità per RNIS (o ISDN) realizzato secondo la presente invenzione;

la figura 3 è uno schema semplificato del blocco intermedio RA1 dello schema a blocchi della Fig. 2 suddiviso funzionalmente in un blocco di trasmissione ed in un blocco di ricezione;

la figura 4 è uno schema funzionale semplificato del blocco di ricezione realizzato con l'architettura oggetto della presente invenzione.

Il dispositivo IBRA realizzato secondo la presente invenzione è normalmente fabbricato con tecnologia CMOS VLSI in un package a 44 piedini del tipo PLCC, benchè esso possa anche essere realizzato in altra forma, ed è collegabile in configurazione bus per implementare la

funzione di Adattatore per Terminali Multipli come è normalmente richiesto in schede di linea PABX.

La struttura generale del dispositivo realizzato secondo la presente invenzione è mostrata nel diagramma semplificato a blocchi di Fig. 2, nel quale sono illustrati i blocchi fondamentali e le rispettive principali connessioni tra questi. Queste ultime sono identificate mediante sigle. Funzionalmente il dispositivo monolitico dispone di un certo numero di piedini per la connessione fisica a un'interfaccia di un'apparecchiatura standard di trasmissione dati (DTE) o di un'apparecchiatura di comunicazione dati (DCE) e per la connessione alla rete (ISDN), i quali sono identificati come segue

INTERFACCIA DTE/DCE

Sigla	Tipologia	Funzione	Normative	
			X21	V24/X21bis
RTS	I	Richiesta di invio	C	105
DTR_C	I	Controllo/stato di pronto del termina- le dati	C	108
TXD	I	Trasmissione dati	T	103
RXD	O	Ricezione dati	R	104
CKT	I	Segnale di clock di riferimento		

DSR_I	0	Indicazione stato di pronto di un set di dati	I	107
CTS	0	Libero per invio	I	106

INTERFACCIA ISDN

CLK	I	Segnale di clock di riferimento. La frequenza di clock è uguale o doppia della velocità dati su SDR e SDX, in funzione del modo programmato (PCM/SSI, GCI).
FSC	I	Clock di sincronismo di trama. E' il segnale di trama di riferimento per SDR e SDX. Un clock a 8 KHz è necessa- rio per alimentare il dispositivo integrato con il segnale di sincroniz- zazione di trama.
SDR	I	Dati seriali in ricezione dalla rete a livello standard TTL o CMOS. vantag- giosamente un circuito di "pull-up" interno permette la connessione di uno stadio pilota del tipo "open-drain" (o "open-collector") privo di qualsiasi resistenza esterna.
SDX	0	Dati seriali in trasmissione alla rete

ad un livello standard TTL o CMOS.

Naturalmente il dispositivo integrato nella sua completezza sarà fornito di altri piedini esterni per l'alimentazione, per la connessione di cristalli per il controllo della frequenza dei segnali di clock, per la connessione a bus di indirizzamento dei dati e dei comandi dal dispositivo ad un microprocessore di supervisione e viceversa oltre ad un numero di piedini di ingresso e di uscita multifunzionali e altri piedini per segnali indicatori e di controllo, non illustrati nei diagrammi semplificati per non appesantire la descrizione con una massa di informazioni dal carattere sostanzialmente ovvio per un tecnico del campo e soprattutto non pertinenti alla descrizione di quanto caratterizza l'invenzione qui rivendicata, così come definita nelle annesse rivendicazioni.

Come illustrato in Fig. 2, IBRA è strutturato in modo da comprendere un blocco convertitore asincrono/sincrono RAD atto a trasformare un flusso di caratteri formattati inizio/arresto (provenienti da un'interfaccia DTE/DCE attraverso la linea TXD) in un flusso sincrono di bit (sulla linea IODX) a velocità 2^n volte 600 bit/secondo, dove n ha un valore 0, o 1, o 2, o 3, o 4, o 5, o 6; e viceversa. Le velocità asincrone

dei dati in ingresso possibili sono 300, 600, 1200, 2400, 4800, 9600, 19200 e 38400 bit/secondo. Tutte queste velocità vengono sincronizzate mantenendo la stessa velocità ad eccezione della velocità più bassa la quale è elevata a 600 bit/secondo riempiendo il tempo vuoto tra i caratteri con bit di arresto (di livello alto). La velocità asincrona in entrambe le direzioni è la stessa. Il terminale DTE o DCE può trasmettere un carattere o un'interruzione o mantenere un livello alto di pausa. Il carattere è formato da un bit di inizio (di livello basso), da M bit dati e da 1 o 2 bit di arresto. L'interruzione è un segnale a basso livello di durata almeno uguale a quella di un carattere inclusi i bit di inizio e di arresto. L'interfaccia asincrona rivela un carattere riconoscendo il bit di inizio (di basso livello) e il bit di arresto (di livello alto) alla distanza M, dove M è il numero di bit-dati del carattere fissato dal microprocessore. I dati in ingresso sono letti con un clock CKT 16 volte più veloce del clock nominale dei dati CKD. Velocità asincrone di trasmissione del terminale contenute entro un certo campo di tolleranza sono compensate automaticamente dal convertitore mediante l'inserimento di bit di arresto addizionali tra i caratteri trasmessi o mediante l'eliminazione di bit di arresto.

Il flusso seriale dei dati all'interno del dispositivo da e al blocco RA0, rispettivamente per i due sensi di trasmissione di dati dal terminale e ricezione di dati dalla rete, avviene attraverso le due rispettive linee IODX e IORX. Il blocco adattatore di velocità intermedio RA1 esegue rispettivamente le seguenti funzioni:

Funzioni in senso di trasmissione dati dal terminale alla rete

costruzione della trama a matrice di 32 bit nel caso che il terminale DTE abbia una velocità di 48 KHz o di una trama a matrice di 80 bit nelle altre condizioni di velocità come richiesto dalla normativa CCITT-V 110. I piedini di ingresso DTR_C, e RTS sono controllati ed i dati presenti trasmessi in trama con la frequenza definita da detta normativa.

Inserzione dei bit-dati (D) provenienti dall'interfaccia del terminale DTE oppure dal convertitore asincrono/sincrono RA0 con o senza ripetizione degli stessi.

Inserzione di bit di stato. Questi bit hanno origine o dal microprocessore o informano dello stato dei circuiti di interscambio del terminale in specifici punti di campionatura secondo le

raccomandazioni X.30 o V 110, ad esempio i bit S1, S3, S4 ... S9 delle trame illustrate in precedenza. Inserzione di bit X provenienti dal microprocessore di supervisione o dall'interfaccia del terminale DTE e dei bit E, sei dei quali hanno origine dal microprocessore mentre il settimo (E7 della trama a 80 bit descritta in precedenza) è generato automaticamente dal blocco di trasmissione del blocco intermedio RA1.

Funzioni in fase di ricezione di dati dalla rete ISDN.

Le funzioni espletate in fase di ricezione dal relativo sottoblocco di ricezione costituente il blocco adattatore di velocità intermedio RA1 di Fig. 2 saranno illustrate in dettaglio del prosieguo della presente descrizione.

Il blocco RA2 costituisce essenzialmente un'interfaccia sincrona di rete. Le linee I1DX (ingresso dati provenienti dal gruppo intermedio RA1) e SDX (uscita flusso dati inviati alla rete ISDN) e le linee SDR (ingresso dati provenienti dalla rete ISDN) e I1RX (trasferimento dei dati in ricezione al blocco intermedio di adattamento di velocità RA1) costituendo i rispettivi percorsi del flusso di dati nei due sensi.

Il blocco RA2 converte la velocità intermedia: 8 Kbit/secondo, 16 Kbit/secondo o 32 Kbit/secondo nella

velocità portante di 64 Kbit/secondo, in trasmissione e viceversa in ricezione. Il blocco RA2 passa trasparentemente i dati se la velocità di questi è più grande o uguale a 38400 bit/secondo.

Il blocco uP INTERFACE è un'interfaccia parallela a 8 bit per microprocessore fornito di 13 linee e è direttamente compatibile con microprocessori del tipo "multiplexed address/data-bus".

Questo blocco interfaccia il microprocessore di supervisione durante la fase iniziale di programmazione del circuito integrato ed ad ogni occasione il circuito richiama un'"interrupt" oppure il microprocessore trasmetta e/o riceva dati alla o dalla rete ISDN attraverso il proprio bus parallelo.

Questo blocco è costituito da due parti principali denominate rispettivamente "RAM" e "GI". Il sottoblocco RAM contiene tutti i registri di scrittura necessari per programmare il dispositivo integrato nella configurazione desiderata ed i registri di lettura per permettere al microprocessore di raccogliere informazioni dal circuito integrato. Il blocco GI rileva il cambiamento di un particolare segnale di "interrupt" ed immagazzina questa informazione se gli "interrupt" interessati sono mascherati o provvede immediatamente l'"interrupt" al microprocessore se gli stessi non

risultano mascherati.

Non appena gli "interrupt" mascherati occorsi vengono smascherati, sono immediatamente forniti al microprocessore.

Il blocco DPLL è un generatore programmabile di clock sincronizzato dal clock di riferimento di rete FSC e pilotato da una sorgente esterna, per esempio a 10,752 MHz $\pm$ 100 ppm. Il blocco fornisce i segnali di clock CK0, CK1 e CK2 utilizzati dai differenti blocchi funzionali (RA0, RA1 e RA2).

Il cuore del dispositivo è costituito dal blocco adattatore di velocità intermedio RA1 il quale, come evidenziato in Fig. 3, è composto da 2 semiblocchi: RA1TX e RA1RX, il primo operativo in fase di trasmissione dati da un terminale DTE/DCE alla rete ISDN ed il secondo operativo in fase di ricezione di dati dalla rete ISDN ad un terminale DTE/DCE. Nell'illustrazione a "quadrupolo" dei due blocchi RA1TX e RA1RX della Fig. 3 sono complessivamente indicate oltre alle linee di flusso dei dati, già descritte in relazione allo schema della Fig. 2, anche le rispettive linee dei segnali di controllo e dei segnali di supervisione da ed al microprocessore.

La descrizione delle relative figure fino a questo punto rappresenta quanto può essere facilmente

riconosciuto come appartenente allo stato della tecnica relativa a questi tipi di sistemi e pertanto un'illustrazione più dettagliata di questi schemi funzionali generali appare abbondantemente superflua in quanto un tecnico del campo è perfettamente in grado di visualizzarla.

L'innovativo procedimento e la relativa architettura di implementazione di tale procedimento, oggetto entrambi della presente invenzione, sono essenzialmente incorporati in detto semiblocco di ricezione RA1RX del blocco adattatore di velocità intermedio RA1 del sistema generale illustrato in Fig. 2.

L'originale procedimento di sincronizzazione e scomposizione di trame asincrone e l'architettura dell'"hardware" che lo implementa saranno entrambi più facilmente descritti ed evidenziati facendo riferimento allo schema a blocchi della Fig. 4 il quale mostra l'organizzazione o architettura interna di detto blocco di ricezione RA1RX secondo la presente invenzione.

Le linee I1RX, IORX, CK1 e CK0 della Fig. 4 corrispondono alle analoghe linee della Fig. 3, le altre linee di Fig. 3 rappresentando in pratica una molteplicità di linee, le quali sono descritte in relazione alla loro specifica identità nello schema a blocchi dettagliato della Fig. 4.

Come mostrato in Fig. 4, i fili in ingresso al blocco di ricezione RA1RX sono:

- ul style="list-style-type: none;">
- CK1 = clock dei dati in ingresso,
- I1RX = dati in ingresso,
- RST1 = reset del blocco,
- SYO = sincronizzazione di ottetto,
(usata solo per la trama da 32 bit),
- VEL = seleziona il tipo di trama
(80 bit o 32 bit),
- NFR(7:0) = numero di trame entro le quali si deve cercare di ritrovare la sincronizzazione dopo che è stata persa,
- TEST11 = filo utilizzato per testare una particolare funzionalità,
- TEST12 = filo utilizzato per testare una particolare funzionalità,
- DLL = seleziona una particolare modalità di generazione dei fili di controllo,
- CKO = clock dei dati in uscita;
- ed i fili in uscita dal blocco sono:
- RE(7:1) = bit E resi disponibili alla lettura da parte del microprocessore,
 - RSS = interrupt di ritrovamento della sincronizzazione inviato al microprocessore,
 - FSL = interrupt di perdita della sincronizzazione

inviato al microprocessore.

RSI = interrupt di impossibilità di sincronizzazione dopo NFR trame,

I = filo di controllo selezionato da DLL,

S107 = filo di controllo,

RX = filo di controllo,

RSB = filo di controllo,

IORX = dati in uscita.

Strutturalmente il blocco di ricezione RA1RX del dispositivo dell'invenzione comprende una struttura di trasferimento dati la quale è formata da un primo registro a scorrimento di 8 bit RSC8 il quale riceve attraverso la linea di ingresso dati I1RX il flusso sincrono di dati seriali a velocità intermedia, proveniente da detto blocco di interfaccia sincrona di rete RA2 dello schema della Fig. 2. Questo primo registro a scorrimento a 8 bit fornisce in uscita, attraverso la linea SY1 un'informazione della presenza nel registro dell'ottetto costituito da tutti zeri. Un secondo registro da 7 bit RSD è collegato funzionalmente in cascata rispetto a detto primo registro a scorrimento RSC8 e carica a comando i relativi 6 bit-dati centrali di un ottetto ed un filo di controllo dai registri RSC8. Un terzo registro a scorrimento da 6 bit RSC6 è collegato funzionalmente in cascata rispetto a detto

secondo registro RSD e carica a comando i relativi 6 bit dati da quest'ultimo e fornisce i bit-dati in uscita sul relativo filo IDRX.

Una struttura di smistamento dei dati di supervisione è costituita da un registro da 7 bit RER collegato funzionalmente in cascata rispetto a detto primo registro a scorrimento RSC8 ed il quale carica a comando i bit E di supervisione i quali sono resi disponibili alla lettura da parte del microprocessore attraverso la linea RE(7:1).

Una prima struttura di gestione e di controllo del processo di sincronizzazione e di scomposizione di trama comprende un primo contatore per 8 bit RSA il quale genera un'informazione quando un intero ottetto è entrato scorrendo nel primo registro a scorrimento RSC8, da un secondo contatore programmabile per 10 o per 4 bit in funzione della dimensione di trama selezionata, il quale conta il numero di ottetti di una trama e fornisce in uscita una prima informazione sull'avvenuto raggiungimento della fine di una trama ed una seconda informazione di presenza dell'ottetto di bit E di supervisione nel primo registro a scorrimento RSC8 per consentire lo smistamento dello stesso ottetto di bit E su detto registro a 7 bit RER. Una macchina a stati RS2 operante con il segnale di clock CK1 dei dati in

ingresso è costituita da una struttura integrata PLA la quale gestisce, relativamente agli ingressi del blocco, la sincronizzazione, l'indirizzamento degli ottetti e, in fase di funzionamento sincrono, il controllo del mantenimento della sincronizzazione. Essa comanda, in funzione del tipo di ottetto corrente allo scadere del contatore RSA ed utilizzando l'informazione ottenuta dei valori espressi dal contatore RSB, il riavviamento del contatore per 8 bit RSA provvedendo ad incrementare simultaneamente il contatore di ottetto RSB. Un terzo contatore CT80 è avviato dalla macchina a stati RS2 quando la sincronizzazione risulta persa. Questo contatore conta lo scorrere di un numero prestabilito di trame NFR secondo quanto prescritto dalle normative, contando i bit di trama ed incrementando al termine di ogni conteggio un quarto contatore CTNFR prima di riprendere il conteggio dei bit di una successiva trama.

Una seconda struttura di gestione controllo delle uscite comprende una seconda macchina a stati programmabile RS9, la quale è anch'essa costituita da una struttura integrata PLA funzionante con il secondo segnale di clock CK0 dei dati in uscita, il quale è essenzialmente più lento rispetto al clock dei dati in entrata CK1. Un primo blocco di ritardo RS7 provvede a ritardare il segnale di avviamento della struttura di

controllo di uscita inviato dalla prima macchina a stati RS2. Un secondo blocco di ritardo RIT memorizza i segnali dei fili di controllo mano a mano che questi arrivano per poter essere forniti simultaneamente in uscita al momento preciso secondo le richieste della normativa CCITT-V 110 attraverso un blocco di uscita FILI-CONTR. il quale è comandato dalla seconda macchina a stati programmabile RS9.

I collegamenti o fili interni del blocco mostrati nello schema della Fig. 4 , non facenti capo ad uno dei fili di ingresso nè ad uno dei fili di uscita già descritti in precedenza, e la loro rispettiva funzione, sono per comodità di esposizione elencati qui a seguito:

C7	= partenza del contatore x 8
SC7	= scadenza del contatore x 8
INZ	= azzeramento del contatore RSB
CO	= incremento del contatore RSB
SCO	= fine trama
SC5	= identificazione del sesto ottetto contenente i bit E
SC2	= identificazione del secondo ottetto con bit di sincronizzazione diversa nella trama a 32 bit
SC80	= incrementa contatore CTNFR
SL	= caricamento dei dati dal blocco RSC8 al

blocco RSD

SL1 = caricamento dei dati dal blocco RSC8 al
 blocco RER

SY1 = riconoscimento dell'ottetto D

SY2 = bit di sincronizzazione (prima colonna)

RIN(7:1) = ottetto presente nel blocco RSC8 a meno del
 bit di sincronizzazione (prima colonna)

RD(6:1) = sestetto di dati estratti dall'ottetto

RD7 = filo di controllo estratto dall'ottetto

X7 = bit S1, S3, S6, S9

X6 = bit X

X9 = bit S2, S8

LA = avviamento del blocco RS9

SL2 = indica se operare un caricamento o uno scor-
 rimento di dati nel blocco RSC6

C1 = comanda un'operazione al blocco RSC6

C11 = caricamento del bit S1, S3, S6, S9

C12 = caricamento del bit X

C13 = caricamento del bit S2, S8

RIVENDICAZIONI

1. Processo di sincronizzazione e scomposizione di trame asincrone organizzate con ottetti-riga di bit per l'adattamento di velocità eseguito da un blocco di ricezione intermedio di adattamento di velocità di un dispositivo integrato per l'adattamento di terminali sincroni ed asincroni secondo la normativa CCITT-V 11D ad una Rete Numerica Integrata nei Servizi (RNIS o ISDN) atto ad utilizzare, in modo di ricezione dati dalla rete, dati in ingresso strutturati in ottetti raggruppati in trame asincrone di diversa lunghezza contenenti dati di sincronizzazione di trama, il processo essendo caratterizzato dal fatto che comprende essenzialmente

scomporre dette trame asincrone contenenti bit di sincronizzazione, bit di controllo di un'interfaccia terminale di uscita, bit di informazione di un microprocessore di supervisione, e bit dati, eventualmente ripetuti, ordinati secondo dette normative, memorizzando un ottetto alla volta mediante un registro a scorrimento a 8 bit ed impiegando primi contatori per memorizzare la posizione corrente di ciascun ottetto così memorizzato all'interno di una rispettiva trama asincrona;

riconoscere mediante detti primi contatori gli

ottetti e mediante secondi contatori i relativi bit di ciascun ottetto;

trasferire e memorizzare i bit così riconosciuti di ciascun ottetto; e

smistare i bit così riconosciuti e memorizzati a rispettivi organi di gestione e di controllo del flusso seriale di dati dalla rete verso detto terminale.

2. Dispositivo monolitico adattatore della velocità per Rete Numerica Integrata nei Servizi (RNIS o ISDN) per l'adattamento di terminali sincroni ed asincroni secondo la normativa CCITT-V 110, atto ad utilizzare, in modo di ricezione, dati in ingresso strutturati in ottetti raggruppati in trame asincrone di diversa lunghezza contenenti dati di sincronizzazione di trama, comprendente un convertitore asincrono/sincrono (RA0) atto a trasformare un flusso di caratteri formattati inizio/arresto in un flusso sincrono di bit a velocità 2^n volte 600 bit/secondo, dove n ha un valore da 0 a 6, in fase di trasmissione e viceversa in fase di ricezione; un primo blocco intermedio (RA1) di adattamento di velocità operante ad una velocità intermedia e sotto il controllo di un primo segnale di clock sostanzialmente di frequenza più elevata della frequenza del segnale nominale di clock del flusso seriale dei dati attraverso detto blocco intermedio,

atto a comporre in fase di trasmissione ed a sincronizzare e scomporre in fase di ricezione trame asincrone di 80 o 32 bit secondo dette normative; un blocco di interfaccia sincrona di rete (RA2) atto a convertire detta velocità intermedia in una velocità portante di 64K bit/secondo, e viceversa; almeno detto primo blocco intermedio essendo costituito da un primo sottoblocco di ricezione (RA1RX) e da un secondo sottoblocco di trasmissione (RA1TX) operanti ciascuno rispettivamente durante la ricezione di dati dalla rete da parte di un terminale e durante la trasmissione di dati alla rete da parte di un terminale; un'interfaccia (uP INTERFACE) per microprocessore contenente registri di scrittura per la configurazione iniziale del dispositivo e registri di lettura per rilevare informazioni dal dispositivo integrato; un generatore programmabile di clock (DPLL) sincronizzato da un clock di riferimento di rete e pilotato da un segnale esterno di frequenza atto a generare i rispettivi segnali di clock utilizzati dai differenti blocchi funzionali del dispositivo integrato, e caratterizzato dal fatto che detto primo sottoblocco di ricezione (RA1RX) intermedio comprende

una struttura di trasferimento dati formata da un primo registro a scorrimento di 8 bit (RSC8) atto a

ricevere detto flusso sincrono di dati seriali e fornito di mezzi atti a generare in uscita un'informazione della presenza nel registro dell'ottetto costituito da tutti zeri, un secondo registro da 7 bit (RSD) collegato funzionalmente in cascata rispetto a detto primo registro ed atto a caricare a comando i relativi 6 bit dati centrali di un ottetto ed un segnale di filo di controllo da detto primo registro ed un terzo registro a scorrimento da 6 bit (RSC6) collegato funzionalmente in cascata rispetto a detto secondo registro ed atto a caricare a comando i relativi 6 bit-dati da detto secondo registro a scorrimento ed a fornire detti bit-dati in uscita su un relativo filo dati;

una struttura di smistamento dei dati di supervisione costituita da un registro da 7 bit (RER) collegato funzionalmente in cascata rispetto a detto primo registro ed atto a caricare a comando i bit-E di supervisione dal quale sono letti da un microprocessore di supervisione;

una struttura di gestione e di controllo costituita da un primo contatore per 8 bit (RSA) atto a generare un'informazione quando un intero ottetto è entrato scorrendo in detto primo registro (RSC8), un secondo contatore programmabile per 10 o per 4 bit in funzione della dimensione di trama, atto a contare il numero di

ottetti di una trama ed a fornire in uscita una prima informazione sul raggiungimento della fine di una trama ed una seconda informazione di presenza dell'ottetto dei bit-E di supervisione in detto primo registro a scorrimento (RSC8) per consentire lo smistamento dello stesso ottetto di bit E su detto registro a 7 bit (RER), una prima macchina (RS2) a stati operante con un primo segnale di clock e costituita da una struttura integrata PLA atta a gestire, relativamente agli ingressi, la sincronizzazione, l'indirizzamento degli ottetti ed, in fase di funzionamento sincrono, il controllo del mantenimento della sincronizzazione, comandando, in funzione del tipo di ottetto corrente allo scadere di detto contatore (RSA) utilizzando l'informazione ottenuta da detto contatore (RSB), il riavviamento di detto contatore per 8 bit (RSA) ed incrementando simultaneamente il contatore di ottetto (RSB), un terzo contatore (CT80) avviato da detta macchina a stati (RS2) quando la sincronizzazione risulta persa, atto a contare lo scorrere di un numero (NFR) di trame stabilito da dette normative, contando i bit di trama ed incrementando al termine di ogni conteggio un quarto contatore (CTNFR) prima di riprendere il conteggio dei bit di una trama successiva;

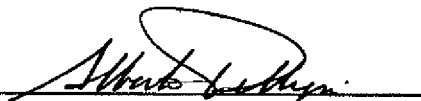
una struttura di controllo delle uscite comprendente

una struttura di controllo delle uscite comprendente una seconda macchina a stati programmabile (RS9) costituita da una struttura integrata PLA operante con un secondo segnale di clock dei dati in uscita sostanzialmente più lento rispetto a detto primo segnale di clock di detta prima macchina a stati (RS2), un primo blocco di ritardo (RS7) atto a ritardare il segnale di avviamento dei blocchi della struttura di controllo delle uscite inviato da detta prima macchina a stati (RS2), un secondo blocco di ritardo (RIT) atto a memorizzare i segnali dei fili di controllo mano a mano che questi arrivano per poter essere forniti simultaneamente in uscita al momento preciso secondo le richieste di detta normativa CCITT-V 110 attraverso un blocco di uscita dei segnali dei fili di controllo (FILI CONTR.) comandato da detta seconda macchina a stati programmabile (RS9).

pp. SGS-THOMSON MICROELECTRONICS s.r.l.

e TELETTRA S.p.A.

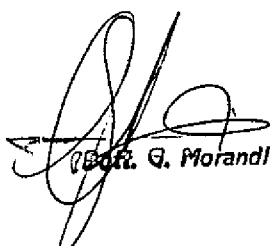
Il Mandatario


Alberto PELLEGRÌ
No. Iscr. Albo 114

(Società Italiana Brevetti S.p.A.)

AP/1n/VA/000138/IN




G. Morandi



071 F/89

11 DIC. 1989

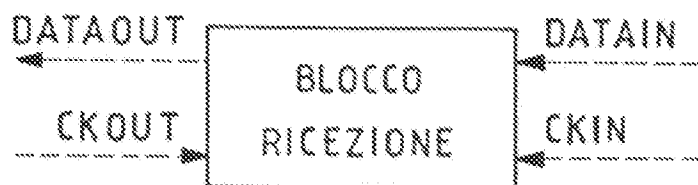
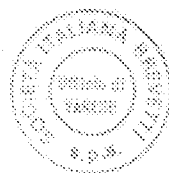


FIG.1

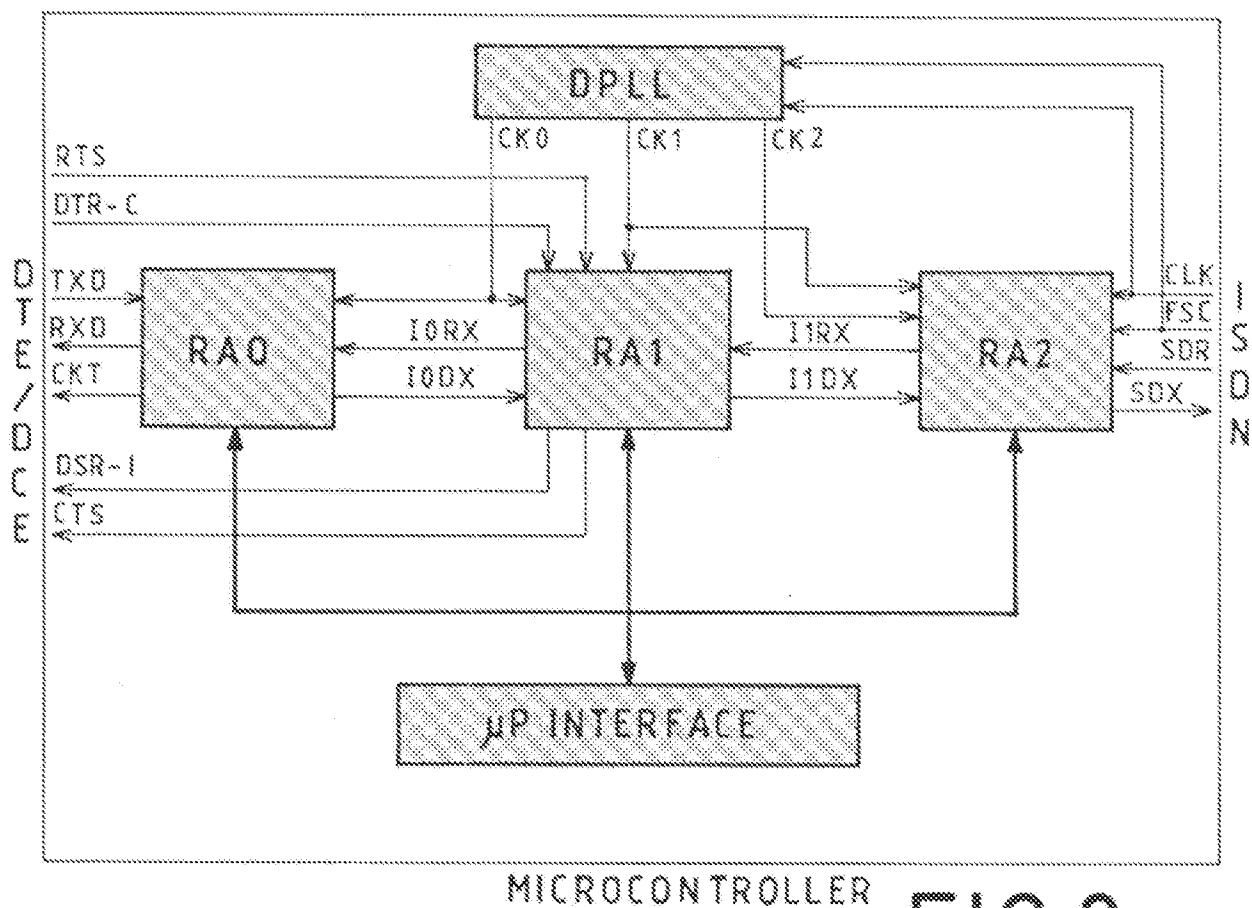


FIG.2

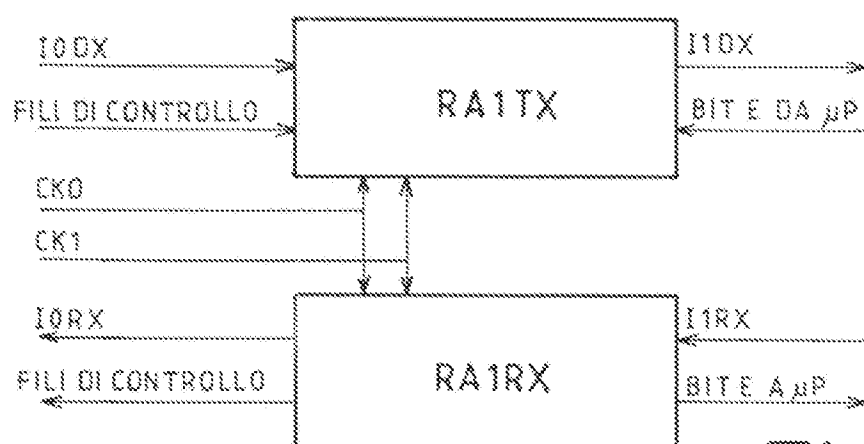
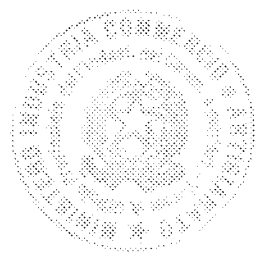


FIG.3



11 DIC. 1989

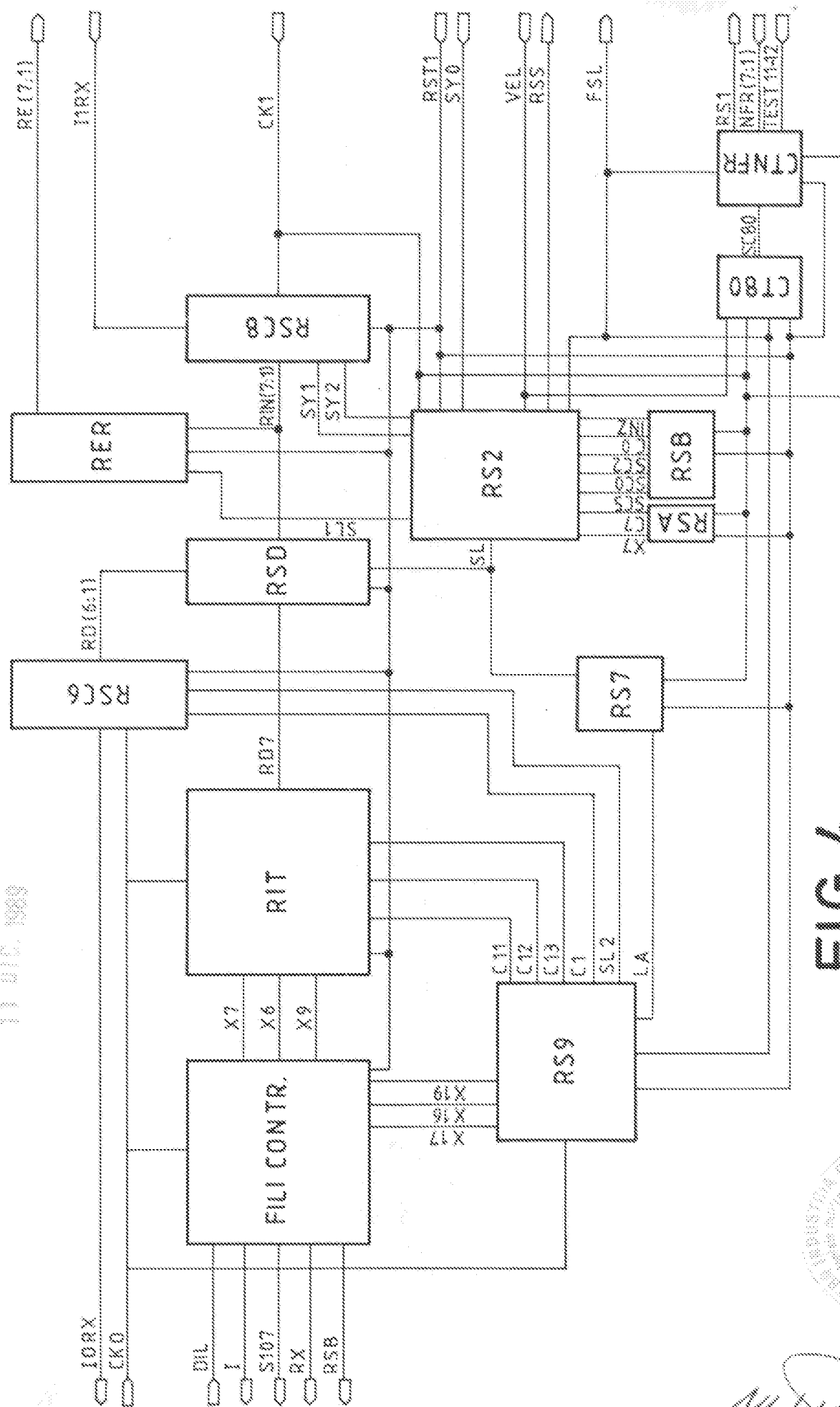
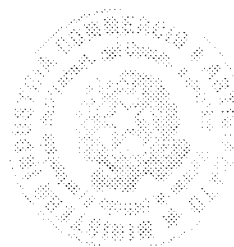


FIG. 4

Luca D'Amico



Alberto Pellegri
Alberto PELLEGRINI
No. loc. Albo 114

