



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201711036 A

(43)公開日：中華民國 106 (2017) 年 03 月 16 日

(21)申請案號：105111522

(22)申請日：中華民國 105 (2016) 年 04 月 13 日

(51)Int. Cl. : *G11C13/00 (2006.01)*

(30)優先權：2015/05/29 美國 14/725,826

(71)申請人：英特爾公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：道柏 梅西 J TAUB, MASE J. (US)；古利安尼 山迪普 K GULIANI, SANDEEP K. (US)；潘加爾 基蘭 PANGAL, KIRAN (IN)；曾 雷蒙 W ZENG, RAYMOND W. (US)

(74)代理人：惲軼群；劉法正

申請實體審查：無 申請專利範圍項數：21 項 圖式數：5 共 48 頁

(54)名稱

相變記憶體電流

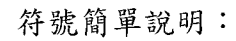
PHASE CHANGE MEMORY CURRENT

(57)摘要

本揭露係有關於相變記憶體電流。一設備包括一記憶體控制器，該記憶體控制器包括一字元線(WL)控制模組及一位元線(BL)控制模組，該記憶體控制器係用來啟始一記憶體胞元之選擇。該設備更包括一用以將一第一線路選擇邏輯組配來降低該記憶體胞元之一暫態能量消耗的減輕模組，該暫態能量與選擇該記憶體胞元有關。

The present disclosure relates to phase change memory current. An apparatus includes a memory controller including a word line (WL) control module and a bit line (BL) control module, the memory controller is to initiate selection of a memory cell. The apparatus further includes a mitigation module to configure a first line selection logic to reduce a transient energy dissipation of the memory cell, the transient energy related to selecting the memory cell.

指定代表圖：



102 · · · 處理器

106 · · · 記憶體陣列

107 · · · 記憶體胞元

108 · · · 匯流排

110 · · · 記憶體控制
器模組114 · · · WL 控制模
組

115 · · · 字元線

116 · · · BL 控制模
組

117 · · · 位元線

120、124・・・減輕
模組

126 · · · 感測模組

圖1

發明摘要

※ 申請案號：105111522

※ 申請日：105.04.13

※IPC 分類：G11C 13/00

(2006:01)

【發明名稱】（中文/英文）

相變記憶體電流

PHASE CHANGE MEMORY CURRENT

【中文】

本揭露係有關於相變記憶體電流。一設備包括一記憶體控制器，該記憶體控制器包括一字元線(WL)控制模組及一位元線(BL)控制模組，該記憶體控制器係用來啓始一記憶體胞元之選擇。該設備更包括一用以將一第一線路選擇邏輯組配來降低該記憶體胞元之一暫態能量消耗的減輕模組，該暫態能量與選擇該記憶體胞元有關。

【英文】

The present disclosure relates to phase change memory current. An apparatus includes a memory controller including a word line (WL) control module and a bit line (BL) control module, the memory controller is to initiate selection of a memory cell. The apparatus further includes a mitigation module to configure a first line selection logic to reduce a transient energy dissipation of the memory cell, the transient energy related to selecting the memory cell.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100…系統
 102…處理器
 104…記憶體控制器
 106…記憶體陣列
 107…記憶體胞元
 108…匯流排
 110…記憶體控制器模組
 114…WL控制模組
 115…字元線
 116…BL控制模組
 117…位元線
 120、124…減輕模組
 126…感測模組

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 (中文/英文)

相變記憶體電流 / PHASE CHANGE MEMORY
CURRENT

【技術領域】

[0001] 本揭露係有關於相變記憶體電流。

【先前技術】

[0002] 相變記憶體是一種典型為將一硫屬材料用於記憶體元件的記憶體裝置。一記憶體元件是實際儲存資訊之單元。在操作時，該相變記憶體藉由在非晶相與晶相之間改變該記憶體元件之相位而在該記憶體元件上儲存資訊。此硫屬材料可呈現一晶相或一非晶相，呈現出一低或高導電性。該非晶相大致具有一低導電性(高阻抗)並且與一重設狀態(邏輯零)相關聯，而該晶相具有一高導電性(低阻抗)並且與一設定狀態(邏輯一)相關聯。該記憶體元件可包括於一記憶體胞元中，該記憶體胞元亦包括一選擇器，即一耦合至該記憶體元件之選擇裝置。選擇裝置係組配來促使將複數個記憶體元件組合成一陣列。

[0003] 相變記憶體胞元可布置於一交叉點記憶體陣列中，該交叉點記憶體陣列包括布置於一網格中之列位址線及行位址線。此等列位址線及行位址線分別稱為字元線(WL)及位元線(BL)，交叉成該網格之形式，而且各記憶體胞元係耦合於一WL與一BL之間，其中該WL與BL交叉(即

交叉點)。應知，列及行是便於定性描述交叉點記憶體中WL及BL布置結構的用語。

[0004]可藉由對交叉於該記憶體胞元之該WL及BL施加偏壓來選擇一記憶體胞元。一跨該記憶體胞元之所產生之記憶體胞元差動偏壓係組配為大於該記憶體胞元之臨界選擇電壓。對於一讀取操作，該臨界選擇電壓大致上大於一最大設定電壓，並且小於一最小重設電壓。對於一寫入操作(即規劃操作)，該臨界選擇電壓大致上大於一最大重設電壓。

[0005]在一讀取操作中，跨該記憶體元件之該差動偏壓係組配為大於該記憶體元件之一最大設定電壓，並且小於該記憶體元件之一最小重設電壓。作為回應，目標記憶體元件可以或可不「突返(snap back)」，端視該記憶體元件是否處於晶態(設定)或非晶態(重設)而定。突返是此複合記憶體元件之一項屬性，此屬性造成該記憶體元件之導電性急劇(例如數十微微秒之等級)增大(並且電阻對應降低)。耦合至該記憶體元件之感測電路系統係組配來偵檢一感測時間間隔裡是否存在突返。突返若存在則可解讀為一邏輯一，突返若不存在則可解讀為一邏輯零。

[0006]在一規劃操作期間，該差動偏壓可跨該記憶體胞元維持一足以使該記憶體元件突返之第一時段。可接著控制穿過該記憶體元件之電流一第二時段以使該記憶體元件從該非晶態轉變成該晶態，或從該晶態轉變成該非晶態。

【發明內容】

[0007]依據本發明之一實施例，係特地提出一種設備，包含：一記憶體控制器，包含一字元線(WL)控制模組及一位元線(BL)控制模組，該記憶體控制器係用來啓始一記憶體胞元之選擇；以及一減輕模組，用以將一第一線路選擇邏輯組配來降低該記憶體胞元之一暫態能量消耗，該暫態能量與選擇該記憶體胞元有關。

【圖式簡單說明】

[0008]本案之標的內容之特徵及優點經由以下與其一致之實施例詳細說明將會顯而易見，此說明應參照附圖來思考，其中：

圖1繪示一系統方塊圖，與本揭露之數項實施例一致；

圖2繪示一例示性電流路徑方塊圖，與本揭露之各種實施例一致；

圖3A繪示一個例示性記憶體胞元電流路徑方塊圖，與本揭露之一項實施例一致；

圖3B繪示圖3A之電流路徑方塊圖之一例示性時序圖；

圖4A繪示一簡化記憶體胞元電流路徑方塊圖，與本揭露之一項實施例一致；

圖4B是與圖4A之電流路徑有關之電晶體輸出特性波形之一簡圖；以及

圖5繪示控制穿過與本揭露之各種實施例一致之一記憶體胞元之電流用之操作之一流程圖。

[0009]雖然以下將參照說明性實施例進行詳細說明，此等說明性實施例的許多替代例、修改及變例對所屬技術領

域中具有通常知識者仍將會顯而易見。

【實施方式】

[0010] 當突返發生時，一與記憶體胞元相關聯之電阻急劇下降，舉例而言，在數十微微秒等級之一時間間隔裡，從一大約開路下降到一有限電阻。在突返之前，可先將選擇之(多條) WL、選擇之(多條) BL、相關聯之電容及/或感測電路系統充電至各別的(多個)偏壓。發生突返時，該記憶體胞元中之電阻變化建立一電流路徑，該電流路徑容許一暫態電流經由該記憶體胞元在該(等)選擇之 WL 與選擇之 BL 之間流動。當該等電容開始充電(或放電)而產生一隨著時間衰減之電流尖波(即暫態電流)時，該電流在突返之後剛好為最大。因此，該暫態電流具有特別是與該電流路徑中之阻抗有關之一峰值振幅及一持續時間。該記憶體胞元所消散之能量大小與該暫態電流之峰值電流(即最大暫態電流)及一衰減率有關。此一電流尖波可能損壞一記憶體胞元，造成該記憶體胞元未在一設定或重設狀態寫入操作期間經適當地設定或重設，從而增大記憶體胞元臨界電壓以使得將會把該記憶體胞元讀為一重設狀態(在一讀取操作期間沒有突返)，及/或使得該記憶體胞元狀態將會誘發(多個)鄰近記憶體胞元之熱擾動。

[0011] 所消散之最大能量可藉由增大該電流路徑中之一電阻來降低及/或限制。增大該電阻以限制所消散之能量可能導致一穩態電流受限於一小於一保持電流(一用以使一記憶體胞元維持經選擇之最小電流)之值。當記憶體胞元

電流小於該保持電流時，該記憶體胞元可能在經選擇與未經選擇之間振盪、循環。增大該電流路徑中之電阻以限制所消散之能量可能導致一規劃電流在跨該記憶體胞元之差動偏壓相同的情況下降低。此降低之規劃電流可能降低規劃效率，並且可能在增大的電阻中消散較多的規劃電流。

[0012] 本揭露大致說明一種系統及方法，該系統及方法係組配來控制穿過相變記憶體中之一經選擇記憶體胞元之電流。該系統及方法係組配來藉由降低一以時間為函數之暫態電流以降低記憶體胞元選擇期間由一記憶體胞元所消散之能量。該方法及系統係進一步組配來使該經選擇記憶體胞元之一穩態電流維持等於或高於該記憶體胞元之一保持電流。該方法及系統係組配來將線路選擇邏輯組配來降低該記憶體胞元選擇所觸發之一電壓變化。所降低之電壓變化可能接著導致該暫態電流之一持續時間對應縮短，從而導致該記憶體胞元之選擇期間所消散之能量減少。該方法及系統係進一步組配來將該線路選擇邏輯組配來在記憶體存取操作(即讀取及/或寫入)期間容許一較大的電流。該系統及方法係組配來在該記憶體胞元選擇電流暫態期間增大該經選擇記憶體胞元電流路徑之一電阻，以及在讀取及/或規劃期間降低該經選擇記憶體胞元電流路徑之該電阻。

[0013] 該系統可包括一第一電流源($I_{\text{selection}}$ 源)及一第二電流源(I_{pulse} 源)。該 $I_{\text{selection}}$ 源係組配來對一經選擇記憶體胞元供應一大於或等於一最小保持電流 I_{hold} 之電流。 I_{hold} 是一組配來使一經選擇記憶體胞元維持一經選擇

狀態的電流量。該Ipulse源係組配來對該記憶體胞元電流路徑供應一脈衝電流(Ipulse)。(多個)脈衝電流對應於(多個)記憶體存取電流，並且可包括(多個)讀取及/或規劃電流。

[0014]圖1繪示一與本揭露之數項實施例一致之系統方塊圖100。系統100包括一處理器102、一記憶體控制器104及一記憶體陣列106。處理器102係藉由匯流排108而耦合至記憶體控制器104。處理器102可對記憶體控制器104提供包括(多個)記憶體位址、及/或相關聯資料之(多個)記憶體存取請求(即(多個)讀取及/或寫入請求)，並且可從記憶體控制器104接收讀取資料。應知，系統100係為了易於繪示及說明而簡化。

[0015]記憶體陣列106對應於一相變交叉點記憶體之至少一部分，並且包括複數條字元線115、複數條位元線117及複數個記憶體胞元，例如記憶體胞元107。各記憶體胞元係於一字元線(WL)與一位元線(BL)之一交叉點耦合於該WL與BL之間。各記憶體胞元包括一組配來儲存資訊之記憶體元件，並且可包括一耦合至該記憶體元件之記憶體胞元選擇裝置。選擇裝置可包括雙向定限開關、二極體、雙載子接面電晶體、場效電晶體等。記憶體陣列106係組配來儲存二進位資料，並且可將該二進位資料寫入(即規劃)或讀取。

[0016]記憶體控制器104包括記憶體控制器模組110、WL控制模組114及BL控制模組116。記憶體控制器模組110係組配來進行與記憶體控制器104相關聯之操作。舉例而

言，記憶體控制器模組110可管理與處理器102之連通。記憶體控制器模組110可組配來識別一或多條與各已接收記憶體位址相關聯之目標WL。記憶體控制器模組110係組配來至少部分基於該經識別之目標WL以管理WL控制模組114及BL控制模組116之操作。

[0017] WL控制模組114可包括一減輕模組120。在一些實施例中，WL控制模組114可包括一感測模組126。WL控制模組114係組配來從記憶體控制器模組110接收(多個)目標WL位址，並且選擇一或多條用於讀取及/或寫入操作之WL。WL控制模組114可組配來藉由將 V_{SELWL} (即WL選擇偏壓)耦合至一目標WL來選擇該目標WL。可將WL控制模組114耦合至記憶體陣列106中所包括之複數條WL 115。可將各WL耦合至對應於一些BL 117之一些記憶體胞元。

[0018] BL控制模組116可包括一減輕模組124及/或感測模組126。BL控制模組116係組配來選擇一或多條用於讀取及/或寫入操作之BL。BL控制模組116可組配來藉由將 V_{SELBL} (例如BL選擇偏壓)耦合至一目標BL以選擇該目標BL。

[0019] 減輕模組120及/或減輕模組124係組配來藉由調整經由一記憶體胞元(例如記憶體胞元107)將BL控制模組116耦合至WL控制模組114之電流路徑中之一電流路徑電阻，以使透過記憶體胞元107進行選擇期間由記憶體胞元107所消散之暫態能量降低及/或降到最低。舉例來說，減輕模組120及/或減輕模組124可組配來調整對第一線路選

擇邏輯之一第一線路選擇控制輸入、及/或對一第二線路選擇邏輯之一第二線路選擇控制輸入，以將此各別之選擇邏輯組配來降低記憶體胞元選擇期間之一暫態能量消耗，如本文中所述。此各別之經調整之線路選擇控制輸入可組配來增大該電流路徑電阻並降低一有關電壓擺動，以降低記憶體胞元選擇期間之暫態能量消耗。在另一實例中，減輕模組120及/或減輕模組124可組配來調整對該第一線路選擇邏輯之該第一線路選擇控制輸入(例如電壓)、及/或對該第二線路選擇邏輯之該第二線路選擇控制輸入(例如電壓)，以將該各別之選擇邏輯組配來使得記憶體胞元規劃期間該電流路徑電阻降低且容許電流增大。增大該容許電流係組配來促進加熱該記憶體胞元，該加熱係有關於記憶體胞元規劃。減輕模組120及/或減輕模組124各可包括一Iselection電流源及/或一Ipulse電流源，如本文中所述。

[0020] 圖2繪示一例示性電流路徑方塊圖200，與本揭露之各種實施例一致。電流路徑200包括記憶體胞元107、第一線路選擇邏輯202、第二線路選擇邏輯204、一線路路徑電容208、一第一線路212及一第二線路214。電流路徑200可包括來源選擇邏輯206、一選擇電流源220及一脈衝電流源222。脈衝電流源222係組配來提供一記憶體存取電流Ipulse。記憶體胞元107係藉由第一線路212而耦合至第一線路選擇邏輯202，並且藉由第二線路214而耦合至第二線路選擇邏輯204。

[0021] 選擇邏輯202、204、206及/或電流源220、222可

包括於圖1之記憶體控制器104及減輕模組120及/或減輕模組124中。WL控制模組114及/或BL控制模組116可接著組配來對選擇邏輯202、204及/或206提供控制輸入，如本文中所述。

[0022]例示性電流路徑200係爲了易於繪示及說明而簡化。舉例而言，全域WL及全域BL並未予以明確展示。線路212、214對應於局部線路(即分別對應於一局部WL及一局部BL，或分別對應於一局部BL及一局部WL)。線路路徑電容208係有關於一全域WL或全域BL，並且可有關於感測電路系統，如本文中所述。

[0023]在一實施例中，第一線路212可對應於一WL且第二線路214可對應於一BL。在另一實施例中，第一線路212可對應於一BL且第二線路可對應於一WL。第一線路選擇邏輯202及第二線路選擇邏輯204係組配來藉由跨記憶體胞元107提供一差動偏壓以選擇目標記憶體胞元107，該差動偏壓大於或等於該記憶體胞元之一臨界電壓。舉例而言，第一線路選擇邏輯202可組配來將第一線路212從而還有記憶體胞元107耦合至一第一偏壓，而第二線路選擇邏輯204可組配來將第二線路214從而還有記憶體胞元107耦合至一第二偏壓。一跨記憶體胞元107所產生之差動偏壓可接著對應於介於該等第一與第二偏壓之間的差異。第一線路選擇邏輯202及第二線路選擇邏輯204可包括，但不限於一電晶體(例如金屬氧化物半導體場效電晶體(MOSFET)、雙載子接面電晶體(BJT)等)、一開關等。

[0024]線路路徑電容208可包括一或多個與一介於第一線路選擇邏輯202與來源選擇邏輯206之間的路徑相關聯之電容(例如寄生電容)。舉例而言，線路路徑電容208可包括一或多個局部(WL或BL)電容、全域線路(WL或BL)電容電容及/或與感測電路系統、規劃選擇電路系統及/或規劃電路系統相關聯之電容。線路路徑電容208可更包括不同於WL及/或BL電容之電容。記憶體胞元107之啓始選擇可包括將線路路徑電容208充電至一與該第一偏壓有關之電荷及電壓。若記憶體胞元107回應於遭受選擇而突返，則一暫態電流可經由節點 V_x 流動至線路路徑電容208，直到一穩態電壓(及電荷)已達到為止。該暫態電流包括一穿過該記憶體胞元之電流 I_{cell} 。

[0025]第一線路選擇邏輯202係組配來接收一第一線路選擇控制輸入，而第二線路選擇邏輯204係組配來接收一第二線路選擇控制輸入。該第一線路選擇控制輸入及/或該第二線路選擇控制輸入可接收自圖1之減輕模組120及/或減輕模組124。舉例而言，關於對應於MOSFET之線路選擇邏輯202、204，該等控制輸入對應於閘極電壓。繼續這項實例，該第一線路選擇控制輸入(電壓)減去電壓 V_x 對應於第一線路選擇邏輯202之一閘極-源極偏壓 V_{GS} 。調整該第一線路選擇控制輸入可增大或降低第一線路選擇邏輯202之一汲極-源極電阻(R_{DS})。穿過第一線路選擇邏輯202之電流對應於記憶體胞元107電流 I_{cell} 。調整該第一線路選擇控制輸入可增大或降低 V_x 在選擇期間之一變化(ΔV_x)。舉例而言，

對於 $\Delta V_x = V_{xf} - V_{xi}$ ，其中 V_{xi} 是剛好在突返之前位於 V_x 的電壓，並且 V_{xf} 是剛好在突返之後位於 V_x 處之穩態電壓，一較大的 R_{DS} 可對應於一較小的 ΔV_x ，而一較小的 R_{DS} 可對應於一較大的 ΔV_x 。一電容器(例如線路路徑電容208)上之電荷 Q 係為 $Q = C \cdot V$ ，其中 C 為電容且 V 為電壓。一跨一電容器之電壓變化對應於一電荷變化，即 $\Delta Q = C \cdot \Delta V$ 。一較小的 ΔV_x 接著對應於一較小的電荷變化 ΔQ 。一較小的電荷變化可接著對應於第一線路212上之一暫態電壓，相較於一較大的 ΔQ (及對應之較大的 ΔV_x)，達到一穩態值較為快速。較快速地達到穩態之線路212上的電壓可接著對應於記憶體胞元107在選擇暫態期間所造成之較少的能量消耗。因此，至少部分基於施加至第一線路選擇邏輯202之偏壓， V_x 可藉由第一線路選擇邏輯202來約束。換句話說，降低該偏壓可增大該汲極-源極電阻，導致線路路徑電容208上之電壓以其在記憶體胞元突返之前之值為基準的變化較小。此較小的電壓變化可接著對應於較短的持續時間電流暫態、及該記憶體胞元所造成之較少之能量消耗。

[0026] 來源選擇邏輯206係組配來將第一電流源220或第二電流源222耦合至第一線路選擇邏輯202及線路路徑電容208。來源選擇邏輯206可包括，但不限於一或多個電晶體(例如MOSFET、BJT等)、開關等。電流源220、222可包括，但不限於電流鏡、定電流源等。電流源220、222舉例而言，可包括經偏壓以提供一各別之可獨立於負載之電流的一或多個電晶體。來源選擇邏輯206係組配來接收一來源

選擇控制輸入。該來源選擇控制輸入係組配來控制來源選擇邏輯206及相關聯之耦合及/或解耦，如本文中所述。

[0027]選擇電流源220係組配來在電流暫態之後(即穩態期間)對記憶體胞元107提供一選擇電流 $I_{selection}$ 。該穩態選擇電流係組配為等於或高於一與記憶體胞元107相關聯之最小保持電流(I_{hold})。一記憶體胞元之最小保持電流係組配來避免胞元選擇振盪。換句話說，一比一胞元之 I_{hold} 更小之選擇電流對應於一小於 I_{hold} 之穩態 I_{cell} 電流。當 I_{cell} 小於 I_{hold} 時，該記憶體胞元可不維持經選擇，而且該記憶體胞元可能回到其高阻抗狀態，即可能斷開。在該記憶體胞元斷開之後，線路路徑電容208可接著充電至其初始預選值，該記憶體胞元可再次突返，啓始該記憶體胞元電流暫態，而且此週期可重複進行。為了避免此振盪，該選擇電流 $I_{selection}$ 係組配來具有一大於或等於 I_{hold} 之值。當 $I_{selection}$ 大於或等於 I_{hold} 時，該經選擇記憶體胞元可至少部分因為 $I_{selection}$ 的緣故而維持經選擇。因此，該選擇電流係組配為等於或高於一與處於穩態之記憶體胞元107相關聯之最小保持電流。

[0028]脈衝電流源 I_{pulse} 222係組配來對經選擇記憶體胞元107提供一脈衝電流 I_{pulse} 。脈衝電流對應於一記憶體存取電流，並且可包括一讀取電流及/或一或多個規劃電流。規劃電流典型為大於選擇及/或讀取電流。可調整第一線路選擇控制輸入以降低與第一線路選擇邏輯202相關聯之電阻，並且增大讀取及/或規劃操作之前及/或期間穿過第

一線路選擇邏輯202之容許電流。此較低的電阻可藉由使消散為熱的能量更少而有較大的能量效率。該較高的容許電流係組配來促進記憶體存取操作。舉例而言，對於對應於一MOSFET之一第一線路選擇邏輯202，可增大偏壓 V_{GS} 以降低 R_{DS} 並增大可流經第一線路選擇邏輯202之電流量。

[0029]因此，可控制第一線路選擇邏輯202以降低穿過與選擇相關聯之記憶體胞元107之以時間(從而能量消耗)為函數之暫態電流。 $I_{selection}$ 電流源220及第一線路選擇邏輯202係組配來在選擇記憶體胞元107時，使 I_{cell} 維持等於或高於 I_{hold} 。可進一步控制第一線路選擇邏輯202以容許一 I_{cell} 在讀取及/或規劃操作期間增大。

[0030]圖3A繪示一個例示性記憶體胞元電流路徑300方塊圖，與本揭露之一項實施例一致。在這項實施例中，當選擇一記憶體胞元且一WL部分303之一阻抗係組配來在選擇及/或記憶體存取操作期間改變(即受到控制)時，電流路徑300之一BL部分301係組配為較低的阻抗，如本文所述。WL部分303可進一步耦合至感測電路系統(圖未示)。在另一實施例中，一電流路徑之一WL部分在選擇一記憶體胞元時可以是較低的阻抗，可控制一BL部分之阻抗，以及可將該BL部分耦合至感測電路系統。在此實施例中，該WL部分可接著包括對應之電晶體338、340的一各別之功能，而BL部分可接著包括對應之元件306、320、322、336的一各別之功能。

[0031]電流路徑300包括記憶體胞元307、一局部WL

(LWL)選擇電晶體302、一LWL 312、一局部BL (LBL)選擇電晶體304、一LBL 314、一線路路徑電容308、來源選擇邏輯306、一Iselection電流源320及一Ipulse電流源322。Iselection電流源320係耦合至一電壓源HNVNN，而一Ipulse電流源322係耦合至一電壓源HNVNN_RESET。HNVNN_RESET比HNVNN稍微偏負而使RESET電流能力達到最大。

[0032]在這項實例300中，與圖2對照，記憶體胞元307是記憶體胞元107之一個實例，LWL選擇電晶體302對應於第一線路選擇邏輯202，LWL 312對應於第一線路212，LBL選擇電晶體304對應於第二線路選擇邏輯204，LBL 314對應於第二線路214，線路路徑電容308對應於線路電容208，來源選擇邏輯306對應於來源選擇邏輯206，Iselection電流源320對應於Iselection電流源220，而Ipulse電流源322對應於Ipulse電流源222。

[0033]電流路徑300更包括一全域WL (GWL)、一GWL選擇電晶體332、一全域BL (GBL)、一GBL選擇電晶體334、一電流源啓用電晶體336、一BL偏壓電晶體338及一BL監測電晶體340。BL監測電晶體340係耦合至一供應電壓HPVPP。來源選擇邏輯306包括一選擇電流源啓用電晶體321及一脈衝電流源啓用電晶體323。線路電容308包括與GWL相關聯之電容cGWL、與感測電路系統相關聯之電容cHNREG。

[0034]電流路徑300之操作舉例而言，可藉由圖1之記憶

體控制器104及/或BL控制模組116來控制。電流路徑300係組配來繪示選擇並規劃記憶體胞元307。一般而言，選擇包括將偏壓施加至LBL 314及LWL 312以產生跨記憶體胞元307之大於或等於記憶體胞元臨界電壓的差動偏壓。一旦選擇記憶體胞元307，便可在(多個)預定義持續時間內對記憶體胞元307施加(多個)規劃電流以達到規劃目的。電流路徑300之操作若結合圖3B來思考則最可使人瞭解。

[0035]圖3B繪示與圖3A之電流路徑300方塊圖相關聯之一例示性時序圖350。時序圖350包括以時間為函數的電壓波形及一電流波形。此等電壓及電流波形係有關於選擇一記憶體胞元(例如記憶體胞元307)，並且係有關於在所選擇之記憶體胞元307上進行一記憶體存取操作。時序圖350包括LBL 314電壓VLBL、LWL 312電壓VLWL、VGWL與VHNREG電壓、BL控制輸入BLVDMONB、電流源啟用輸入MIREN、LWL 312選擇控制輸入電壓LWLSEL、選擇電流源320啟用SELECT_MIREN、脈衝電流源啟用PULSE_MIREN以及胞元電流I_{cell}。應知，可與電流路徑300相關聯之此等控制輸入信號全都包括於時序圖350內，目的是為了易於說明及描述。

[0036]一般而言，為了選擇記憶體胞元307，可藉由操作BL偏壓電晶體338、BL-VDMONB電晶體340、GBL選擇電晶體334及LBL選擇電晶體304而使LBL 314偏壓至一LBL選擇電壓VBL_SEL，並且可藉由操作LWL選擇電晶體302、GWL選擇電晶體332、電流源啟用電晶體336及來源選

擇邏輯306而使LWL 312偏壓至一LWL選擇電壓VWL_SEL。一介於VBL_SEL與VWL_SEL之間的差異(即差動偏壓)係組態為大於或等於一與記憶體胞元307相關聯的臨界電壓。

[0037]現請參照圖3B，一開始，在時間t0之前，VLBL、VHNREG、VGWL及VLWL係處於或幾乎為零；BLVDMONB及SELECT_MIREN處於高位準，而MIREN及PULSE_MIREN處於低位準。「低」與「高」在本文內容中係有關於控制輸入信號電壓。BLVDMONB高對應於未選擇BL。SELECT_MIREN高對應於啟用選擇電流源320。MIREN及PULSE_MIREN低分別對應於電流源320及322未耦合至電流路徑300及脈衝電流源322停用。在時間t0之前，穿過記憶體胞元307之電流I_{cell}處於或幾乎為零。LWL選擇電晶體302之一控制輸入LWLSEL處於V_{LO}。V_{LO}係組配來使LWL選擇電晶體302偏壓(即 $V_{GS} = V_{LO} - V_x$)至一小於最大偏壓的位準，即小於全接通的位準。小於最大值之V_{GS}可接著導致一介於LWL 312與GWL之間的電阻(R_{DS})相較於一較高V_{GS}增大。

[0038]於時間t0，BLVDMONB由高轉變至低，使電晶體340接通並將LBL 314及記憶體胞元307耦合至一電壓供應HPVPP。VLBL開始朝向VLBL_SEL增大。於時間t1，MIREN由低轉變至高，使電晶體336接通並將GWL耦合至選擇電流源320。亦可經由LWL選擇電晶體302及GWL將記憶體胞元307耦合至選擇電流源320。電壓VHNREG、VGWL

及 VLWL 開始朝向 VWL_SEL 斜降。於時間 t_2 ，電壓 VHNREG、VGWL 及 VLWL 達到 VWL_SEL，而 VLBL 持續朝向 VBL_SEL 斜升。

[0039] 於時間 t_3 ，VLBL 減 VLWL (即差動偏壓) 達到記憶體胞元 307 的臨界電壓 ($VBL_SEL - VWL_SEL$)，該記憶體胞元突返且 VLBL 急劇下降。一暫態電流 (I_{cell}) 開始流經該記憶體胞元及 LWL 選擇電晶體 302。此暫態電流係藉由於時間 t_3 由零至 I_{max} 的尖波及介於時間 t_3 與時間 t_4 之間的衰減來繪示。暫態電流 (以一時間函數) 及記憶體胞元 307 所消散的能量係有關於 LWL 選擇電晶體 302 的電阻、以及電壓 V_x (即 VGWL) 自恰好時間 t_3 之前至介於時間 t_3 與時間 t_4 之間的穩態之變化，如本文中所述。換句話說，記憶體胞元 307 在 $LWLSEL = V_LO$ (即 $V_{GS} < V_{GS}$ 最大值) 時所消散的能量小於 LWL 選擇電晶體 302 在最大 V_{GS} 時所消散的能量。

[0040] 在介於時間 t_3 與時間 t_4 之間的時間間隔期間，VLBL、VHNREG、VGWL 及 VLWL 增大至各別的穩態值，而 I_{cell} 下降至一穩態值。VLBL 及 VLWL 依照有關於線路路徑電容 308、與 LWL 及 LBL 相關聯之其他寄生電容以及 LWL 選擇電晶體 302 的 (多個) 時間常數出現增大現象。VHNREG 及 VGWL 之增大 (即 ΔV_x) 係有關於 LWLSEL、以及 LWL 選擇電晶體 302 之對應偏壓 V_{GS} 。 I_{cell} 依照有關於與 LWL 及 LBL 相關聯之線路路徑電容 308 及其他寄生電容、LWL 選擇電晶體 302 之電阻、以及 ΔV_x 的一時間常數出現降低現象。換句話說， I_{cell} 之降低在 $LWLSEL = V_LO$ 時較快速，導致舉例

而言，相較於 $LWLSEL = V_HI$ ，記憶體胞元307在選擇暫態期間的能量消耗較少。

[0041]於時間 t_4 ，電壓 $VLWL$ 、 $VHNREG$ 、 $VGWL$ 及 $VLWL$ 以及電流 I_{cell} 已達到各別的穩態值。此等與線路路徑電容308有關的穩態電壓(即 $VHNREG$ 及 $VGWL$)可小於 LWL 312之穩態電壓 $VLWL$ 。舉例而言， $LWLSEL$ 等於 V_HI 可對應於一最小 R_{DS} 、以及穿過電晶體302之最大容許電流(I_{DS})。 I_{DS} 對應於 I_{cell} 。 V_LO 小於 V_HI ，並且相較於 $LWLSEL$ 等於 V_HI 時的 I_{DS} ， $LWLSEL$ 等於 V_LO 因此可對應於電晶體302之一較高 R_{DS} 及一較低 I_{DS} 。 VWL 與 $VHNREG$ 與 $VGWL$ 之間的電壓差可接著與 I_{DS} 及 R_{DS} 有關。換句話說， $V_x = VGWL \approx VHNREG$ 且 $VLWL$ 與 V_x 相差跨 LWL 選擇電晶體302的電壓降。舉例而言，選擇(即 I_{cell} 電流不受限)期間 VWL_SEL 等於-3.6伏特且 $LWLSEL$ 等於 V_HI (例如0伏特)時， $VHNREG$ 及 $VGWL$ 可於時間 t_4 增大至約-1伏特，此為一2.6伏特之電壓變化。相比之下，選擇(即 I_{cell} 受限)期間 VWL_SEL 等於-3.6伏特且 $LWLSEL$ 等於 V_LO (例如-2伏特)時， $VHNREG$ 及 $VGWL$ 可於時間 t_4 增大至約-3伏特，此為一0.6伏特之電壓變化。因此，相較於 R_{DS} 較小的情況，線路路徑電容308在 R_{DS} 較高時，可經歷一較小的電荷與電壓變化。回應於在時間 t_3 出現的突返，小電壓變化對應於更少之轉移至線路路徑電容308的能量。

[0042] $LWLSEL$ 等於 V_LO 係組配來限制時間 t_3 與時間 t_4 之間的時間間隔期間穿過記憶體胞元307的暫態電流(從

而還有能量消耗)。V_LO可進一步組配來使I_{cell}維持大於或等於記憶體胞元307的保持電流(I_{hold})。換句話說，V_LO對應於一組配為使LWL 選擇電晶體302之I_{DS}大於或等於I_{hold}的偏壓。因此，可避免記憶體胞元307在經選擇與未經選擇之間振盪。

[0043]於時間t5，LWLSEL可開始從V_LO朝向V_HI增大。增大LWLSEL係組配來預期對記憶體胞元307施加I_{pulse}而降低R_{DS}並且增大可容許之I_{DS}。VHNREG及VGWL亦可隨著R_{DS}降低而開始增大。於時間t6，LWLSEL達到V_HI且電晶體302因此係組配來使I_{pulse}電流通過。

[0044]於時間t7，控制輸入SELECT_MIREN由高轉變至低而將選擇電流320取消選擇。控制輸入PULSE_MIREN由低轉變至高而啓用I_{pulse}電流源322。I_{cell}開始增大，VLWL開始降低，並且VHNREG及VGWL開始降低。I_{cell}、VLWL、VHNREG及VGWL之變化並非瞬間出現，而是依照一非零時間常數出現。此時間常數係有關於線路電容308及記憶體胞元307之電阻。

[0045]因此，藉由控制一LWL選擇電晶體(例如電晶體302)之偏壓，可限制(即減少)記憶體胞元選擇能量消耗，可使記憶體胞元電流維持等於或高於此記憶體胞元之保持電流，並且可增大容許記憶體胞元電流以促進規劃。記憶體胞元電流亦可與電流源320、322所提供的電流有關。

[0046]圖4A繪示一簡化記憶體胞元電流路徑方塊圖400，與本揭露之一項實施例一致。圖4B是與圖4A之電流

路徑有關之電晶體輸出特性波形450之一簡圖。圖4A及4B一起思考時可使人最為瞭解。

[0047]首先，請參照圖4A，簡化電流路徑400對應於圖3A的電流路徑300。電流路徑400包括一記憶體胞元407、LWL選擇電晶體402、一選擇電流源電晶體420及線路路徑電容408。將電流路徑400簡化以彰顯第一線路選擇邏輯(即LWL選擇電晶體402)、及選擇電流源(即電晶體420)之間的一相互作用。LWL選擇電晶體402、選擇電流源電晶體420及線路路徑電容408係於節點409耦合。V_x是一與節點409相關聯的電壓。

[0048]舉例而言，對於屬於MOSFET之電晶體402及420，LWL選擇電晶體402之一源極係於節點409耦合至選擇電流源電晶體420之一汲極。LWL選擇電晶體402之一閘極係組配來接收一控制輸入LWLSEL，而選擇電流源電晶體420之一閘極係組配來接收一控制輸入iSELECTION_BIAS。

[0049]在操作期間，位於節點409的電壓V_x係有關於電流路徑400之操作、以及調整控制輸入LWLSEL及iSELECTION_BIAS的效應。V_x係有關於施加至LWL選擇電晶體402之偏壓V_{GS}、以及施加至選擇電流源電晶體420之偏壓。選擇電流源電晶體420係組配為一電流鏡，亦即，電流係獨立於負載。

[0050]請參照圖4B，線圖450包括電晶體402及420各種偏壓V_{GS}下之複數條I_{DS}之於V_{DS}的關係之波形。波形452對

應於控制輸入 $i\text{SELECTION_BIAS}$ 之電晶體 420 之 I_{DS} 之於 V_{DS} 的關係。 $i\text{SELECTION_BIAS}$ 對應於選擇電流源電晶體 420 之一目標操作偏壓，即 $I_{\text{selection}}$ 大於或等於 I_{hold} 。線圖 450 更包括各種 V_{GS} 值之 LWL 選擇電晶體 402 的 I_{DS} 波形，例如波形 456、458。線圖 450 繪示 I_{DS} 之於 V_{DS} 的關係之波形之一飽和區 460 及一線性(即歐姆)區 462。線圖 450 包括 I_{DS} 大於飽和時之電晶體 420 I_{DS} 波形 452 之 LWL 選擇電晶體 402 I_{DS} 波形，例如波形 456，還包括電晶體 402 I_{DS} 波形小於飽和時之電晶體 420 I_{DS} 波形 452 的波形，例如波形 458。線圖 450 更包括一定電流線路 454，其代表記憶體胞元 407 之 I_{hold} 。

[0051] 選擇電流 $I_{\text{selection}}$ 係組配為在電晶體 420 飽和時大於 I_{hold} ，以便使記憶體胞元 407 維持經選擇並且避免振盪。 $LWLSEL$ 係以類似方式組配來使電晶體 402 偏壓至等於或高於 $I_{\text{selection}}$ ，即等於或高於飽和時的選擇電晶體波形 452。為了使一負載電流 I_{DS} 大於或等於 $I_{\text{selection}}$ 而使電晶體 402 偏壓係組配來避免電晶體 402 將 I_{cell} 限制為小於 $I_{\text{selection}}$ ，並且因此避免將 I_{cell} 限制為小於 I_{hold} 。

[0052] 在操作時，電晶體 402 係組配來操作於飽和區 460，電晶體 420 可或可不操作於飽和區 460。當電晶體 402 係偏壓為使得電晶體 402 飽和並操作在等於或高於選擇電晶體波形 452 的條件時，電晶體 420 係組配為進入飽和狀態，而且 I_{cell} 對應於 $I_{\text{selection}}$ 。當電晶體 402 係偏壓成使得電晶體 402 飽和並操作在低於選擇電晶體波形 452 的條件時，電晶體 420 可操作於線性區 462 (不再獨立於負載)，而

且 I_{cell} 對應於電晶體 402 之 I_{DS} 。

[0053] 因此， $iSELECTION_BIAS$ 係組配來使電晶體 420 偏壓為使得 $I_{selection}$ 等於或高於 I_{hold} 。將 $LWLSEL$ 組配為等於 V_{LO} 以限制選擇電流暫態期間以時間為函數之 I_{cell} (從而還有能量消耗)，並且在暫態之後(即在穩態期間)使 I_{cell} 維持等於或高於 I_{hold} 。

[0054] 圖 5 繪示控制穿過與本揭露之各種實施例一致之一記憶體胞元之電流用之操作之一流程圖 500。此等操作舉例而言，可藉由一記憶體控制器來進行，例如記憶體控制器 104，其包括 WL 控制模組 114、 BL 控制模組 116、減輕模組 120 及/或減輕模組 124。流程圖 500 繪示組配來在記憶體存取操作期間控制穿過一記憶體胞元之電流的例示性操作。特別的是，流程圖 500 繪示的例示性操作係組配來限制選擇期間穿過該記憶體胞元之暫態電流、使穿過該經選擇記憶體胞元之電流維持等於或高於一保持電流、以及在讀取及/或寫入操作期間容許較高的電流，如本文中所述。

[0055] 流程圖 500 之操作可始於操作 502 的開始。於操作 504，一第一線路選擇邏輯可組配來降低一記憶體胞元之一暫態能量消耗。舉例而言，記憶體胞元選擇期間的暫態能量消耗可藉由調整對第一線路選擇邏輯之一第一線路選擇控制輸入來降低，用以將該第一線路選擇邏輯組配來增大電流路徑電阻並降低一有關之電壓擺動以降低記憶體胞元選擇期間的暫態能量消耗。此以時間為函數之暫態電流因此可藉由調整對該第一線路選擇邏輯之第一線路選擇控制

輸入來限制。於操作506，可啓用一選擇電流源。於操作508，可啓始一記憶體胞元之選擇。於操作510，可對該記憶體胞元增大容許電流。舉例而言，可調整對該第一線路選擇邏輯之第一線路選擇控制輸入以將各別之選擇邏輯組配來降低電流路徑電阻並增大容許電流。於操作512，可對該記憶體胞元提供一脈衝電流。該脈衝電流之一值係有關於相關聯之記憶體存取操作是否爲一讀取或一寫入(即規劃)操作。於操作514，可接著進行規劃流程。

[0056] 因此，流程圖500之操作係組配來控制一選擇暫態期間、選擇穩態期間及記憶體存取(例如讀取及/或規劃)期間穿過一記憶體胞元的電流。

[0057] 儘管圖5根據一項實施例繪示各種操作，仍要瞭解的是，圖5中所繪示的操作對於其他實施例並非全都屬於必要。的確，本文中完全思忖到在本揭露之其他實施例中，圖5中所繪示之操作及/或本文中所述之其他操作可採用未在任何圖式中具體展示，但仍與本揭露完全一致的方式來組合。因此，針對未在一張圖式中確切展示之特徵及/或操作的請求項係視爲在本揭露之範疇及內容內。

[0058] 「邏輯」一詞及/或「模組」一詞於本文任一實施例中使用時，可意指爲一組配來進行前述任何操作之應用程式、軟體、韌體及/或電路系統。可將軟體具體實現爲一記錄在非暫時性電腦可讀儲存媒體上之套裝軟體、符碼、指令、指令集及/或資料。可在記憶體裝置中將韌體具體實現爲硬編碼(例如非依電性)的符碼、指令或指令集及/

或資料。

[0059]「電路系統」於本文任一實施例中使用時，舉例而言，可單獨地或以任何組合方式包含固線式電路系統、諸如包含一或多個單獨之指令處理核心之電腦處理器的可規劃電路系統、狀態機電路系統、及/或儲存藉由可規劃電路系統來執行之指令的韌體。可結合或個別地將邏輯及/或模組具體實現為形成例如一積體電路(IC)，一特定應用積體電路(ASIC)、一系統晶片(SoC)、桌上型電腦、膝上型電腦、平板電腦、伺服器、智慧型手機等一更大系統之一部分的電路系統。

[0060]在一些實施例中，一硬體描述語言可用於指定本文中所述各種模組及/或電路系統的電路及/或(多種)邏輯實作態樣。舉例而言，在一項實施例中，此硬體描述語言可與可實現本文中所述一或多種電路及/或模組之半導體製造的特高速積體電路(VHSIC)硬體描述語言(VHDL)相符或相容。此VHDL可與IEEE標準 Standard 1076-1987、IEEE Standard 1076.2、IEEE1076.1、IEEE Draft 3.0 of VHDL-2006、IEEE Draft 4.0 of VHDL-2008及/或其他版本之IEEE VHDL標準及/或其他硬體描述標準相符或相容。

[0061]因此，一種系統及方法係組配來控制穿過相變記憶體中之一經選擇記憶體胞元之電流。該系統及方法係組配來將線路選擇邏輯組配來在記憶體胞元選擇期間降低暫態能量消耗，同時仍使該經選擇記憶體胞元之一穩態電流維持等於或高於該記憶體胞元之一保持電流。該方法及系

統係組配來將線路選擇邏輯組配來在選擇期間限制穿過該記憶體胞元之以時間為函數之暫態電流，並且在記憶體存取操作(即讀取及/或寫入)期間容許一較大的電流。該系統及方法係組配來在該記憶體胞元選擇電流暫態期間增大該經選擇記憶體胞元電流路徑之一電阻，以及在讀取及/或規劃期間降低該經選擇記憶體胞元電流路徑之該電阻。

實例

[0062] 本揭露之實例如下文所論述，包括諸如下列題材：與控制穿過一記憶體胞元之電流有關之一種方法、用於進行該方法之動作的手段、有關於控制穿過一記憶體胞元之電流之一種裝置、一種設備或系統、或該設備或系統之一裝置。

實例 1

[0063] 根據這項實例，提供有一種設備。該設備包括一記憶體控制器，該記憶體控制器包括一字元線(WL)控制模組及一位元線(BL)控制模組。該記憶體控制器係用來啓始一記憶體胞元之選擇。該設備更包括一用以將一第一線路選擇邏輯組配來降低該記憶體胞元之一暫態能量消耗的減輕模組，該暫態能量與選擇該記憶體胞元有關。

實例 2

[0064] 這項實例包括實例1之元件，其中該減輕模組係進一步用來啓用一選擇電流源以提供一選擇電流，該選擇電流大於或等於一與該記憶體胞元相關聯之保持電流。

實例 3

[0065] 這項實例包括實例1之元件，其中該減輕模組係進一步用來將該第一線路選擇邏輯組配來對該記憶體胞元增大一容許電流，並且啓用一脈衝電流源以對該記憶體胞元提供一脈衝電流，該脈衝電流爲由該記憶體胞元讀取及/或規劃該記憶體胞元至少其中一者之脈衝電流。

實例 4

[0066] 這項實例包括如實例1至3中任何一者的元件，其中該第一線路選擇邏輯係用來選擇一字元線。

實例 5

[0067] 這項實例包括如實例1至3中任何一者的元件，其中該第一線路選擇邏輯係用來選擇一位元線。

實例 6

[0068] 這項實例包括實例2之元件，其中該選擇電流源是一定電流源。

實例 7

[0069] 這項實例包括實例3之元件，其中該減輕模組係用來在啓用該脈衝電流源時停用一選擇電流源。

實例 8

[0070] 這項實例包括如實例1至3中任何一者的元件，其中降低該暫態能量消耗包括降低該記憶體胞元選擇所觸發

之一電壓變化。

實例 9

[0071]這項實例包括如實例1至3中任何一者的元件，其中降低該暫態能量消耗包括增大一經選擇記憶體胞元電流路徑之一電阻。

實例 10

[0072]這項實例包括實例3之元件，其中增大容許電流包括降低一經選擇記憶體胞元電流路徑之一電阻。

實例 11

[0073]這項實例包括實例2之元件，其中該保持電流係用來使該經選擇記憶體胞元維持處於一經選擇狀態。

實例 12

[0074]這項實例包括如實例1至3中任何一者的元件，其中該第一線路選擇邏輯包括一電晶體。

實例 13

[0075]這項實例包括如實例1至3中任何一者的元件，其中組配該第一線路選擇邏輯包括調整對該第一線路選擇邏輯之一第一線路選擇控制輸入。

實例 14

[0076]這項實例包括如實例1至3中任何一者的元件，其中該暫態能量係有關於一線路路徑電容。

實例 15

[0077]這項實例包括實例2之元件，其中該選擇電流源是一電流鏡。

實例 16

[0078]這項實例包括實例2之元件，其中該選擇電流源包括一電晶體。

實例 17

[0079]這項實例包括如實例1至3中任何一者的元件，其中該第一線路選擇邏輯係用來選擇一字元線，並且更包括一用以選擇一位元線之第二線路選擇邏輯，該位元線係包括於一低阻抗路徑中。

實例 18

[0080]這項實例包括如實例1至3中任何一者的元件，其中該第一線路選擇邏輯係用來選擇一位元線，並且更包括一用以選擇一字元線之第二線路選擇邏輯，該字元線係包括於一低阻抗路徑中。

實例 19

[0081]根據這項實例，提供有一種方法。本方法包括藉由一記憶體控制器，啓始一記憶體胞元之選擇；以及藉由一減輕模組，將一第一線路選擇邏輯組配來降低該記憶體胞元之一暫態能量消耗，該暫態能量與選擇該記憶體胞元有關。

實例 20

[0082] 這項實例包括實例19之元件，並且更包括藉由該減輕模組，啓用一選擇電流源以提供一選擇電流，該選擇電流大於或等於一與該記憶體胞元相關聯之保持電流。

實例 21

[0083] 這項實例包括實例19之元件，並且更包括藉由該減輕模組，將該第一線路選擇邏輯組配來對該記憶體胞元增大一容許電流；以及藉由該減輕模組，啓用一脈衝電流源以對該記憶體胞元提供一脈衝電流，該脈衝電流爲由該記憶體胞元讀取及/或規劃該記憶體胞元至少其中一者之脈衝電流。

實例 22

[0084] 這項實例包括實例19之元件，其中該第一線路選擇邏輯係用來選擇一字元線。

實例 23

[0085] 這項實例包括實例19之元件，其中該第一線路選擇邏輯係用來選擇一位元線。

實例 24

[0086] 這項實例包括實例20之元件，其中該選擇電流源是一定電流源。

實例 25

[0087]這項實例包括實例21之元件，並且更包括藉由該減輕模組，在啓用該脈衝電流源時停用一選擇電流源。

實例 26

[0088]這項實例包括實例19之元件，其中降低該暫態能量消耗包括降低該記憶體胞元選擇所觸發之一電壓變化。

實例 27

[0089]這項實例包括實例19之元件，其中降低該暫態能量消耗包括增大一經選擇記憶體胞元電流路徑之一電阻。

實例 28

[0090]這項實例包括實例21之元件，其中增大容許電流包括降低一經選擇記憶體胞元電流路徑之一電阻。

實例 29

[0091]這項實例包括實例20之元件，其中該保持電流係用來使該經選擇記憶體胞元維持處於一經選擇狀態。

實例 30

[0092]這項實例包括實例19之元件，其中該第一線路選擇邏輯包括一電晶體。

實例 31

[0093]這項實例包括實例19之元件，其中組配該第一線路選擇邏輯包括調整對該第一線路選擇邏輯之一第一線路選擇控制輸入。

實例 32

[0094] 這項實例包括實例19之元件，其中該暫態能量係有關於一線路路徑電容。

實例 33

[0095] 這項實例包括實例20之元件，其中該選擇電流源是一電流鏡。

實例 34

[0096] 這項實例包括實例20之元件，其中該選擇電流源包括一電晶體。

實例 35

[0097] 這項實例包括實例19之元件，其中該第一線路選擇邏輯係用來選擇一字元線，並且更包括藉由一第二線路選擇邏輯來選擇一位元線，該位元線係包括於一低阻抗路徑中。

實例 36

[0098] 這項實例包括實例19之元件，其中該第一線路選擇邏輯係用來選擇一位元線，並且更包括藉由一第二線路選擇邏輯來選擇一字元線，該字元線係包括於一低阻抗路徑中。

實例 37

[0099] 根據這項實例，提供有一種系統。本系統包括一

處理器；一交叉點記憶體陣列及一記憶體控制器。該交叉點記憶體陣列包括一記憶體胞元、一字元線(WL)及一位元線(BL)。該記憶體胞元係耦合於該字元線與該位元線之間。該記憶體控制器係用來啓始該記憶體胞元之選擇。該記憶體控制器包括一WL控制模組與一BL控制模組、以及一減輕模組。該減輕模組係用來將一第一線路選擇邏輯組配來降低該記憶體胞元之一暫態能量消耗，該暫態能量與選擇該記憶體胞元有關。

實例 38

[0100]這項實例包括實例37之元件，其中該減輕模組係進一步用來啓用一選擇電流源以提供一選擇電流，該選擇電流大於或等於一與該記憶體胞元相關聯之保持電流。

實例39

[0101]這項實例包括實例37之元件，其中該減輕模組係進一步用來將該第一線路選擇邏輯組配來對該記憶體胞元增大一容許電流，並且啓用一脈衝電流源以對該記憶體胞元提供一脈衝電流，該脈衝電流係由其讀取及/或規劃該記憶體胞元至少其中一者之脈衝電流。

實例40

[0102]這項實例包括如實例37至39中任何一者的元件，其中該第一線路選擇邏輯係用來選擇一字元線。

實例41

[0103]這項實例包括如實例37至39中任何一者的元件，其中該第一線路選擇邏輯係用來選擇一位元線。

實例42

[0104]這項實例包括實例38之元件，其中該選擇電流源是一定電流源。

實例43

[0105]這項實例包括實例39之元件，其中該減輕模組係用來在啓用該脈衝電流源時停用一選擇電流源。

實例44

[0106]這項實例包括如實例37至39中任何一者的元件，其中降低該暫態能量消耗包括降低該記憶體胞元選擇所觸發之一電壓變化。

實例45

[0107]這項實例包括如實例37至39中任何一者的元件，其中降低該暫態能量消耗包括增大一經選擇記憶體胞元電流路徑之一電阻。

實例46

[0108]這項實例包括實例39之元件，其中增大容許電流包括降低一經選擇記憶體胞元電流路徑之一電阻。

實例47

[0109]這項實例包括實例38之元件，其中該保持電流係用來使該經選擇記憶體胞元維持處於一經選擇狀態。

實例48

[0110]這項實例包括如實例37至39中任何一者的元件，其中該第一線路選擇邏輯包括一電晶體。

實例49

[0111]這項實例包括如實例37至39中任何一者的元件，其中組配該第一線路選擇邏輯包括調整對該第一線路選擇邏輯之一第一線路選擇控制輸入。

實例50

[0112]這項實例包括如實例37至39中任何一者的元件，其中該暫態能量係有關於一線路路徑電容。

實例51

[0113]這項實例包括實例38之元件，其中該選擇電流源是一電流鏡。

實例52

[0114]這項實例包括實例38之元件，其中該選擇電流源包括一電晶體。

實例53

[0115]這項實例包括如實例37至39中任何一者的元件，其中該第一線路選擇邏輯係用來選擇一字元線，並且更包括一用以選擇一位元線之第二線路選擇邏輯，該位元線係包括於一低阻抗路徑中。

實例54

[0116]這項實例包括如實例37至39中任何一者的元件，其中該第一線路選擇邏輯係用來選擇一位元線，並且更包括一用以選擇一字元線之第二線路選擇邏輯，該字元線係包括於一低阻抗路徑中。

實例55

[0117]一種包含至少一個裝置之系統，該至少一個裝置

係布置來進行如請求項19至36中任一項之方法。

實例56

[0118]一種包含用以進行如請求項19至36中任一項之方法的裝置。

[0119]本文中已說明各種特徵、態樣及實施例。如所屬技術領域中具有通常知識者將會瞭解，此等特徵、態樣及實施例易於彼此組合並作改變及修改。因此，本揭露應視為含括此類組合、改變及修改。

【符號說明】

100…系統	204…第二線路選擇邏輯
102…處理器	206…來源選擇邏輯
104…記憶體控制器	208、308、408…線路路徑電容
106…記憶體陣列	212…第一線路
107、407…記憶體胞元	214…第二線路
108…匯流排	220…選擇電流源
110…記憶體控制器模組	222…脈衝電流源
114…WL控制模組	300…電流路徑
115…字元線	301…BL部分
116…BL控制模組	302…局部WL (LWL)選擇電晶體
117…位元線	303…WL部分
120、124…減輕模組	304…局部BL (LBL)選擇電晶體
126…感測模組	306、320、322、336…對應之元件
200…電流路徑	307…記憶體胞元
202…第一線路選擇邏輯	312…LWL

314…LBL	409…節點
321…選擇電流源啓用電晶體	420…選擇電流源電晶體
323…脈衝電流源啓用電晶體	450…線圖
332…GWL選擇電晶體	452、456、458…波形
334…GBL選擇電晶體	454…定電流線路
338、340…電晶體	460…飽和區
350…時序圖	462…線性區
400…電流路徑	500…流程圖
402…LWL選擇電晶體	502~514…操作

申請專利範圍

1. 一種設備，包含：

一記憶體控制器，包含一字元線(WL)控制模組及一位元線(BL)控制模組，該記憶體控制器係用來啓始一記憶體胞元之選擇；以及

一減輕模組，用以將一第一線路選擇邏輯組配來降低該記憶體胞元之一暫態能量消耗，該暫態能量與選擇該記憶體胞元有關。

2. 如請求項1之設備，其中該減輕模組係進一步用來啓用一選擇電流源以提供一選擇電流，該選擇電流大於或等於一與該記憶體胞元相關聯之保持電流。

3. 如請求項1之設備，其中該減輕模組係進一步用來將該第一線路選擇邏輯組配來對該記憶體胞元增大一容許電流，且啓用一脈衝電流源以對該記憶體胞元提供一脈衝電流，該脈衝電流爲由該記憶體胞元讀取及/或規劃該記憶體胞元至少其中一者之脈衝電流。

4. 如請求項1之設備，其中該第一線路選擇邏輯係用來選擇一字元線。

5. 如請求項1之設備，其中該第一線路選擇邏輯係用來選擇一位元線。

6. 如請求項2之設備，其中該選擇電流源是一定電流源。

7. 如請求項3之設備，其中該減輕模組係用來在啓用該脈衝電流源時停用一選擇電流源。

8. 一種方法，包含：

藉由一記憶體控制器，啓始一記憶體胞元之選擇；

以及

藉由一減輕模組，將一第一線路選擇邏輯組配來降低該記憶體胞元之一暫態能量消耗，該暫態能量與選擇該記憶體胞元有關。

9. 如請求項8之方法，其更包含：

藉由該減輕模組，啓用一選擇電流源以提供一選擇電流，該選擇電流大於或等於一與該記憶體胞元相關聯之保持電流。

10. 如請求項8之方法，其更包含：

藉由該減輕模組，將該第一線路選擇邏輯組配來對該記憶體胞元增大一容許電流；以及

藉由該減輕模組，啓用一脈衝電流源以對該記憶體胞元提供一脈衝電流，該脈衝電流爲由該記憶體胞元讀取及/或規劃該記憶體胞元至少其中一者之脈衝電流。

11. 如請求項8之方法，其中該第一線路選擇邏輯係用來選擇一字元線。

12. 如請求項8之方法，其中該第一線路選擇邏輯係用來選擇一位元線。

13. 如請求項9之方法，其中該選擇電流源是一定電流源。

14. 如請求項10之方法，其更包含：

藉由該減輕模組，在啓用該脈衝電流源時停用一選擇電流源。

15. 一種系統，其包含：

一處理器；

一交叉點記憶體陣列，包含一記憶體胞元、一字元線(WL)及一位元線(BL)，該記憶體胞元係耦合於該字元線與該位元線之間；以及

一記憶體控制器，用以啓始該目標記憶體胞元之選擇，該記憶體控制器包含：

一WL控制模組及一BL控制模組，及

一減輕模組，用以將一第一線路選擇邏輯組配來降低該記憶體胞元之一暫態能量消耗，該暫態能量與選擇該記憶體胞元有關。

16. 如請求項15之系統，其中該減輕模組係進一步用來啓用一選擇電流源以提供一選擇電流，該選擇電流大於或等於一與該記憶體胞元相關聯之保持電流。

17. 如請求項15之系統，其中該減輕模組係進一步用來將該第一線路選擇邏輯組配來對該記憶體胞元增大一容許電流，且啓用一脈衝電流源以對該記憶體胞元提供一脈衝電流，該脈衝電流為由該記憶體胞元讀取及/或規劃該記憶體胞元至少其中一者之脈衝電流。

18. 如請求項15之系統，其中該第一線路選擇邏輯係用來選擇一字元線。

19. 如請求項15之系統，其中該第一線路選擇邏輯係用來選擇一位元線。

20. 如請求項16之系統，其中該選擇電流源是一定電流源。

21. 如請求項17之系統，其中該減輕模組係用來在啓用該脈衝電流源時停用一選擇電流源。

圖式
1/6

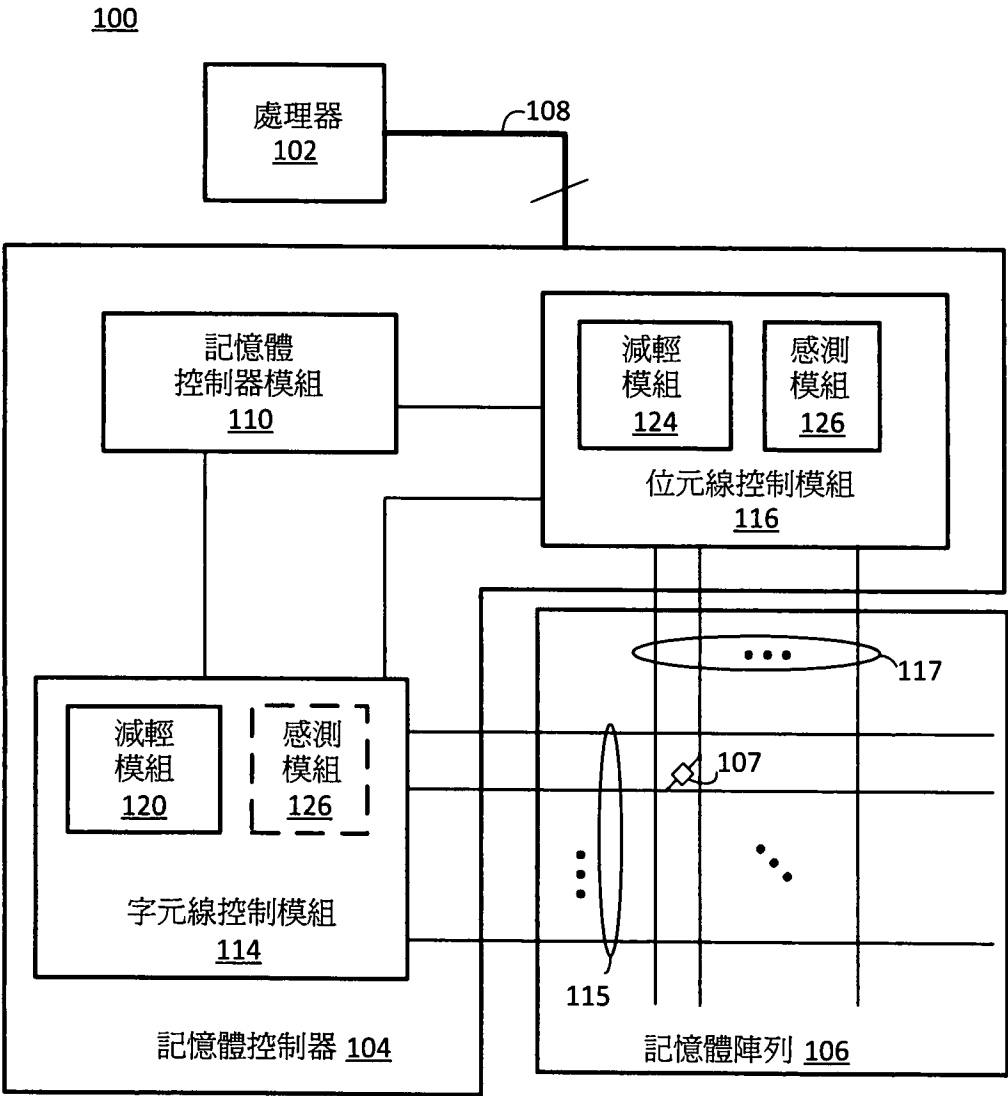


圖1

200

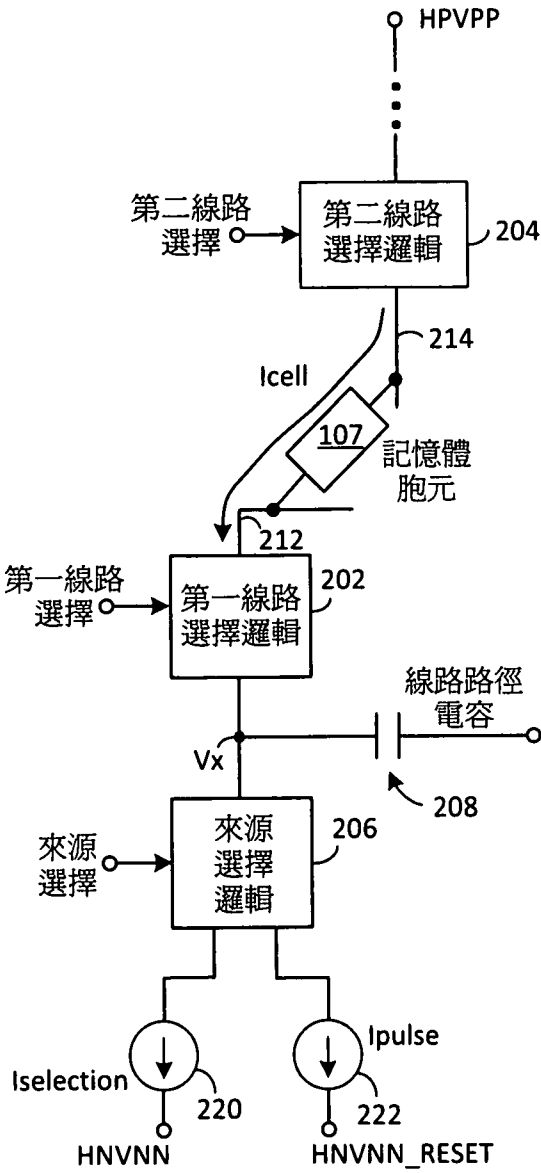


圖2

300

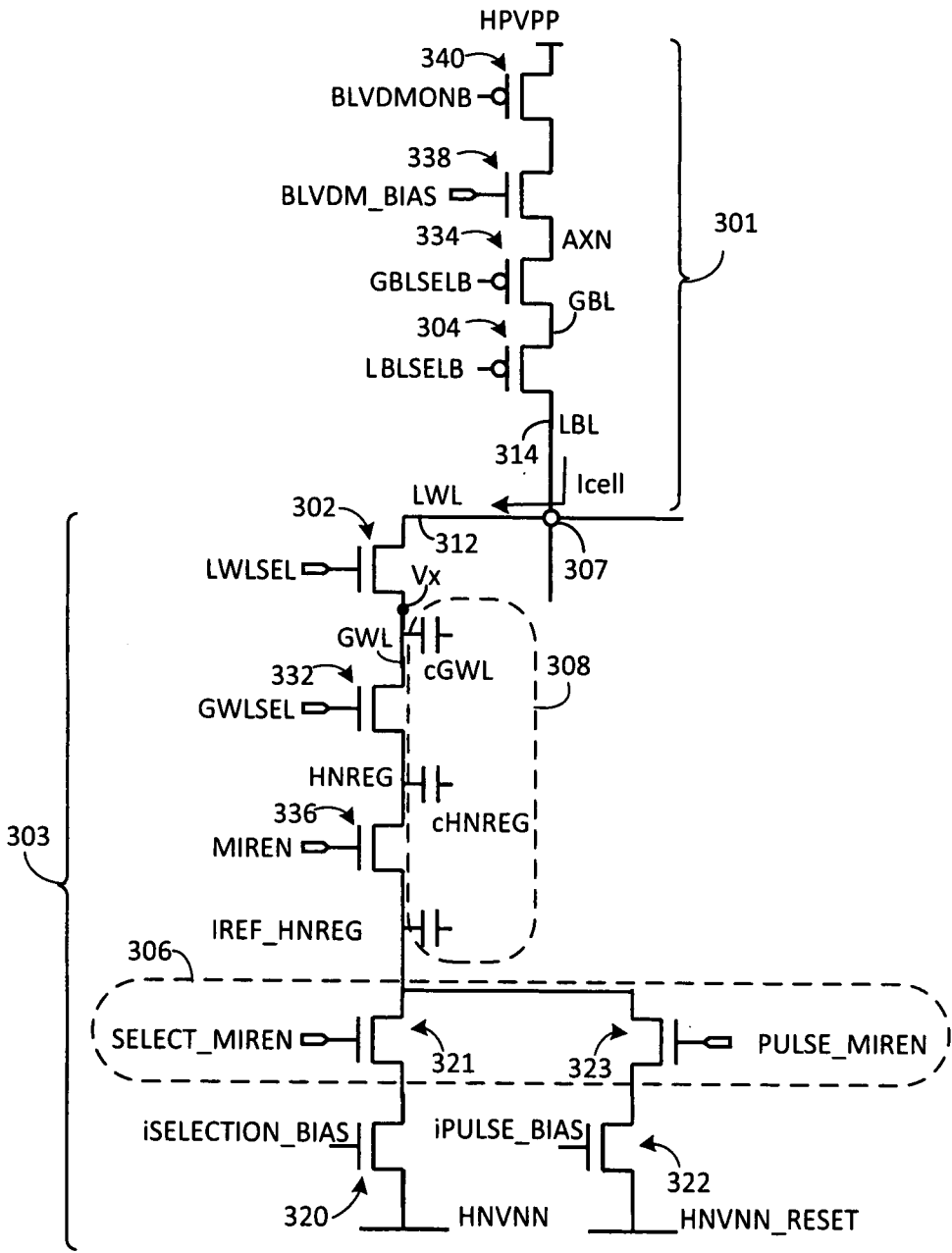


圖3A

350

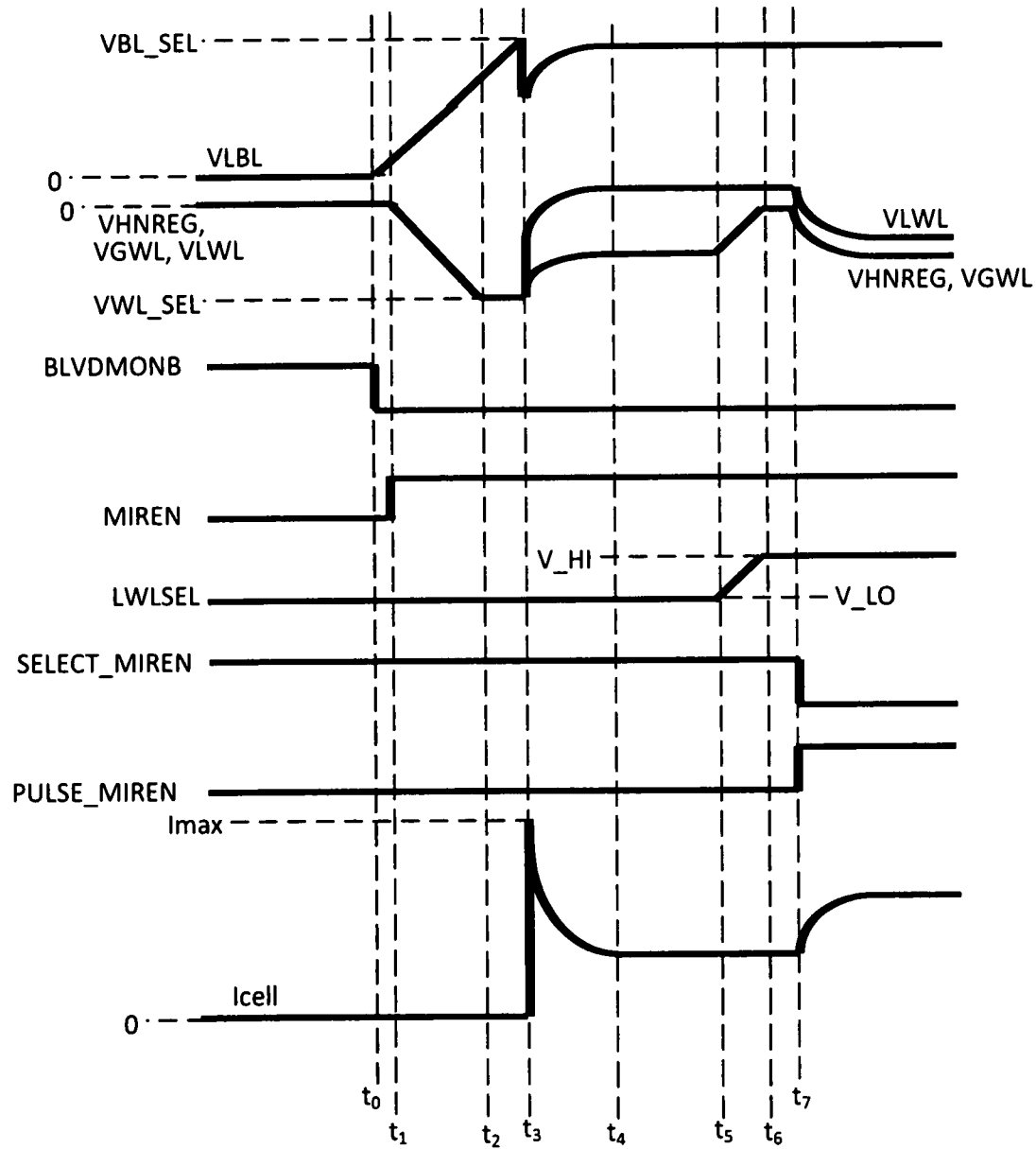


圖3B

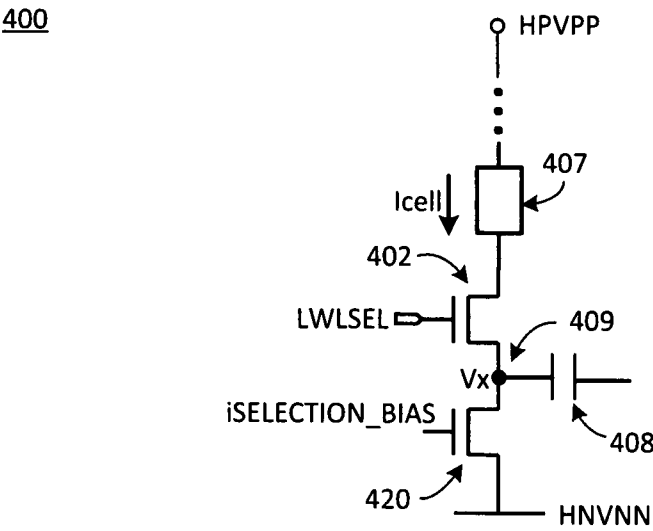


圖4A

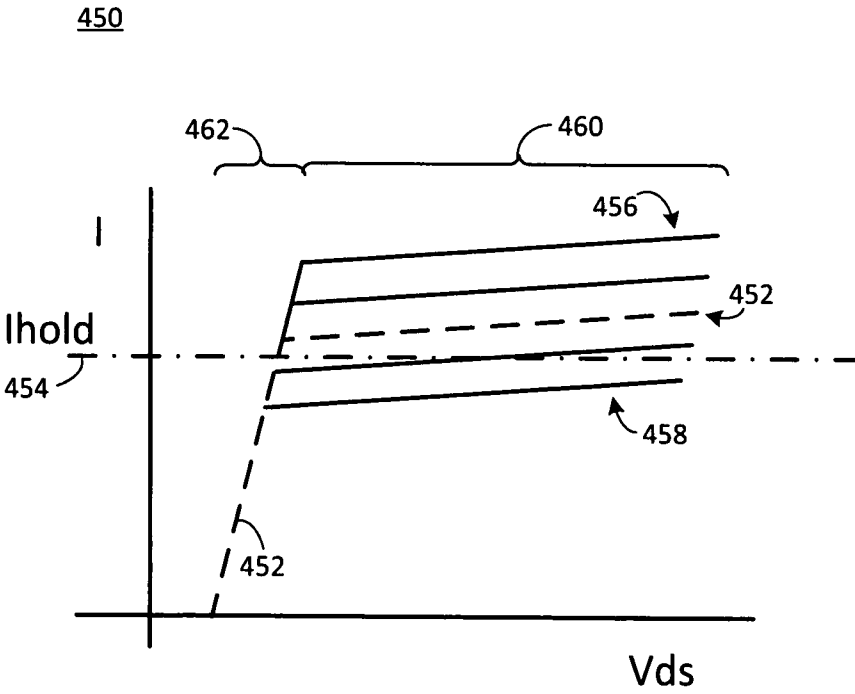


圖4B

500

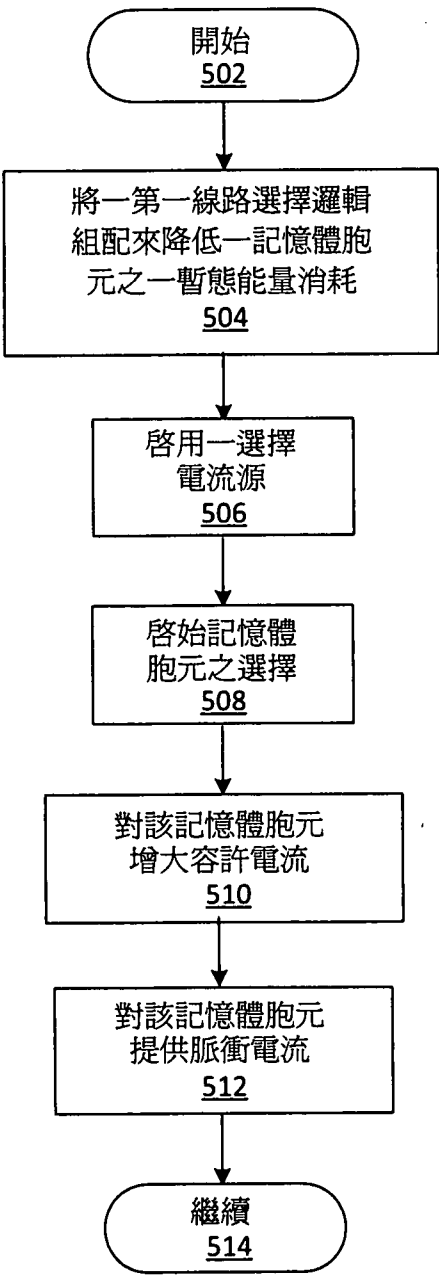


圖5