(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 6 月 15 日(15.06.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/098769 A1

(51) 国際特許分類:
H01L 31/10 (2006.01)　*H04N 5/33* (2006.01)
H01L 27/144 (2006.01)　*H04N 5/369* (2011.01)
H01L 27/146 (2006.01)

(21) 国際出願番号: PCT/JP2016/077091

(22) 国際出願日: 2016 年 9 月 14 日(14.09.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-242235 2015 年 12 月 11 日(11.12.2015) JP

(71) 出願人: ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者: 吉田　慎一(YOSHIDA, Shinichi); 〒1080075 東京都港区港南１丁目７番１号　ソニー株式会社内 Tokyo (JP). 丸山　俊介(MARUYAMA, Shunsuke); 〒1080075 東京都港区港南１丁目７番１号　ソニー株式会社内 Tokyo (JP). 松本　良輔(MATSUMOTO, Ryosuke); 〒1080075 東京都港区港南１丁目７番１号　ソニー株式会社内 Tokyo (JP). 萬田　周治(MANDA, Shuji); 〒1080075 東京都港区港南１丁目７番１号　ソニー株式会社内 Tokyo (JP). 渡邊　知雅(WATANABE, Tomomasa); 〒1080075 東京都港区港南１丁目７番１号　ソニー株式会社内 Tokyo (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所(TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿１丁目１５番９号さわだビル３階 Tokyo (JP).

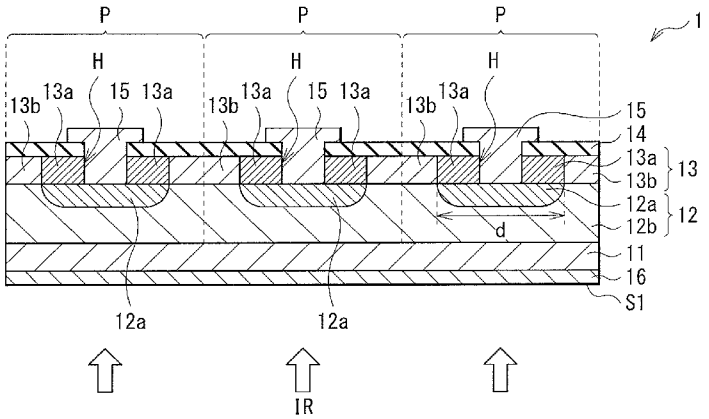
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) **Title**: LIGHT-RECEIVING ELEMENT, MANUFACTURING METHOD FOR LIGHT-RECEIVING ELEMENT, IMAGING ELEMENT, AND ELECTRONIC DEVICE

(54) 発明の名称 : 受光素子、受光素子の製造方法、撮像素子および電子機器



(57) **Abstract**: This light-receiving element includes: a substrate; a photoelectric conversion layer formed on the substrate, said photoelectric conversion layer including a first compound semiconductor and generating a charge by absorbing a wavelength in the infrared range; a semiconductor layer, formed on the photoelectric conversion layer, said semiconductor layer including a second compound conductor and having an opening in a selective region; and an electrode which fills the opening in the semiconductor layer and which is electrically connected to the photoelectric conversion layer.

(57) 要約: この受光素子は、基板と、基板上に形成されると共に第１の化合物半導体を含み、赤外領域の波長を吸収して電荷を発生する光電変換層と、光電変換層上に形成されると共に第２の化合物半導体を含み、かつ選択的な領域に開口を有する半導体層と、半導体層の開口を埋め込むと共に光電変換層に電気的に接続された電極とを備える。

WO 2017/098769 A1

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ：

受光素子、受光素子の製造方法、撮像素子および電子機器

技術分野

[0001] 本開示は、例えば赤外線センサ等に用いられる受光素子およびその製造方法と、撮像素子および電子機器とに関する。

背景技術

[0002] 近年、赤外領域に感度を有するイメージセンサ（赤外線センサ）が商品化されている。この赤外線センサに用いられる受光素子では、例えばＩｎＧａＡｓ（インジウムガリウム砒素）等のIII－Ｖ族半導体を含む光電変換層が設けられ、この光電変換層において、赤外線が吸収されることで電荷が発生する（光電変換が行われる）。このような受光素子あるいは撮像素子の素子構造については、様々な提案がなされている（例えば、特許文献１）。

先行技術文献

特許文献

[0003] 特許文献1：特開２００３－３３２５５１号公報

発明の概要

[0004] 上記特許文献１に記載された受光素子では、III－Ｖ族半導体からなる光電変換層の上に、不純物拡散領域を有する半導体層が配置されている。しかしながら、このような素子構造では、電荷取り出しのための電極と半導体層との間においてオーミック接触を確保できない場合がある。この結果、いわゆる電圧降下が生じ、印加電圧に応じたフォトダイオードの特性（電流電圧特性）を得ることができない。

[0005] 良好なフォトダイオード特性を維持することが可能な受光素子、受光素子の製造方法、撮像素子および電子機器を提供することが望ましい。

[0006] 本開示の一実施の形態の受光素子は、基板と、基板上に形成されると共に第１の化合物半導体を含み、赤外領域の波長を吸収して電荷を発生する光電

変換層と、光電変換層上に形成されると共に第２の化合物半導体を含み、かつ選択的な領域に開口を有する半導体層と、半導体層の開口を埋め込むと共に光電変換層に電気的に接続された電極とを備えたものである。

[0007] 本開示の一実施の形態の受光素子の製造方法は、基板上に、第１の化合物半導体を含むと共に赤外領域の波長を吸収して電荷を発生する光電変換層と、第２の化合物半導体を含むと共に選択的な領域に開口を有する半導体層とを形成する工程と、半導体層の開口を埋め込むと共に光電変換層に電気的に接続される電極を形成する工程とを含むものである。

[0008] 本開示の一実施の形態の受光素子および受光素子の製造方法では、第１の化合物半導体を含む光電変換層上に、第２の化合物半導体を含む半導体層が形成され、この半導体層の選択的な領域に開口が設けられている。電極が、この半導体層の開口を埋め込むと共に光電変換層に電気的に接続されることで、電極と光電変換層との間に半導体層が介在する場合に比べ、コンタクト抵抗が低減する。

[0009] 本開示の一実施の形態の撮像素子は、複数の画素を含み、基板と、基板上に形成されると共に第１の化合物半導体を含み、赤外領域の波長を吸収して電荷を発生する光電変換層と、光電変換層上に形成されると共に第２の化合物半導体を含み、かつ画素毎に開口を有する半導体層と、それぞれが、半導体層の開口を埋め込んで形成されると共に、光電変換層に電気的に接続された複数の電極とを備えたものである。

[0010] 本開示の一実施の形態の電子機器は、上記本開示の一実施の形態の撮像素子を備えたものである。

[0011] 本開示の一実施の形態の受光素子、受光素子の製造方法、撮像素子および電子機器によれば、基板上に、第１の化合物半導体を含む光電変換層と、第２の化合物半導体を含む半導体層とが形成され、半導体層は、その選択的な領域に開口を有する。電極が、この開口を埋め込んで光電変換層に電気的に接続されることで、コンタクト抵抗を低減することができる。よって、良好なフォトダイオード特性を維持することが可能となる。

[0012] 尚、上記内容は本開示の一例である。本開示の効果は、上述したものに限らず、他の異なる効果であってもよいし、更に他の効果を含んでいてもよい。

図面の簡単な説明

[0013] [図1]本開示の第１の実施の形態に係る受光素子の構成を表す断面図である。

[図2]図１に示した半導体層の開口の構成を説明するための断面図である。

[図3A]図２に示した領域Ａの構成の一例を拡大して表す断面図である。

[図3B]図２に示した領域Ａの構成の他の例を拡大して表す断面図である。

[図4]図１に示した半導体層、保護層および第１電極の構成を拡大して表す断面図である。

[図5]図１に示した受光素子の製造方法の一工程を説明するための断面図である。

[図6A]図５に続く工程を表す断面図である。

[図6B]図６Ａに続く工程を表す断面図である。

[図7]図６Ｂに続く工程を表す断面図である。

[図8]図７に続く工程を表す断面図である。

[図9]図８に続く工程を表す断面図である。

[図10A]比較例１に係る受光素子の構成を表す断面図である。

[図10B]比較例２に係る受光素子の構成を表す断面図である。

[図11]本開示の第２の実施の形態に係る受光素子の構成を表す断面図である。

[図12]図１１に示した受光素子の製造方法の一工程を説明するための断面図である。

[図13]図１２に続く工程を表す断面図である。

[図14A]図１３に続く工程を表す断面図である。

[図14B]図１４Ａに続く工程を表す断面図である。

[図15]図１４Ｂに続く工程を表す断面図である。

[図16A]図１５に続く工程を表す断面図である。

[図16B]図１６Ａに続く工程を表す断面図である。

[図17]撮像素子の構成を表すブロック図である。

[図18]積層型の撮像素子の構成例を表す模式図である。

[図19]図１７に示した撮像素子を用いた電子機器（カメラ）の一例を表す機能ブロック図である。

発明を実施するための形態

[0014] 以下、本開示における実施形態について、図面を参照して詳細に説明する。なお、説明する順序は、下記の通りである。

１．第１の実施形態（キャップ層の開口を埋め込んで電極が形成された受光素子の例）

２．第２の実施形態（キャップ層の開口の内側に絶縁膜が形成された受光素子の例）

３．適用例１（撮像素子の例）

４．適用例２（電子機器の例）

[0015] ＜第１の実施の形態＞

［構成］

図１は、本開示の第１の実施形態の受光素子（受光素子１）の断面構成を表したものである。受光素子１は、例えば化合物半導体（III－Ｖ族半導体）を用いた赤外線センサ等に適用されるものであり、例えば２次元配置された複数の受光単位領域（画素Ｐとする）を含んでいる。尚、図１では、３つの画素Ｐに相当する部分の断面構成について示している。

[0016] 受光素子１は、基板１１上に、例えば光電変換層１２と、キャップ層１３（半導体層）とをこの順に有している。光電変換層１２のうちのキャップ層１３の側の選択的な領域（第１導電型層１２ａ）には、第１電極１５が電気的に接続されている。基板１１の光入射側には、例えば第２電極１６が形成されている。キャップ層１３上には、受光素子１のパッシベーション膜として保護層１４が形成されている。この受光素子１では、例えば第２電極１６の裏面が光入射面（面Ｓ１）となっている（第２電極１６の側から赤外線Ｌ

Ｒが入射するように構成されている）。以下、各部の構成について説明する。

[0017] 尚、第２電極１６の面Ｓ１の側には、更に、オンチップレンズ（図示せず）等が設けられていてもよい。また、赤外線だけでなく可視光についても検出する場合には、カラーフィルタが配置されていても構わない。また、保護層１４および第１電極１５の上には、各画素Ｐから信号読み出しを行うための画素回路および各種配線等が形成されたシリコン半導体基板が積層されている。第１電極１５および第２電極１６は、例えばバンプやビア等を通じてシリコン半導体基板に形成された各種回路と電気的に接続されている。

[0018] 基板１１は、例えばｎ型またはｉ型（真性半導体）のＩｎＰから構成されている。ここでは、基板１１上に、基板１１に接して光電変換層１２が形成されているが、基板１１と光電変換層１２との間には他の層が介在していていもよい。基板１１と光電変換層１２との間に介在する層の材料としては、例えば、ＩｎＡｌＡｓ，Ｇｅ，Ｓｉ，ＧａＡｓ，ＩｎＰ等の半導体材料が挙げられるが、基板１１および光電変換層１２との間で格子整合するものが選択されることが望ましい。

[0019] 光電変換層１２は、例えば赤外領域の波長（以下、赤外線という）を吸収して、電荷（電子および正孔）を発生させる化合物半導体（第１の化合物半導体）を含むものである。光電変換層１２は、ここでは、複数の画素Ｐ（あるいは複数の第１電極１５）に対して共通の層として、基板１１上に連続して設けられている。

[0020] 光電変換層１２に用いられる化合物半導体は、例えば$In_xGa_{(1-x)}As$（ｘ：０＜ｘ≦１）である。但し、赤外領域でより感度を得るために、ｘ≧０．４であることが望ましい。ＩｎＰよりなる基板１１と格子整合する光電変換層１２の化合物半導体の組成の一例としては、$In_{0.53}Ga_{0.47}As$が挙げられる。

[0021] この光電変換層１２のキャップ層１３側の選択的な領域には、第１導電型層１２ａが形成されている。第１導電型層１２ａは、画素Ｐ毎に形成されて

いる。換言すると、第１導電型層１２ａは、光電変換層１２において互いに離散して複数形成されている。

[0022] 第１導電型層１２ａは、例えばｐ型の不純物を含む領域である。ｐ型の不純物としては、例えば亜鉛（Ｚｎ）等が挙げられる。この第１導電型層１２ａは、光電変換層１２のうちのキャップ層１３側の面から所定の深さ位置まで形成されている。光電変換層１２は、第１導電型層１２ａと、この第１導電型層１２ａ以外の領域（第２導電型層１２ｂ）との積層により、ｐｎ接合またはｐｉｎ接合を有している。第２導電型層１２ｂは、例えばｎ型の不純物を含む領域である。ｎ型の不純物としては、例えばケイ素（Ｓｉ）等が挙げられる。但し、この第２導電型層１２ｂは、真性半導体から構成されていてもよい（ｉ型の半導体領域であってもよい）。

[0023] キャップ層１３は、光電変換層１２と第１電極１５との間に設けられている。このキャップ層１３は、詳細は後述するが、画素を電気的に分離したり、あるいは暗電流の発生を抑制する役割を有していることが望ましい。キャップ層１３は、光電変換層１２よりもバンドギャップの大きな化合物半導体（第２の化合物半導体）を含んで構成されることが望ましい。$In_{0.53}Ga_{0.47}As$（バンドギャップ０．７４ｅＶ）よりもバンドギャップの大きな化合物半導体の一例としては、例えばＩｎＰ（バンドギャップ１．３４ｅＶ）およびＩｎＡｌＡｓ等が挙げられる。尚、キャップ層１３と光電変換層１２との間には、更に、例えば、ＩｎＡｌＡｓ，Ｇｅ，Ｓｉ，ＧａＡｓおよびＩｎＰ等のうちのいずれかの半導体からなる層が介在していてもよい。

[0024] このキャップ層１３は、光電変換層１２の第１導電型層１２ａに対向して第１導電型領域１３ａを有しており、この第１導電型領域１３ａの選択的な領域に開口Ｈを有している。即ち、第１導電型領域１３ａと開口Ｈとは、画素Ｐ毎に設けられている。開口Ｈは、例えば光電変換層１２の表面が露出するように、キャップ層１３を貫通して形成されている。

[0025] 図２は、開口Ｈの構成を説明するための図であり、図３Ａおよび図３Ｂは、図２における領域Ａの詳細構成を表したものである。図３Ａに示したよう

に、開口Ｈ付近では、保護層１４の端部１４ｅが、開口Ｈの側面（第１導電型領域１３ａの側壁１３ａ１）よりも突出して（張り出して）設けられている。つまり、開口Ｈ付近では、保護層１４の端部１４ｅは庇状に形成されている。あるいは、図３Ｂに示したように、開口Ｈの側面が、傾斜面１３ａ２を有していてもよい。傾斜面１３ａ２は、順テーパ形状を有し、保護層１４側の面から光電変換層１２側の面に向かって徐々に開口面積が小さくなるように傾斜している。このように、開口Ｈ付近において保護層１４が庇状に形成されていてもよいし、開口Ｈの側面が傾斜面１３ａ２を有していてもよい。但し、図３Ｂに示したように、開口Ｈが傾斜面１３ａ２を有することが望ましい。第１導電型領域１３ａの側壁に対する第１電極１５のカバレッジがより良好となるためである。

[0026] この第１導電型領域１３ａの周囲には、第１導電型領域１３ａに隣接して第２導電型領域１３ｂが形成されている。

[0027] 第１導電型領域１３ａは、例えばｐ型の不純物を含む領域である。ｐ型の不純物としては、例えば亜鉛（Ｚｎ）等が挙げられる。この第１導電型領域１３ａと、第１導電型層１２ａとは、例えば互いに同一の不純物を含み、また略同一の幅（幅ｄ）を有している。詳細は後述するが、同一の不純物拡散プロセスにより、一括して第１導電型層１２ａと第１導電型領域１３ａとが形成されるためである。キャップ層１３では、横方向（基板１１に平行な方向）に沿って、開口Ｈを囲むように第１導電型領域１３ａが形成され、この第１導電型領域１３ａを囲むように第２導電型領域１３ｂが形成されている。第２導電型領域１３ｂは、例えばｎ型の不純物を含む領域である。ｎ型の不純物としては、例えばケイ素（Ｓｉ）等が挙げられる。

[0028] キャップ層１３では、これらの第１導電型領域１３ａと第２導電型領域１３ｂとの境界により、即ち、第１導電型領域１３ａと第２導電型領域１３ｂとが横方向に隣接して形成されることによってｐｎ接合界面が形成される。これにより、隣り合う画素Ｐ同士を電気的に分離することができる。

[0029] 保護層１４は、キャップ層１３上の開口Ｈを除く領域を覆って形成されて

いる。この保護層１４は、例えば後述の不純物拡散プロセスおよび開口Ｈの形成プロセスにおいてハードマスクとして用いられるものである。保護層１４は、無機絶縁材料、例えば窒化シリコン（ＳｉＮ）、酸化アルミニウム（Al_2O_3）および酸化ハフニウム（HfO_2）のうちの少なくとも１種を含んで構成されている。

[0030] この保護層１４は、図４に示したように、キャップ層１３の第１導電型領域１３ａと第２導電型領域１３ｂとの境界（境界Ｂ）に接して形成されている。

[0031] 第１電極１５は、光電変換層１２において発生した電荷（例えば、正孔）を読み出すための電圧が供給される電極であり、画素Ｐ毎に形成されている。この第１電極１５の構成材料としては、例えばチタン（Ｔｉ），タングステン（Ｗ），窒化チタン（ＴｉＮ），白金（Ｐｔ），金（Ａｕ），ゲルマニウム（Ｇｅ），ニッケル（Ｎｉ）およびアルミニウム（Ａｌ）のうちのいずれかの単体、またはそれらのうちの少なくとも１種を含む合金が挙げられる。この第１電極１５が、本開示の「電極」の一具体例に相当する。

[0032] この第１電極１５は、開口Ｈを埋め込むと共に光電変換層１２の第１導電型層１２ａと電気的に接続されて形成されている。ここでは、第１電極１５は、開口Ｈを埋め込み、かつ第１導電型層１２ａの表面と直に接している。また、第１電極１５は、画素Ｐ毎に設けられているが、本実施の形態のように、１つの画素Ｐに対して１つの第１電極１５が配置されていてもよいし、１つの画素Ｐに対して複数の第１電極１５が配置されていてもよい。また、１つの画素Ｐに複数の第１電極１５が配置される場合には、それらのうちの一部に実際には電荷取り出しに寄与しない電極（ダミー電極）が含まれていても構わない。

[0033] 第２電極１６は、例えば各画素Ｐに共通の電極として、基板１１の裏面（光入射側の面）に設けられている。尚、光電変換層１２において発生した電荷のうち、例えば正孔が第１電極１５を通じて信号電荷として読み出される場合には、この第２電極１６を通じて例えば電子を排出することができる。

また、第２電極１６は、基板１１に電気的に接続されていれば、必ずしも基板１１の裏面の全面にわたって形成されていなくともよい。あるいは、この第２電極１６は設けられていなくともよい。

[0034] この第２電極１６は、例えば赤外領域の波長の光を透過可能な導電膜により構成されている。

[0035] ［製造方法］

受光素子１は、例えば次のようにして製造することができる。図５～図９は、受光素子１の製造工程を工程順に示したものである。

[0036] まず、図５に示したように、例えばＩｎＰよりなる基板１１の一面に、例えばＩｎＧａＡｓを含む化合物半導体層１２０と、例えばＩｎＰ含む化合物半導体層１３０とを、順にエピタキシャル成長させる。この成長過程において、例えばｎ型の不純物を含むガス等を導入することにより、化合物半導体層１２０，１３０をそれぞれｎ型の層として成膜する。

[0037] 次いで、化合物半導体層１３０上に、保護層１４を形成する。具体的には、まず、図６Ａに示したように、例えばプラズマＣＶＤ（Chemical Vapor Deposition）法、熱ＣＶＤ法、ＡＬＤ（Atomic Layer Deposition）法またはスパッタリング法などにより、上述した材料よりなる保護層１４を成膜する。この後、図６Ｂに示したように、リソグラフィ法を用いたエッチングにより、保護層１４に開口ｈ１を形成する。開口ｈ１は、画素形成領域ｐ１（画素Ｐが形成される領域）毎に形成する。

[0038] 続いて、図７に示したように、保護層１４をマスクとして（開口ｈ１を通じて）、化合物半導体層１２０，１３０に対し、例えば気相拡散により、例えばｐ型の不純物（例えば亜鉛）を拡散させる。この際、例えばＤＭＺｎ（Di-Methyl Zinc）などのガスが使用され、その際のプロセス温度は、例えば５００℃程度とすることができる。これにより、第１導電型層１２ａと第１導電型領域１３ａとが一括して（同時に）形成される。また、化合物半導体層１２０のうちの第１導電型層１２ａを除く部分が、第２導電型層１２ｂとなる。化合物半導体層１３０のうちの第１導電型領域１３ａを除く部分が、第

２導電型領域１３ｂとなる。これにより、第１導電型層１２ａと第２導電型層１２ｂとのｐｎ接合を含む光電変換層１２が形成されると共に、光電変換層１２上に、第１導電型領域１３ａと第２導電型領域１３ｂとのｐｎ接合（境界Ｂ）が形成される。尚、気相拡散の他にも、例えば固相拡散またはイオンインプランテーションにより、第１導電型層１２ａおよび第１導電型領域１３ａを形成してもよい。

[0039] 次いで、図８に示したように、保護層１４をマスクとして、第１導電型領域１３ａをエッチングすることにより、画素形成領域ｐ１毎に開口Ｈを形成する。この際、ウェットプロセスを用いることにより、第１導電型領域１３ａの側壁を順テーパ形状とする（開口Ｈの側面に、図３Ｂに示した傾斜面１３ａ２を形成する）ことができる。具体的には、ＩｎＧａＡｓとエッチング選択性を得ることの可能な薬液、例えば塩酸と過酸化水素との混合液、あるいはクエン酸と過酸化水素との混合液等を用いたウェットエッチングを行う。但し、このようなウェットプロセスに限定されず、ドライプロセス（ドライエッチング）が用いられてもよい。また、図３Ａに示したように、開口Ｈと共に保護層１４の端部１４ｅが庇状に形成されても構わない。このようにして、光電変換層１２とキャップ層１３とを形成することができる。

[0040] 続いて、図９に示したように、第１電極１５を形成する。具体的には、上述した材料よりなる第１電極１５を、例えばＣＶＤ法、ＰＶＤ（Physical Vapor Deposition）法、ＡＬＤ法または蒸着法等により、保護層１４上に開口Ｈを埋め込むように成膜した後、リソグラフィ法を用いたエッチングによりパターニングする。これにより、第１電極１５が画素Ｐ毎に形成される。

[0041] この後、基板１１の裏面側に、例えばＣＶＤ法、ＰＶＤ法、ＡＬＤ法または蒸着法等により、第２電極１６を形成する。また、必要に応じて、カラーフィルタやオンチップレンズ等を形成する。以上により、図１に示した受光素子１を完成する。

[0042] ［作用、効果］

本実施の形態の受光素子１では、第２電極１６および基板１１を介して、

光電変換層１２へ赤外線ＩＲが入射すると、この赤外線ＩＲが光電変換層１２において吸収される。これにより、光電変換層１２では、正孔（ホール）および電子の対が発生する（光電変換される）。このとき、例えば第１電極１５と第２電極１６とを通じて光電変換層１２に所定の電圧が印加される（電位勾配が形成される）ことで、発生した電荷のうちの一方の電荷（ここでは、正孔）が、信号電荷として第１電極１５の側へ収集される。この信号電荷は、第１電極１５を通じて、図示しない画素回路によって読み出される。

[0043] 尚、第２電極１６が設けられていない場合には、第１電極１５と基板１１との間で電位勾配が形成されるように第１電極１５への電圧印加を行えばよい。但し、第２電極１６を設けることで、電位勾配をより大きく形成し易く、また、光電変換により発生した電荷のうちの他方の電荷（ここでは、電子）を、第２電極１６を通じて光電変換層１２から排出することができる。

[0044] この受光素子１では、第１の化合物半導体（例えばＩｎＧａＡｓ等のIII－Ｖ族半導体）を含む光電変換層１２上に、第２の化合物半導体（例えばＩｎＰ）からなるキャップ層１３が形成され、キャップ層１３の選択的な領域に開口Ｈが設けられている。この開口Ｈを埋め込み、かつ光電変換層１２に電気的に接続されて、第１電極１５が設けられている。

[0045] ここで、図１０Ａに、本実施の形態の比較例（比較例１）に係る受光素子１００Ａの断面構成について示す。尚、図１０Ａでは、１つの画素に相当する領域のみを示している。受光素子１００Ａでは、ＩｎＰよりなる基板１０１上に、ＩｎＧａＡｓよりなる光電変換層１０２と、ＩｎＰよりなるキャップ層１０３とが積層されている。キャップ層１０３上には、開口ｈ１を有する保護層１０４が設けられ、この開口ｈ１を介してキャップ層１０３に第１電極１０５が電気的に接続されている。

[0046] この受光素子１００Ａでは、キャップ層１０３が、ｐ型領域１０３ａとｎ型領域１０３ｂとを含んでいる。これにより、ｐｎ接合界面が形成され（ｐｎ分離により）、隣接する画素同士を電気的に分離することができる。即ち、信号電荷の隣接画素への混入を防ぐことができる。ところが、この比較例

１の受光素子１００Ａでは、第１電極１０５と光電変換層１０２との間に、ＩｎＰ（ｐ型領域１０３ａ）が介在することから、オーミック接触を確保しにくい（コンタクト抵抗が大きくなる）。この結果、光電変換層１０２に所望の電圧が印加されにくくなり、フォトダイオードの特性（電流電圧特性）が低下する。

[0047] これに対し、本実施の形態では、上記のようにキャップ層１３に開口Ｈが設けられ、この開口Ｈを介して第１電極１５が光電変換層１２に電気的に接続されることにより、オーミック接触を確保することができ、上記比較例１よりもコンタクト抵抗を低減することができる。

[0048] ここで、図１０Ｂに、本実施の形態の比較例２に係る受光素子１００Ｂの断面構成について示す。受光素子１００Ｂは、ＩｎＰよりなる基板１０７上に、ｎ型のＩｎＧａＡｓＰよりなる光電変換層１０８と、ＩｎＧａＡｓＰよりなるキャップ層１０９とが積層されている。キャップ層１０９上には、開口ｈ１を有する保護層１１０（ＳｉＮ）が設けられ、この開口ｈ１を介してキャップ層１０９に第１電極１１１が電気的に接続されている。この受光素子１００Ｂにおいても、キャップ層１０９が、ｐ型領域１０９ａとｎ型領域１０９ｂとを含み、これにより、ｐｎ接合界面が形成されて、隣接する画素同士を電気的に分離することができる。また、この受光素子１００Ｂでは、キャップ層１０９を構成するＩｎＧａＡｓＰは、コンタクト抵抗が比較的小さいことから、コンタクト抵抗を減少させることが可能である。

[0049] しかしながら、一般に、III－Ｖ族半導体と絶縁膜との界面には欠陥が生じ易い。また、III－Ｖ族半導体のバンドギャップが比較的小さいことから、界面再結合速度が増加する。これらのことから、III－Ｖ族半導体と絶縁膜との界面付近では、暗電流が発生し易い。このため、比較例２の受光素子１００Ｂでは、ＳｉＮよりなる保護層１１０とＩｎＧａＡｓＰよりなるキャップ層１０９とが接触することから、これらの界面で欠陥が生じ易く暗電流が発生する。したがって、III－Ｖ族半導体を用いた素子構造において、コンタクト抵抗を低減しつつ暗電流を抑制することが難しい。暗電流は、受光信号にお

けるノイズとなることから、抑制されることが望ましい。

[0050] これに対し、本実施の形態では、III－Ｖ族半導体（例えばＩｎＧａＡｓ）を含む光電変換層１２と保護層１４との間に介在するキャップ層１３が、例えば光電変換層１２よりもバンドギャップの大きな化合物半導体（例えばＩｎＰ）を含む。これにより、界面再結合速度が低減し、暗電流の発生を抑制することができる。

[0051] また、本実施の形態では、キャップ層１３において、例えばｐ型の第１導電型領域１３ａの周囲に、例えばｎ型の第２導電型領域１３ｂが形成される。即ち、キャップ層１３が、第１導電型領域１３ａと第２導電型領域１３ｂとのｐｎ接合界面（図４の境界Ｂ）を含み、この境界Ｂが保護層１４と接する。ここで、上記のような界面欠陥とｐｎ接合界面に生じる空乏層とが接した場合にも暗電流が生じるが、本実施の形態の受光素子１は、空乏層と欠陥を多く含む界面とが接しない構造を有しており、暗電流が生じにくい。

[0052] 即ち、本実施の形態では、第１電極１５がキャップ層１３の開口Ｈを埋め込み、かつキャップ層１３におけるｐｎ接合界面（境界Ｂ）が保護層１４と接する構造を実現することで、コンタクト抵抗を十分に低減しつつ、保護層１４との界面での暗電流の発生を抑制することができる。

[0053] また、受光素子１が複数の受光単位領域として画素Ｐを含む場合において、光電変換層１２の第１導電型層１２ａとキャップ層１３の第１導電型領域１３ａとは、それぞれ画素Ｐ毎に設けられる。キャップ層１３において、第１導電型領域１３ａの周囲に第２導電型領域１３ｂが形成されることで、これらの境界（図４の境界Ｂ）によって、ｐｎ接合界面が形成され（ｐｎ分離により）、隣り合う画素Ｐ同士を電気的に分離することができる。

[0054] 更に、光電変換層１２の第１導電型層１２ａと、キャップ層１３の第１導電型領域１３ａとは、保護層１４をマスクとした不純物拡散プロセスにより、一括して（同時に）形成することができる。即ち、第１導電型層１２ａと第１導電型領域１３ａとは、互いに同一の不純物を含んで形成される。

[0055] 以上のように本実施の形態では、第１の化合物半導体を含む光電変換層１

２上に、第２の化合物半導体を含むキャップ層１３が形成され、このキャップ層１３の選択的な領域に開口Ｈが設けられている。信号電荷読み出しのための第１電極１５が、キャップ層１３の開口Ｈを埋め込むと共に光電変換層１２に電気的に接続されることで、コンタクト抵抗を低減することができる。よって、良好なフォトダイオードの特性を維持することが可能となる。

[0056] 次に、上記第１の実施の形態の他の実施の形態について説明する。以下では、上記第１の実施の形態と同様の構成要素については同一の符号を付し、適宜その説明を省略する。

[0057] ＜第２の実施の形態＞

図１１は、本開示の第２の実施形態の受光素子（受光素子１Ａ）の断面構成を表したものである。本実施の形態の受光素子１Ａも、上記第１の実施の形態の受光素子１と同様、例えば化合物半導体（III－Ｖ族半導体）を用いた赤外線センサ等に適用されるものであり、例えば２次元配置された複数の受光単位領域（画素Ｐ）を含んでいる。尚、図１１では、１つの画素Ｐに相当する部分の断面構成について示している。

[0058] 受光素子１Ａは、上記第１の実施の形態の受光素子１と同様、基板１１上に光電変換層１２とキャップ層１３とが形成されたものである。基板１１の裏面側には第２電極１６が形成されており、この第２電極１６の裏面が面Ｓ１となっている。光電変換層１２は、第１導電型層１２ａと第２導電型層１２ｂとを有し、キャップ層１３は、第１導電型領域１３ａと第２導電型領域１３ｂとを有している。キャップ層１３の第１導電型領域１３ａには開口Ｈが形成されており、この開口Ｈを埋め込むように第１電極１５が形成されている。キャップ層１３上には、保護層２２が設けられており、キャップ層１３における第１導電型領域１３ａと第２導電型領域１３ｂとの境界Ｂ１は、保護層２２と接している。

[0059] 但し、本実施の形態では、上記第１の実施の形態と異なり、キャップ層１３の開口Ｈの側面（内側の面）を覆って、絶縁膜２１が形成されている。具体的には、絶縁膜２１は、キャップ層１３の第１導電型領域１３ａの側壁を

覆って形成されている。換言すると、基板１１と平行な方向（横方向）において、第１電極１５と第１導電型領域１３ａとの間に絶縁膜２１が介在している。

[0060] 絶縁膜２１は、いわゆるサイドウォールとして機能するものである。この絶縁膜２１は、例えば窒化シリコン、酸化アルミニウムおよび酸化ハフニウム等の無機材料のうちの少なくとも１種を含んで構成されている。

[0061] 保護層２２は、上記第１の実施の形態の保護層１４と同様、例えば窒化シリコン、酸化アルミニウムおよび酸化ハフニウム等の無機絶縁材料または高誘電率材料のうちの少なくとも１種を含んで構成されている。但し、この保護層２２は、上記第１の実施の形態の保護層１４と異なり、キャップ層１３の上面と、第１電極１５の上面の一部とを覆って形成され、第１電極１５に対向して開口ｈ２を有している。

[0062] 上記のような受光素子１Ａは、例えば次のようにして製造することができる。図１２～図１６Ｂは、受光素子１Ａの製造工程を工程順に示したものである。

[0063] まず、上記第１の実施の形態と同様にして、例えばＩｎＰよりなる基板１１の一面に、例えばｎ型の化合物半導体層１２０と、例えばｎ型の化合物半導体層１３０とを、順にエピタキシャル成長により形成する。この後、図１２に示したように、開口ｈ３を有するハードマスク層２１０を用いて、上記第１の実施の形態と同様の手法により、化合物半導体層１２０，１３０に、例えばｐ型の不純物を拡散させる。これにより、第１導電型層１２ａと第１導電型領域１３ａとを一括形成する。ハードマスク層２１０としては、例えば上記第１の実施の形態の保護層１４と同様の材料が用いられる。このような材料を、例えばプラズマＣＶＤ法、熱ＣＶＤ法、ＡＬＤ法またはスパッタリング法などにより成膜した後、リソグラフィ法を用いたエッチングにより、開口ｈ３を形成することができる。

[0064] 次いで、図１３に示したように、ハードマスク層２１０を用いて、上記第１の実施の形態と同様にして、第１導電型領域１３ａをエッチングすること

により、開口Ｈを形成する。このようにして、光電変換層１２とキャップ層１３とが形成される。その後、ハードマスク層２１０を除去する。ハードマスク層２１０がＳｉＮからなる場合、例えばフッ化水素（ＨＦ）系の薬液を用いたウェットエッチングにより、ハードマスク層２１０を除去することができる。

[0065] 続いて、図１４Ａに示したように、キャップ層１３の上に、上述した材料よりなる絶縁膜２１（絶縁膜２１ａ）を成膜する。このとき、キャップ層１３の上面と、開口Ｈの側面とを覆って、絶縁膜２１Ａを形成する。成膜手法としては、例えば、プラズマＣＶＤ法、熱ＣＶＤ法、ＡＬＤ法およびスパッタリング法などが挙げられる。

[0066] この後、図１４Ｂに示したように、例えばドライエッチングにより、成膜した絶縁膜２１ａのうち開口Ｈの側面以外の部分（キャップ層１３の上面と、開口Ｈの底面とに対向する各部分）を選択的に除去する。このようにして、サイドウォールとして機能する絶縁膜２１を形成する。

[0067] 次いで、図１５に示したように、第１電極１５を形成する。具体的には、上記第１の実施の形態と同様にして、上述した材料よりなる第１電極１５を、例えばＣＶＤ法、ＰＶＤ法、ＡＬＤ法または蒸着法等により、キャップ層１３上に開口Ｈを埋め込むように成膜した後、リソグラフィ法を用いたエッチングによりパターニングする。

[0068] 続いて、図１６Ａに示したように、第１電極１５とキャップ層１３とを覆うように、上述した材料よりなる保護層２２を成膜する。成膜手法としては、例えば、プラズマＣＶＤ法、熱ＣＶＤ法、ＡＬＤ法およびスパッタリング法などが挙げられる。

[0069] この後、図１６Ｂに示したように、保護層２２を例えばリソグラフィ法を用いてエッチングすることにより、開口ｈ２を形成する。尚、本実施の形態においても、基板１１の裏面側に、上記第１の実施の形態と同様にして、第２電極１６を形成する。以上により、図１１に示した受光素子１Ａを完成する。

[0070] 本実施の形態の受光素子１Ａでは、上記第１の実施の形態の受光素子１と同様、光電変換層１２へ赤外線ＩＲが入射すると、この赤外線ＩＲが光電変換層１２において吸収され、光電変換される。このとき、例えば第１電極１５と第２電極１６とを通じて光電変換層１２に所定の電圧が印加され、第１電極１５を通じて、信号電荷が読み出される。

[0071] この受光素子１Ａにおいても、光電変換層１２上に形成されたキャップ層１３が開口Ｈを有し、この開口Ｈを埋め込むように第１電極１５が設けられている。これにより、上述した理由から、コンタクト抵抗を低減することができる。よって、上記第１の実施の形態と同等の効果を得ることができる。

[0072] また、III－Ｖ族半導体（例えばＩｎＧａＡｓ）を含む光電変換層１２と保護層１４との間に介在するキャップ層１３が、例えば光電変換層１２よりもバンドギャップの大きな化合物半導体（例えばＩｎＰ）を含む。これにより、界面再結合速度が低減し、暗電流の発生を抑制することができる。加えて、キャップ層１３における第１導電型領域１３ａと第２導電型領域１３ｂとの境界Ｂ１が保護層２２と接しており、空乏層と欠陥を多く含む界面とが接しない構造を有しており、暗電流が生じにくい。よって、本実施の形態の受光素子１Ａにおいても、上記第１の実施の形態と同様、コンタクト抵抗を十分に低減しつつ、保護層１４との界面での暗電流の発生を抑制することができる。

[0073] 加えて、本実施の形態では、開口Ｈの側面に絶縁膜２１が形成されていることにより、更に次のような効果を有する。即ち、信号読み出しのために第１電極１５には所定の電圧が印加されるが、この電圧印加によって、開口Ｈの側面付近（第１電極１５とキャップ層１３の第１導電型領域１３ａとの間の領域）には、空乏層が拡がり易い。開口Ｈの側面、即ち、第１電極１５と第１導電型領域１３ａの側壁との間に絶縁膜２１が設けられることで、このような空乏層の拡がりを抑制することができ、暗電流の発生を抑制することができる。

[0074] ＜適用例１＞

図１７は、上記第１の実施の形態等において説明した受光素子１の素子構造を用いた撮像素子２の機能構成を表したものである。撮像素子２は、例えば赤外線イメージセンサであり、例えば画素部１０と、この画素部１０を駆動する回路部２０とを有している。回路部２０は、例えば行走査部１３１、水平選択部１３３、列走査部１３４およびシステム制御部１３２を有している。

[0075] 画素部１０は、例えば行列状に２次元配置された複数の画素Ｐを有している。この画素Ｐには、例えば画素行ごとに画素駆動線Ｌread（例えば、行選択線およびリセット制御線）が配線され、画素列ごとに垂直信号線Ｌsigが配線されている。画素駆動線Ｌreadは、画素Ｐからの信号読み出しのための駆動信号を伝送するものである。画素駆動線Ｌreadの一端は、行走査部１３１の各行に対応した出力端に接続されている。

[0076] 行走査部１３１は、シフトレジスタやアドレスデコーダ等によって構成され、画素部１０の各画素Ｐを、例えば行単位で駆動する画素駆動部である。行走査部１３１によって選択走査された画素行の各画素Ｐから出力される信号は、垂直信号線Ｌsigの各々を通して水平選択部１３３に供給される。水平選択部１３３は、垂直信号線Ｌsigごとに設けられたアンプや水平選択スイッチ等によって構成されている。

[0077] 列走査部１３４は、シフトレジスタやアドレスデコーダ等によって構成され、水平選択部１３３の各水平選択スイッチを走査しつつ順番に駆動するものである。この列走査部１３４による選択走査により、垂直信号線Ｌsigの各々を通して伝送される各画素の信号が順番に水平信号線１３５に出力され、当該水平信号線１３５を通して図示しない信号処理部等へ入力される。

[0078] この撮像素子２では、図１８に示したように、例えば、画素部１０を有する基板２Ａと、回路部２０を有する基板２Ｂとが積層されている。但し、このような構成に限定されず、回路部２０は、画素部１０と同一の基板上に形成されていてもよいし、あるいは外部制御ＩＣに配設されたものであってもよい。また、回路部２０は、ケーブル等により接続された他の基板に形成さ

れていてもよい。

[0079] システム制御部１３２は、外部から与えられるクロックや、動作モードを指令するデータなどを受け取り、また、撮像素子２の内部情報などのデータを出力するものである。システム制御部１３２はさらに、各種のタイミング信号を生成するタイミングジェネレータを有し、当該タイミングジェネレータで生成された各種のタイミング信号を基に行走査部１３１、水平選択部１３３および列走査部１３４などの駆動制御を行う。

[0080] ＜適用例２＞

上述の撮像素子２は、例えば赤外領域を撮像可能なカメラなど、様々なタイプの電子機器に適用することができる。図１９に、その一例として、電子機器３（カメラ）の概略構成を示す。この電子機器３は、例えば静止画または動画を撮影可能なカメラであり、撮像素子２と、光学系（光学レンズ）３１０と、シャッタ装置３１１と、撮像素子２およびシャッタ装置３１１を駆動する駆動部３１３と、信号処理部３１２とを有する。

[0081] 光学系３１０は、被写体からの像光（入射光）を撮像素子２へ導くものである。この光学系３１０は、複数の光学レンズから構成されていてもよい。シャッタ装置３１１は、撮像素子２への光照射期間および遮光期間を制御するものである。駆動部３１３は、撮像素子２の転送動作およびシャッタ装置３１１のシャッタ動作を制御するものである。信号処理部３１２は、撮像素子２から出力された信号に対し、各種の信号処理を行うものである。信号処理後の映像信号Ｄoutは、メモリなどの記憶媒体に記憶されるか、あるいは、モニタ等に出力される。

[0082] 以上、実施の形態および適用例を挙げて説明したが、本開示内容は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、上記実施の形態において説明した受光素子の層構成は一例であり、更に他の層を備えていてもよい。また、各層の材料や厚みも一例であって、上述のものに限定されるものではない。

[0083] また、上記実施の形態等では、本開示の「第１導電型層」および「第１導

電型領域」をｐ型の層（領域）として、「第２導電型層」および「第２導電型領域」をｎ型の層（領域）として、それぞれ記載したが、本開示はこの組み合わせに限定される訳ではない。即ち、受光素子に用いられる化合物半導体と不純物（ドーパント）との種類に応じて、「第１導電型層」および「第１導電型領域」がｎ型とされ、「第２導電型層」および「第２導電型領域」がｐ型とされてもよい。

[0084] また、上記実施の形態等において説明した効果は一例であり、他の効果であってもよいし、更に他の効果を含んでいてもよい。

[0085] 尚、本開示は、以下のような構成であってもよい。

（１）

基板と、

前記基板上に形成されると共に第１の化合物半導体を含み、赤外領域の波長を吸収して電荷を発生する光電変換層と、

前記光電変換層上に形成されると共に第２の化合物半導体を含み、かつ選択的な領域に開口を有する半導体層と、

前記半導体層の前記開口を埋め込むと共に前記光電変換層に電気的に接続された電極と

を備えた

受光素子。

（２）

前記光電変換層は、前記半導体層の側の選択的な領域に第１導電型層を有し、

前記半導体層は、

前記第１導電型層に対向して形成されると共に前記開口を有する第１導電型領域と、

前記第１導電型領域に周囲に形成された第２導電型領域と

を有する

上記（１）に記載の受光素子。

（３）

前記半導体層上に絶縁材料を含む保護層を更に備え、

前記第２の化合物半導体は、前記第１の化合物半導体よりも大きなバンドギャップを有する

上記（１）または（２）に記載の受光素子。

（４）

前記光電変換層は、前記半導体層の側の選択的な領域に第１導電型層を有し、

前記半導体層は、

前記第１導電型層に対向して形成されると共に前記開口を有する第１導電型領域と、

前記第１導電型領域に周囲に形成された第２導電型領域と

を有し、

前記第１導電型領域と前記第２導電型領域との境界が前記保護層に接する

上記（３）に記載の受光素子。

（５）

複数の画素を含み、

前記第１導電型層と前記第１導電型領域とがそれぞれ前記画素毎に設けられ、

前記第１導電型領域と前記第２導電型領域との境界により、隣り合う画素同士が電気的に分離されている

上記（２）に記載の受光素子。

（６）

前記第１導電型層と前記第１導電型領域とは互いに同一の不純物を含む

上記（２）または（５）に記載の受光素子。

（７）

前記半導体層の前記開口の内側の面を覆って絶縁膜が設けられている

上記（１）～（６）のいずれか１つに記載の受光素子。

（８）

前記半導体層の前記開口の側面は傾斜面を有する

上記（１）～（７）のいずれか１つに記載の受光素子。

（９）

前記第１の化合物半導体は、$In_xGa_{(1-x)}As$（ｘ：０＜ｘ≦１）から構成されている

上記（１）～（８）のいずれか１つに記載の受光素子。

（１０）

前記第２の化合物半導体は、ＩｎＰまたはＩｎＡｌＡｓから構成されている

上記（９）に記載の受光素子。

（１１）

前記基板に電気的に接続された他の電極を更に備えた

上記（１）～（１０）のいずれか１つに記載の受光素子。

（１２）

基板上に、

第１の化合物半導体を含むと共に赤外領域の波長を吸収して電荷を発生する光電変換層と、

第２の化合物半導体を含むと共に選択的な領域に開口を有する半導体層と

を形成する工程と、

前記半導体層の前記開口を埋め込むと共に前記光電変換層に電気的に接続される電極を形成する工程と

を含む

受光素子の製造方法。

（１３）

前記光電変換層は、前記半導体層の側の選択的な領域に第１導電型層を有し、

前記半導体層は、

前記第１導電型層に対向して形成されると共に前記開口を有する第１導電型領域と、

前記第１導電型領域の周囲に形成された第２導電型領域と

を有する

上記（１２）に記載の受光素子の製造方法。

（１４）

前記半導体層上に絶縁材料を含む保護層を更に備え、

前記第２の化合物半導体は、前記第１の化合物半導体よりも大きなバンドギャップを有する

上記（１２）または（１３）に記載の受光素子の製造方法。

（１５）

前記光電変換層は、前記半導体層の側の選択的な領域に第１導電型層を有し、

前記半導体層は、

前記第１導電型層に対向して形成されると共に前記開口を有する第１導電型領域と、

前記第１導電型領域の周囲に形成された第２導電型領域と

を有し、

前記第１導電型領域と前記第２導電型領域との境界が前記保護層に接する

上記（１４）に記載の受光素子の製造方法。

（１６）

前記光電変換層と前記半導体層とを形成する工程では、

前記基板上に、前記第１および第２の化合物半導体を順に成膜した後、この上に前記保護層を形成し、

前記保護層をマスクとして、前記第１および第２の化合物半導体のうちの選択的な領域に不純物を拡散させることにより、前記第１導電型層と前記第１導電型領域とを形成する

上記（１４）または（１５）に記載の受光素子の製造方法。

（１７）

前記保護層をマスクとして前記半導体層をエッチングすることにより、前記開口を形成する

上記（１６）に記載の受光素子の製造方法。

（１８）

前記光電変換層と前記半導体層とを形成する工程において、

前記半導体層の前記開口の内側の面を覆う絶縁膜を形成する

上記（１２）～（１７）のいずれか１つに記載の受光素子の製造方法。

（１９）

複数の画素を含み、

基板と、

前記基板上に形成されると共に第１の化合物半導体を含み、赤外領域の波長を吸収して電荷を発生する光電変換層と、

前記光電変換層上に形成されると共に第２の化合物半導体を含み、かつ前記画素毎に開口を有する半導体層と、

それぞれが、前記半導体層の前記開口を埋め込んで形成されると共に、前記光電変換層に電気的に接続された複数の電極と

を備えた

撮像素子。

（２０）

複数の画素を含み、

基板と、

前記基板上に形成されると共に第１の化合物半導体を含み、赤外領域の波長を吸収して電荷を発生する光電変換層と、

前記光電変換層上に形成されると共に第２の化合物半導体を含み、かつ前記画素毎に開口を有する半導体層と、

それぞれが、前記半導体層の前記開口を埋め込んで形成されると共に、前記光電変換層に電気的に接続された複数の電極と

を備えた

撮像素子を有する電子機器。

[0086] 本出願は、日本国特許庁において２０１５年１２月１１日に出願された日本特許出願番号第２０１５－２４２２３５号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0087] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1] 基板と、

前記基板上に形成されると共に第１の化合物半導体を含み、赤外領域の波長を吸収して電荷を発生する光電変換層と、

前記光電変換層上に形成されると共に第２の化合物半導体を含み、かつ選択的な領域に開口を有する半導体層と、

前記半導体層の前記開口を埋め込むと共に前記光電変換層に電気的に接続された電極と

を備えた

受光素子。

[請求項2] 前記光電変換層は、前記半導体層の側の選択的な領域に第１導電型層を有し、

前記半導体層は、

前記第１導電型層に対向して形成されると共に前記開口を有する第１導電型領域と、

前記第１導電型領域に周囲に形成された第２導電型領域と

を有する

請求項１に記載の受光素子。

[請求項3] 前記半導体層上に絶縁材料を含む保護層を更に備え、

前記第２の化合物半導体は、前記第１の化合物半導体よりも大きなバンドギャップを有する

請求項１に記載の受光素子。

[請求項4] 前記光電変換層は、前記半導体層の側の選択的な領域に第１導電型層を有し、

前記半導体層は、

前記第１導電型層に対向して形成されると共に前記開口を有する第１導電型領域と、

前記第１導電型領域に周囲に形成された第２導電型領域と

を有し、

前記第１導電型領域と前記第２導電型領域との境界が前記保護層に接する

請求項３に記載の受光素子。

[請求項5] 複数の画素を含み、

前記第１導電型層と前記第１導電型領域とがそれぞれ前記画素毎に設けられ、

前記第１導電型領域と前記第２導電型領域との境界により、隣り合う画素同士が電気的に分離されている

請求項２に記載の受光素子。

[請求項6] 前記第１導電型層と前記第１導電型領域とは互いに同一の不純物を含む

請求項２に記載の受光素子。

[請求項7] 前記半導体層の前記開口の内側の面を覆って絶縁膜が設けられている

請求項１に記載の受光素子。

[請求項8] 前記半導体層の前記開口の側面は傾斜面を有する

請求項１に記載の受光素子。

[請求項9] 前記第１の化合物半導体は、$In_xGa_{(1-x)}As$（ｘ：０＜ｘ≦１）から構成されている

請求項１に記載の受光素子。

[請求項10] 前記第２の化合物半導体は、ＩｎＰまたはＩｎＡｌＡｓから構成されている

請求項９に記載の受光素子。

[請求項11] 前記基板に電気的に接続された他の電極を更に備えた

請求項１に記載の受光素子。

[請求項12] 基板上に、

第１の化合物半導体を含むと共に赤外領域の波長を吸収して電荷を

発生する光電変換層と、

第２の化合物半導体を含むと共に選択的な領域に開口を有する半導体層と

を形成する工程と、

前記半導体層の前記開口を埋め込むと共に前記光電変換層に電気的に接続される電極を形成する工程と

を含む

受光素子の製造方法。

[請求項13] 前記光電変換層は、前記半導体層の側の選択的な領域に第１導電型層を有し、

前記半導体層は、

前記第１導電型層に対向して形成されると共に前記開口を有する第１導電型領域と、

前記第１導電型領域の周囲に形成された第２導電型領域と

を有する

請求項１２に記載の受光素子の製造方法。

[請求項14] 前記半導体層上に絶縁材料を含む保護層を更に備え、

前記第２の化合物半導体は、前記第１の化合物半導体よりも大きなバンドギャップを有する

請求項１２に記載の受光素子の製造方法。

[請求項15] 前記光電変換層は、前記半導体層の側の選択的な領域に第１導電型層を有し、

前記半導体層は、

前記第１導電型層に対向して形成されると共に前記開口を有する第１導電型領域と、

前記第１導電型領域の周囲に形成された第２導電型領域と

を有し、

前記第１導電型領域と前記第２導電型領域との境界が前記保護層に

接する

請求項１４に記載の受光素子の製造方法。

[請求項16] 前記光電変換層と前記半導体層とを形成する工程では、

前記基板上に、前記第１および第２の化合物半導体を順に成膜した後、この上に前記保護層を形成し、

前記保護層をマスクとして、前記第１および第２の化合物半導体のうちの選択的な領域に不純物を拡散させることにより、前記第１導電型層と前記第１導電型領域とを形成する

請求項１５に記載の受光素子の製造方法。

[請求項17] 前記保護層をマスクとして前記半導体層をエッチングすることにより、前記開口を形成する

請求項１６に記載の受光素子の製造方法。

[請求項18] 前記光電変換層と前記半導体層とを形成する工程において、

前記半導体層の前記開口の内側の面を覆う絶縁膜を形成する

請求項１２に記載の受光素子の製造方法。

[請求項19] 複数の画素を含み、

基板と、

前記基板上に形成されると共に第１の化合物半導体を含み、赤外領域の波長を吸収して電荷を発生する光電変換層と、

前記光電変換層上に形成されると共に第２の化合物半導体を含み、かつ前記画素毎に開口を有する半導体層と、

それぞれが、前記半導体層の前記開口を埋め込んで形成されると共に、前記光電変換層に電気的に接続された複数の電極と

を備えた

撮像素子。

[請求項20] 複数の画素を含み、

基板と、

前記基板上に形成されると共に第１の化合物半導体を含み、赤外領

域の波長を吸収して電荷を発生する光電変換層と、

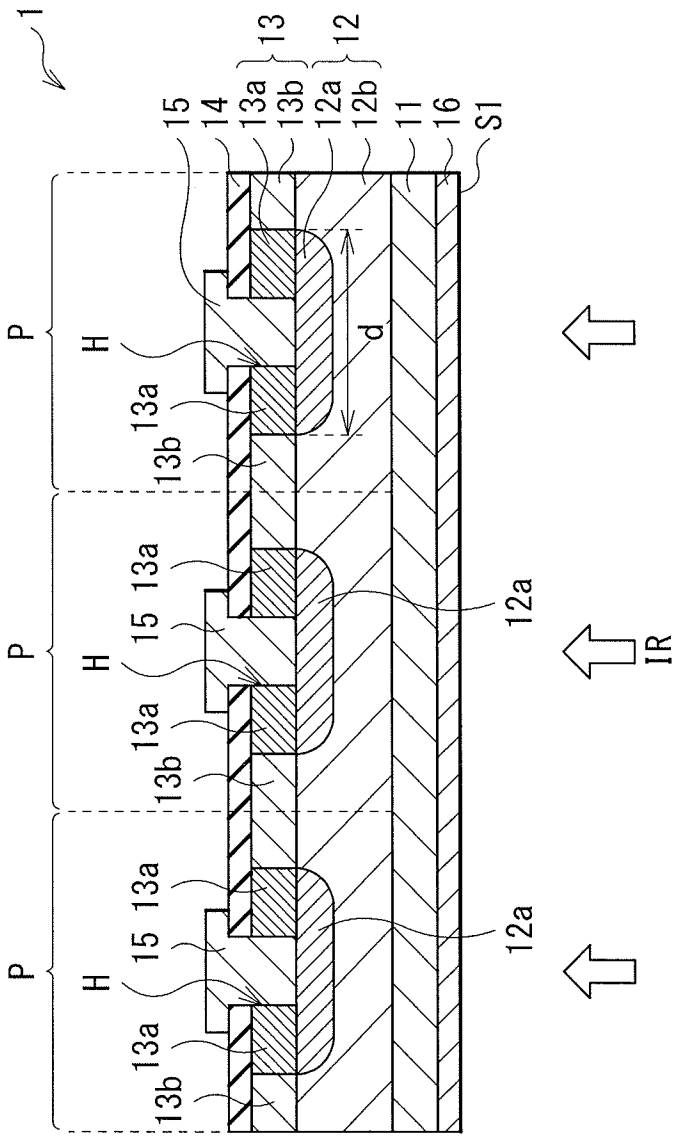
前記光電変換層上に形成されると共に第２の化合物半導体を含み、かつ前記画素毎に開口を有する半導体層と、

それぞれが、前記半導体層の前記開口を埋め込んで形成されると共に、前記光電変換層に電気的に接続された複数の電極と

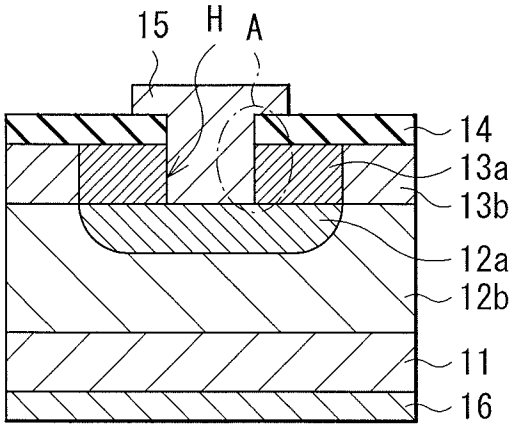
を備えた

撮像素子を有する電子機器。

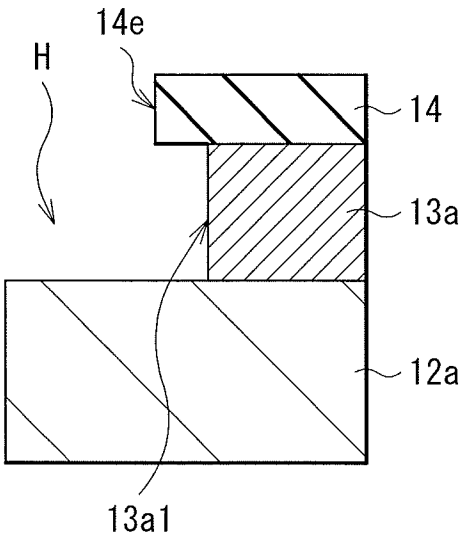
[図1]


1
13
12
15
14
13a
13b
12a
12b
11
16
S1
P
H
d
13a
13b
12a
IR

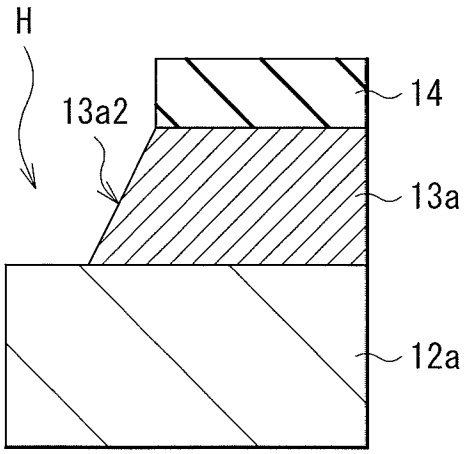
[図2]


15
H
A
14
13a
13b
12a
12b
11
16

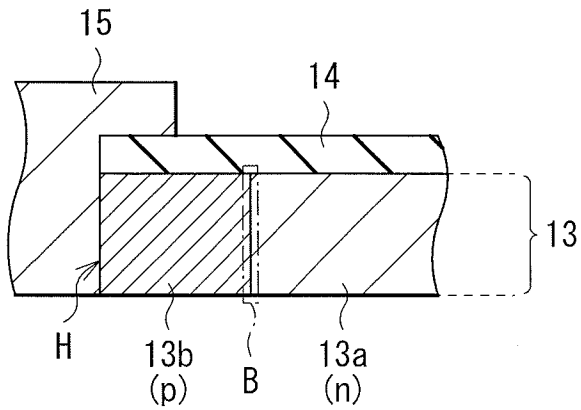
[図3A]



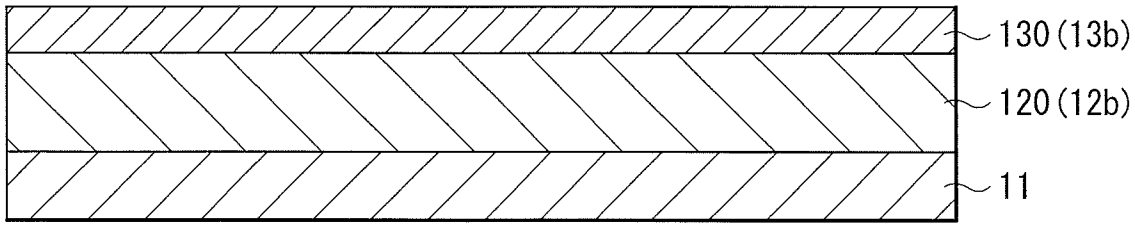
[図3B]



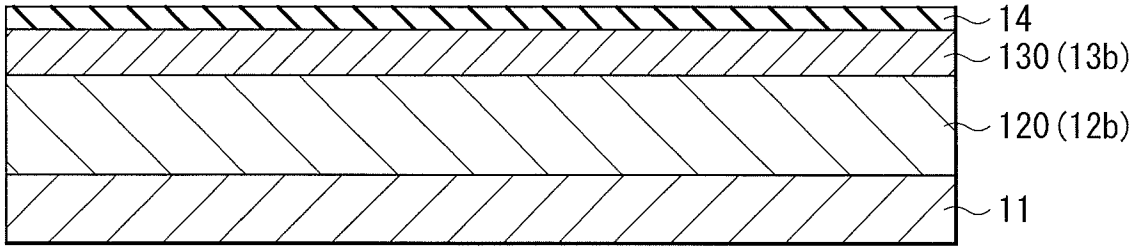
[図4]



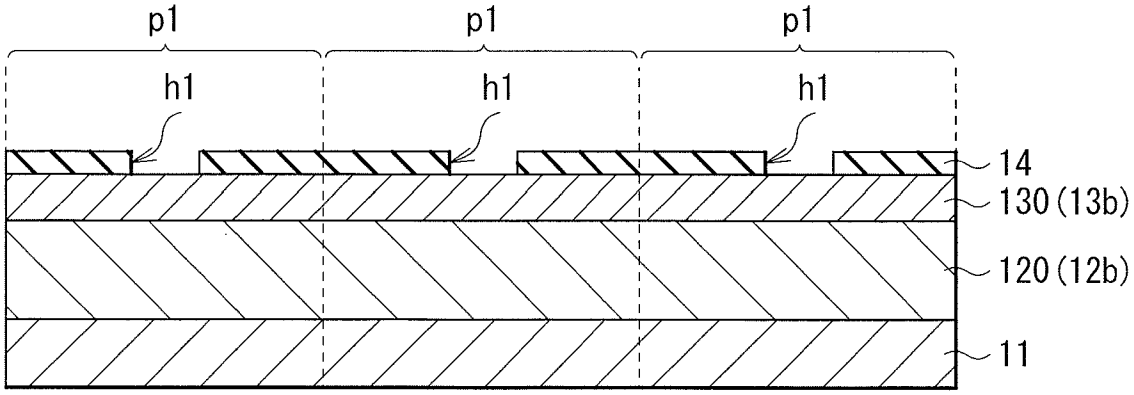
[図5]


130 (13b)
120 (12b)
11

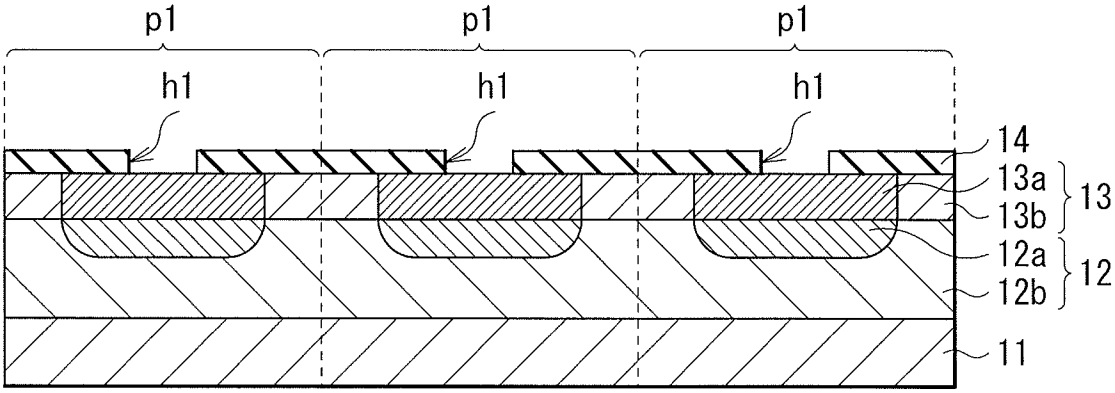
[図6A]


14
130 (13b)
120 (12b)
11

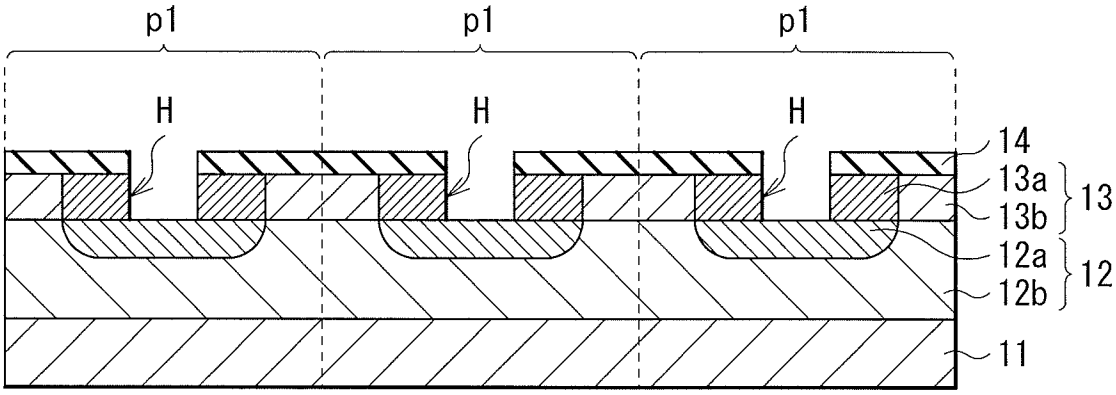
[図6B]


p1
p1
p1
h1
h1
h1
14
130 (13b)
120 (12b)
11

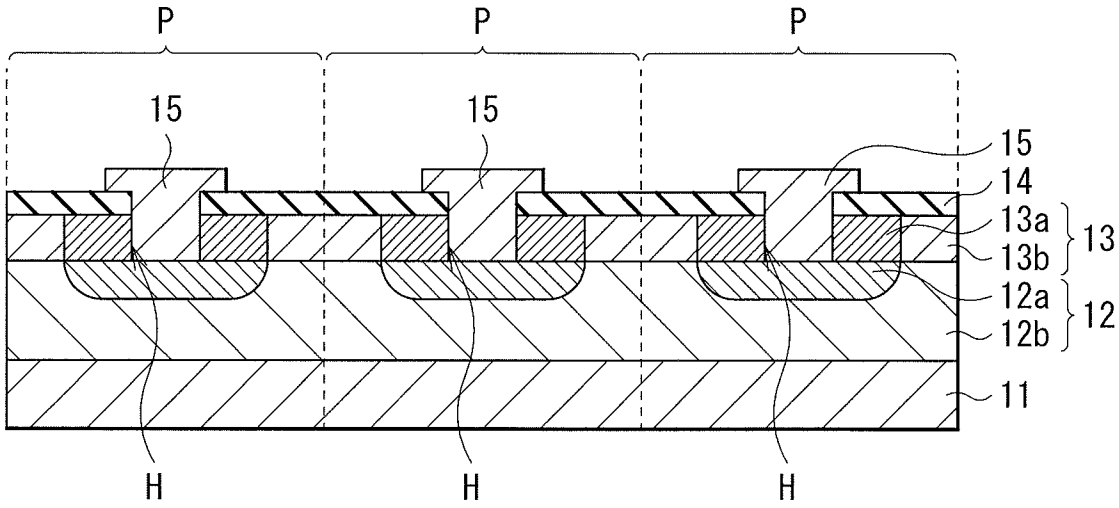
[図7]


p1
p1
p1
h1
h1
h1
14
13a
13b
13
12a
12b
12
11

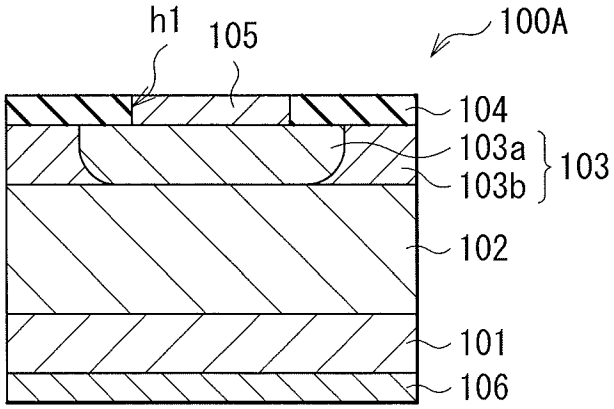
[図8]


p1
p1
p1
H
H
H
14
13a
13b
13
12a
12b
12
11

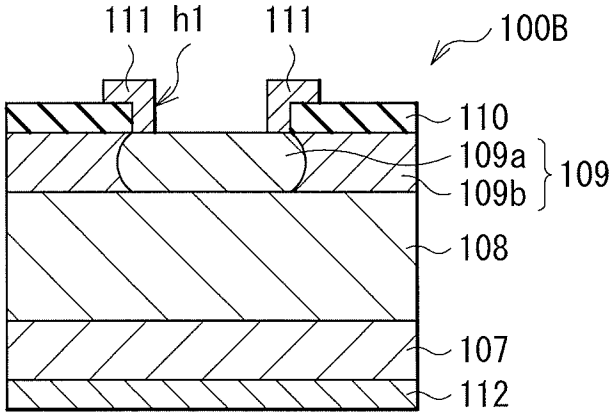
[図9]


P
P
P
15
15
15
14
13a
13b
13
12a
12b
12
11
H
H
H

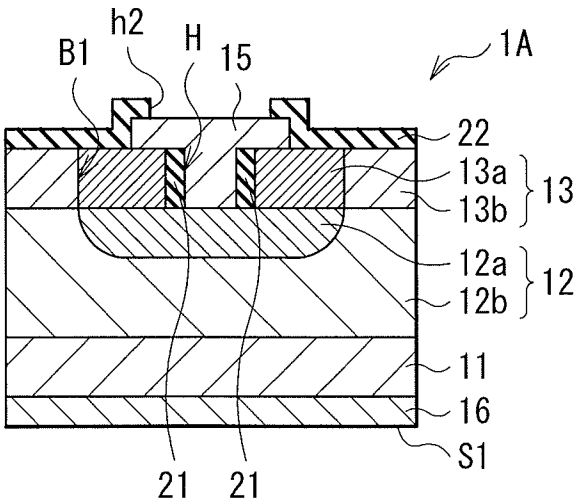
[図10A]


h1
105
100A
104
103a
103b
103
102
101
106

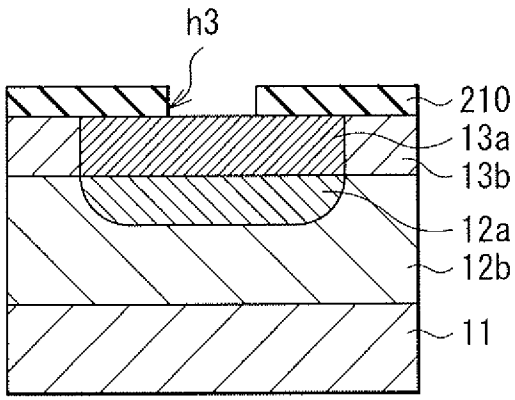
[図10B]


111
h1
111
100B
110
109a
109b
109
108
107
112

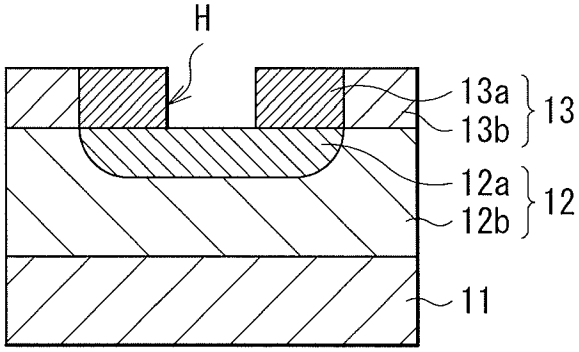
[図11]


h2
B1
H
15
1A
22
13a
13b
13
12a
12b
12
11
16
S1
21
21

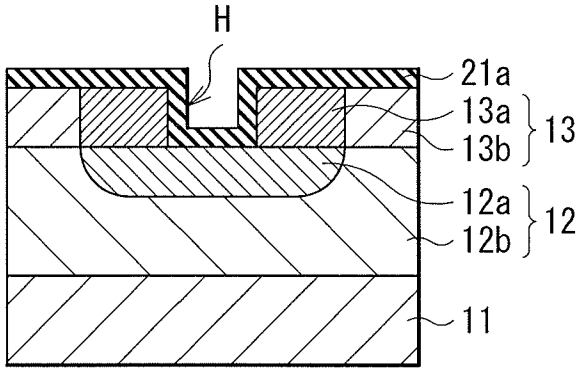
[図12]


h3
210
13a
13b
12a
12b
11

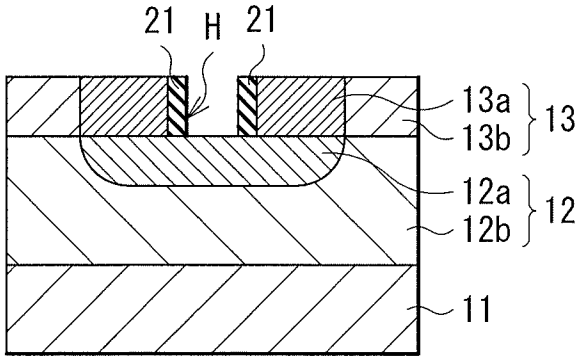
[図13]



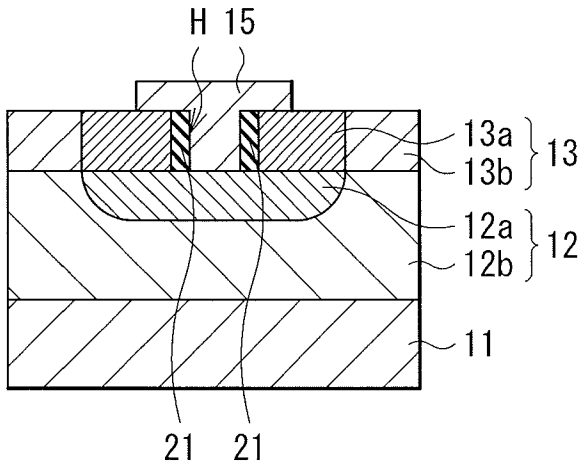
[図14A]



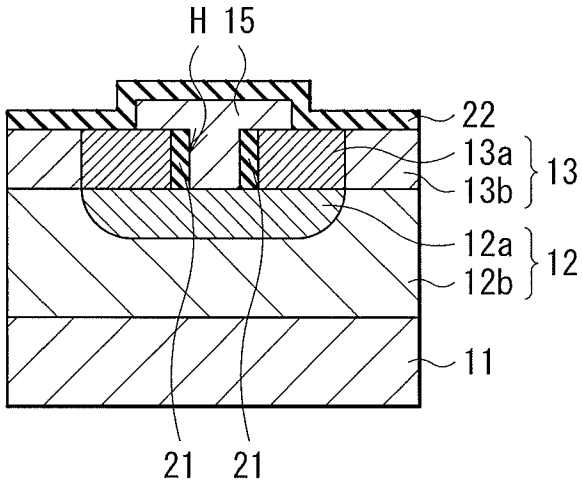
[図14B]



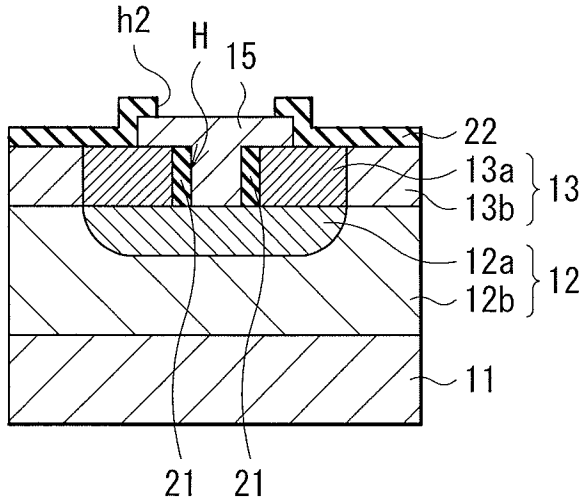
[図15]



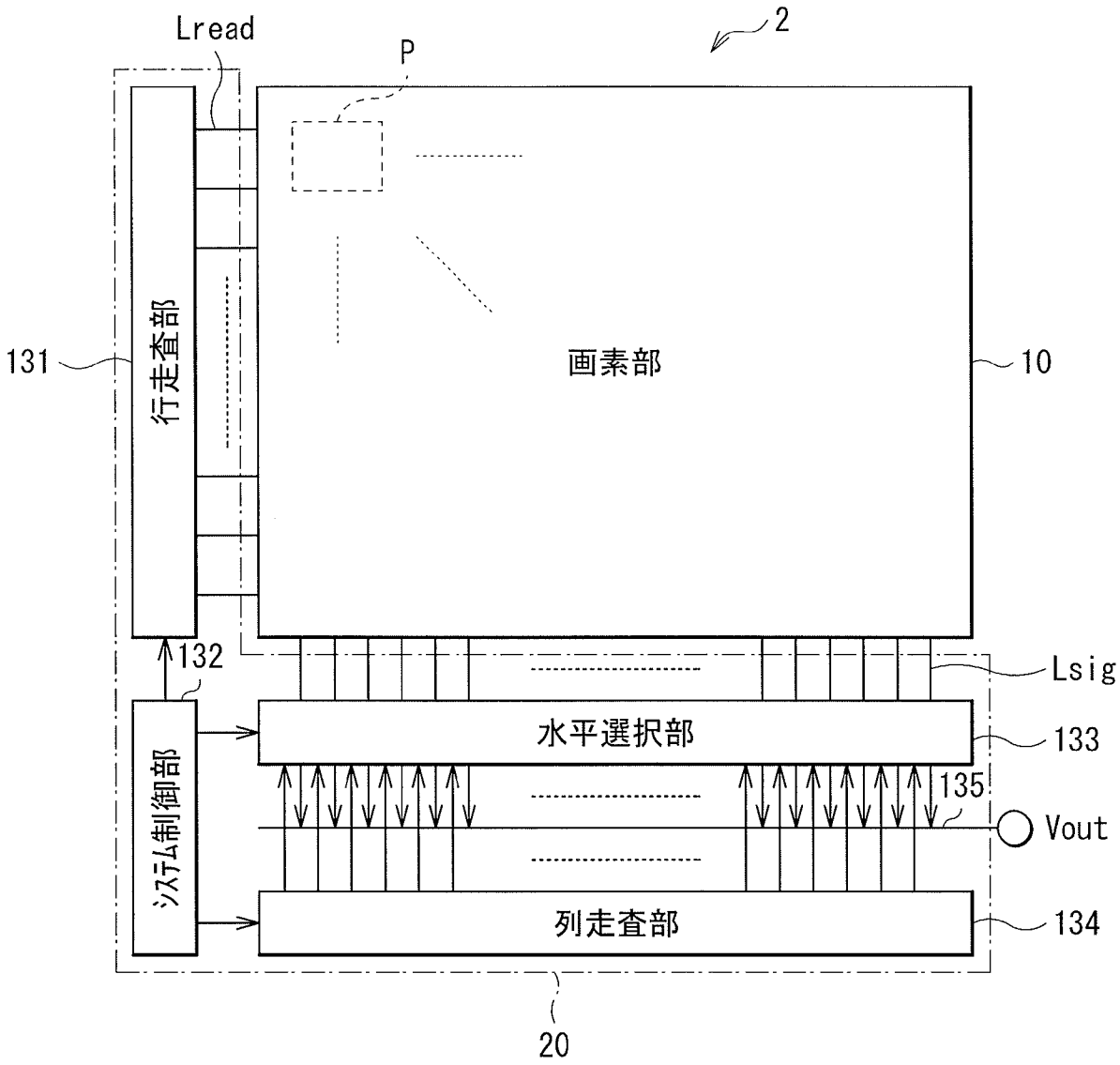
[図16A]


H
15
22
13a
13b
13
12a
12b
12
11
21
21

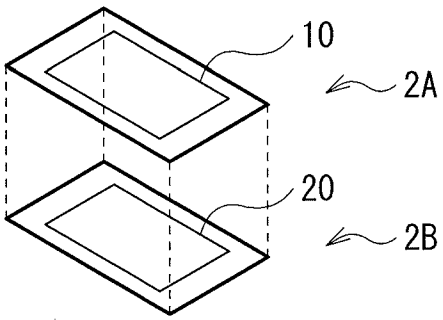
[図16B]


h2
H
15
22
13a
13b
13
12a
12b
12
11
21
21

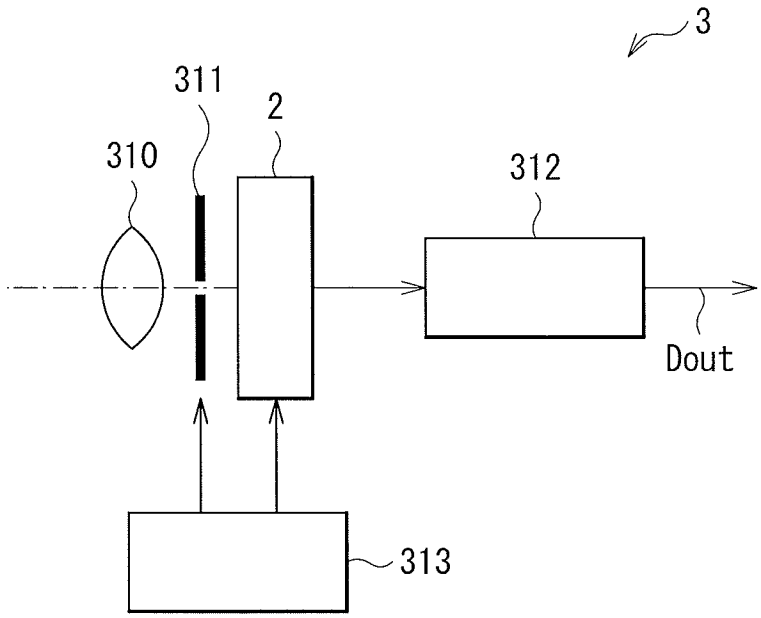
[図17]


Lread
P
2
131
行走査部
画素部
10
132
Lsig
水平選択部
133
135
Vout
システム制御部
列走査部
134
20

[図18]


10
2A
20
2B

[図19]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/077091

A. CLASSIFICATION OF SUBJECT MATTER
H01L31/10(2006.01)i, *H01L27/144*(2006.01)i, *H01L27/146*(2006.01)i, *H04N5/33*(2006.01)i, *H04N5/369*(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L31/00-31/20, H01L27/144, H01L27/146, H04N5/33, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2007-184410 A (Sumitomo Electric Industries, Ltd.), 19 July 2007 (19.07.2007), paragraphs [0019] to [0031]; fig. 1 to 11 (Family: none)	1-4,6,9-16 5,8,17,19-20
X Y	JP 63-228767 A (Matsushita Electric Industrial Co., Ltd.), 22 September 1988 (22.09.1988), page 2, lower left column, line 12 to page 3, upper right column, line 12; fig. 1 to 2 (Family: none)	1-4,6,9-15 5,8,17,19-20
X Y	EP 0404987 A1 (SIEMENS AG), 02 January 1991 (02.01.1991), column 2, line 47 to column 3, line 8; fig. 3 (Family: none)	1-4,7,9-15, 18 5,8,17,19-20

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 November 2016 (17.11.16)	06 December 2016 (06.12.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/077091

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-56617 A (Sumitomo Electric Industries, Ltd.), 23 March 2015 (23.03.2015), paragraphs [0010] to [0031]; fig. 1 to 6 (Family: none)	5,7-8,17-20
Y	JP 1-503664 A (BT&D Technologies Ltd.), 07 December 1989 (07.12.1989), page 3, upper left column, line 4 to lower right column, line 24; fig. 1 to 7 & US 5144396 A column 2, line 41 to column 4, line 19; fig. 1 to 7 & GB 8703592 A & WO 1988/006350 A1 & EP 279651 A1 & DE 3879730 A & CA 1314110 A	7,18
Y	JP 61-49484 A (Matsushita Electric Industrial Co., Ltd.), 11 March 1986 (11.03.1986), page 2, lower right column, line 2 to page 3, upper left column, line 2; fig. 2 (Family: none)	7,18
Y	JP 2002-343951 A (Oki Electric Industry Co., Ltd.), 29 November 2002 (29.11.2002), paragraphs [0042] to [0051]; fig. 5 & US 2002/0185641 A1 paragraphs [0044] to [0047]; fig. 5	7,18

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０７７０９１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L31/10(2006.01)i, H01L27/144(2006.01)i, H01L27/146(2006.01)i, H04N5/33(2006.01)i, H04N5/369(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L31/00-31/20, H01L27/144, H01L27/146, H04N5/33, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2007-184410 A (住友電気工業株式会社) 2007.07.19, 段落 [0019]-[0031], 第 1-11 図 (ファミリーなし)	1-4, 6, 9-16
Y		5, 8, 17, 19-20
X	JP 63-228767 A (松下電器産業株式会社) 1988.09.22, 第 2 頁左下欄第 12 行-第 3 頁右上欄第 12 行, 第 1-2 図 (ファミリーなし)	1-4, 6, 9-15
Y		5, 8, 17, 19-20

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １７．１１．２０１６	国際調査報告の発送日 ０６．１２．２０１６
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｋ　３９１４ 山本　元彦 電話番号　０３－３５８１－１１０１　内線　３２５５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	EP 0404987 A1 (SIEMENS AKTIENGESELLSCHAFT) 1991.01.02, 第2欄第47行-第3欄第8行, 第3図 (ファミリーなし)	1-4, 7, 9-15, 18
Y		5, 8, 17, 19-20
Y	JP 2015-56617 A (住友電気工業株式会社) 2015.03.23, 段落 [0010] - [0031], 第1-6図 (ファミリーなし)	5, 7-8, 17-20
Y	JP 1-503664 A (ビー・テイ・アンド・デイ・テクノロジイーズ・リミテツド) 1989.12.07, 第3頁左上欄第4行-右下欄第24行, 第1-7図 & US 5144396 A, 第2欄第41行-第4欄第19行, 第1-7図 & GB 8703592 A & WO 1988/006350 A1 & EP 279651 A1 & DE 3879730 A & CA 1314110 A	7, 18
Y	JP 61-49484 A (松下電器産業株式会社) 1986.03.11, 第2頁右下欄第2行-第3頁左上欄第2行, 第2図 (ファミリーなし)	7, 18
Y	JP 2002-343951 A (沖電気工業株式会社) 2002.11.29, 段落 [0042] - [0051], 第5図 & US 2002/0185641 A1, 段落 [0044] - [0047], 第5図	7, 18