

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成20年10月23日(2008.10.23)

【公表番号】特表2008-514065(P2008-514065A)

【公表日】平成20年5月1日(2008.5.1)

【年通号数】公開・登録公報2008-017

【出願番号】特願2007-531737(P2007-531737)

【国際特許分類】

H 03M 1/68 (2006.01)

H 03M 1/70 (2006.01)

H 03M 1/78 (2006.01)

【F I】

H 03M 1/68

H 03M 1/70

H 03M 1/78

【手続補正書】

【提出日】平成20年8月25日(2008.8.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

デジタル入力ワードをアナログ出力電圧信号に変換するデジタル・アナログ変換器(DAC)であって、前記デジタル入力ワードは、上部及び下部に分割可能であり、前記DACは、

前記デジタル入力ワードの前記下部によって制御される抵抗器ラダーDACを含み、出力電圧を生成する第1の構成要素と、

前記デジタル入力ワードの前記上部によって制御される抵抗器ラダーDACを含み、出力電圧を生成する第2の構成要素とを含み、

前記第2の構成要素はセグメント化され、前記個々のセグメントの少なくとも1つは、前記デジタル入力ワードの前記上部の1 LSB未満の加重を有し、前記第1の構成要素は、前記第2の構成要素のセグメントの選択に応答して、前記第2の構成要素の前記出力を調整するようにしたことを特徴とするデジタル・アナログ変換器。

【請求項2】

前記第2の構成要素の前記セグメントの少なくとも1つの前記加重は、前記デジタル入力ワードの前記下部の総加重未満であることを特徴とする請求項1に記載のデジタル・アナログ変換器。

【請求項3】

前記第1の構成要素の前記ラダーは、R-2Rアーキテクチャを有することを特徴とする請求項1に記載のデジタル・アナログ変換器。

【請求項4】

前記第1の構成要素の前記ラダーは、複数の抵抗器を有するレッグを備える、スケーリングされたR-2Rアーキテクチャを有し、前記レッグは、リンク抵抗器によって分離されることを特徴とする請求項3に記載のデジタル・アナログ変換器。

【請求項5】

前記リンク抵抗器の少なくとも1つは、従来のR-2Rアーキテクチャと比較して除去

され、残りのレッグ抵抗器は、その除去に整合してスケーリングされることを特徴とする請求項4に記載のデジタル・アナログ変換器。

【請求項6】

前記D A Cの前記第1の構成要素は、終端レッグを備え、該終端レッグは、基準信号に直接結合されることを特徴とする請求項1に記載のデジタル・アナログ変換器。

【請求項7】

前記D A Cの前記第1の構成要素は、電流源に結合され、該電流源は、前記ラダーのノードに、スケーリングされた電流を注入するように構成されることを特徴とする請求項1に記載のデジタル・アナログ変換器。

【請求項8】

前記注入される電流は、前記ラダーの終端レッグに注入されることを特徴とする請求項7に記載のデジタル・アナログ変換器。

【請求項9】

デジタル入力ワードをアナログ出力電圧信号に変換するデジタル・アナログ変換器(D A C)であって、前記D A Cは、抵抗器ラダー構成で提供され、前記ラダーは、基準電圧に結合された終端レッグと、各々が基準電圧に切換え可能に結合された切換え可能な複数のレッグとを含み、前記D A Cの前記レッグの少なくとも1つは、電流源にさらに結合され、該電流源は、前記D A Cの分解能を向上させるように、前記ラダー構成に調節可能な電流を注入するようにしたことを特徴とするデジタル・アナログ変換器。

【請求項10】

前記ラダー構成に注入される前記電流は、前記基準電圧に相対してスケーリングされることを特徴とする請求項9に記載のデジタル・アナログ変換器。

【請求項11】

前記ラダーは、R - 2 Rラダー構成として提供され、前記レッグにおいて与えられる抵抗の値は、隣接レッグに結合する回路の部分における抵抗の値の2倍であることを特徴とする請求項9に記載のデジタル・アナログ変換器。

【請求項12】

前記ラダーは、第1の部分及び第2の部分にサブ分割され、前記第1及び第2の部分はそれぞれ、ラダー構成で与えられ、前記第1の部分の上部レッグは、結合抵抗器なしで前記第2の部分の下部レッグに直接結合されることによって、前記第1の部分における前記レッグの抵抗が、前記第2の部分における前記レッグの抵抗のスケーリングされた倍数となることを特徴とする請求項11に記載のデジタル・アナログ変換器。

【請求項13】

少なくとも1つのレッグは、セグメント化されることを特徴とする請求項12に記載のデジタル・アナログ変換器。

【請求項14】

前記ラダーの前記第1及び第2の部分は、前記D A Cの第1の構成要素を構成し、該第1の構成要素は、入力デジタルワードの下部をアナログ電圧出力に変換するように適合され、前記D A Cは、第2の構成要素をさらに含み、該第2の構成要素は、前記デジタル入力ワードの上部をアナログ電圧出力に変換するように適合され、前記第2の構成要素の少なくとも一部分は、セグメント化された構造で提供され、前記個々のセグメントの少なくとも1つは、前記デジタル入力ワードの前記下部の総加重未満の加重を有し、前記D A Cは、前記第1の構成要素が、前記第2の構成要素のセグメントの選択に応答して前記第2の構成要素の前記出力を調整するように較正されることを特徴とする請求項12に記載のデジタル・アナログ変換器。

【請求項15】

デジタル入力ワードをアナログ出力電圧信号に変換するように適合されたデジタル・アナログ変換器(D A C)であって、前記D A Cは、抵抗器ラダー構成で提供される複数のレッグを含み、前記ラダーは、基準電圧に結合された終端レッグと、基準電圧に切換え可能に結合された切換え可能な複数のレッグとを含み、前記ラダーは、第1の部分及び第2

の部分にサブ分割され、前記第1及び第2の部分はそれぞれ、ラダー構成で与えられ、前記第1の部分の上部レッグは、結合抵抗器なしで前記第2の部分の下部レッグに直接結合されることによって、前記第1の部分における前記レッグの抵抗は、前記第2の部分における前記レッグの抵抗のスケーリングされた倍数となることを特徴とするデジタル・アナログ変換器。

【請求項16】

電流源D A Cをさらに含み、前記電流源D A Cは、前記レッグの少なくとも1つに電流を注入するようにしたことを特徴とする請求項15に記載のデジタル・アナログ変換器。

【請求項17】

前記電流は、前記終端レッグに注入されることを特徴とする請求項16に記載のデジタル・アナログ変換器。

【請求項18】

前記第1及び第2の部分は、前記D A Cの下位構成要素を構成し、該下位構成要素は、デジタル入力ワードの下部を対応する出力電圧に変換するように適合され、前記D A Cは、上位構成要素をさらに含み、該上位構成要素は、前記デジタル入力ワードの上部を変換するように適合され、前記上部は、セグメント化されたアーキテクチャで提供される抵抗器ラダーを含み、前記セグメント化されたアーキテクチャの少なくとも1つのレッグは、前記デジタル入力ワードの前記下部の総加重未満の加重を有し、前記D A Cは、前記上部のセグメントが選択されると、前記上部の出力を調整するのに前記下部が使われるよう較正されることを特徴とする請求項15に記載のデジタル・アナログ変換器。

【請求項19】

入力デジタルコードに応答して、アナログ電圧出力をその出力端で与えるデジタル・アナログ変換器(D A C)であって、

前記入力デジタルコードの最上位ビット(M S B)を電圧出力に変換する抵抗器ラダー構造を含むメインD A Cセクションであって、サブD A Cセクションは、前記入力デジタルコードの最下位ビット(L S B)を電圧出力に変換する抵抗器ラダー構造を含み、前記メインD A C及び前記サブD A Cの前記出力は、前記D A Cの前記出力を与えるように組み合わされ、前記メインD A Cの前記L S Bは、前記サブD A Cのフルスケール未満であるが、前記サブD A Cの前記L S B及び全体的D A C伝達関数L S Bより大きいメインD A Cセクションと、

メインD A Cコードが選択されると、サブD A Cがゼロとフルスケールの間となり、インターフェースデコードは、前記入力デジタルコードをM S B D A Cワード及びL S B D A Cワードに分離するように、入力ユーザコードに対するメインD A C及びサブD A Cワードを選択するように構築されたインターフェースデコードと、

前記メインD A Cに対する誤差訂正を格納する較正メモリと、

選択された誤差訂正を、前記較正メモリから前記L S B D A Cワードに加える加算器とを含むことを特徴とするデジタル・アナログ変換器。

【請求項20】

前記較正メモリは、前記D A Cの製造試験の間、誤差訂正と共にロードされることを特徴とする請求項19に記載のデジタル・アナログ変換器。

【請求項21】

前記加算器は、前記メインD A Cの所定のセグメントが選択されると、前記サブD A Cにロードされた前記コードに前記訂正を自動的に加えるように構成されることを特徴とする請求項19に記載のデジタル・アナログ変換器。

【請求項22】

デジタル入力ワードを対応する出力電圧に変換するデジタル入力ワード変換方法であって、

前記デジタル入力ワードを下部及び上部に分割するステップと、

抵抗器ラダーデジタルアナログ変換器(D A C)アーキテクチャの第1の構成要素を使って、前記デジタル入力ワードの前記下部を対応する電圧出力に変換するステップと、

抵抗器ラダーデジタルアナログ変換器アーキテクチャの第2の構成要素を使って、前記デジタル入力ワードの前記上部を対応する電圧出力に変換するステップであって、前記第2の部分は、セグメント化された構造で提供されるステップと、

前記変換プロセスにおいて前記第2の構成要素のセグメントが使われると、前記第1の構成要素を使って、前記第2の構成要素の前記出力を調整するステップとを有することを特徴とするデジタル入力ワード変換方法。