

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成20年10月23日 (2008.10.23)

【公表番号】特表2008-514065(P2008-514065A)

【公表日】平成20年5月1日 (2008.5.1)

【年通号数】公開・登録公報2008-017

【出願番号】特願2007-531737(P2007-531737)

【国際特許分類】

H 0 3 M 1/68 (2006.01)

H 0 3 M 1/70 (2006.01)

H 0 3 M 1/78 (2006.01)

【F I】

H 0 3 M 1/68

H 0 3 M 1/70

H 0 3 M 1/78

【手続補正書】

【提出日】平成20年8月25日 (2008.8.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

デジタル入力ワードをアナログ出力電圧信号に変換するデジタル・アナログ変換器 (DAC) であって、前記デジタル入力ワードは、上部及び下部に分割可能であり、前記 DAC は、

前記デジタル入力ワードの前記下部によって制御される抵抗器ラダー DAC を含み、出力電圧を生成する第 1 の構成要素と、

前記デジタル入力ワードの前記上部によって制御される抵抗器ラダー DAC を含み、出力電圧を生成する第 2 の構成要素とを含み、

前記第 2 の構成要素はセグメント化され、前記個々のセグメントの少なくとも 1 つは、前記デジタル入力ワードの前記上部の 1 LSB 未満の加重を有し、前記第 1 の構成要素は、前記第 2 の構成要素のセグメントの選択に応答して、前記第 2 の構成要素の前記出力を調整するようにしたことを特徴とするデジタル・アナログ変換器。

【請求項 2】

前記第 2 の構成要素の前記セグメントの少なくとも 1 つの前記加重は、前記デジタル入力ワードの前記下部の総加重未満であることを特徴とする請求項 1 に記載のデジタル・アナログ変換器。

【請求項 3】

前記第 1 の構成要素の前記ラダーは、R - 2R アーキテクチャを有することを特徴とする請求項 1 に記載のデジタル・アナログ変換器。

【請求項 4】

前記第 1 の構成要素の前記ラダーは、複数の抵抗器を有するレッグを備える、スケールリングされた R - 2R アーキテクチャを有し、前記レッグは、リンク抵抗器によって分離されることを特徴とする請求項 3 に記載のデジタル・アナログ変換器。

【請求項 5】

前記リンク抵抗器の少なくとも 1 つは、従来の R - 2R アーキテクチャと比較して除去

され、残りのレッグ抵抗器は、その除去に整合してスケーリングされることを特徴とする請求項 4 に記載のデジタル・アナログ変換器。

【請求項 6】

前記 D A C の前記第 1 の構成要素は、終端レッグを備え、該終端レッグは、基準信号に直接結合されることを特徴とする請求項 1 に記載のデジタル・アナログ変換器。

【請求項 7】

前記 D A C の前記第 1 の構成要素は、電流源に結合され、該電流源は、前記ラダーのノードに、スケーリングされた電流を注入するように構成されることを特徴とする請求項 1 に記載のデジタル・アナログ変換器。

【請求項 8】

前記注入される電流は、前記ラダーの終端レッグに注入されることを特徴とする請求項 7 に記載のデジタル・アナログ変換器。

【請求項 9】

デジタル入力ワードをアナログ出力電圧信号に変換するデジタル・アナログ変換器 (D A C) であって、前記 D A C は、抵抗器ラダー構成で提供され、前記ラダーは、基準電圧に結合された終端レッグと、各々が基準電圧に切換え可能に結合された切換え可能な複数のレッグとを含み、前記 D A C の前記レッグの少なくとも 1 つは、電流源にさらに結合され、該電流源は、前記 D A C の分解能を向上させるように、前記ラダー構成に調節可能な電流を注入するようにしたことを特徴とするデジタル・アナログ変換器。

【請求項 10】

前記ラダー構成に注入される前記電流は、前記基準電圧に相対してスケーリングされることを特徴とする請求項 9 に記載のデジタル・アナログ変換器。

【請求項 11】

前記ラダーは、R - 2 R ラダー構成として提供され、前記レッグにおいて与えられる抵抗の値は、隣接レッグに結合する回路の部分における抵抗の値の 2 倍であることを特徴とする請求項 9 に記載のデジタル・アナログ変換器。

【請求項 12】

前記ラダーは、第 1 の部分及び第 2 の部分にサブ分割され、前記第 1 及び第 2 の部分はそれぞれ、ラダー構成で与えられ、前記第 1 の部分の上部レッグは、結合抵抗器なしで前記第 2 の部分の下部レッグに直接結合されることによって、前記第 1 の部分における前記レッグの抵抗が、前記第 2 の部分における前記レッグの抵抗のスケーリングされた倍数となることを特徴とする請求項 11 に記載のデジタル・アナログ変換器。

【請求項 13】

少なくとも 1 つのレッグは、セグメント化されることを特徴とする請求項 12 に記載のデジタル・アナログ変換器。

【請求項 14】

前記ラダーの前記第 1 及び第 2 の部分は、前記 D A C の第 1 の構成要素を構成し、該第 1 の構成要素は、入力デジタルワードの下部をアナログ電圧出力に変換するように適合され、前記 D A C は、第 2 の構成要素をさらに含み、該第 2 の構成要素は、前記デジタル入力ワードの上部をアナログ電圧出力に変換するように適合され、前記第 2 の構成要素の少なくとも一部分は、セグメント化された構造で提供され、前記個々のセグメントの少なくとも 1 つは、前記デジタル入力ワードの前記下部の総加重未満の加重を有し、前記 D A C は、前記第 1 の構成要素が、前記第 2 の構成要素のセグメントの選択に応答して前記第 2 の構成要素の前記出力を調整するように較正されることを特徴とする請求項 12 に記載のデジタル・アナログ変換器。

【請求項 15】

デジタル入力ワードをアナログ出力電圧信号に変換するように適合されたデジタル・アナログ変換器 (D A C) であって、前記 D A C は、抵抗器ラダー構成で提供される複数のレッグを含み、前記ラダーは、基準電圧に結合された終端レッグと、基準電圧に切換え可能に結合された切換え可能な複数のレッグとを含み、前記ラダーは、第 1 の部分及び第 2

の部分にサブ分割され、前記第 1 及び第 2 の部分はそれぞれ、ラダー構成で与えられ、前記第 1 の部分の上部レッグは、結合抵抗器なしで前記第 2 の部分の下部レッグに直接結合されることによって、前記第 1 の部分における前記レッグの抵抗は、前記第 2 の部分における前記レッグの抵抗のスケーリングされた倍数となることを特徴とするデジタル・アナログ変換器。

【請求項 16】

電流源 D A C をさらに含み、前記電流源 D A C は、前記レッグの少なくとも 1 つに電流を注入するようにしたことを特徴とする請求項 15 に記載のデジタル・アナログ変換器。

【請求項 17】

前記電流は、前記終端レッグに注入されることを特徴とする請求項 16 に記載のデジタル・アナログ変換器。

【請求項 18】

前記第 1 及び第 2 の部分は、前記 D A C の下位構成要素を構成し、該下位構成要素は、デジタル入力ワードの下部に対応する出力電圧に変換するように適合され、前記 D A C は、上位構成要素をさらに含み、該上位構成要素は、前記デジタル入力ワードの上部を変換するように適合され、前記上部は、セグメント化されたアーキテクチャで提供される抵抗器ラダーを含み、前記セグメント化されたアーキテクチャの少なくとも 1 つのレッグは、前記デジタル入力ワードの前記下部の総加重未満の加重を有し、前記 D A C は、前記上部のセグメントが選択されると、前記上部の出力を調整するのに前記下部が使われるように較正されることを特徴とする請求項 15 に記載のデジタル・アナログ変換器。

【請求項 19】

入力デジタルコードに応答して、アナログ電圧出力をその出力端で与えるデジタル・アナログ変換器 (D A C) であって、

前記入力デジタルコードの最上位ビット (M S B) を電圧出力に変換する抵抗器ラダー構造を含むメイン D A C セクションであって、サブ D A C セクションは、前記入力デジタルコードの最下位ビット (L S B) を電圧出力に変換する抵抗器ラダー構造を含み、前記メイン D A C 及び前記サブ D A C の前記出力は、前記 D A C の前記出力を与えるように組み合わせられ、前記メイン D A C の前記 L S B は、前記サブ D A C のフルスケール未満であるが、前記サブ D A C の前記 L S B 及び全体的 D A C 伝達関数 L S B より大きいメイン D A C セクションと、

メイン D A C コードが選択されると、サブ D A C がゼロとフルスケールの間となり、インターフェースデコードは、前記入力デジタルコードを M S B D A C ワード及び L S B D A C ワードに分離するように、入力ユーザコードに対するメイン D A C 及びサブ D A C ワードを選択するように構築されたインターフェースデコードと、

前記メイン D A C に対する誤差訂正を格納する較正メモリと、

選択された誤差訂正を、前記較正メモリから前記 L S B D A C ワードに加える加算器とを含むことを特徴とするデジタル・アナログ変換器。

【請求項 20】

前記較正メモリは、前記 D A C の製造試験の間、誤差訂正と共にロードされることを特徴とする請求項 19 に記載のデジタル・アナログ変換器。

【請求項 21】

前記加算器は、前記メイン D A C の所定のセグメントが選択されると、前記サブ D A C にロードされた前記コードに前記訂正を自動的に加えるように構成されることを特徴とする請求項 19 に記載のデジタル・アナログ変換器。

【請求項 22】

デジタル入力ワードに対応する出力電圧に変換するデジタル入力ワード変換方法であって、

前記デジタル入力ワードを下部及び上部に分割するステップと、

抵抗器ラダーデジタルアナログ変換器 (D A C) アーキテクチャの第 1 の構成要素を使って、前記デジタル入力ワードの前記下部に対応する電圧出力に変換するステップと、

抵抗器ラダーデジタルアナログ変換器アーキテクチャの第２の構成要素を使って、前記デジタル入力ワードの前記上部を対応する電圧出力に変換するステップであって、前記第２の部分は、セグメント化された構造で提供されるステップと、

前記変換プロセスにおいて前記第２の構成要素のセグメントが使われると、前記第１の構成要素を使って、前記第２の構成要素の前記出力を調整するステップとを有することを特徴とするデジタル入力ワード変換方法。