(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 650 902**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **90 10125**

(51) Int Cl[5] : G 06 F 3/153, 13/30.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 8 août 1990.

(30) **Priorité :** US, 10 août 1989, n° 392.094.

(43) **Date de la mise à disposition du public de la demande :** BOPI « Brevets » n° 7 du 15 février 1991.

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *APPLE COMPUTER, INC.* — US.

(72) **Inventeur(s) :** Robert L. Bailey ; Brian D. Howard.

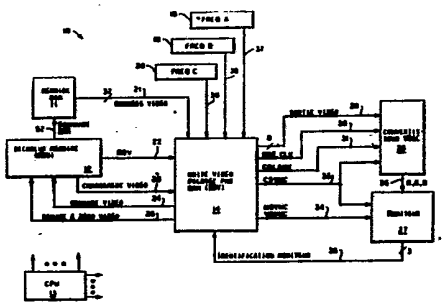
(73) **Titulaire(s) :**

(74) **Mandataire(s) :** Cabinet Regimbeau, Martin, Schrimpf, Warcoin et Ahner.

(54) Ordinateur avec circuit intégré vidéo pilote par mémoire vive.

(57) L'invention concerne un ordinateur fournissant un signal vidéo pour un dispositif d'affichage.

L'ordinateur 10 comprend une unité centrale de traitement CPU 13 qui exécute un programme pour fournir des données vidéo à un moniteur 27 qui est organisé sous forme d'une matrice d'éléments pixel, chaque élément pixel étant représenté par un certain nombre de bits de données vidéo mémorisées dans une mémoire RAM 11 de l'ordinateur; un circuit intégré vidéo 14 est relié à la mémoire RAM 11 pour fournir N bits de données vidéo par pixel au moniteur 27 à une fréquence de base de points correspondant aux impératifs d'affichage; ce circuit vidéo 14, au lieu d'avoir sa propre mémoire vidéo RAM, partage la mémoire de système (c'est-à-dire RAM) avec l'unité CPU 13; un contrôleur de mémoire assure l'arbitrage des accès à la mémoire RAM 11 entre l'unité CPU 13 et le circuit vidéo 14 de façon à interdire un accès de l'unité CPU à la mémoire RAM à chaque fois que le circuit vidéo est en train de lire des données vidéo dans la mémoire RAM.



FR 2 650 902 - A1

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

Ordinateur avec circuit intégré vidéo pilote par mémoire vive

La présente invention se rapporte au domaine des circuits vidéo associés à des visualiseurs à ordinateurs numériques, en particulier pour des systèmes à ordinateurs pilotés par microprocesseurs, qui produisent un signal vidéo pour un affichage sur un moniteur à tube cathodique.

A l'heure actuelle, des ordinateurs personnels (PC) pilotés par microprocesseurs trouvent de larges applications dans l'éducation, les sciences, les affaires et le domaine ménager. Du fait que l'utilisation d'ordinateurs personnels devient de plus en plus importante, les impératifs concernant des particularités vidéo plus rapides et plus souples ont également augmenté d'importance. En conséquence, les fabricants d'ordinateurs recherchent activement des moyens pour augmenter les performances et les possibilités d'adaptation de systèmes d'affichage vidéo tout en réduisant le coût pour le consommateur.

En général, l'architecture interne d'un ordinateur personnel est organisée de telle sorte que l'unité centrale de traitement (CPU) soit située sur une plaquette ou carte à circuits imprimés, qui contient également une mémoire système et des dispositifs logiques d'assistance. Cette plaquette est couramment appelée une "carte-mère". Par le passé, si les utilisateurs désiraient disposer de fonctions graphiques vidéo, ils devaient nécessairement acheter une carte vidéo séparée qui était conçue pour être enfichée dans une fente reliée à la carte-mère par l'intermédiaire d'une interface avec bus de connexion. Cette carte devait contenir des mémoires vidéo à accès sélectif et à double porte (VRAM) qui devaient être utilisées pour mémoriser les données d'affichage vidéo à fournir

ultérieurement au dispositif d'affichage (c'est-à-dire un moniteur). La carte vidéo devait comporter son propre circuit de minutage vidéo, agencé pour un type particulier de moniteur, c'est-à-dire que la carte devait être utilisée seulement avec ce type de moniteur et pas avec d'autres. Cette solution antérieure a été appliquée typiquement dans des machines comme les ordinateurs d'origine de la série Macintosh II et elle est encore largement employée à l'heure actuelle.

Cependant l'utilisation d'une carte vidéo séparée présente plusieurs inconvénients importants. En premier lieu, cela se traduit par une diminution des performances de rapidité puisque des signaux provenant de l'unité CPU doivent être transmis par l'intermédiaire d'un bus de communications assez lent à la carte vidéo séparée. Par exemple, dans la forme d'ordinateurs Macintosh II, un bus "NUBUS" (NUBUS ™ est une marque déposée de Texas Instruments Corporation) établit la liaison entre l'unité CPU et la carte vidéo. Il en résulte une perte importante de largeur de bande pour l'unité CPU puisque cette unité CPU ne peut pas traiter une information (par exemple, une mise à jour dynamique des données vidéo) pendant le temps où elle est en train de transmettre un mot vidéo à la carte vidéo par l'intermédiaire du bus - un transfert qui, dans le cas d'un bus NUBUS, nécessite typiquement 5 cycles d'horloge de l'unité CPU plus environ 700 nanosecondes (ns).

En second lieu, la solution avec carte vidéo séparée est très coûteuse. En plus du coût de la carte et des connecteurs supplémentaires, l'utilisateur doit également sacrifier une des prises disponibles reliées au bus NUBUS. En outre, des mémoires VRAM sont environ deux fois plus coûteuses que la mémoire

RAM pour ordinateur normal et une grande quantité de mémoires VRAM doivent être incorporées à la carte vidéo séparée. Une mémoire VRAM est disponible seulement dans certaines tailles, qui ne s'adaptent pas souvent aux impératifs d'un affichage particulier. Dans de nombreux cas, une grande partie de l'espace de mémoire est simplement "perdue" du fait que l'ordinateur ne peut pas l'utiliser efficacement. En outre, une carte vidéo séparée produit une quantité considérable de chaleur supplémentaire à cause de la dissipation d'énergie à partir de ces composants additionnels. La génération de chaleur pose un problème important dans des ordinateurs modernes.

Une limitation plus importante consiste peut-être en ce que l'utilisateur a besoin d'une carte vidéo différente pour chaque type de dispositif d'affichage ou de moniteur auquel l'ordinateur est relié. Par exemple, un ordinateur utilisé pour produire une image sur un moniteur couleur "portrait" de 15 pouces (38,1 cm) nécessite un type de carte vidéo tandis qu'un ordinateur relié à un écran en Noir et Blanc de 9 pouces (22,9 cm) nécessite un autre type. En conséquence, différents moniteurs nécessitent des cartes vidéo adaptées, ce qui réduit finalement la souplesse dont doit disposer l'utilisateur.

Comme on s'en rend compte, la présente invention élimine l'obligation de faire intervenir une carte vidéo séparée dans un système à ordinateur piloté par microprocesseur. Ce résultat est obtenu grâce à l'utilisation d'un circuit intégré (IC) vidéo qui peut être incorporé directement dans la carte-mère de l'ordinateur. L'ordinateur conforme à l'invention est caractérisé par un ou plusieurs blocs de mémoires RAM système qui sont partagés à la fois par l'unité CPU et par le circuit d'affichage vidéo. Du fait

que l'affichage vidéo utilise la mémoire RAM système standard, qui est complètement accessible par l'unité CPU, de nombreux affichages différents sont assistés sans "perdre" une partie quelconque de la mémoire non utilisée par l'affichage. En conséquence, une partie quelconque de la mémoire système qui n'est pas en train d'être utilisée par le circuit d'affichage vidéo peut être utilisée par l'unité CPU pour une mémorisation d'instructions ou pour une exécution de calculs.

Dans un certain sens, la présente invention concerne une forme d'accès direct en mémoire (DMA), selon laquelle le circuit intégré vidéo lie une information dans la mémoire RAM système sans aucune intervention de l'unité CPU. Le moyen le plus usuel pour réaliser un accès DMA consiste à assurer l'arbitrage de l'ensemble du bus de données - en déconnectant essentiellement l'unité CPU du bus pendant un cycle d'affichage vidéo. Au contraire, conformément à la présente invention, l'unité CPU peut continuer à opérer à partir de son antémémoire interne, d'une antémémoire externe, d'une mémoire ROM, de dispositifs I/O (entrée/sortie), d'un bus NUBUS et de certains blocs de mémoire RAM, pendant que le circuit intégré vidéo est en train d'accéder à des données vidéo à partir d'un autre bloc de mémoire RAM système.

En outre, du fait que la présente invention élimine l'obligation de communiquer par l'intermédiaire d'un bus assez lent avec une carte vidéo, les performances du système sont finalement améliorées.

La présente invention concerne un ordinateur qui produit un signal vidéo pour affichage. L'ordinateur comporte une unité centrale de traitement (CPU) qui exécute un programme pour produire des données vidéo pour le dispositif d'affichage. Le dispositif d'affichage

proprement dit est organisé sous la forme d'une matrice d'éléments pixel, chaque élément pixel étant représenté par un certain nombre de bits de données vidéo, mémorisés dans une mémoire à accès sélectif intervenant dans la mémoire système de l'ordinateur.

Un circuit intégré vidéo est relié à la RAM système de façon à appliquer N-bits de données vidéo par pixel au dispositif d'affichage à une fréquence de transmission de points correspondant aux impératifs du dispositif d'affichage (par exemple, un moniteur). Ce circuit vidéo, au lieu de posséder sa propre mémoire RAM vidéo interne (VRAM), partage la mémoire système (c'est-à-dire, RAM système) avec l'unité CPU. Un contrôleur de mémoire assure l'arbitrage des accès à la mémoire RAM entre l'unité CPU et le circuit vidéo d'une manière qui interdit un accès à la mémoire RAM par l'unité CPU à chaque fois que le circuit vidéo est en train de lire une donnée vidéo dans la mémoire RAM.

Dans une réalisation, la mémoire RAM comprend un premier et un second bloc de mémorisation. Les deux blocs sont reliés à une unité CPU par l'intermédiaire du bus de données de CPU. Cependant, le premier bloc de RAM peut être découplé du bus de données de CPU au moyen d'un tampon de bus commandé par le contrôleur de mémoire. Le premier bloc de RAM est découplé de l'unité CPU à chaque fois que le circuit vidéo signale au contrôleur de mémoire qu'il désire lire une donnée vidéo.

Dans la réalisation préférée, le circuit vidéo comprend une mémoire vidéo premier-entré-premier-sorti (FIFO) qui est capable de mémoriser seize mots de 32-bits. En cours de fonctionnement, les premiers huit mots de la mémoire FIFO reçoivent des données vidéo provenant du premier bloc de RAM tandis que

les seconds huit mots transfèrent des données vidéo vers le circuit d'affichage sous la forme de tranches de N bits. Les seconds huit mots reçoivent ensuite des données après qu'ils se sont vidés, tandis que les premiers huit mots commencent à transférer leurs données, et ainsi de suite, avec alternance dans un sens et dans l'autre. La mémoire FIFO et la commande de mémoire sont optimisées de telle sorte que des données puissent être transférées (après un accès initial) à une fréquence d'environ deux impulsions par mot long, alors que dans l'art antérieur, il faut généralement un temps d'accès de cinq impulsions d'horloge par mot long.

D'autres caractéristiques et avantages de l'invention seront mis en évidence, dans la suite de la description, donnée à titre d'exemple non limitatif en référence aux dessins annexés dans lesquels:

La Figure 1 est un schéma à blocs généralisés de l'ordinateur qui fait l'objet de la présente invention.

La Figure 2 est un schéma à blocs détaillé de la réalisation de la présente invention qui est couramment préférée.

La Figure 3 représente différents signaux de minutage vidéo et leurs paramètres associés de minutage vidéo.

La Figure 4 représente les formes d'ondes de minutage vidéo pour un cycle de mémorisation dans lequel une donnée vidéo est transférée de la RAM système dans la mémoire FIFO vidéo du circuit vidéo.

La Figure 5a montre la mise en ordre des bits de données vidéo dans le registre à décalage et les prises utilisées dans la réalisation couramment préférée pour un système vidéo opérant à raison de 1-bit-par-pixel.

La Figure 5b montre la mise en ordre des bits de données vidéo dans le registre à décalage

et les prises utilisées dans la réalisation couramment préférée pour un système vidéo opérant à raison de 2-bits-par-pixel.

La Figure 5c montre la mise en ordre des bits de données vidéo dans le registre à décalage et les prises utilisées dans la réalisation couramment préférée pour un système vidéo opérant à raison de 4-bits-par-pixel.

La Figure 5d montre la mise en ordre des bits de données vidéo dans le registre à décalage et les prises utilisées dans la réalisation couramment préférée pour un système vidéo opérant à raison de 8-bits-par-pixel.

La Figure 6 montre la relation de minutage existant entre des signaux de minutage vidéo et le signal de remise à zéro de vidéo qui enclenche le début d'une trame de vidéo actif.

On va décrire un ordinateur utilisant un circuit intégré (IC) vidéo spécialisé pour un affichage de données vidéo. Le circuit intégré IC est capable de lire une information dans la RAM système sans aucune intervention de l'unité CPU et sans une déconnexion de l'unité CPU par rapport au bus de données de CPU. Dans la description qui va suivre, de nombreux détails spécifiques seront indiqués, comme des fréquences de base, des tailles de registres, des désignations de bits, etc., de façon à permettre une compréhension complète de la présente invention. Cependant, il est évident pour un spécialiste de ce domaine que la présente invention peut être mise en oeuvre sans ces détails spécifiques. Dans d'autres cas, des circuits bien connus ont été indiqués dans les schémas sous la forme de blocs afin d'éviter un obscurcissement inutile de la présente invention.

Bien que la présente invention soit décrite

dans sa réalisation préférée concernant l'ordinateur Macintosh IIci, fabriqué par Apple Computer, il va de soi, évidemment, que l'invention pourrait être utilisée dans d'autres ordinateurs et que de nombreuses modifications peuvent être faites sans sortir de l'esprit et de la portée de la présente invention.

En référence à la Figure 1, celle-ci représente un schéma à blocs généralisé de la réalisation couramment préférée de la présente invention. Le système à ordinateur 10 comprend une unité vidéo pilotée par RAM (RBV) 14 qui produit des signaux d'affichage vidéo pour une diversité de moniteurs d'affichage. RBV 14 comprend deux parties fondamentales: une partie vidéo produisant des signaux de synchronisation, et des données pour différents types de moniteurs (dans la réalisation préférée, le circuit de RBV alimente quatre types différents de moniteurs), et une partie qui active un adaptateur d'interface polyvalent (VIA).

La partie VIA contient une pluralité de registres de 8-bits pour une commande d'entrées et sorties diverses, pour une commande vidéo, pour des modes de contrôle de puce pour RBV et pour un traitement d'interruptions. L'unité CPU 13 communique avec ces registres par l'intermédiaire d'un bus bidirectionnel de données de 8 bits, qui est séparé du bus de données de RAM de 32 bits utilisé par la partie vidéo. Cela permet un accès aux registres, indépendamment de l'activité de la partie vidéo sur le bus de données de RAM séparé. Dans une large proportion, la partie VIA de RBV n'est pas essentielle pour la compréhension de la présente invention. En conséquence, la description de la partie VIA sera limitée aux éléments qui aident à la compréhension de la présente invention.

L'unité RBV 14 est de préférence réalisée

sous la forme d'un circuit intégré (IC) en utilisant un processus métal-oxyde-semiconducteur (MOS); en particulier, une technologie complémentaire métal-oxyde-semiconducteur (CMOS).

L'unité RBV 14 coopère avec une unité de décodage en mémoire (MDU) 12 et une mémoire à accès sélectif (RAM) 11. L'unité MDU 12 fonctionne comme un contrôleur de mémoire, en assurant l'arbitrage des accès de l'unité RBV 14 à la mémoire RAM 11. L'unité MDU 12 est conçue pour créer une interface compatible entre CPU 13, RAM 11, ROM 47 et les dispositifs I/O 45 (cf. Figure 2). Dans la réalisation couramment préférée, CPU 13 est un microprocesseur MC68030 fabriqué par Motorola Corporation.

RAM 11 comporte au moins un bloc de mémorisation dynamique (DRAM) et elle est reliée à RBV 14 par l'intermédiaire d'un bus de 32-bits 21. De préférence, RAM 11 comporte deux blocs séparés de RAM activés directement par MDU 12. MDU 12 est reliée à RAM 11 par l'intermédiaire d'une ligne de commande 52. Les unités RBV 14 et MDU 12 communiquent l'une avec l'autre par l'intermédiaire de lignes 22-25. Comme cela sera précisé dans la suite, un accès initial à une donnée vidéo mémorisée dans RAM 11 a une durée de cinq impulsions d'horloge de CPU suivis par un accès en rafale d'une durée de deux impulsions d'horloge. Intérieurement, MDU 12 comprend un multiplexeur d'état-machine et d'adresse associé à la commande du bloc A de RAM 11 en coopération avec des signaux de demande vidéo fournis par RBV 14.

Une commande de minutage de fréquence pour génération de fréquence de base de points est assurée par trois sources de fréquences séparées 18-20. Chacune de ces sources est constituée par un oscillateur à cristal opérant à une fréquence

caractéristique. Les sources de fréquences 18-20 sont reliées à l'unité vidéo 14 pilotée par RAM par l'intermédiaire de lignes respectives 37-39. L'utilisation d'entrées de référence à fréquences multiples constitue un moyen à l'aide duquel l'ordinateur conforme à l'invention s'adapte à différents types de moniteurs. Bien que trois soient représentés, beaucoup plus peuvent être utilisés sans s'écarter de l'esprit ou de la portée de la présente invention. En variante, une seule source de fréquence de base, programmable ou réglable, peut être utilisée à la place des sources de fréquences séparées 18-20.

L'unité RBV 14 fournit des données vidéo à un convertisseur numérique-analogique vidéo (VDAC) 26 par l'intermédiaire d'un bus 29. Le convertisseur VDAC 26 comprend une table de consultation de couleurs (CLUT) et un convertisseur DAC qui, dans la réalisation préférée, est le dispositif Bt478 fabriqué par Brooktree Corporation. Le convertisseur VDAC 26 reçoit également des signaux de fréquence de base de points, des signaux de suppression composites (CBLANK) et des signaux de synchronisation vidéo composite (CSYNC) provenant de l'unité RBV 14 respectivement par l'intermédiaire des lignes 30, 31 et 33. Ces signaux varient en correspondance au type de moniteur utilisé et ils sont employés pour organiser le minutage vidéo des données sur l'écran du moniteur. Le convertisseur VDAC 26 fournit des signaux vidéo analogiques de couleurs rouge, verte et bleue (RGB) au moniteur 27 par l'intermédiaire de la ligne 36. Le moniteur 27 peut également recevoir des signaux de synchronisation horizontale (HSYNC) et de synchronisation verticale (VSYNC) pour minutage vidéo, ou bien un signal de synchronisation composite (CSYNC), provenant de RBV 13. Un signal d'identification de moniteur (ID) est fourni à RBV 14 par le moniteur

de la ligne 35.

Comme mentionné, quatre types différents de moniteurs d'affichage sont alimentés par la réalisation couramment préférée. Un de ces moniteurs est activé directement par RBV 14 tandis que les autres sont activés par l'intermédiaire du convertisseur VDAC 26. Chaque type de moniteur s'identifie lui-même par une mise à la masse de certaines fiches dans l'unité RBV. Cela sélectionne automatiquement les paramètres appropriés de fréquence de base de pixels et de minutage de synchronisation. Les quatre types de moniteurs présentement alimentés par la réalisation préférée de la présente invention comprennent: un moniteur Macintosh SE de 9" (Mac SE), un moniteur Apple II-GS modifié, un moniteur Macintosh II 12" B/W et 13" RGB, et un moniteur "portrait" de 15" (B/W ou RGB) (noir et blanc ou couleur rouge/vert/bleu).

Le Tableau 1 donne un condensé du moniteur sélectionné par les fiches d'identification de moniteur à 3 bits de la ligne 35. Il est à noter qu'une fiche séparée est prévue (non représentée sur la Figure 1) sur la puce de RBV pour activer un moniteur SE de 9 pouces incorporé.

TABLEAU 1

Fiche SE sur RBV	MON ID3	MON ID2	MON ID1	Moniteur sélectionné
Mac SE — GND	0	0	0	Moniteur non assisté (active moniteur SE 9" incorporé)
Mac SE — GND	0	0	1	Moniteur portrait 15" (B/W)
Mac SE — GND	0	1	0	Moniteur Apple II-GS modifié
Mac SE — GND	0	1	1	Moniteur non assisté (active moniteur SE 9" incorporé)
Mac SE — GND	1	0	0	Moniteur non assisté (active moniteur SE 9" incorporé)
Mac SE — GND	1	0	1	Moniteur portrait 15" (RGB)
Mac SE — GND	1	1	0	Mac II 12" B/W & 13" RGB
Mac SE — GND	1	1	1	Pas de moniteur externe (active moniteur SE 9" incorporé)
Toutes les autres CPU — +5V	0	0	0	Moniteur non assisté (arrêté en vidéo)
Toutes les autres CPU — +5V	0	0	1	Moniteur portrait 15" (B/W)
Toutes les autres CPU — +5V	0	1	0	Moniteur Apple II-GS modifié
Toutes les autres CPU — +5V	0	1	1	Moniteur non assisté (arrêté en vidéo)
Toutes les autres CPU — +5V	1	0	0	Moniteur non assisté (arrêté en vidéo)
Toutes les autres CPU — +5V	1	0	1	Moniteur portrait 15" (TGB)
Toutes les autres CPU — +5V	1	1	0	Mac II 12" B/W, 13" RGB
Toutes les autres CPU — +5V	1	1	1	Pas de moniteur externe (arrêté en vidéo)

En référence maintenant à la Figure 2, celle-ci représente un schéma à blocs détaillé de la puce de RBV 14, en même temps que des connexions avec une carte-mère 40 d'ordinateur. L'unité CPU 13 est représentée comme étant reliée à divers dispositifs, comme la mémoire ROM 47, les dispositifs I/O 45, le bus NUBUS 46 et le convertisseur VDAC 26, par l'intermédiaire du bus 50 de données de CPU et du bus 65 d'adresses de CPU. Une mémoire système est

représentée par deux blocs de RAM, à savoir le bloc A (43) et le bloc B (42). Le bloc B de RAM (42) est relié directement au bus 50 de données de CPU tandis que le tampon de bus 44 peut séparer le bus 50 de données de CPU du bus de données 21 du bloc A de RAM. Dans la réalisation couramment préférée, le tampon de bus 44 est un tampon de bus 74F245 disponible dans le commerce.

Un des aspects essentiels de la présente invention consiste en ce que l'unité RBV 14 agit comme l'équivalent fonctionnel d'une carte vidéo séparée tout en étant incorporée dans la carte-mère sous la forme d'un circuit intégré. Pour obtenir cette fonctionnalité, le bloc A de la RAM système peut être sélectivement découplé du bus 50 de données de CPU par le tampon de bus 44. Cela permet un unique accès au bloc A par l'unité RBV 14 par l'intermédiaire du bus 21 du bloc A de RAM. Une donnée mémorisée dans le bloc 43 de la RAM système est utilisée par l'unité RBV pour fournir un flux constant de données vidéo au moniteur d'affichage 27 pendant la partie de vidéo actif de chaque ligne de balayage horizontal. L'unité RBV 14 demande des données à l'unité MDU 12 quand cela est nécessaire; l'unité MDU 12 répond en déconnectant le bus 21 du bus 50 de données de CPU et en transmettant une rafale de huit mots longs en mode de pagination du bloc A de RAM 43 à la mémoire FIFO 54 située à l'intérieur de l'unité RBV 14. Les blocs 43 et 42 sont commandés par l'unité MDU 12 par l'intermédiaire du bus 52 de commande de RAM.

Si une rafale vidéo est en cours de progression, un accès de l'unité CPU au bloc 43 est retardé, ce qui produit en fait un ralentissement de l'unité CPU 13. Cet effet varie en fonction de la taille du moniteur et du nombre de bits par pixel. Il est à

noter que seulement des accès au bloc A de RAM sont affectés par un processus vidéo. Le bloc B de RAM est relié directement au bus 50 de données de CPU de sorte que l'unité CPU 13 a intégralement accès à ce bloc à tous moments, de même que la mémoire ROM 47 et les dispositifs I/O 45. Il est à noter que la présente invention peut être mise en oeuvre sans le bloc 42 ou bien, en variante, avec des blocs additionnels de RAM qui sont ajoutés d'un côté ou de l'autre du tampon de bus 44. Bien que la présente invention opère correctement sans le bloc 42, l'incorporation de ce bloc 42 améliore le rendement global et les performances du système à ordinateur par création d'une partie de mémoire affectée à l'unité CPU 13.

La partie vidéo de l'unité RBV 14 comprend, dans la réalisation couramment préférée, une unité de mémorisation premier-entré-premier-sorti (FIFO) 54 de 16 x 32 bits, qui comporte également une partie logique pour maintenir la mémoire FIFO remplie de données de RAM et une partie logique pour répartir et transférer ces données vers l'extérieur. L'unité RBV 14 comprend également une bascule 53 qui est utilisée pour introduire des données vidéo se trouvant dans le bus 21 en direction de la mémoire FIFO 54 par l'intermédiaire d'une ligne de pointeurs de charge 55. Une donnée vidéo est déchargée de la mémoire FIFO 54 par l'intermédiaire de la ligne 56 qui est reliée à l'ordinateur de bits 57. L'ordinateur de bits 57 est à son tour relié à un registre à décalage 59 par la ligne 58. Le registre à décalage 59 décale vers l'extérieur les données vidéo qui ont été ordonnées par l'ordonnateur de bits 57 par l'intermédiaire du bus 29 de sortie de données vidéo. Un sélecteur de prise 60 reliant le registre 59 au bus 29 sera décrit dans la suite.

La mémoire vidéo FIFO 54 est divisée en deux moitiés, contenant chacune huit mots longs de 32 bits. Lorsque la dernière donnée se trouvant dans une moitié de FIFO a été utilisée (ou bien trois mots longs pour un moniteur de 13 pouces à raison de 8 bits par pixel ou bien pour un moniteur de 15 pouces à raison de 4 bits par pixel), l'unité RBV 14 active sa ligne 24 de sortie de demande de données (VID.REQ). Cette ligne de demande vidéo fournit à MDU 12 une instruction pour déconnecter le bus 21 de données du bloc A de RAM du bus 50 de données de CPU par activation du tampon de bus 44. Elle amorce également une lecture en rafales et en mode de pagination de données de RAM qui sont transmises par le bus 21. L'unité MDU 12 introduit ensuite des données de RAM valables dans RBV 14, en utilisant la ligne 23 de chargement de données vidéo dans RBV (VID.LD). La ligne de chargement vidéo 23 commande la bascule 53.

Chaque flanc arrière d'une impulsion VID.LD bloque un mot de donnée RAM d'une longueur de 42 bits dans la bascule 53, elle mémorise la donnée bloquée dans la mémoire FIFO 54 et ensuite elle fait avancer le pointeur d'entrée jusqu'à la position suivante dans la mémoire FIFO. La donnée est introduite dans la mémoire vidéo FIFO 54 par l'intermédiaire de la ligne 55, qui a pour origine la bascule de commande 53. Après le flanc arrière de la sixième impulsion VID.LD, l'unité RBV active sa ligne de demande de données vidéo (VID.REQ) 24. Si la ligne VID.REQ se trouve à un niveau haut avant le flanc arrière de la septième impulsion VID.LD, MDU 12 arrête la rafale après la lecture d'un mot long de plus (le huitième) et elle l'introduit dans RBV. Cela produit un remplissage de la moitié de FIFO qui était précédemment vide.

Entre temps, dans l'autre moitié de FIFO, les 8 autres mots longs de données (chargés pendant la lecture de rafale précédente) peuvent être chargés dans le registre à décalage 59 par l'intermédiaire du bus 58 et en quantités de 16 bits. Après que les 8 mots longs ont été extraits de la seconde moitié de la mémoire FIFO 54 (c'est-à-dire lorsque la seconde moitié est vide), les 8 mots longs suivants provenant de la première moitié de FIFO (qui a été précédemment chargée avec des données vidéo) sont chargés dans le registre à décalage 59. Pendant ce temps, la seconde moitié de la mémoire FIFO 54 (vidée pendant la dernière série de chargement) reçoit maintenant des données vidéo mises à jour provenant du bloc A de RAM. La seconde moitié est remplie comme décrit ci-dessus et la totalité du processus se répète de lui-même - les deux moitiés de la mémoire FIFO 54 recevant alternativement des données provenant de RAM 43 et chargeant des données dans le registre à décalage 59.

Le registre à décalage 59 comporte huit prises de sortie qui sont reliées au sélecteur de prises 60. Les données sont avancées dans le registre à décalage 59 à raison d'un bit à la fois par le signal de fréquence de base apparaissant dans la ligne 30. Les huit prises de sortie sont réparties tous les deux bits le long du registre à décalage (c'est-à-dire après chaque paire de bits). En utilisant 1, 2, 4 ou la totalité des 8 prises, les données peuvent apparaître dans le bus de sortie de données vidéo à raison d'un bit à la fois (vidéo de 1 bit), à raison de deux bits à la fois (vidéo de 2 bits), à raison de quatre bits à la fois (vidéo de 4 bits), ou à raison de huit bits à la fois (vidéo de 8 bits).

Evidemment, pour les données apparaissant

dans l'ordre correct aux prises de sortie, les seize bits doivent avoir été chargés dans le registre à décalage 59 dans l'ordre correct pour le nombre de bits par pixel sélectionné. Cela est la fonction du classeur de bits 57 qui reçoit les mots provenant de la mémoire FIFO 54 par l'intermédiaire de la ligne 56 et également l'information de bits-par-pixel se trouvant dans la ligne 89. Pour un vidéo de 1-bit-par-pixel, seule la prise de sortie finale est utilisée et la totalité des 16 bits se trouvant dans le registre à décalage apparaissent à cette prise après seize impulsions consécutives de fréquence de base de points.

Inversement, pour un vidéo de 8 bits, les huit prises sont utilisées et les 16 bits sont envoyés dans les huit lignes de sortie du bus 29 de données vidéo après seulement deux fréquences de base de points. De toute manière, lorsque la totalité des 16 bits ont été envoyés dans le bus 29 de données vidéo, les 16 bits suivants sont chargés dans le registre à décalage 59 en provenance de la mémoire FIFO 54 et le pointeur de sortie de FIFO est avancé. Cela produit finalement un vidage de cette moitié de FIFO. La moitié vide de FIFO 54 doit ensuite être remplie par une autre rafale de 8 mots longs de données RAM comme décrit précédemment.

En référence maintenant aux Figures 5a à 5d, celles-ci représentent des classements de bits à l'intérieur du registre à décalage 59 respectivement pour 1 bit, 2 bits, 4 bits et 8 bits par pixel. Comme on le voit clairement, pour un vidéo de 1 bit par pixel, la mise en ordre des bits commence à zéro et continue séquentiellement jusqu'au bit 15 qui est situé à la prise zéro. En conséquence, pour un vidéo de 1 bit, la donnée est chargée ou avancée séquentiellement dans une des huit lignes du bus 29 de sortie de données. Les sept autres lignes de ce bus

sont commutées au niveau haut.

Pour un vidéo de 2 bits, les bits de numéros impairs sont situés dans la moitié de gauche du registre à décalage (c'est-à-dire les bits impairs 1-15) se terminant à la prise 1, tandis que les bits de numéros pairs (c'est-à-dire les bits pairs 0-14) sont chargés dans la moitié de droite du registre à décalage en se terminant à la prise 0. A nouveau, les lignes du bus de sortie de données reliées aux prises non utilisées sont commutées au niveau haut.

Pour un vidéo de 4 bits, la mise en ordre des bits est encore plus compliquée. Comme indiqué, le classement des bits est réalisé de telle sorte que les bits 12, 8, 4 et 0 sortent par la prise 0, que les bits 14, 10, 6 et 2 sortent par la prise 2, que les bits 13, 9, 5 et 1 sortent par la prise 1 et que les bits 15, 11, 7 et 3, dans cet ordre, sortent par la prise 3.

Pour un vidéo de 8 bits, toutes les huit prises sont envoyées de la manière suivante: la prise 0 décale les bits 8 et 0, la prise 1 décale les bits 9 et 1, la prise 2 décale les bits 10 et 2, la prise 3 décale les bits 11 et 3, la prise 4 décale les bits 12 et 4, la prise 5 décale les bits 13 et 5, la prise 6 décale les bits 14 et 6 et la prise 7 décale les prises 15 et 7, dans cet ordre. Pour un vidéo de 8 bits, la totalité des seize bits ont été décalés vers la sortie au bout de deux périodes de base de points.

Chacune des prises représentées sur les Figures 5a à 5d est reliée par l'intermédiaire d'un sélecteur de prises 60 avec le bus 29 de sortie de données vidéo (c'est-à-dire, VID.OUT) de telle sorte que le bit de poids le plus fort corresponde alors à VID.OUT7 et que le bit de poids le moins fort corresponde à VID.OUT0. Par exemple pour un vidéo de 8 bits,

chaque mot long est décalé vers la sortie de telle sorte que le bit 31 apparaisse à VID.OUT7 en même temps que le bit 30 apparaît à VID.OUT6, le bit 29 à VID.OUT5, le bit 28 à VID.OUT4, le bit 27 à VID.OUT3, le bit 26 à VID.OUT2, le bit 25 à VID.OUT1 et le bit 24 à VID.OUT0, et ainsi de suite. Un vidéo de 1 bit apparaît à la fiche de sortie VID.OUT0, tandis que les fiches VID.OUT1 à 7 sont maintenues au niveau haut (elles apparaissent comme des uns). Chaque mot long provenant de la mémoire RAM est décalé vers la sortie par VID.OUT0 en commençant par le BIT 31 et en poursuivant jusqu'au bit 0, à mesure que le faisceau du moniteur progresse de la gauche vers la droite.

Comme le montre la Figure 2, le sélecteur de prise 60 est relié à la ligne 89 de manière à recevoir le nombre de bits par pixel qui doit sortir par le bus 29 de sortie de données vidéo. Une fois pour chaque trame vidéo - à la fin de l'impulsion de synchronisation verticale - l'unité RBV 14 désactive sa ligne 25 de sortie pour remise à zéro vidéo (VID.RES) afin de remettre à zéro le compteur d'adresses vidéo de MDU. Ensuite, juste avant la première ligne de vidéo actif, l'unité RBV produit deux demandes de 8 mots longs de telle sorte qu'elle commence avec la mémoire vidéo FIFO 54 complètement pleine. Ensuite, le processus continue comme décrit ci-dessus - des mots étant décalés vers la sortie en même temps que de nouveaux mots de données vidéo sont introduits à l'entrée.

L'unité RBV 14 désactive sa ligne VID.REQ 24 lorsqu'elle est prête à recevoir 8 mots longs de données d'entrée provenant de la mémoire RAM 43. Ensuite, elle attend que le contrôleur de mémoire 12 introduise des données. Une donnée est

introduite par le contrôleur de mémoire 12 en utilisant la ligne VID.LD 23. L'unité RBV attendra indéfiniment l'arrivée de la donnée vidéo (cependant si l'attente est suffisamment longue, il se produira finalement un décalage de données anciennes de FIFO vers la sortie). Elle acceptera un nombre quelconque de mots longs introduits bien que ces données puissent finalement commencer à chevaucher des données qui n'ont pas été décalées vers la sortie lorsqu'un trop grand nombre de mots longs ont été introduits.

Après la sixième introduction VID.LD, l'unité RBV 14 assure l'activation de la ligne VID.REQ 24. Cela se produit même si la demande suivante de 8 mots longs est déjà en cours. Si la ligne VID.REQ 24 a été activée avant la fin de la septième introduction VID.LD, l'unité MDU 12 introduit un mot long de plus (le huitième) dans l'unité RBV et elle attend ensuite le signal VID.REQ suivant (qui peut se produire un certain temps après la fin de la septième introduction VID.LD).

L'unité RBV 14 ne contient aucune information concernant un enregistrement sur écran ou des adresses vidéo. Elle suppose simplement que le contrôleur de mémoire lui fournira des données correctes lorsqu'elle le demandera, le plus souvent par groupes de 8 mots longs. A la fin de chaque impulsion de synchronisation verticale, l'unité RBV1 14 désactive sa ligne VID.RES 25 pendant le temps séparant deux impulsions de synchronisation horizontale. Le contrôleur de mémoire 12 utilise ce signal pour ramener à zéro son compteur d' adresses vidéo au début du tampon de trame.

De façon analogue, le contrôleur de mémoire 12 ne sait rien en ce qui concerne les circuits vidéo ou bien l'un quelconque de leurs paramètres. Quand

il détecte que la ligne VID.REQ passe au niveau bas, il attend jusqu'à ce qu'un cycle en cours du bloc A de RAM soit terminé; il signale alors les trois états aux tampons reliés au bus de RAM, en déconnectant ainsi le bus 21 du bus 50 de données de CPU. Ensuite, il commence une lecture de rafales en mode de pagination de la mémoire RAM.

Il est à noter que seulement trois lignes (VID.REQ, VID.LD, et VID.RES) sont nécessaires pour une interaction entre MDU 12 et RBV 14. RBV 14 n'a pas à mémoriser une information quelconque concernant une mémorisation ou bien l'unité MDU. De façon analogue, MDU 12 n'a pas à connaître quoi que ce soit concernant du vidéo. Chaque unité communique simplement avec l'autre en correspondance au principe de communication à 3 fils décrit ci-dessus. Cette particularité simplifie grandement la conception du système ainsi que l'architecture interne de MDU et de RBV. Elle améliore également la souplesse du système. L'unité RBV pourrait être remplacée par un dispositif vidéo différent ou par un autre dispositif reliant DMA à RAM sans affecter l'unité MDU, ou bien les adresses en mémoire et l'organisation correspondante pourraient être modifiées sans influencer l'unité RBV, à condition que le principe de communication soit conservée.

L'unité MDU 12 signale chaque mot long de la lecture en rafale en faisant passer sa ligne VID.LD au niveau bas pendant une période de fréquence de base de l'unité CPU. Elle poursuit la lecture de rafales en mode de pagination indéfiniment - en arrêtant seulement une lecture après qu'elle a constaté un retour de la ligne VID.REQ 24 à un niveau haut. Les adresses que l'unité MDU 12 fournit pour les lectures de rafales vidéo commencent à l'adresse $0000 0000 et elles sont incrémentées d'un mot long

à chaque VID.LD. Cela se poursuit indéfiniment (en utilisant un compteur de 24 bits à l'intérieur du contrôleur de mémoire). Jusqu'à ce que MDU 12 détecte que la ligne VID.RES 25 est passée au niveau bas. Quand la ligne VID.RES (Remise à zéro de vidéo) passe au niveau bas), le compteur situé à l'intérieur de l'unité MDU 12 est ramené à $0000 0000.

En référence maintenant à la Figure 4, celle-ci représente un diagramme de minutage montrant l'interaction entre l'unité RBV et la commande de RAM de l'unité MDU. Une transition 101 dans la ligne VID.REQ enclenche le processus de transfert de données vidéo de RAM 43 à FIFO 54. Il est à noter que, si la mémoire RAM 43 est engagée dans un cycle courant de RAM avec l'unité CPU 13, l'unité MDU 12 attendra jusqu'à ce que ce cycle de RAM soit terminé avant de signaler cet état au tampon de bus 44.

Un nouveau cycle de RAM de l'unité CPU est représenté, en commençant à l'instant 102. Cependant, du fait que la ligne VID.REQ 24 a passé au niveau bas, le cycle de CPU est maintenu arrêté pendant vingt impulsions d'horloge la rafale vidéo de 8 mots longs. Le début du cycle de lecture vidéo se produit à l'instant 103. Un minimum de cinq impulsions d'horloge après la transition de la ligne VID.REQ au niveau bas, une donnée vidéo mémorisée dans le bloc A de RAM commence à être échantillonnée dans la mémoire FIFO 54. Le premier mot long de donnée vidéo est chargé lors de la transition positive 104 du signal VID.LD. Lorsqu'il se produit une transition au niveau haut du signal VID.REQ à l'instant 105, l'unité MDU est alertée lors de la transition positive suivante de VID.LD de façon à fournir un mot de donnée vidéo de plus. Le dernier mot de donnée vidéo est indiqué comme étant chargé à l'instant de transition 106.

La fin du cycle de lecture de rafales vidéo se produit à l'instant 107. Ensuite, une continuation du cycle RAM de CPU qui était maintenue arrêtée commence à l'instant 108. Il est à noter qu'une nouvelle demande vidéo peut être amorcée immédiatement après que l'unité MDU 12 a détecté que VID.REQ était passé au niveau haut lors de la transition positive suivante de VID.LD. Cela est représenté par la transition au niveau bas 109 indiquée en tirets sur la Figure 4.

Comme décrit ci-dessus, le registre à décalage vidéo 59 a une longueur de seize bits et il comporte des prises classées après chaque paire de bits. Pour un vidéo de 8 bits, toutes les prises sont utilisées et chacun des seize bits de données apparaît à une prise après deux impulsions d'horloge de pixel. Si aucune nouvelle donnée n'a été chargée, il se produira quatorze impulsions d'horloge de pixel de plus avant que des uns soient sortis par la prise finale. (Des uns sont introduits pour remplacer d'anciens bits de données qui sont sortis).

Lorsqu'une occultation horizontale de faisceaux commence, le registre à décalage vidéo a terminé ses opérations de décalage de sorte que la totalité des seize bits de données apparaissent à une des prises en service sous la forme de seize pixels de 1-bit, de huit pixels de 2-bits, de quatre pixels de 4-bits, ou de deux pixels de 8 bits. Une occultation horizontale de faisceaux empêche le chargement de nouvelles données dans le registre à décalage. Cependant, le registre à décalage, qui est rythmé par la fréquence de base de points et qui est par conséquent toujours en décalage, continue à décaler vers la sortie d'anciennes données jusqu'à ce qu'il soit entièrement rempli de uns. L'unité RBV 14 continue

à faire sortir d'anciennes données pour quatorze signaux d'horloge de pixel dans un mode à 8 bits, pour 12 signaux d'horloge de pixel dans un mode à 4 bits, pour 8 signaux d'horloge de pixel dans un mode à 2-bits ou pour zéro signaux d'horloge de pixel dans un mode à 1-bit. Ensuite, elle décale tous les uns jusqu'à ce qu'elle soit à nouveau chargées avec de nouvelles données. Puisque l'appareil Macintosh SE utilise seulement un vidéo de 1-bit, aucune ancienne donnée ne sera décalée vers la sortie après qu'une occultation a commencé. Dans d'autres ordinateurs, le signal d'occultation composite de faisceaux (CBLANK), qui est produit dans la ligne 61 (cf. Figure 2) et qui est introduit dans le convertisseur VDAC 26, empêche toute ancienne donnée d'apparaître sur l'écran.

Une occultation verticale de faisceaux se produit après qu'une occultation horizontale de faisceaux a commencé et après que la mémoire FIFO 54 a été chargée avec une rafale de données de 8 mots longs de plus provenant du bloc 43. Ces 8 mots longs ne sont jamais chargés dans le registre à décalage 59 qui poursuit (après un décalage vers la sortie d'une ancienne donnée restant encore en lui) le décalage de tous les uns pendant une occultation verticale de faisceaux. Assez tôt pendant la séquence d'occultation verticale de faisceaux, tous les pointeurs sont ramenés à l'état initial et VID.RES est commuté au niveau bas, en remettant à zéro le compteur d'adresses vidéo de MDU. Ensuite, environ deux lignes avant la fin de l'occultation verticale de faisceaux, la mémoire FIFO 54 est chargée avec seize mots longs de nouvelles données, qui remplacent des données précédemment chargées en préparation à l'enclenchement d'un vidéo actif.

Les signaux de synchronisation vidéo

(qui comprennent HSYNC, VSYNC, CSYNC et CBLANK) sont produits par l'ensemble de compteurs vidéo 69. L'ensemble de compteurs vidéo 69 comprend une série de compteurs polynomiaux programmables d'un type bien connu dans l'art antérieur pour une utilisation lors d'une génération de signaux de minutage vidéo. Les compteurs vidéo de l'ensemble 69 sont à adaptation automatique dans le sens que, une fois qu'ils ont été averti du type de moniteur et de l'impératif de bits-par-pixel, l'ensemble de compteurs vidéo 69 peut alors produire les signaux corrects de minutage pour le dispositif d'affichage ou moniteur associé.

En référence à la Figure 3, celle-ci représente des formes d'ondes de minutage horizontale et verticale standard - en montrant les relations entre l'occultation horizontale de faisceaux, le vidéo actif, la synchronisation horizontale, l'occultation verticale de faisceaux, des lignes de vidéo actif vertical et des signaux de synchronisation verticale. Comme cela est connu des spécialistes de ce domaine, chacun des paramètres associés au minutage horizontal et au minutage vertical sont fonction du type de dispositif d'affichage ou de moniteur utilisé.

Des moniteurs assistés par ce système vidéo fournissent une identification (ID) de leur type par l'intermédiaire d'un code numérique défini par une série de lignes ou fiches externes. Dans la présente invention, les fiches d'identification du moniteur 27 sont reliées à un registre 71 de paramètres de moniteur par l'intermédiaire d'une ligne de 3 bits 35. Le type de moniteur est fourni à l'ensemble de compteurs vidéo 69 et au multiplexeur MUX 88 par l'intermédiaire de la ligne 87. Une information de bits-par-pixel est fournie par le registre 71 à l'ensemble 69 et à l'ordonnateur de bits 57 par l'intermédiaire de la ligne 89.

Un logiciel peut lire le type de moniteur dans le registre 71 et il peut lire ou écrire le nombre de bits par pixel dans le même registre. Un décodage du type d'identification de moniteur à 3-bits sélectionne l'un de quatre groupes de paramètres fixés - un groupe pour chaque moniteur assisté. Ces groupes de paramètres sont "traités matériellement" dans la puce et produisent des signaux HSYNC, VSYNC, etc. Le seul paramètre programmable concerne le nombre de bits-par-pixel.

Dans une autre réalisation, le registre 71 ou son équivalent peut être complètement programmable. Cela confère au système la capacité d'établissement d'un grand nombre de paramètres d'affichage - la seule limitation étant la taille de la mémoire interne du registe 71. Dans ce cas, les bits d'identification de moniteur seraient décodés par le logiciel, qui les écrirait ensuite dans le registre 71, en établissant tous les paramètres corrects pour le dispositif d'affichage associé.

Le tableau suivant donne un condensé des paramètres de minutage importants qui sont fournis par l'unité RBV (et qui sont illustrés sur la Figure 3) pour les quatre types de moniteurs assistés par la réalisation couramment préférée de la présente invention.

TABLEAU 2

	Mac SE 9"	Apple II-GS RGB modifié	Mac II 12" B/W et 13" RGB	Portrait 15"
HBLANK	192 points	128 points	224 points	192 points
Vidéo actif (Horiz)	512	512	640	640
Ligne complète	704	640	864	832
Porche avant (Horiz)	14	16	64	32
HSYNC	288	32	64	80
Porche arrière(Horiz)	-	80	96	80
VBLANK	28 lignes	23 lignes	45 lignes	48 lignes
Vidéo actif (Vert)	342	384	480	870
Trame complète	370	407	525	918
Porche avant (Vert)	0	1	3	3
VSYNC	4	3	3	3
Porche arrière (Vert)	24	19	39	42
Fréquence de base de points	15,6672MHz	15,6672MHz	30,24MHz	57,2832MHz
Point	63,83nS	63,83nS	33,07nS	17,457nS
Fréquence de ligne	22,25kHz	24,48kHz	35,0KHz	68,85kHz
Fréquence de trame	60,15Hz	60,15Hz	66,67Hz	75Hz

En référence à la Figure 6, le minutage relatif des différents signaux de synchronisation est représenté en même temps que le signal de remise à zéro VID.RES. Comme on peut le voir sur la Figure 6, entre les deux dernières périodes d'impulsions de synchronisation horizontale dans VSYNC, l'ensemble de compteurs vidéo 69 désactive la ligne VID.RES pour remettre à zéro le compteur d'adresses du contrôleur de mémoire 12. Cela se produit à la transition 110 sur la Figure 6. VID.RES est ramené simultanément au niveau haut lors de la transition niveau bas-haut

du signal VSYNC. Ensuite, juste avant la première ligne de vidéo actif, l'unité RBV 14 effectue deux demandes de 8 mots longs de manière à pouvoir commencer la sortie de la trame avec une FIFO complète.

Comme décrit ci-dessus, le moniteur 27 produit un code d'identification de 3 bits dans la ligne de bus 35 pour son application au registre de paramètres de moniteur 71. L'unité RBV 14 sélectionne ensuite les paramètres appropriés de minutage et synchronisation vidéo pour l'ensemble de compteurs vidéo 69. Une information de bits par pixel est également fournie à l'ordinateur de bits 57 et à l'ensemble de compteurs vidéo 69 par l'intermédiaire de la ligne 89. L'ensemble 69 comporte une pluralité de compteurs polynomiaux d'une variété bien connue dans l'art antérieur. En utilisant le type de moniteur décodé, l'unité RBV active ces compteurs de manière à produire des signaux de minutage vidéo conformément au Tableau 2 pour le moniteur associé.

Une information concernant le type de moniteur est également transmise par la ligne 87 au multiplexeur 88. En fonction du type de moniteur qui est relié au système à ordinateur, le multiplexeur 88 sélectionnera une des trois fréquences de base de points qui sont fourni par l'un des oscillateurs 18, 19, ou bien il divisera par deux la fréquence de base provenant de l'oscillateur 20 (respectivement en correspondance aux fréquences 30,2400, 57,2832 et 15,6672 MHz). La fréquence de base divisée provenant de l'oscillateur 20 est transmise au multiplexeur 88 par la ligne 41.

Par exemple, si le code d'identification de moniteur identifie le moniteur 27 comme un dispositif d'affichage Apple II-GS RGB modifié, alors le multiplexeur MUX 88 sélectionnera le signal d'horloge correspondant

dans la ligne 41 (c'est-à-dire, 15,6672 MHz) comme la fréquence de base de points à appliquer par la ligne 30 au convertisseur VDAC 26, au registre à décalage 59 et à l'ensemble de compteurs vidéo 69. (Le générateur de signaux d'horloge 66 est utilisé pour diviser la référence de fréquence 20 apparaissant à la ligne 39 par deux de manière à produire la fréquence de base de points correcte dans la ligne 41. Le générateur de signaux d'horloge 66 assure également un minutage d'entrée/sortie (I/O) pour les dispositifs I/O 45).

En variante, si l'identification du dispositif d'affichage indique que ce dispositif d'affichage est un dispositif MAC II de 12 pouces en noir et blanc ou de 13 pouces en couleur RGB, alors le bloc de référence de fréquence 18 (c'est-à-dire 30,2400 MHz) dans la ligne 37 sera sélectionné par le multiplexeur MUX 88. Si un moniteur (portrait) de 15 pouces était utilisé, le multiplexeur MUX 88 sélectionnerait la référence de fréquence 19 (c'est-à-dire 57,2832 MHz) présente dans la ligne 38.

Le Tableau 3 donne un condensé des signaux vidéo activés ou arrêtés pour les différents moniteurs.

TABLEAU 3

SE*	Identifications de Moniteurs	Moniteur sélectionné	Signaux activés	Signaux arrêtés
0 0 0 0	000 100 011 111	SE 9"	VID.OUT(0-7) CBLANK SE.HSYNC VSYNC	HSYNC = 1 CSYNC = 1
0 1 0 1	001 001 101 101	Portrait 15" (B/W) Portrait 15" (RGB)	VID.OUT(0-7) CBLANK HSYNC VSYNC	SE.HSYNC = 1 CSYNC = 1
0 1	010 010	II-GS modifié	VID.OUT(0-7) CBLANK CSYNC	SE.HSYNC = 1 HSYNC = 1 VSYNC = 1
0 1	110 110	12" B/W, 13" RGB	VID.OUT(0-7) CBLANK CSYNC	SE.HSYNC = 1 HSYNC = 1 VSYNC = 1
1 1 1 1	000 100 011 111	Vidéo arrêté	Aucun	VID.OUT(0-7) = 1's CBLANK = 0 CSYNC = 1 SE.HSYNC = 1 HSYNC = 1 VSYNC = 1

Il est évident qu'une grande diversité de moniteurs, en dehors de ceux indiqués dans le Tableau 3, peuvent être rendus compatibles avec le système à ordinateur 10 conformément aux principes de la présente invention.

En correspondance, bien que cette invention ait été décrite en référence à des réalisations illustratives, elle n'est pas destinée à exercer un sens limitatif. Différentes modifications des réalisations illustrées, ainsi que d'autres réalisations de l'invention, seront évidentes pour des personnes spécialisées

dans ce domaine, qui se réfèreront à cette description. Par exemple, plus que deux blocs de RAM peuvent être utilisés ou bien la taille de FIFO peut être réglée en correspondance à des applications particulières. Il est par conséquent envisagé que les revendications ci-jointes couvrent de telles variantes ou modifications qui rentrent dans le cadre et l'esprit de l'invention.

En conséquence, un ordinateur comportant un circuit intégré vidéo piloté par RAM a été décrit. Le circuit vidéo remplace fonctionnellement une carte vidéo séparée usuellement nécessaire pour un affichage vidéo dans un ordinateur, tout en offrant des améliorations en ce qui concerne la vitesse, les performances et l'efficacité.

REVENDICATIONS

1. Ordinateur produisant un signal vidéo pour un dispositif d'affichage, caractérisé en ce qu'il comprend:

- une unité centrale de traitement (CPU) (13) qui exécute un programme pour fournir des données vidéo audit dispositif d'affichage (27);

- une mémoire à accès sélectif (RAM) (11), reliée à ladite unité CPU (13) pour mémoriser lesdites données vidéo;

- un circuit vidéo (14) relié à ladite mémoire RAM (11) pour fournir N bits desdites données vidéo par pixel audit dispositif d'affichage (27) à une fréquence prédéterminée, ledit circuit vidéo partageant avec ladite unité CPU (13) l'accès à ladite mémoire RAM (11);

- un moyen formant contrôleur de mémoire (MDU) (12) pour effectuer un arbitrage de l'accès à ladite mémoire RAM (11) par ladite unité CPU (13) et par ledit circuit vidéo (14) de telle sorte que ladite unité CPU ne puisse pas avoir accès à ladite mémoire RAM (11) à chaque fois que ledit circuit vidéo (13) accède à ladite mémoire RAM (11).

2. Ordinateur selon la revendication 1, caractérisé en ce que ladite unité CPU (13), ladite mémoire RAM (11), ledit circuit vidéo (14) et ledit moyen formant contrôleur de mémoire (12) sont situés sur une seule plaquette ou carte à circuits électroniques.

3. Ordinateur selon la revendication 2, caractérisé en ce que ladite mémoire RAM (11) comprend un premier bloc (A) et un second bloc (B) et en ce que ledit ordinateur (10) comprend en outre un moyen formant tampon (44), commandé par ledit moyen contrôleur de mémoire (12), pour découpler ladite unité CPU (13) dudit premier bloc (A) à chaque

fois que ledit circuit vidéo (14) est en train d'accéder audit premier bloc (A), ladite unité CPU (13) conservant un accès audit second bloc (B) à chaque fois que ladite unité CPU (13) est découplée dudit premier bloc (A).

4. Ordinateur selon la revendication 3, caractérisé en ce que ledit moyen formant contrôleur de mémoire (12) assure l'arbitrage de l'accès à ladite mémoire RAM (11) en utilisant une interface de communication basée sur une demande en trois fils entre ledit circuit vidéo (14) et ledit moyen formant contrôleur de mémoire (12).

5. Ordinateur selon la revendication 3, caractérisé en ce que ledit circuit vidéo (14) comprend une mémoire premier-entré-premier-sorti (FIFO) (54) pour mémoriser temporairement lesdites données vidéo ainsi qu'un registre à décalage (59) relié à ladite mémoire FIFO (54), ladite mémoire FIFO (56) étant divisée en une première et une seconde moitié, chaque moitié recevant alternativement lesdites données vidéo provenant dudit premier bloc (A) de ladite mémoire RAM (11) et chargeant ensuite des données vidéo précédemment reçues dans ledit registre à décalage (59), ledit registre à décalage (59) transférant N bits desdites données vidéo reçues précédemment par pixel audit dispositif d'affichage (27) à ladite fréquence prédéterminée.

6. Ordinateur selon la revendication 5, caractérisé en ce que lesdites première et seconde moitiés de ladite mémoire FIFO (54) sont chacune capables de mémoriser huit mots de 32 bits.

7. Ordinateur selon la revendication 6, caractérisé en ce que lesdites données vidéo sont introduites alternativement vers lesdites première et seconde moitiés de ladite mémoire FIFO (54) pendant

un cycle par rafales dudit premier bloc (A) de ladite mémoire RAM (11).

8. Ordinateur selon la revendication 5, caractérisé en ce que ledit circuit vidéo (14) comprend en outre un moyen ordonnateur de bits (57), qui est couplé entre ladite mémoire FIFO (54) et ledit registre à décalage (59) pour définir l'ordre desdites données vidéo lorsque celles-ci sont chargées de ladite mémoire FIFO (54) dans ledit registre à décalage (59), ledit ordre des bits dépendant de la valeur de N, de telle sorte que N bits desdites données vidéo par pixel soient décalés vers la sortie par ledit registre à décalage (59) à ladite fréquence prédéterminée, lesdites données vidéo étant appliquées séquentiellement audit dispositif d'affichage (27) dans un ordre séquentiel.

9. Ordinateur selon la revendication 8, caractérisé en ce que le circuit vidéo (14) comprend en outre un moyen sélecteur (60) pour signaler des positions de bits sélectionnées dudit registre à décalage (59) audit dispositif d'affichage (27), ledit moyen sélecteur (60) comprenant une pluralité de prises (0 à 7) reliées audit registre à décalage (59) dans des positions de bits alternées.

10. Ordinateur selon la revendication 9, caractérisé en ce que ledit registre à décalage (59) a une longueur de seize bits et ledit ordre est:

0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15 pour N = 1;

1, 3, 5, 7, 9, 11, 13, 15, 0, 2, 4, 6, 8, 10, 12, 14 pour N = 2;

3, 7, 11, 15, 1, 5, 9, 13, 2, 6, 10, 14, 0, 4, 8, 12 pour N = 4;

7, 15, 3, 11, 6, 14, 1, 9, 5, 13, 2, 10, 4, 12, 0, 8 pour N = 8.

11. Ordinateur caractérisé en ce qu'il comprend:

- une unité centrale de traitement (CPU) (13);
- des premier et second blocs (A, B) d'une mémoire à accès sélectif (RAM) (11), mémorisant chacun des données vidéo;
- un bus de données (50) reliant lesdits premier et second blocs (A, B) et ladite unité CPU (13);
- un circuit intégré vidéo IC (14) relié audit premier bloc (A) par l'intermédiaire dudit bus de données (50) pour fournir N bits desdites données vidéo par pixel à un moniteur (27) en vue d'un affichage sur celui-ci, ledit circuit intégré vidéo (14) comprenant une mémoire premier-entré-premier-sorti (FIFO) (54) pour mémoriser temporairement lesdites données vidéo et un registre à décalage (59) relié à ladite mémoire FIFO (54) pour décaler vers la sortie lesdites données vidéo mémorisées temporairement à une fréquence de base de points;
- un moyen formant tampon (44) pour découpler ladite unité CPU (13) dudit premier bloc (A);
- un moyen formant contrôleur de mémoire (12) pour assurer l'arbitrage de l'accès audit premier bloc (A) par ladite unité CPU (13) et par ledit circuit intégré vidéo (14) en commandant ledit moyen formant tampon (44) de telle sorte que, à chaque fois que ledit circuit vidéo (14) accède audit premier bloc (A) pour fournir lesdites données vidéo audit moniteur (27), ladite unité CPU (13) soit interdite d'accès audit premier bloc (A) tout en conservant un accès audit second bloc (B).

12. Ordinateur selon la revendication 11 caractérisé en ce que chaque composant cité dans

la revendication 11 est situé sur une seule plaquette ou carte à circuits électroniques.

13. Ordinateur selon la revendication 12, caractérisé en ce que ladite mémoire FIFO (54) est divisée en une première et une seconde moitié, chaque moitié recevant alternativement lesdites données vidéo provenant dudit premier bloc (A) et chargeant ensuite des données vidéo précédemment reçues dans ledit registre à décalage (59) en vue d'une transmission ultérieure audit dispositif d'affichage (27) à ladite fréquence de base de points.

14. Ordinateur selon la revendication 13, caractérisé en ce que ledit circuit vidéo (14) comprend en outre un moyen de classement (57) définissant un ordre de bits, qui est couplé entre ladite mémoire FIFO (54) et ledit registre à décalage (59) pour définir l'ordre des bits desdites données vidéo quand elles sont chargées de ladite mémoire FIFO (54) dans ledit registre à décalage (59), ledit ordre dépendant de la valeur de N, N bits desdites données vidéo par pixel étant décalés vers la sortie par ledit registre à décalage (59) à ladite fréquence de base de points, lesdites données vidéo étant appliquées séquentiellement audit dispositif d'affichage (27).

15. Ordinateur selon la revendication 14, caractérisé en ce que ledit circuit vidéo (14) comprend en outre un moyen sélecteur (60) pour indiquer des positions de bits sélectionnées dudit registre à décalage (59) audit dispositif d'affichage (27), ledit moyen sélecteur (60) comprenant une pluralité de prises (0 à 7) reliées audit registre à décalage (59) dans des positions de bits alternées.

16. Ordinateur selon la revendication 15, caractérisé en ce que ledit registre à décalage a une longueur de seize bits et ledit ordre de bits est:

0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15 pour N = 1;

1, 3, 5, 7, 9, 11, 13, 15, 0, 2, 4, 6, 8, 10, 12, 14 pour N = 2;

3, 7, 11, 15, 1, 5, 9, 13, 2, 6, 10, 14, 0, 4, 8, 12 pour N = 4;

7, 15, 3, 11, 6, 14, 1, 9, 5, 13, 2, 10, 4, 12, 0, 8 pour N = 8.

17. Ordinateur, caractérisé en ce qu'il comprend:

- une unité centrale de traitement (CPU) (13);

- une mémoire à accès sélectif (RAM) (11) comportant un premier bloc (A) et un second bloc (B), ledit premier bloc (A) mémorisant des données vidéo;

- un circuit intégré vidéo (IC) 14 relié audit premier bloc (A), ledit circuit intégré vidéo (14) fournissant N bits desdites données vidéo par pixel à un moniteur (27) pour un affichage sur celui-ci, ledit circuit intégré (14) et ladite unité CPU (11) partageant un accès audit premier bloc (A);

- un moyen formant compteur vidéo (69) pour fournir des signaux de minutage vidéo audit moniteur (27), lesdits signaux étant dérivés d'une fréquence de base de points;

- un contrôleur de mémoire (12) pour assurer l'arbitrage d'accès audit premier bloc (A) de ladite mémoire RAM (11) de telle sorte que, à chaque fois que ledit circuit intégré (14) est en train d'accéder audit premier bloc (A), ladite unité CPU (13) soit interdite d'accès audit premier bloc (A) et conserve un accès audit second bloc (B).

18. Ordinateur selon la revendication 17, caractérisé en ce que chaque composant intervenant dans la revendication 17 est situé sur une seule plaquette ou carte à circuits électroniques.

19. Ordinateur selon la revendication

18, caractérisé en ce que ledit circuit vidéo (14) comprend une mémoire premier - entré-premier-sorti (FIFO) 54 pour mémoriser temporairement lesdites données vidéo et un registre à décalage (59) relié à ladite mémoire FIFO (54), ladite mémoire FIFO (54) étant divisée en une première et une seconde moitié, chaque moitié recevant alternativement lesdites données vidéo provenant du premier bloc (A) de ladite mémoire RAM (11) et chargeant ensuite des données vidéo précédemment reçues dans ledit registre à décalage (59), ledit registre à décalage (59) transférant N bits desdites données vidéo précédemment reçues par pixel audit dispositif d'affichage (27) à ladite fréquence de base de points.

20. Ordinateur selon la revendication 19, caractérisé en ce que lesdites première et seconde moitiés de ladite mémoire FIFO (54) mémorisent chacune huit mots de 32 bits.

21. Ordinateur selon la revendication 20, caractérisé en ce que lesdites données vidéo sont introduites alternativement vers lesdites première et seconde moitiés de ladite mémoire FIFO (54) pendant un cycle par rafales dudit premier bloc (A) de ladite mémoire RAM (11).

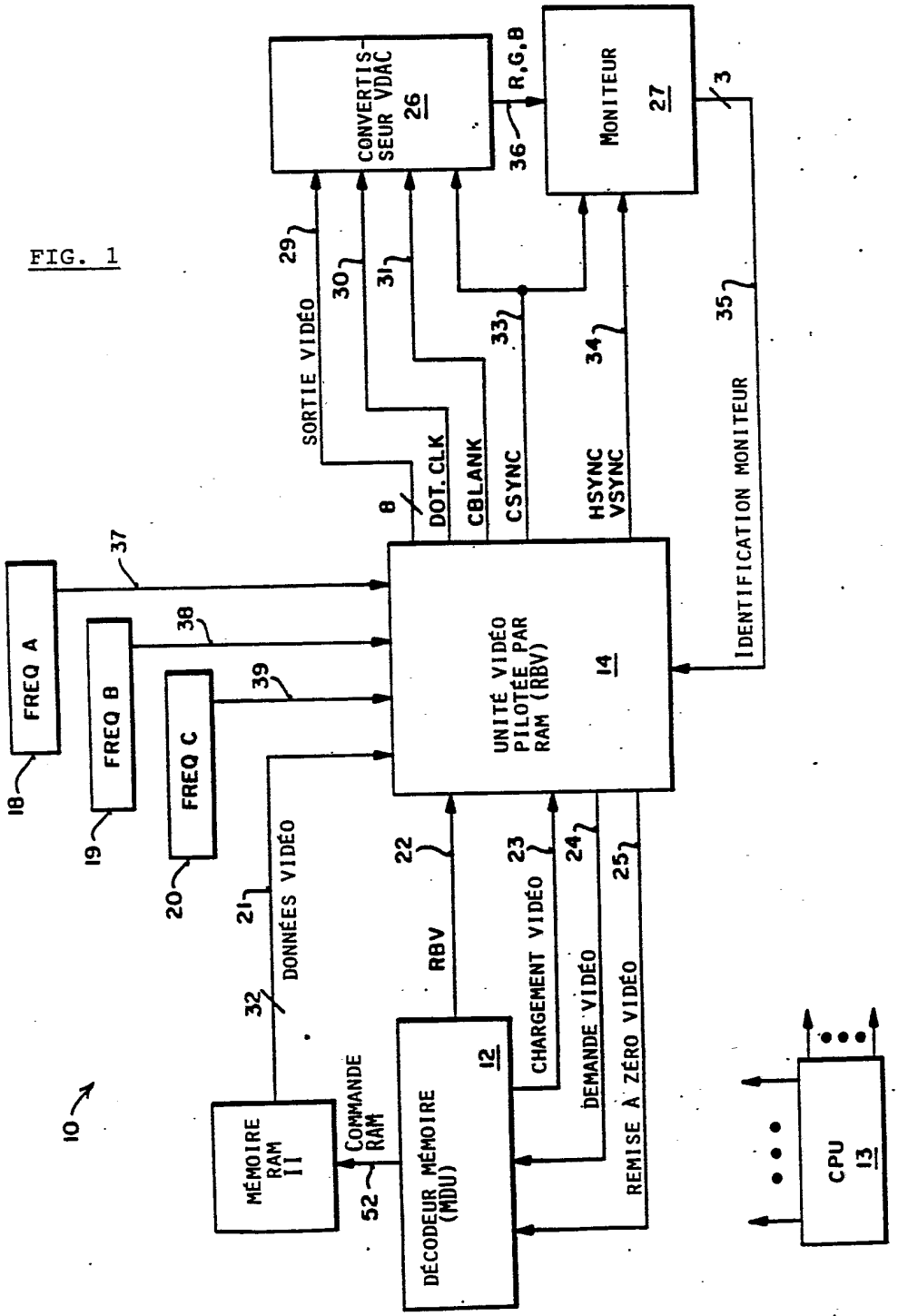
22. Ordinateur selon la revendication 21, caractérisé en ce que ledit circuit vidéo (14) comprend en outre un moyen ordonnateur de bits 57, qui est couplé entre ladite mémoire FIFO (54) et ledit registre à décalage (59) pour définir l'ordre des bits desdites données vidéo quand elles sont chargées de ladite mémoire FIFO(54)dans ledit registre à décalage (59), ledit ordre de bits dépendant de la valeur de N, lesdites données vidéo étant décalées par ledit registre à décalage à ladite fréquence de base de points vers ledit dispositif d'affichage (27).

23. Ordinateur selon la revendication 22, caractérisé en ce que ledit circuit vidéo (14) comprend en outre un moyen sélecteur (60) pour signaler des positions de bits sélectionnées dudit registre à décalage (59) audit dispositif d'affichage (27), ledit moyen sélecteur (60) comprenant une pluralité de prises (0 à 7) reliées audit registre à décalage (59) dans des positions de bits alternées.

24. Ordinateur selon la revendication 23, caractérisé en ce que ladite mémoire FIFO (54) est complètement remplie avant l'affichage de la première ligne de vidéo actif dans une trame.

25. Ordinateur selon la revendication 24, caractérisé en ce que ledit registre à décalage (59) a une longueur de seize bits.

FIG. 1


CONVERTISSEUR VDAC 26
R,G,B
MONITEUR 27
3
36
29
30
31
33
34
35
SORTIE VIDÉO
DOT.CLK
CBLANK
CSYNC
HSYNC
VSYNC
IDENTIFICATION MONITEUR
8
37
38
39
FREQ A
FREQ B
FREQ C
18
19
20
UNITÉ VIDÉO PILOTÉE PAR RAM (RBV) 14
21
DONNÉES VIDÉO
22
RBV
23
CHARGEMENT VIDÉO
24
DEMANDE VIDÉO
25
REMISE À ZÉRO VIDÉO
32
COMMANDE RAM
52
MÉMOIRE RAM 11
DÉCODEUR MÉMOIRE (MDU) 12
CPU 13
10

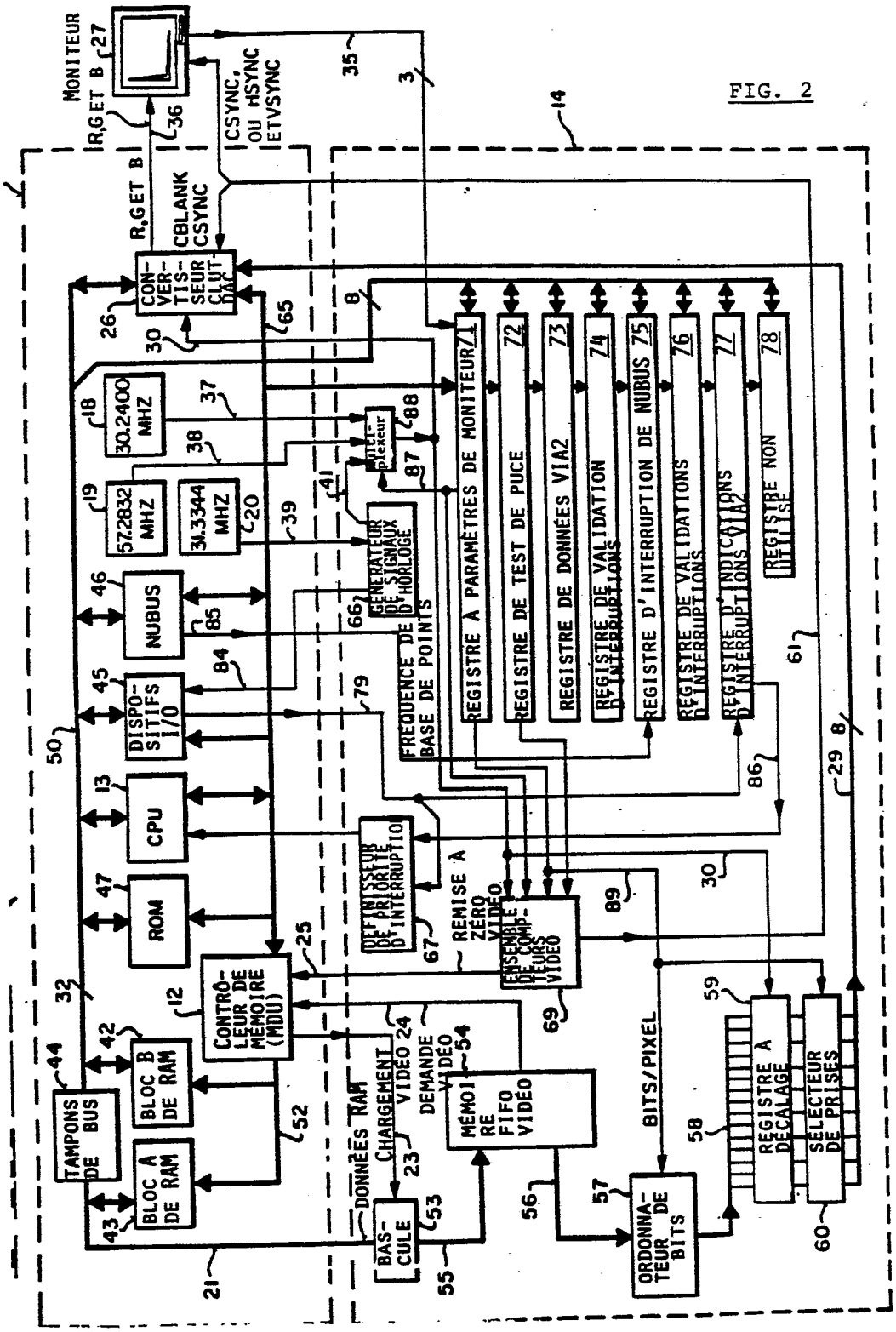
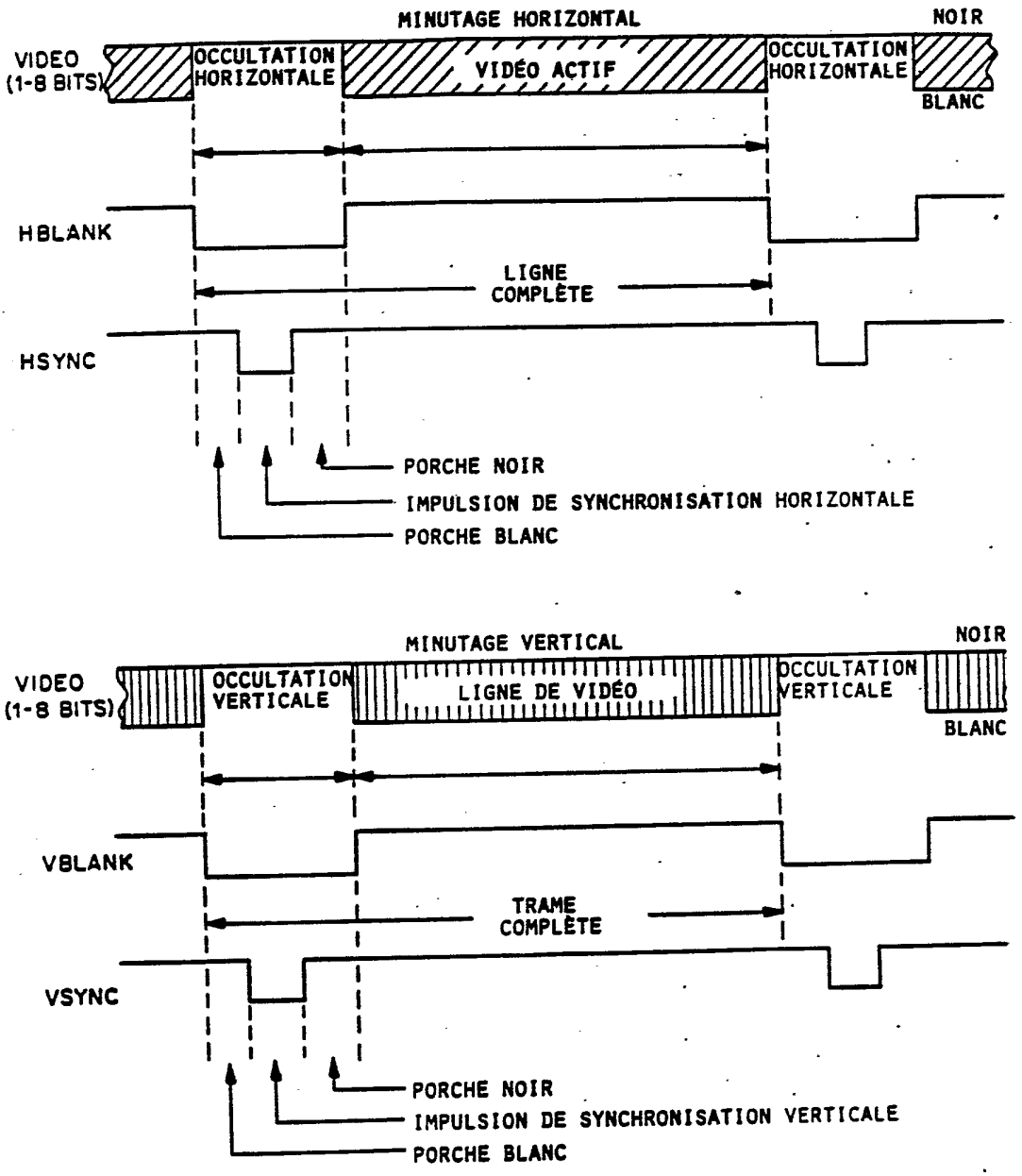

MONITEUR
27
R,G ET B
36
CSYNC, OU HSYNC ETVSYNC
35
3
14
R,G ET B
CBLANK CSYNC
CONVERTISSEUR CLUT DAC
26
30
65
8
18
30.2400 MHZ
37
38
19
57.2832 MHZ
20
31.3344 MHZ
39
41
MULTIPLEXEUR
88
87
GENERATEUR DE SIGNAUX D'HORLOGE
FREQUENCE DE BASE DE POINTS
66
46
NUBUS
85
84
45
DISPOSITIFS I/O
79
50
13
CPU
47
ROM
25
CONTROLEUR DE MEMOIRE (MDU)
12
32
42
BLOC B DE RAM
44
TAMPONS DE BUS
BLOC A DE RAM
43
21
52
DONNÉES RAM
CHARGEMENT VIDÉO
24
23
BAS-CULE
53
55
DEMANDE VIDÉO
54
MÉMOIRE FIFO VIDÉO
56
57
ORDONNATEUR DE BITS
BITS/PIXEL
58
REGISTRE A DÉCALAGE
59
SÉLECTEUR DE PRISES
60
DÉFINISSEUR DE PRIORITÉ D'INTERRUPTIO
67
REMISE A ZÉRO VIDÉO
ENSEMBLE DE COMPTEURS VIDÉO
69
89
30
REGISTRE A PARAMÈTRES DE MONITEUR 71
REGISTRE DE TEST DE PUCE 72
REGISTRE DE DONNÉES VIA2 73
REGISTRE DE VALIDATION D'INTERRUPTIONS 74
REGISTRE D'INTERRUPTION DE NUBUS 75
REGISTRE DE VALIDATIONS D'INTERRUPTIONS 76
REGISTRE D'INDICATIONS D'INTERRUPTIONS VIA2 77
REGISTRE NON UTILISÉ 78
61
86
29
8

FIG. 2

FIG. 3


MINUTAGE HORIZONTAL
NOIR
VIDEO (1-8 BITS)
OCCULTATION HORIZONTALE
VIDÉO ACTIF
OCCULTATION HORIZONTALE
BLANC
HBLANK
LIGNE COMPLÈTE
HSYNC
PORCHE NOIR
IMPULSION DE SYNCHRONISATION HORIZONTALE
PORCHE BLANC
MINUTAGE VERTICAL
NOIR
VIDEO (1-8 BITS)
OCCULTATION VERTICALE
LIGNE DE VIDÉO
OCCULTATION VERTICALE
BLANC
VBLANK
TRAME COMPLÈTE
VSYNC
PORCHE NOIR
IMPULSION DE SYNCHRONISATION VERTICALE
PORCHE BLANC

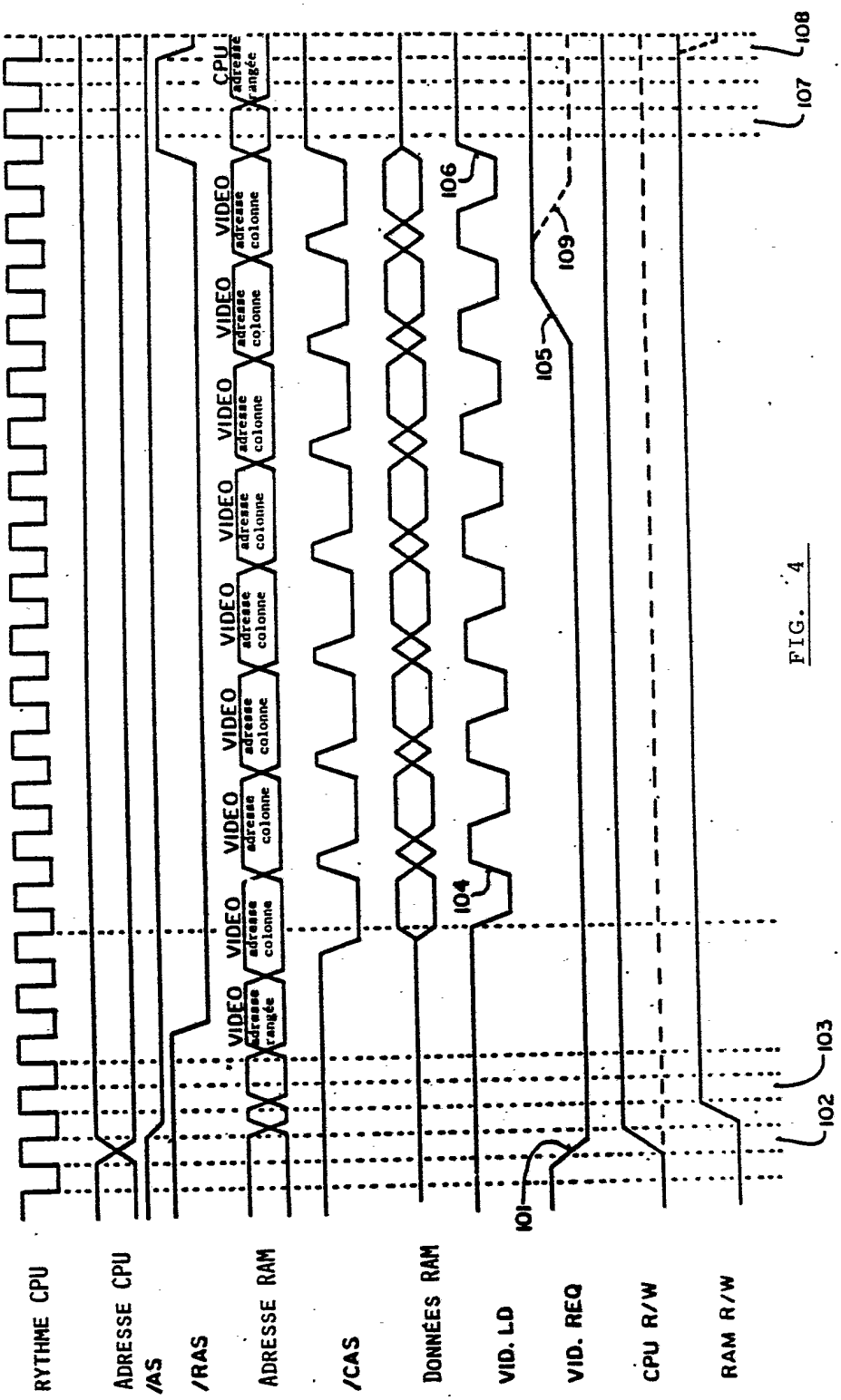

RYTHME CPU
ADRESSE CPU
/AS
/RAS
ADRESSE RAM
/CAS
DONNÉES RAM
VID. LD
VID. REQ
CPU R/W
RAM R/W
VIDEO
adresse rangée
adresse colonne
CPU
adresse rangée
101
102
103
104
105
106
107
108
109

FIG. 4

FIG_5A

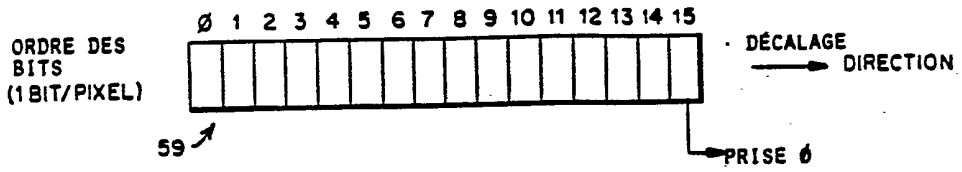


FIG_5B

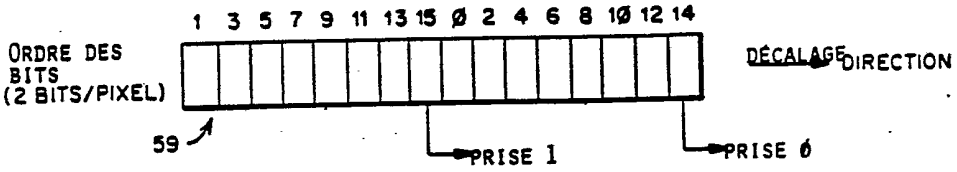


FIG_5C

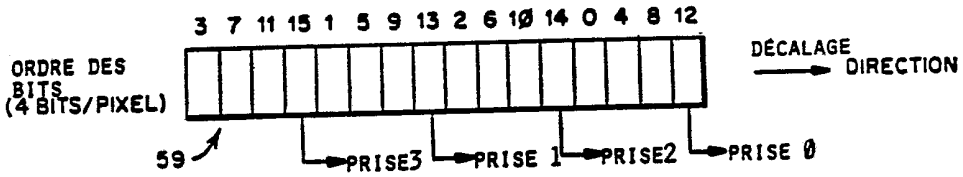
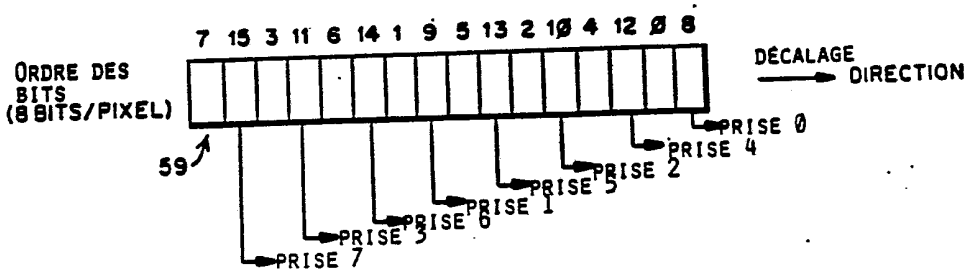


FIG_5D



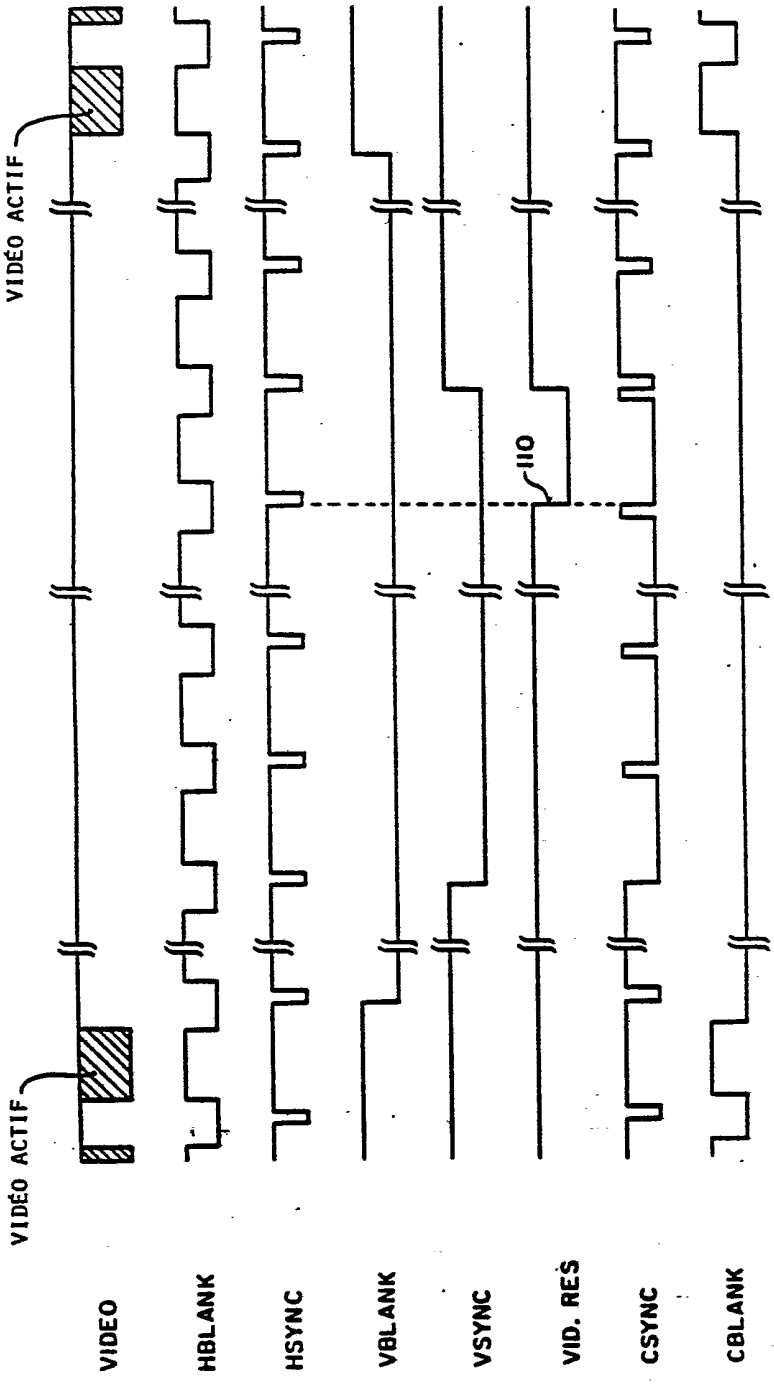

VIDÉO ACTIF
VIDÉO ACTIF
110
VIDEO
HBLANK
HSYNC
VBLANK
VSYNC
VID. RES
CSYNC
CBLANK

FIG. 6