



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1259968

A3

(51) 4 H 03 M 1/66

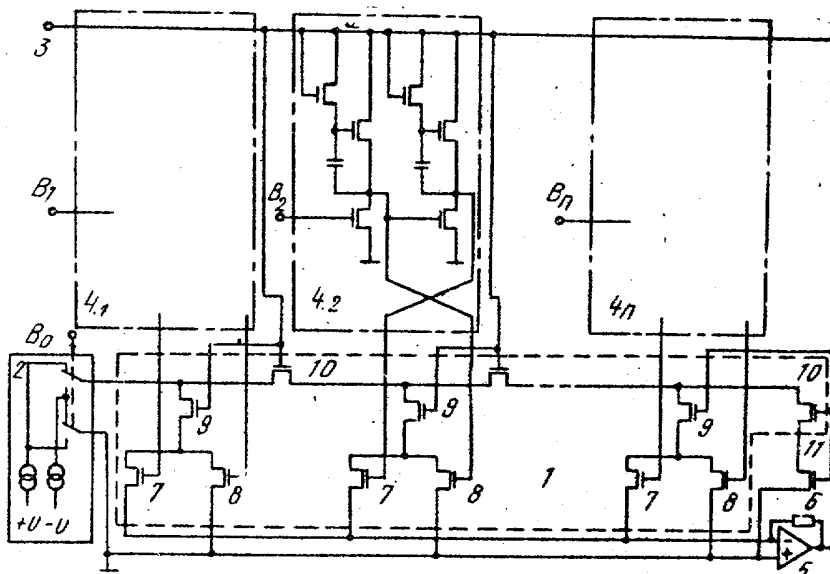
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

И ПАТЕНТУ

- (21) 2987850/24-24
(22) 26.09.80
(31) Р 2939 455.6
(32) 28.09.79
(33) DE
(46) 23.09.86. Бюл. № 35
(71) Сименс АГ (DE)
(72) Фритйоф фон Зихарт и Вольф
Шпрингштуббе (DE)
(53) 681.325(088.8)
(56) IEEE International Solid-State
Circuit Conference. Digest of Tech-
nical Papers, 1978, p. 187.
Патент ФРГ № 1233820,
кл. Н 03 М 1/66, 01.09.78.
(54) УСТРОЙСТВО ДЛЯ ПРЕОБРАЗОВАНИЯ
ЦИФРОВЫХ СИГНАЛОВ В АНАЛОГОВЫЕ
(57) Изобретение относится к области
вычислительной техники и позволяет

упростить устройство за счет сокращения количества МОП-транзисторов. Ток, поступающий с выхода источника 2 тока на вход n-каскадного делителя тока, делится в каждом каскаде, состоящем из четырех МОП-транзисторов, на две части. Одна часть тока поступает через четвертый МОП-транзистор 10 на вход следующего более младшего каскада, а другая часть тока, в зависимости от сигнала (отпирающего или запирающего), поданного на транзисторы 7 и 8, поступает либо на инвертирующий вход усилителя 3, либо - на нулевую шину. Токи, поступившие на инвертирующий вход усилителя 5, складываются и преобразуются на его выходе в напряжение, пропорциональное величине входного тока. 1 ил.



SD ⁽¹¹⁾ 1259968 A3

Устройство относится к вычислительной технике и может быть использовано в информационно-вычислительных системах, а также для связи вычислительных устройств с аналоговыми объектами управления.

Цель изобретения - упрощение устройства за счет сокращения числа МОП-транзисторов.

На чертеже приведена функциональная схема устройства.

Устройство содержит n -каскадный делитель 1 тока типа $R-2R$, где n - число разрядов цифровых сигналов, выполненный на одинаковых МОП-транзисторах, источник 2 тока, источник 3 напряжения, n переключающих устройств 4, к входу которых подключен выход источника 3 напряжения, и операционный усилитель 5.

Выход операционного усилителя 5 соединен через резистор 6 обратной связи с инвертирующим входом и первым выводом 7 МОП-транзистора в каждом каскаде n -каскадного делителя 1 тока. Неинвертирующий вход операционного делителя 5 подключен через второй МОП-транзистор 8 к второму выводу первого МОП-транзистора 7 и первому выводу третьего МОП-транзистора 9, второй вывод которого соединен с первым выводом четвертого МОП-транзистора 10 в каждом каскаде n -каскадного делителя 1 тока. Второй вывод четвертого МОП-транзистора 10 соединен с первым выводом четвертого МОП-транзистора 10 и вторым выводом третьего МОП-транзистора 9 более младшего каскада n -каскадного делителя 1 тока. Выходная шина источника 2 тока подключена к первому выводу четвертого МОП-транзистора 10 старшего каскада n -каскадного делителя 1 тока. Нулевая шина источника 2 тока соединена с первым выводом дополнительного 11 транзистора, второй вывод которого соединен с вторым выводом четвертого МОП-транзистора младшего каскада n -каскадного делителя 1 тока. Управляющий вывод дополнительного транзистора 11 объединен с управляющим выводом третьих 9 и четвертых 10 МОП-транзисторов и подключен к выходу источника 3 управляющего напряжения. Управляющий вход источника 2 тока соединен с шиной V_0 знакового разряда входного кода. Управляющие

входы переключающих устройств 4 являются шинами входного кода $V_1 \dots V_n$, а их первые и вторые выходы соединены с соответствующими управляющими входами первого 7 и второго 8 МОП-транзисторов n -каскадного делителя 1 тока.

Конструктивно переключающее устройство может быть выполнено, например, на двух последовательно включенных инвертирующих ключевых транзисторных каскадах, выход второго из которых является первым выходом, а выход первого - вторым выходом переключающего устройства 4.

Устройство работает следующим образом.

Ток, поступающий с выхода источника 2 тока на вход n -каскадного делителя 1 тока, делится в каждом каскаде на две части. Одна часть тока поступает через четвертый МОП-транзистор 10 на вход следующего более младшего каскада, а вторая часть тока, в зависимости от сигнала (отпирающего или запирающего), поданного на транзисторы 7 и 8, либо поступает на инвертирующий вход усилителя 3, либо - на нулевую шину. Оставшаяся от деления в последнем каскаде часть тока через пятый МОП-транзистор 11 поступает на нулевую шину. Токи, поступившие на инвертирующий вход усилителя 5, складываются и преобразуются на его выходе в напряжение, пропорциональное величине входного кода. В зависимости от значения кодовой цифры в знаковом разряде входного кода выходной ток либо вытекает, либо втекает в источник 2 тока, при этом на выходе устройства формируется соответственно отрицательное или положительное напряжение.

Запирающее выходное напряжение переключающего устройства 4 равно 0В, а отпирающее - выходному напряжению источника 3, которое поддерживает постоянно проводящее состояние транзисторов 9 и 10 в каскадах и дополнительного транзистора 11. Использование в каждом каскаде n -каскадного делителя 1 тока транзистора 9 в постоянно включенном состоянии позволяет преобразовать входной код в напряжение с высокой точностью с помощью достаточно простых средств.

Ф о р м у л а и з о б р е т е н и я

Устройство для преобразования цифровых сигналов в аналоговые, содержащее n -каскадный делитель тока типа $R-2R$, выполненный на одинаковых МОП-транзисторах, источник тока, источник напряжения, n переключающих устройств, к входу которых подключен выход того же или другого источника такого же напряжения и операционный усилитель, выход которого соединен через резистор обратной связи с инвертирующим входом и первым выводом первого МОП-транзистора в каждом каскаде n -каскадного делителя тока, неинвертирующий вход через второй МОП-транзистор в каждом каскаде n -каскадного делителя тока соединен с первым выводом третьего МОП-транзистора, второй вывод которого соединен с первым выводом четвертого МОП-транзистора, второй вывод которого соединен с первым выводом четвертого МОП-транзистора и вторым выводом третьего МОП-транзистора более младшего каскада n -каскадного делителя тока, выходная шина источника тока подключена к первому выводу четвертого МОП-транзистора самого старшего каскада n -каскадного делителя тока, нулевая

шина источника тока соединена с первым выводом дополнительного МОП-транзистора, второй вывод которого соединен с вторым выводом четвертого МОП-транзистора самого младшего каскада n -каскадного делителя тока, управляющий вывод которого объединен с управляющими выводами четвертых МОП-транзисторов всех каскадов n -каскадного делителя тока и подключен к шине источника управляющего напряжения, управляющий вход источника тока соединен с шиной знакового разряда входного кода, управляющие входы n переключающих устройств являются шинами входного кода, а первые и вторые выходы каждого переключающего устройства соединены с соответствующими управляющими входами первого и второго МОП-транзисторов соответствующего каскада n -каскадного делителя тока, о т л и ч а ю щ е е с я тем, что, с целью его упрощения, в каждом каскаде n -каскадного делителя тока второй вывод первого МОП-транзистора соединен с вторым выводом второго и первым выводом третьего МОП-транзисторов, а управляющий вход третьего МОП-транзистора подключен к шине источника напряжения.

Составитель А. Симагин

Редактор В. Иванова

Техред А. Кравчук

Корректор М. Самборская

Заказ 5143/60

Тираж 816

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4