



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월22일
(11) 등록번호 10-0938313
(24) 등록일자 2010년01월14일

- (51) Int. Cl.
G09G 3/28 (2006.01) G09G 3/20 (2006.01)
H01J 17/49 (2006.01)
- (21) 출원번호 10-2008-7007811
- (22) 출원일자 2007년02월26일
심사청구일자 2008년03월31일
- (85) 번역문제출일자 2008년03월31일
- (65) 공개번호 10-2008-0042915
- (43) 공개일자 2008년05월15일
- (86) 국제출원번호 PCT/JP2007/053507
- (87) 국제공개번호 WO 2007/099904
국제공개일자 2007년09월07일
- (30) 우선권주장
JP-P-2006-00051735 2006년02월28일 일본(JP)
- (56) 선행기술조사문헌
KR1020050050826 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
파나소닉 주식회사
일본 오오사카후 가도마시 오오아자 가도마 1006 반치
- (72) 발명자
오리구치 다카히코
일본 오사카후 가도마시 오아자 가도마 1006 마츠시타 덴끼 산교가부시키키가이샤 내
쇼지 히데히코
일본 오사카후 가도마시 오아자 가도마 1006 마츠시타 덴끼 산교가부시키키가이샤 내
우에다 미츠오
일본 오사카후 가도마시 오아자 가도마 1006 마츠시타 덴끼 산교가부시키키가이샤 내
- (74) 대리인
김창세

전체 청구항 수 : 총 3 항

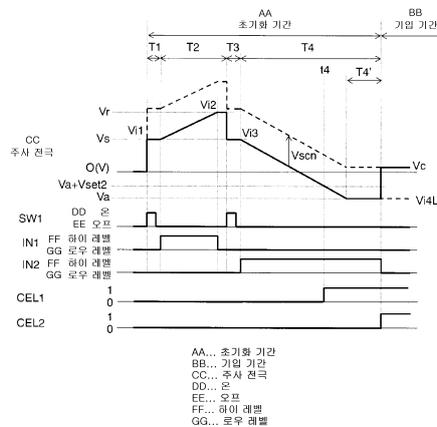
심사관 : 김민수

(54) 플라즈마 디스플레이 패널의 구동 방법 및 플라즈마디스플레이 장치

(57) 요약

완전히 하강하는 경사 파형 전압을 주사 전극에 인가하여 방전 셀에서 초기화 방전을 발생시키는 초기화 기간과, 주사 펄스 전압을 주사 전극에 인가하여 방전 셀에서 기입 방전을 발생시키는 기입 기간과, 선택한 방전 셀에서 휘도 가중치에 따른 횡수의 유지 방전을 발생시키는 유지 기간을 갖는 서브필드를 1 필드 기간 내에 복수 마련하고, 휘도 가중치가 가장 작은 서브필드에서의 하강하는 경사 파형 전압이 가장 낮은 전압을, 휘도 가중치가 가장 큰 서브필드에서의 동 전압보다 낮게 되도록 설정하고, 또한, 휘도 가중치가 가장 작은 서브필드에 있어서 하강하는 경사 파형 전압이 가장 낮은 전압에 도달한 후, 그 전압을 소정 기간 유지함으로써, 대화면·고휘도 패널이더라도, 기입 방전을 발생시키기 위해 필요한 전압을 높이지 않고, 안정한 기입 방전을 발생시키는 플라즈마 디스플레이 패널의 구동 방법을 제공한다.

대표도



특허청구의 범위

청구항 1

완전히 하강하는 경사 파형 전압을 주사 전극에 인가하는 초기화 기간과, 주사 펄스 전압을 상기 주사 전극에 인가하여 상기 주사 전극 및 유지 전극으로 이루어지는 표시 전극쌍을 갖는 방전 셀에서 기입 방전을 발생시키는 기입 기간과, 휘도 가중치에 따른 횡수의 유지 펄스 전압을 상기 표시 전극쌍에 교대로 인가하여 상기 방전 셀에서 유지 방전을 발생시키는 유지 기간을 갖는 서브필드를 1 필드 기간 내에 복수 마련하여 화상 표시를 행하는 플라즈마 디스플레이 패널의 구동 방법으로서,

휘도 가중치가 가장 작은 서브필드의 상기 초기화 기간의 상기 경사 파형 전압의 가장 낮은 전압값은 소정 기간 유지됨과 아울러, 상기 주사 펄스 전압과 같으며, 휘도 가중치가 가장 큰 서브필드의 상기 초기화 기간의 상기 경사 파형 전압의 가장 낮은 전압값은 상기 주사 펄스 전압보다 높은

것을 특징으로 하는 플라즈마 디스플레이 패널의 구동 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

휘도 가중치가 가장 작은 서브필드의 초기화 기간은 화상 표시를 행하는 모든 방전 셀에 대하여 초기화 방전을 발생시키는 전체 셀 초기화 서브필드이며,

상기 휘도 가중치가 가장 큰 서브필드의 초기화 기간은 직전의 서브필드의 상기 유지 기간에서 유지 방전을 발생시킨 방전 셀에서 선택적으로 초기화 방전을 발생시키는 선택 초기화 서브필드인

플라즈마 디스플레이 패널의 구동 방법.

청구항 4

주사 전극과 유지 전극으로 이루어지는 표시 전극쌍을 갖는 방전 셀을 복수 구비한 플라즈마 디스플레이 패널과,

완전히 하강하는 경사 파형 전압을 상기 주사 전극에 인가하는 초기화 기간과, 주사 펄스 전압을 상기 주사 전극에 인가하여 상기 주사 전극 및 유지 전극으로 이루어지는 표시 전극쌍을 갖는 방전 셀에서 기입 방전을 발생시키는 기입 기간과, 휘도 가중치에 따른 횡수의 유지 펄스 전압을 상기 표시 전극쌍에 교대로 인가하여 상기 방전 셀에서 유지 방전을 발생시키는 유지 기간을 갖는 서브필드를 1 필드 기간 내에 복수 마련하여 상기 플라즈마 디스플레이 패널을 구동하는 구동 회로를 구비하고,

상기 구동 회로는, 휘도 가중치가 가장 작은 서브필드의 상기 초기화 기간에서 상기 하강하는 경사 파형 전압의 가장 낮은 전압값이 소정 기간 유지됨과 아울러, 상기 주사 펄스 전압과 동일하며, 휘도 가중치가 가장 큰 서브필드의 상기 초기화 기간에서 상기 하강하는 경사 파형 전압의 가장 낮은 전압값이, 상기 주사 펄스 전압보다 높게 되도록 구성된

것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 5

삭제

명세서

기술분야

<1> 본 발명은 벽걸이 텔레비전이나 대형 모니터에 이용되는 플라즈마 디스플레이 패널의 구동 방법 및 플라즈마 디

스플레이 장치에 관한 것이다.

배경 기술

- <2> 플라즈마 디스플레이 패널(이하, 「패널」이라고 약기함)로서 대표적인 교류 면 방전형 패널은, 대향 배치된 전면판과 배면판 사이에 다수의 방전 셀이 형성되어 있다. 전면판은, 1쌍의 주사 전극과 유지 전극으로 이루어지는 표시 전극쌍이 전면 유리 기판 상에 서로 평행하게 복수쌍 형성되고, 그들 표시 전극쌍을 덮도록 유전체층 및 보호층이 형성되어 있다. 배면판은, 배면 유리 기판 상에 복수의 평행한 데이터 전극과, 그것들을 덮는 유전체층과, 또한 그 위에 데이터 전극과 평행하게 복수의 격벽이 각각 형성되고, 유전체층의 표면과 격벽의 측면과 형광체층이 형성되어 있다. 그리고, 표시 전극쌍과 데이터 전극이 입체 교차하도록 전면판과 배면판이 대향 배치되어 밀봉되고, 내부의 방전 공간에는, 예컨대 분압비로 5%의 크세논을 포함하는 방전 가스가 봉입되어 있다. 여기서 표시 전극쌍과 데이터 전극의 대향하는 부분에 방전 셀이 형성된다. 이러한 구성의 패널에 있어서, 각 방전 셀 내에서 가스 방전에 의해 자외선을 발생시키고, 이 자외선으로 적색(R), 녹색(G) 및 청색(B)의 각 색의 형광체를 여기 발광시켜 컬러 표시를 행하고 있다.
- <3> 패널을 구동하는 방법으로서서는 서브필드법, 즉, 1 필드 기간을 복수의 서브필드로 분할한 뒤에, 발광시키는 서브필드의 조합에 의해 계조 표시를 행하는 방법이 일반적이다. 각 서브필드는, 초기화 기간, 기입 기간 및 유지 기간을 갖고, 초기화 기간에서는 초기화 방전을 발생하여, 계속되는 기입 동작에 필요한 벽 전하를 각 전극 상에 형성한다. 기입 기간에서는, 표시를 해야 할 방전 셀에 있어서 선택적으로 기입 방전을 발생하여 벽 전하를 형성한다. 그리고 유지 기간에서는, 주사 전극과 유지 전극으로 이루어지는 표시 전극쌍에 교대로 유지 펄스를 인가하고, 기입 방전을 일으킨 방전 셀에서 유지 방전을 발생시켜, 대응하는 방전 셀의 형광체층을 발광시킴으로써 화상 표시를 행한다.
- <4> 또한, 서브필드법 중에서도, 완만히 변화되는 전압 파형을 이용하여 초기화 방전을 행하고, 또한 유지 방전을 한 방전 셀에 대하여 선택적으로 초기화 방전을 함으로써 계조 표시에 관계하지 않는 발광을 최대한 삭감하여 콘트라스트비를 향상시킨 구동 방법이 개시되어 있다.
- <5> 구체적으로는, 복수의 서브필드 중, 하나의 서브필드의 초기화 기간에 있어서 모든 방전 셀을 방전시키는 전체 셀 초기화 동작을 행하고, 다른 서브필드의 초기화 기간에 있어서는 유지 방전을 한 방전 셀만 초기화하는 선택 초기화 동작을 행한다. 그 결과, 표시에 관계가 없는 발광은 전체 셀 초기화 동작의 방전에 따르는 발광만으로 되어, 계조가 높은 화상 표시가 가능해진다(예컨대, 특허문헌 1 참조).
- <6> 이와 같이 구동함으로써, 화상의 표시에 관계가 없는 발광에 의존하여 변화되는 흑 표시 영역의 휘도는 전체 셀 초기화 동작에 있어서의 미약 발광만으로 되어, 계조가 높은 화상 표시가 가능해진다.
- <7> 그러나, 최근, 패널은 고선명화되고, 또한 점점더 대화면화되며, 그 때문에 기입 방전이 불안정해져 표시를 해야 할 방전 셀에서 기입 방전이 발생하지 않아 화상 표시 품질을 열화시키거나, 또는 기입 방전을 안정되게 발생시키기 위해 필요한 전압이 높아진다.
- <8> [특허문헌 1] 일본 특허공개 2000-242224호 공보

발명의 상세한 설명

- <9> 본 발명은, 대화면·고휘도 패널이더라도, 기입 방전을 발생시키기 위해 필요한 전압을 높이지 않고, 안정한 기입 방전을 발생시켜, 화상 표시 품질이 좋은 패널의 구동 방법 및 플라즈마 디스플레이 장치를 제공한다.
- <10> 본 발명은, 주사 전극과 유지 전극으로 이루어지는 표시 전극쌍을 갖는 방전 셀을 복수 구비한 패널의 구동 방법으로서, 완만히 하강하는 경사 파형 전압을 주사 전극에 인가하는 초기화 기간과, 주사 펄스 전압을 주사 전극에 인가하여 방전 셀에서 기입 방전을 발생시키는 기입 기간과, 휘도 가중치에 따른 횡수의 유지 펄스 전압을 표시 전극쌍에 교대로 인가하여 선택한 방전 셀에서 유지 방전을 발생시키는 유지 기간을 갖는 서브필드를 1 필드 기간 내에 복수 마련하는 단계와, 초기화 기간에 있어서 하강하는 경사 파형 전압이 가장 낮은 전압에 도달한 후, 그 전압을 소정 기간 유지하는 단계를 구비한다.
- <11> 이에 따라, 하강하는 경사 파형 전압이 가장 낮은 전압의 전압 조절을 용이하게 실행할 수 있도록 하고, 또한, 대화면·고휘도 패널이더라도, 기입 방전을 발생시키기 위해 필요한 전압을 높이지 않고, 안정한 기입 방전을 발생시키는 것이 가능해진다.
- <12> 또한, 본 발명의 패널의 구동 방법에서는, 휘도 가중치가 가장 작은 서브필드에서의 하강하는 경사 파형 전압이

가장 낮은 전압은, 휘도 가중치가 가장 큰 서브필드에서의 하강하는 경사 파형 전압이 가장 낮은 전압보다 낮게 되도록 구성하고, 또한, 휘도 가중치가 가장 작은 서브필드의 초기화 기간에 있어서 하강하는 경사 파형 전압이 가장 낮은 전압에 도달한 후, 그 전압을 소정 기간 유지하는 것이 바람직하다.

<13> 또한, 본 발명의 패널의 구동 방법에서는, 1 필드 기간 내에, 초기화 기간에 있어서 화상 표시를 행하는 모든 방전 셀에 대하여 초기화 방전을 발생시키는 전체 셀 초기화 서브필드와, 초기화 기간에 있어서 직전의 서브필드에서 유지 방전을 발생시킨 방전 셀에서 선택적으로 초기화 방전을 발생시키는 선택 초기화 서브필드를 구비하고, 휘도 가중치가 가장 작은 서브필드를 전체 셀 초기화 서브필드로 하고, 휘도 가중치가 가장 큰 서브필드를 선택 초기화 서브필드로 하는 것이 바람직하다.

<14> 또한, 본 발명의 플라즈마 디스플레이 장치는, 주사 전극과 유지 전극으로 이루어지는 표시 전극쌍을 갖는 방전 셀을 복수 구비한 패널과, 완만히 하강하는 경사 파형 전압을 주사 전극에 인가하는 초기화 기간과, 방전 셀에서 기입 방전을 발생시키는 기입 기간과, 휘도 가중치에 따른 횡수의 유지 펄스 전압을 표시 전극쌍에 교대로 인가하여 선택한 방전 셀에서 유지 방전을 발생시키는 유지 기간을 갖는 서브필드를 1 필드 기간 내에 복수 마련하여 패널을 구동하는 구동 회로를 구비하고, 구동 회로는, 초기화 기간에 있어서 하강하는 경사 파형 전압이 가장 낮은 전압에 도달한 후, 그 전압을 소정 기간 유지하도록 구성한 것을 특징으로 한다.

<15> 이에 따라, 하강하는 경사 파형 전압이 가장 낮은 전압의 전압 조정을 용이하게 실행할 수 있도록 하고, 또한, 대화면·고휘도 패널이더라도, 기입 방전을 발생시키기 위해 필요한 전압을 높이지 않고, 안정한 기입 방전을 발생시키는 것이 가능해진다.

<16> 또한, 본 발명의 플라즈마 디스플레이 장치에서는, 구동 회로는, 휘도 가중치가 가장 작은 서브필드에서의 하강하는 경사 파형 전압이 가장 낮은 전압을 휘도 가중치가 가장 큰 서브필드에서의 하강하는 경사 파형 전압이 가장 낮은 전압보다 낮게 하도록 구성하고, 또한, 휘도 가중치가 가장 작은 서브필드의 초기화 기간에 있어서 하강하는 경사 파형 전압이 가장 낮은 전압에 도달한 후, 그 전압을 소정 기간 유지하는 것이 바람직하다.

실시예

<47> 이하, 본 발명의 실시예에 있어서의 플라즈마 디스플레이 장치에 대해, 도면을 이용하여 설명한다.

<48> (실시예 1)

<49> 도 1은 본 발명의 실시예 1에서의 패널(10)의 구조를 나타내는 분해 사시도이다. 유리체의 전면판(21) 상에는, 주사 전극(22)과 유지 전극(23)으로 이루어지는 표시 전극쌍(28)이 복수 형성되어 있다. 그리고 주사 전극(22)과 유지 전극(23)을 덮도록 유전체층(24)이 형성되고, 그 유전체층(24) 상에 보호층(25)이 형성되어 있다. 배면판(31) 상에는 데이터 전극(32)이 복수 형성되고, 데이터 전극(32)을 덮도록 유전체층(33)이 형성되고, 또한 그 위에 '井'자 형상의 격벽(34)이 형성되어 있다. 그리고, 격벽(34)의 측면 및 유전체층(33) 상에는 적색(R), 녹색(G) 및 청색(B)의 각 색으로 발광하는 형광체층(35)이 마련되어 있다.

<50> 이들 전면판(21)과 배면판(31)은, 미소한 방전 공간을 사이에 두고 표시 전극쌍(28)과 데이터 전극(32)이 교차하도록 대향 배치되고, 그 외주부가 유리 플리트 등의 봉착체에 의해 봉착되어 있다. 그리고 방전 공간에는, 예컨대 네온과 크세논의 혼합 가스가 방전 가스로서 봉입되어 있다. 본 실시예 1에 있어서는, 휘도 향상을 위해 크세논 분압을 10%로 한 방전 가스가 이용되고 있다. 방전 공간은 격벽(34)에 의해 복수의 구획으로 구획되어 있고, 표시 전극쌍(28)과 데이터 전극(32)이 교차하는 부분에 방전 셀이 형성되어 있다. 그리고 이들 방전 셀이 방전, 발광함으로써 화상이 표시된다.

<51> 또, 패널의 구조는 상술한 것에 한정되는 것은 아니고, 예컨대 스트라이프 형상의 격벽을 구비한 것이라도 좋다.

<52> 도 2는 본 발명의 실시예 1에서의 패널(10)의 전극 배열도이다. 패널(10)에는, 행 방향으로 긴 n개의 주사 전극 SC1~SCn(도 1의 주사 전극(22)) 및 n개의 유지 전극 SU1~SU_n(도 1의 유지 전극(23))이 배열되고, 열 방향으로 긴 m개의 데이터 전극 D1~Dm(도 1의 데이터 전극(32))이 배열되어 있다. 그리고, 1쌍의 주사 전극 SC_i(i=1~n) 및 유지 전극 SU_i(i=1~n)과 하나의 데이터 전극 D_j(j=1~m)가 교차한 부분에 방전 셀이 형성되고, 방전 셀은 방전 공간 내에 m×n개 형성되어 있다. 또, 도 1, 도 2에 나타난 바와 같이, 주사 전극 SC_i와 유지 전극 SU_i는 서로 평행하게 쌍으로 되어 형성되어 있기 때문에, 주사 전극 SC1~SCn과 유지 전극 SU1~SU_n 사이에 큰 전극간 용량 C_p가 존재한다.

- <53> 도 3은 본 발명의 실시예 1에서의 플라즈마 디스플레이 장치(1)의 회로 블럭도이다. 플라즈마 디스플레이 장치(1)는 패널(10), 화상 신호 처리 회로(51), 데이터 전극 구동 회로(52), 주사 전극 구동 회로(53), 유지 전극 구동 회로(54), 타이밍 발생 회로(55) 및 각 회로 블럭에 필요한 전원을 공급하는 전원 회로(도시하지 않음)를 구비하고 있다.
- <54> 화상 신호 처리 회로(51)는 입력된 화상 신호 sig를 서브필드마다의 발광·비발광을 나타내는 화상 데이터로 변환한다. 데이터 전극 구동 회로(52)는 서브필드마다의 화상 데이터를 각 데이터 전극 D1~Dm에 대응하는 신호로 변환하여 각 데이터 전극 D1~Dm을 구동한다.
- <55> 타이밍 발생 회로(55)는, 수평 동기 신호 H 및 수직 동기 신호 V를 바탕으로 하여 각 회로 블럭의 동작을 제어하는 각종 타이밍 신호를 발생하고, 각각의 회로 블럭에 공급한다. 주사 전극 구동 회로(53)는, 유지 기간에 있어서 주사 전극 SC1~SCn에 인가하는 유지 펄스를 발생하기 위한 유지 펄스 발생 회로(100)를 갖고, 타이밍 신호에 근거하여 각 주사 전극 SC1~SCn을 각각 구동한다. 유지 전극 구동 회로(54)는, 초기화 기간에 있어서 유지 전극 SU1~SUn에 전압 Ve1을 인가하는 회로와, 유지 기간에 있어서 유지 전극 SU1~SUn에 인가하는 유지 펄스를 발생하기 위한 유지 펄스 발생 회로(200)를 갖고, 타이밍 신호에 근거하여 유지 전극 SU1~SUn을 구동한다.
- <56> 다음에, 패널(10)을 구동하기 위한 구동 전압 파형과 그 동작에 대하여 설명한다. 플라즈마 디스플레이 장치(1)는, 서브필드법, 즉 1 필드 기간을 복수의 서브필드로 분할하고, 서브필드마다 각 방전 셀의 발광·비발광을 제어함으로써 계조 표시를 행한다. 각각의 서브필드는 초기화 기간, 기입 기간 및 유지 기간을 갖는다. 초기화 기간에서는 초기화 방전을 발생하여, 계속되는 기입 방전에 필요한 벽 전하를 각 전극 상에 형성한다. 이때의 초기화 동작에는, 모든 방전 셀에서 초기화 방전을 발생시키는 초기화 동작(이하, 「전체 셀 초기화 동작」이라고 약기함)과, 유지 방전을 한 방전 셀에서 초기화 방전을 발생시키는 초기화 동작(이하, 「선택 초기화 동작」이라고 약기함)이 있다. 기입 기간에서는, 발광시켜야 하는 방전 셀에서 선택적으로 기입 방전을 발생하여 벽 전하를 형성한다. 그리고 유지 기간에서는, 휘도 가중치에 비례한 수의 유지 펄스를 표시 전극쌍에 교대로 인가하여, 기입 방전을 발생한 방전 셀에서 유지 방전을 발생시켜 발광시킨다. 이때의 비례 정수를 휘도 배율이라고 부른다. 또, 서브필드 구성의 상세에 대해서는 후술하는 것으로 하고, 여기서는 서브필드에서의 구동 전압 파형과 그 동작에 대하여 설명한다.
- <57> 도 4는 본 발명의 실시예 1에서의 패널(10)의 각 전극에 인가하는 구동 전압 파형도이다. 도 4에는, 전체 셀 초기화 동작을 행하는 서브필드와 선택 초기화 동작을 행하는 서브필드를 나타내고 있다.
- <58> 우선, 전체 셀 초기화 동작을 행하는 서브필드에 대하여 설명한다.
- <59> 초기화 기간 전반부에서는, 데이터 전극 D1~Dm, 유지 전극 SU1~SUn에 각각 전압 0V를 인가하고, 주사 전극 SC1~SCn에는, 유지 전극 SU1~SUn에 대하여 방전 개시 전압 이하의 전압 Vi1로부터, 방전 개시 전압을 넘는 전압 Vi2를 향하여 완만히 상승하는 경사 파형 전압(이하, 「상승 램프(ramp) 파형 전압」이라고 호칭함)을 인가한다. 이 경사 파형 전압이 상승하는 동안에, 주사 전극 SC1~SCn과 유지 전극 SU1~SUn, 데이터 전극 D1~Dm 사이에서 각각 미약한 초기화 방전이 일어난다. 그리고, 주사 전극 SC1~SCn 상부에 부의 벽 전압이 축적되고, 또한, 데이터 전극 D1~Dm 상부 및 유지 전극 SU1~SUn 상부에는 정의 벽 전압이 축적된다. 여기서, 전극 상부의 벽 전압이란 전극을 덮는 유전체층 상, 보호층 상, 형광체층 상 등에 축적된 벽 전하에 의해 발생하는 전압을 나타낸다.
- <60> 초기화 기간 후반부에서는, 유지 전극 SU1~SUn에 정의 전압 Ve1을 인가하고, 주사 전극 SC1~SCn에는, 유지 전극 SU1~SUn에 대하여 방전 개시 전압 이하로 되는 전압 Vi3으로부터 방전 개시 전압을 넘는 전압 Vi4를 향하여 완만히 하강하는 경사 파형 전압(이하, 「하강 램프 파형 전압」이라고 호칭함)을 인가한다(이하, 주사 전극 SC1~SCn에 인가하는 하강 램프 파형 전압의 최소값을 「초기화 전압 Vi4」로서 인용함). 이 사이에, 주사 전극 SC1~SCn과 유지 전극 SU1~SUn, 데이터 전극 D1~Dm 사이에서 각각 미약한 초기화 방전이 일어난다. 그리고, 주사 전극 SC1~SCn 상부의 부의 벽 전압 및 유지 전극 SU1~SUn 상부의 정의 벽 전압이 약하게 되고, 데이터 전극 D1~Dm 상부의 정의 벽 전압은 기입 동작에 적합한 값으로 조정된다. 이상에 의해, 모든 방전 셀에 대하여 초기화 방전을 행하는 전체 셀 초기화 동작이 종료한다.
- <61> 여기서, 하강 램프 파형 전압을 주사 전극 SC1~SCn에 인가함으로써 발생하는 초기화 방전은 데이터 전극 D1~Dm 상부의 벽 전압을 약하게 하는 기능을 갖는다. 따라서, 하강 램프 파형 전압이 가장 낮은 초기화 전압 Vi4의 전압값에 따라 데이터 전극 D1~Dm 상부의 벽 전압은 변화되어, 초기화 전압 Vi4의 전압값을 올리면 벽 전압

을 약하게 하는 기능이 약해져 데이터 전극 D1~Dm 상부의 벽 전압은 높아지고, 초기화 전압 Vi4의 전압값을 낮추면 벽 전압을 약하게 하는 기능이 강해져 데이터 전극 D1~Dm 상부의 벽 전압은 낮아진다. 그리고, 본 실시예 1에 있어서는, 휘도 가중치에 따라 이 초기화 전압 Vi4의 전압값을 2개의 다른 전압값으로 전환하는 구성으로 하고 있다. 이하, 전압값이 높은 쪽을 Vi4H라고 적고, 전압값이 낮은 쪽을 Vi4L라고 적는다. 또, 이 동작의 상세에 대해서는 후술한다.

- <62> 계속되는 기입 기간에서는, 유지 전극 SU1~SUn에 전압 Ve2를, 주사 전극 SC1~SCn에 전압 Vc를 인가한다.
- <63> 다음에, 1행째의 주사 전극 SC1에 부의 주사 펄스 전압 Va를 인가하고, 또한, 데이터 전극 D1~Dm 중 1행째에 발광시켜야 하는 방전 셀의 데이터 전극 Dk(k=1~m)에 정의 기입 펄스 전압 Vd를 인가한다. 이 때 데이터 전극 Dk 상과 주사 전극 SC1 상의 교차부의 전압차는, 외부 인가 전압의 차 (Vd-Va)에 데이터 전극 Dk 상의 벽 전압과 주사 전극 SC1 상의 벽 전압의 차가 가산된 것으로 되어 방전 개시 전압을 넘는다. 그리고, 데이터 전극 Dk와 주사 전극 SC1 사이 및 유지 전극 SU1과 주사 전극 SC1 사이에 기입 방전이 일어나, 주사 전극 SC1 상에 정의 벽 전압이 축적되고, 유지 전극 SU1 상에 부의 벽 전압이 축적되며, 데이터 전극 Dk 상에도 부의 벽 전압이 축적된다.
- <64> 이렇게 하여, 1행째에 발광시켜야 하는 방전 셀에서 기입 방전을 일으켜 각 전극 상에 벽 전압을 축적하는 기입 동작이 행해진다. 한편, 기입 펄스 전압 Vd를 인가하지 않은 데이터 전극 D1~Dm과 주사 전극 SC1의 교차부의 전압은 방전 개시 전압을 넘지 않기 때문에, 기입 방전은 발생하지 않는다. 이상의 기입 동작을 주사 전극 SCn의 n행째의 방전 셀에 이를 때까지 행하고, 기입 기간이 종료한다.
- <65> 계속되는 유지 기간에서는, 소비 전력을 삭감하기 위해 전력 회수 회로를 이용하여 구동을 행하고 있다. 우선 주사 전극 SC1~SCn에 정의 유지 펄스 전압 Vs를 인가하고, 또한 유지 전극 SU1~SUn에 전압 0V를 인가한다. 그러면 기입 방전을 일으킨 방전 셀에서는, 주사 전극 SCi 상과 유지 전극 SUi 상의 전압차가 유지 펄스 전압 Vs에 주사 전극 SCi 상의 벽 전압과 유지 전극 SUi 상의 벽 전압의 차가 가산된 것으로 되어 방전 개시 전압을 넘는다. 그리고, 주사 전극 SCi와 유지 전극 SUi 사이에 유지 방전이 일어나고, 이 때 발생한 자외선에 의해 형광체층(35)이 발광한다. 그리고 주사 전극 SCi 상에 부의 벽 전압이 축적되고, 유지 전극 SUi 상에 정의 벽 전압이 축적된다. 또한 데이터 전극 Dk 상에도 정의 벽 전압이 축적된다. 기입 기간에 있어서 기입 방전이 일어나지 않은 방전 셀에서는 유지 방전은 발생하지 않고, 초기화 기간의 종료시의 벽 전압이 유지된다.
- <66> 계속해서, 주사 전극 SC1~SCn에는 전압 0V를, 유지 전극 SU1~SUn에는 유지 펄스 전압 Vs를 각각 인가한다. 그러면, 유지 방전을 일으킨 방전 셀에서는, 유지 전극 SUi 상과 주사 전극 SCi 상의 전압차가 방전 개시 전압을 넘기 때문에 다시 유지 전극 SUi와 주사 전극 SCi 사이에 유지 방전이 일어나, 유지 전극 SUi 상에 부의 벽 전압이 축적되고 주사 전극 SCi 상에 정의 벽 전압이 축적된다. 이후 마찬가지로, 주사 전극 SC1~SCn과 유지 전극 SU1~SUn에 교대로 휘도 가중치에 휘도 배율을 곱한 수의 유지 펄스를 인가하고, 표시 전극쌍의 전극 사이에 전위차를 인가하는 것에 의해, 기입 기간에 있어서 기입 방전을 일으킨 방전 셀에서 유지 방전이 계속하여 행해진다.
- <67> 그리고, 유지 기간의 최후에는 주사 전극 SC1~SCn과 유지 전극 SU1~SUn 사이에 이른바 세폭 펄스 형상의 전압차를 인가하여, 데이터 전극 Dk 상의 정의벽 전압을 남긴 채로, 주사 전극 SCi 및 유지 전극 SUi 상의 벽 전압을 소거하고 있다. 구체적으로는, 유지 전극 SU1~SUn을 일단 전압 0V에 되돌린 후, 주사 전극 SC1~SCn에 유지 펄스 전압 Vs를 인가한다. 그러면, 유지 방전을 일으킨 방전 셀의 유지 전극 SUi와 주사 전극 SCi 사이에서 유지 방전이 일어난다. 그리고 이 방전이 수속하기 전, 즉 방전으로 발생한 하전 입자가 방전 공간 내에 충분히 잔류하고 있는 동안에 유지 전극 SU1~SUn에 전압 Ve1을 인가한다. 이에 따라 유지 전극 SUi와 주사 전극 SCi 사이의 전압차가 (Vs-Ve1)의 정도까지 약해진다. 그러면, 데이터 전극 Dk 상의 정의 벽 전하를 남긴 채로, 주사 전극 SC1~SCn 상과 유지 전극 SU1~SUn 상 사이의 벽 전압은 각각의 전극에 인가한 전압의 차 (Vs-Ve1)의 정도까지 약해진다. 이하, 이 방전을 「소거 방전」이라고 부른다.
- <68> 이와 같이, 최후의 유지 방전, 즉 소거 방전을 발생시키기 위한 전압 Vs를 주사 전극 SC1~SCn에 인가한 후, 소정의 시간 간격(이하, 「소거 위상차 Th1」이라고 호칭함)의 후, 표시 전극쌍의 전극간의 전위차를 완화하기 위한 전압 Ve1을 유지 전극 SU1~SUn에 인가한다. 이렇게 해서 유지 기간에 있어서의 유지 동작이 종료한다.
- <69> 다음에, 선택 초기화 동작을 행하는 서브필드의 동작에 대하여 설명한다.
- <70> 선택 초기화 동작을 행하는 초기화 기간에서는, 유지 전극 SU1~SUn에 전압 Ve1을, 데이터 전극 D1~Dm에 전압 0V를 각각 인가하고, 주사 전극 SC1~SCn에 전압 Vi3'로부터 전압 Vi4를 향하여 완만히 하강하는 하강 램프 파

형 전압을 인가한다. 그러면 앞의 서브필드의 유지 기간에서 유지 방전을 일으킨 방전 셀에서는 미약한 초기화 방전이 발생하여, 주사 전극 SCi 상 및 유지 전극 SUi 상의 벽 전압이 약해진다. 또한 데이터 전극 Dk에 대해서는, 직전의 유지 방전에 의해 데이터 전극 Dk 상에 충분한 정의 벽 전압이 축적되어 있기 때문에, 이 벽 전압의 과잉 부분이 방전되어, 기입 동작에 적합한 벽 전압으로 조정된다. 한편, 앞의 서브필드에서 유지 방전을 일으키지 않은 방전 셀에 있어서는 방전하는 경우는 없고, 앞의 서브필드의 초기화 기간 종료시의 벽 전하가 그대로 유지된다. 이와 같이 선택 초기화 동작은, 직전의 서브필드의 유지 기간에서 유지 동작을 행한 방전 셀에 대하여 선택적으로 초기화 방전을 행하는 동작이다.

<71> 여기서도, 하강 램프 과형 전압을 주사 전극 SC1~SCn에 인가함으로써 발생하는 초기화 방전은 데이터 전극 D1~Dm 상부의 벽 전압을 약하게 하는 기능을 갖는다. 따라서, 하강 램프 과형 전압이 가장 낮은 초기화 전압 Vi4의 전압값에 따라 데이터 전극 D1~Dm 상부의 벽 전압은 변화되어, 초기화 전압 Vi4의 전압값을 올리면 벽 전압을 약하게 하는 기능이 약해져 데이터 전극 D1~Dm 상부의 벽 전압은 높아지고, 초기화 전압 Vi4의 전압값을 낮추면 벽 전압을 약하게 하는 기능이 강해져 데이터 전극 D1~Dm 상부의 벽 전압은 낮아진다. 그리고, 본 실시예 1에 있어서는, 전체 셀 초기화 동작에 있어서의 하강 램프 과형 전압과 마찬가지로, 휘도 가중치에 따라 이 초기화 전압 Vi4의 전압값을 2개의 다른 전압값, 즉 전압값이 높은 쪽의 Vi4H와 전압값이 낮은 쪽의 Vi4L로 전환하는 구성으로 하고 있다.

<72> 계속되는 기입 기간의 동작은 전체 셀 초기화 동작을 행하는 서브필드의 기입 기간의 동작과 마찬가지로 설명을 생략한다. 계속되는 유지 기간의 동작도 유지 펄스의 수를 제외하고 마찬가지이다.

<73> 다음에, 서브필드 구성에 대하여 설명한다. 도 5는 본 발명의 실시예 1에서의 서브필드 구성을 도시하는 도면이다. 도 5는 서브필드법에서의 1 필드간의 구동 과형을 약식으로 적은 것으로, 각각의 서브필드의 구동 과형은 도 4의 구동 과형과 동등한 것이다.

<74> 본 실시예 1에 있어서는, 1 필드를 10개의 서브필드(제 1 SF, 제 2 SF, ..., 제 10 SF)로 분할하고, 각 서브필드는 각각, 예컨대 (1, 2, 3, 6, 11, 18, 30, 44, 60, 80)의 휘도 가중치를 가진다.

<75> 또한 각 서브필드의 유지 기간에 있어서는, 각각의 서브필드의 휘도 가중치에 소정의 휘도 배율을 곱한 수의 유지 펄스가 표시 전극쌍의 각각에 인가된다.

<76> 그리고, 본 실시예 1에서는, 제 1 SF의 초기화 기간에서는 전체 셀 초기화 동작을 행하고, 제 2 SF~제 10 SF의 초기화 기간에서는 선택 초기화 동작을 행하는 것으로 한다.

<77> 그러나, 본 발명은 서브필드수나 각 서브필드의 휘도 가중치가 상기의 값에 한정되는 것이 아니다. 또한, 화상 신호 등에 근거하여 서브필드 구성을 전환하는 구성이더라도 좋다.

<78> 여기서, 본 실시예 1에 있어서는, 휘도 가중치가 가장 작은 서브필드에서의 하강 램프 과형 전압이 가장 낮은 전압을, 휘도 가중치가 가장 큰 서브필드에서의 하강 램프 과형 전압이 가장 낮은 전압보다 낮게 되도록 설정함으로써, 안정한 기입 방전을 실현하고 있다.

<79> 구체적으로는, 도 5에 도시하는 바와 같이, 휘도 가중치의 가장 작은 제 1 SF 및 그 다음에 휘도 가중치가 작은 제 2 SF에서의 하강 램프 과형 전압의 초기화 전압 Vi4를 Vi4L로 하고, 그 이외의 제 3 SF~제 10 SF에서의 하강 램프 과형 전압의 초기화 전압 Vi4를 Vi4L보다 높은 Vi4H로 하고 있다. 다음에, 그 이유에 대하여 설명한다.

<80> 이하, 기입 방전에 대하여 설명하지만, 기입 방전은 데이터 전극(32)과 주사 전극(22) 사이의 방전이 계기로 되어 발생하기 때문에, 여기서는 데이터 전극(32)과 주사 전극(22) 사이의 방전을 중심으로 설명한다.

<81> 도 6은, 본 발명의 실시예 1에서의 데이터 전극(32) 및 주사 전극(22)에 인가하는 구동 전압 과형과, 데이터 전극(32)과 주사 전극(22) 사이의 전위차, 즉 (데이터 전극에 인가하는 구동 전압 과형)-(주사 전극에 인가하는 구동 전압 과형)을 나타낸 도면이다. 또, 여기서는, 초기화 전압 Vi4를 전압값 Vi4H로 하고, 부의 주사 펄스 전압 Va의 진폭인 (Vc-Va)는, 정의 전압 Vc로부터 본 부의 전압 Vi4H의 크기인 전압값 (Vc-Vi4H)보다 전압값 Vset2만큼 큰 전압, 즉

$$(Vc - Va) = (Vc - Vi4H) + Vset2$$

즉,

<82>
$$Va = Vi4H - Vset2$$

- <83> 로 하여 설명한다. 또, 이하에서는, 주사 펄스 전압의 진폭 (Vc-Va)을 Vscn으로 약기한다.
- <84> 초기화 방전이 끝난 직후의 시각 tA에서, 데이터 전극(32)에 인가되고 있는 전압은 0V, 주사 전극(22)에 인가되고 있는 전압은 Vi4H이다. 따라서, 데이터 전극(32)과 주사 전극(22) 사이의 전위차는 (-Vi4H)와 같다. 그리고, 이 전위차에 벽 전압이 가산된 전압은 방전 개시 전압과 거의 같다. 이것은, 시각 tA에 이르기까지의 초기화 기간에 있어서 데이터 전극(32)과 주사 전극(22) 사이에서 약한 초기화 방전이 발생했던 것으로부터도 분명하다. 따라서, 데이터 전극(32)과 주사 전극(22) 사이의 전위차 (-Vi4H)는 방전을 시작할지 여부의 한계의 전위차(이하, 이 전위차를 「방전 최저 전압」이라고 기재함)이다.
- <85> 한편, 기입 방전을 발생시키는 시각 tB에서는, 주사 전극(22)에는 부의 주사 펄스 전압 Va가, 데이터 전극(32)에는 기입 펄스 전압 Vd가 인가되고 있기 때문에, 데이터 전극(32)과 주사 전극(22) 사이에는, (Vd-Va), 즉 (Vd-Vi4H+Vset2)의 전위차가 인가되고 있다. 이 전위차는, 방전 최저 전압 (-Vi4H)보다 (Vd+Vset2) 높은 전위차이기 때문에, 방전 셀에서는 기입 방전이 발생한다.
- <86> 그러나, 이 기입 방전을 안정한 방전으로 하기 위해서는, 데이터 전극(32)과 주사 전극(22) 사이의 전위차가, 방전 최저 전압 (-Vi4H)보다 소정의 전위차(이하, 이 전위차를 「방전 안정 전압」이라고 기재함) VA만큼 높은 전압을 넘어야 한다. 즉,
- <87> $Vd - Vi4H + Vset2 > -Vi4H + VA$
- <88> 즉 기입 펄스 전압 Vd는
- <89> $Vd > VA - Vset2 \dots$ (식1)
- <90> 으로 되어야 한다.
- <91> 또한, 주사 전극(22)에 부의 주사 펄스 전압 Va가 인가되고 있지 않은 상태, 예컨대 시각 tC에서는, 주사 전극(22)에는 전압 Vc가, 데이터 전극(32)에는 기입 펄스 전압 Vd가 인가되고 있기 때문에, 데이터 전극(32)과 주사 전극(22) 사이의 전위차는 (Vd-Vc)로 된다. 그리고, 이 때 불필요한 방전이 발생하지 않도록 데이터 전극(32)과 주사 전극(22) 사이의 전위차는 방전 최저 전압 (-Vi4H)보다 낮아야 한다. 즉,
- <92> $Vd - Vc < -Vi4H$
- <93> 그러나, 방전 셀이 방전을 시작할지 여부의 한계의 전압 상태이면, 프라이밍의 영향 등으로 벽 전하가 감소하고, 외견상의 암 전류가 흘러 벽 전압이 감소하는 경우가 있다. 특히, 발광을 생기게 하는 방전 셀의 전방전 셀에 대한 비율(이하, 「점등율」이라고 기재함)이 높으면 데이터 전극(32)에 기입 펄스 전압 Vd가 인가되는 시간이 길어지기 때문에, 암 전류가 흐르는 시간이 길어진다. 따라서, 이 벽 전하의 감소를 억제하기 위해서는, 암 전류 자체를 작게 해야 한다. 그 때문에, 데이터 전극(32)에 기입 펄스 전압 Vd가 인가되더라도, 데이터 전극(32)과 주사 전극(22) 사이의 전위차가 방전 최저 전압 (-Vi4H)보다 소정의 전압(이하, 이 전압을 「미방전 전압」이라고 기재함) VB만큼 더 낮은 전압이어야 한다. 즉,
- <94> $Vd - Vc < -Vi4H - VB$
- 따라서,
- <95> $Vd - Vc < -(Va + Vset2) - VB$
- 즉,
- <96> $Vscn > Vset2 + VB + Vd \dots$ (식2)
- <97> 이어야 한다.
- <98> 즉, 이들 2개의 조건,
- <99> $Vd > VA - Vset2$ (식1)
- $Vscn > Vd + Vset2 + VB$ (식2)
- 을 만족시켜야 한다. 따라서, 기입 펄스 전압의 진폭 Vd를 작게 하기 위해서는 Vset2를 어느 정도 크게 설정하는 것이 유리하다. 단, 주사 펄스 전압 Va가 주사 전극(22)에 인가되고, 데이터 전극(32)에 기입 펄스 전압 Vd가 인가되지 않는 경우에 기입 방전이 발생하지 않을 정도가 되어야 한다.

- <100> 상술의 설명에서는, 하나의 서브필드의 기입 기간에 대한 설명이지만, 다음에, 복수의 서브필드가 있고, 각 서브필드에서 방전의 용이함이 다른 경우에 대하여 설명한다.
- <101> 여기서는, 설명을 간단히 하기 위해서, 제 1 SF와 제 2 SF의 2개의 서브필드가 있는 경우를 예로 하여 설명을 진행시킨다.
- <102> 도 7은, 본 발명의 실시예 1에서의 제 1 SF가 제 2 SF보다 방전하기 쉬운 경우의 데이터 전극(32) 및 주사 전극(22)에 인가되는 구동 전압 파형과, 데이터 전극(32)과 주사 전극(22) 사이의 전위차의 일례를 나타낸 도면이다.
- <103> 이 경우에는, 각 서브필드마다 상기의 하나의 조건을 만족시켜야 한다. 즉 제 1 SF에 대하여,
- <104> $Vd(1) > VA(1) - Vset2(1)$ (식3)
- <105> $Vscn(1) > Vd(1) + Vset2(1) + VB(1)$ (식4)
- <106> 제 2 SF에 대하여,
- <107> $Vd(2) > VA(2) - Vset2(2)$ (식5)
- <108> $Vscn(2) > Vd(2) + Vset2(2) + VB(2)$ (식6)
- <109> 도 7에 도시하는 바와 같이, 제 1 SF는 제 2 SF보다 방전하기 쉽기 때문에, 제 1 SF에서 안정한 기입 방전을 발생시키기 위해 필요한 방전 안정 전압 VA(1)은 제 2 SF에서의 방전 안정 전압 VA(2)보다 작아지고, 제 1 SF의 미방전 전압 VB(1)은 제 2 SF의 미방전 전압 VB(2)보다 커진다.
- <110> 이와 같이,
- <111> $VA(1) < VA(2), VB(1) > VB(2)$
- <112> 로 되기 때문에, 제 1 SF에서의 기입 펄스 전압 Vd(1)은 제 2 SF에서의 기입 펄스 전압 Vd(2)보다 낮게 설정할 수 있다. 그러나, 회로 구성 상, 기입 펄스 전압 Vd를 서브필드마다 변경하는 것은 어렵고, 이것을 실현하기 위해서는 회로 구성이 복잡하게 되어 현실적이지 않기 때문에, 기입 펄스 전압 Vd로서는, 높은 쪽의 기입 펄스 전압 Vd(2)로 설정하는 것이 된다.
- <113> 그러면, (식4)에서 Vd(1) 대신에 Vd(2)가 대입되기 때문에 (식4)를 만족시키지 않게 될 가능성이 있다. 그래서, 이러한 경우에 (식4)를 만족시키기 위해서는, 예컨대, 도 8에 도시하는 바와 같이, 전압 Vc를 (Vd(2)-Vd(1))만큼 높게 한 Vc(1)로 해도 좋다.
- <114> 도 8은, 본 발명의 실시예 1에서의 제 1 SF가 제 2 SF보다 방전하기 쉬운 경우의 데이터 전극(32) 및 주사 전극(22)에 인가되는 구동 전압 파형과, 데이터 전극(32)과 주사 전극(22) 사이의 전압 변화의 일례를 나타낸 도면이다. 이 경우에는 주사 펄스 전압의 진폭 Vscn이 (Vc(1)-Va)로 되어 커지기 때문에, 구동 전력이 증가하고, 또한 구동 회로에 이용하는 부품의 내(耐) 전압을 향상시키는 등의 비용 상승으로 이어지는 경우가 있다.
- <115> 그래서, 제 1 SF에서의 Vset2(1)를 작게 설정하여, 초기화 전압 Vi4를 전압 Vi4L이 되도록 한다. 이렇게 하면, 주사 전극(22)의 전위 Vc를 바꾸지 않고, 기입 펄스 전압 Vd를 작게 설정하는 것이 가능해진다.
- <116> 도 9는, 본 발명의 실시예 1에서의 제 1 SF가 제 2 SF보다 방전하기 쉬운 경우의 데이터 전극(32) 및 주사 전극(22)에 인가되는 구동 전압 파형과, 데이터 전극(32)과 주사 전극(22) 사이의 전압 변화의 또 다른 예를 나타낸 도면이다.
- <117> 여기서는,
- <118> $VA(1) < VA(2)$
 $Vset2(1) < Vset2(2)$
- <119> 이다. 그래서,
- <120> $VA(2) - VA(1) = Vset2(2) - Vset2(1)$ (식7)

- <121> 가 되도록 $V_{set2}(1)$ 을 설정하면,
- <122> $V_d(1) > V_A(1) - V_{set2}(1)$ (식3)
- <123> $V_d(2) > V_A(2) - V_{set2}(2)$ (식5)
- <124> 로부터, $V_d(1) = V_d(2)$ 로 할 수 있다.
- <125> 또한, 여기서는
 $V_B(1) > V_B(2)$
- <126> $V_{set2}(1) < V_{set2}(2)$
- <127> 이다. 그래서,
- <128> $V_B(1) - V_B(2) = V_{set2}(2) - V_{set2}(1)$ (식8)
- <129> 로 되도록 $V_{set2}(1)$ 을 설정하면,
- <130> $V_{scn}(1) > V_d(1) + V_{set2}(1) + V_B(1)$ (식4)
- <131> $V_{scn}(2) > V_d(2) + V_{set2}(2) + V_B(2)$ (식6)
- <132> 로부터, $V_{scn}(1) = V_{scn}(2)$ 로 할 수 있고, 도 9에 도시하는 바와 같이, 기입 펄스 전압의 진폭 V_d , 주사 펄스 전압의 진폭 V_{scn} 을 모두 작게 할 수 있다.
- <133> 물론, 반드시 (식7)과 (식8)이 동시에 성립하는 것은 아니지만, 제 1 SF, 제 2 SF 모두 시각 t_B 에서 데이터 전극(32)-주사 전극(22)간의 전압은 방전 안정 전압 $V_A(1)$, $V_A(2)$ 를 넘어 안정한 기입 방전을 발생하고, 시각 t_C 에서 데이터 전극(32)-주사 전극(22)간의 전압은 미방전 전압 $V_B(1)$, $V_B(2)$ 를 하회하여, 불필요한 방전을 발생시키는 경우는 없다.
- <134> 또는 기입 펄스 전압 V_d 나 주사 펄스 전압 V_a 의 전압 설정을 바꾸지 않는 경우에는 구동 마진이 증가하여 기입 방전을 더 안정시킬 수 있다.
- <135> 즉, 서브필드마다 방전의 용이함에 차가 있으면, 기입 펄스 전압 V_d , 주사 펄스 전압의 진폭 V_{scn} 이 가장 높아지는 서브필드의 값으로 설정해야 하기 때문에, 기입 펄스 전압 V_d , 주사 펄스 전압의 진폭 V_{scn} 을 그만큼 높게 설정해야 하지만, 상술한 대로 방전 발생의 용이함에 따라 V_{set2} 의 전압을 조정하여, 각 서브필드의 방전의 용이함을 일치시킴으로써 실제로 인가하는 기입 펄스 전압 V_d , 주사 펄스 전압의 진폭 V_{scn} 을 각각 최소로 설정할 수 있다.
- <136> 본 실시예 1에서는, 제 1 SF가 전체 셀 초기화 서브필드이며 제 1 SF의 기입 기간에는 충분한 프라이밍이 공급되기 때문에, 제 1 SF는 가장 방전이 발생하기 쉬운 서브필드라고 생각된다. 따라서, 상술한 이유에 의해, 이러한 서브필드에서는 V_{set2} 를 작게 설정하는 것으로 기입 펄스 전압 V_d , 주사 펄스 전압 V_a 를 낮게 설정할 수 있다고 생각된다.
- <137> 그래서, 본 실시예 1에서는, 서브필드의 휘도 가중치에 따라 V_{set2} 를 전환함으로써 초기화 전압 V_{i4} 를, V_{i4L} 과 V_{i4H} 보다 높은 V_{i4H} 로 전환하는 구성으로 하여, 안정한 기입을 실현한다. 즉, 휘도 가중치가 작은 서브필드(본 실시예 1에서는, 제 1 SF와 제 2 SF)에서는 도 9에 도시하는 바와 같이, V_{set2} 를 전압 0V로 하는 것으로 초기화 전압 V_{i4} 의 전압을 낮게 하여 하강 램프 파형 전압을 깊은 파형으로 하고, 초기화 방전의 방전 기간을 길게 한다. 이에 따라, 데이터 전극 $D1 \sim D_m$ 상부의 벽 전압을 약하게 하는 기능을 강화하여 벽 전압을 낮게 하고, 선택되지 않은 행의 방전 셀의 벽 전하를 빼앗기는 것을 저감하여, 안정한 기입 동작이 행해지도록 한다. 또한, 휘도 가중치가 큰 서브필드(본 실시예 1에서는, 제 3 SF~제 10 SF)에서는, 도 8에 도시하는 바와 같이, V_{set2} 를 소정의 전압(본 실시예 1에서는 10V)으로 하는 것으로 초기화 전압 V_{i4} 의 전압을 높게 하고 하강 램프 파형 전압을 얇은 파형으로 하여, 초기화 방전의 방전 기간을 짧게 한다. 이에 따라, 데이터 전극 $D1 \sim D_m$ 상부의 벽 전하의 잔류량을 늘려 벽 전압을 높게 하고, 방전 개시 전압에 대한 기입 펄스 전압 V_d 의 상대값을 높여 안정한 기입 방전을 발생시킨다.
- <138> 다음에, 본 실시예 1에 있어서, 초기화 전압 V_{i4} 의 전압을 V_{i4L} 로 하는 서브필드를 제 1 SF, 제 2 SF로 하고,

초기화 전압 Vi4의 전압을 Vi4H로 하는 서브필드를 제 3 SF~제 10 SF로 한 이유에 대하여 설명한다.

- <139> 본 발명자는, 어떤 서브필드에서 Vset2를 낮게 설정하면 좋지만, 즉 초기화 전압 Vi4의 전환을 알맞게 하기 위해서는 어떠한 서브필드 구성으로 하면 좋은지를 조사하기 위해, 초기화 전압 Vi4의 전환을 행하는 서브필드를 바꾸면서, 안정한 기입을 행하기 위해 필요한 주사 펄스 전압 Va 및 기입 펄스 전압 Vd를 조사하는 실험을 했다. 이 실험에서는, 1 필드를 10개의 서브필드(제 1 SF~제 10 SF)로 분할하고, 각 서브필드에는 각각 (1, 2, 3, 6, 11, 18, 30, 44, 60, 80)의 휘도 가중치를 갖게 했다. 또한, Vset2를 전압 0V로 함으로써 Vi4L을 주사 펄스 전압 Va와 같은 전압으로 하고, Vset2를 소정의 전압(본 실시예 1에서는 10V)으로 하는 것으로 Vi4H를 Vi4L보다 10V 높은 전압으로 했다.
- <140> 도 10(a), 도 10(b)는, 이 실험의 결과를 정리한 도면이며, 초기화 전압 Vi4를 전환하는 서브필드와 주사 펄스 전압 Va, 기입 펄스 전압 Vd의 관계를 나타낸 도면이다. 도 10(a), 도 10(b)에서, 가로축은 초기화 전압 Vi4 전환 서브필드를, 도 10(a)의 세로축은 주사 펄스 전압 Va를, 도 10(b)의 세로축은 기입 펄스 전압 Vd를 나타낸다. 또, 여기서의 초기화 전압 Vi4 전환 서브필드란, 초기화 전압 Vi4를 Vi4L로부터 Vi4H로 전환하는 서브필드를 나타내고 있고, 예컨대, 초기화 전압 Vi4 전환 서브필드의 「2」는, 제 1 SF, 제 2 SF에서는 초기화 전압 Vi4를 Vi4L로 하고, 제 3 SF~제 10 SF에서는 초기화 전압 Vi4를 Vi4H로 한 것을 나타낸다.
- <141> 도 10(a)에 나타내는 바와 같이, 초기화 전압 Vi4 전환 서브필드가 「0」(모든 서브필드에 있어서 초기화 전압 Vi4를 Vi4H로 함), 「1」, 「2」에서는 안정한 기입 동작을 행하게 하기 위해 필요한 주사 펄스 전압 Va는 거의 변화하지 않지만, 그 이후, 초기화 전압 Vi4 전환 서브필드를 크게 함에 따라, 안정한 기입 동작을 행하게 하기 위해 필요한 주사 펄스 전압 Va는 서서히 높아지고 있다. 그리고, 초기화 전압 Vi4 전환 서브필드 「10」(모든 서브필드에 있어서 초기화 전압 Vi4를 Vi4L로 함)에서는, 초기화 전압 Vi4 전환 서브필드 「2」에 대하여, 안정한 기입 동작을 행하게 하기 위해 필요한 주사 펄스 전압 Va는 약 20V 높아지고 있다.
- <142> 또한, 도 10(b)에 나타내는 대로, 초기화 전압 Vi4 전환 서브필드를 「1」로부터 「2」로 하면, 안정한 기입 방전을 발생시키기 위해 필요한 기입 펄스 전압 Vd는 약 11V 내려가지만, 그 이후 초기화 전압 Vi4 전환 서브필드를 크게 하더라도 안정한 기입 방전을 발생시키기 위해 필요한 기입 펄스 전압 Vd는 거의 변화하지 않는다.
- <143> 그래서, 본 실시예 1에서는, Vi4L을 주사 펄스 전압 Va와 같은 전압으로 하고, Vi4H를 Vi4L보다 10V 높은 전압으로 하고, 또한, 초기화 전압 Vi4 전환 서브필드를 「2」, 즉, 휘도 가중치가 가장 작은 서브필드인 제 1 SF 및 휘도 가중치가 2번째로 작은 서브필드인 제 2 SF에서는 초기화 전압 Vi4를 Vi4L로 하고, 휘도 가중치가 가장 큰 서브필드인 제 10 SF를 포함하는 제 3 SF~제 10 SF에서는 초기화 전압 Vi4를 Vi4H로 한다. 이에 따라, 안정한 기입을 행하게 하기 위해 필요한 주사 펄스 전압 Va 및 기입 펄스 전압 Vd를 저감시킨다. 따라서, 주사 전극 SC1~SCn에 실제로 인가되는 주사 펄스 전압 Va 및 데이터 전극 D1~Dm에 실제로 인가되는 기입 펄스 전압 Vd는, 안정한 기입을 행하게 하기 위해 필요한 주사 펄스 전압 Va 및 기입 펄스 전압 Vd에 대하여 상대적으로 높아져, 안정한 기입을 실현할 수 있다.
- <144> 또, 본 실시예 1은, Vi4L, Vi4H, 초기화 전압 Vi4 전환 서브필드, 서브필드 구성 등을 상기의 값에 한정하는 것이 아니고, 패널의 특성이나 플라즈마 디스플레이 장치의 사양 등에 맞춰 최적의 값으로 설정하는 것이 바람직하다.
- <145> 다음에, 전체 셀 초기화 동작에 있어서의 초기화 전압 Vi4를 제어하는 방법에 대하여 설명한다. 초기화 전압 Vi4를 변화시키기 위해서는, 여러 가지 방법이 생각된다. 예컨대, 도 4의 전압 Vi3으로부터 전압 Vi4의 하강 경사의 완급을 제어하여 전압 Vi4를 높게 하거나 낮게 하거나 하는 것 등에 의해 실현이 가능하다.
- <146> 본 실시예 1에서의 초기화 전압 Vi4를 제어하는 방법에 대하여, 그 일례를 도면을 이용하여 설명한다. 또, 여기서는, 전체 셀 초기화 동작시의 구동 파형을 예로 하여 초기화 전압 Vi4의 제어 방법을 설명하지만, 선택 초기화 동작에 있어서도 동일한 제어 방법에 의해, 초기화 전압 Vi4를 제어할 수 있다.
- <147> 도 11은 본 발명의 실시예 1에서의 주사 전극 구동 회로(53)의 회로도이다. 주사 전극 구동 회로(53)는 유지 펄스를 발생시키는 유지 펄스 발생 회로(100), 초기화 파형을 발생시키는 초기화 파형 발생 회로(300), 주사 펄스를 발생시키는 주사 펄스 발생 회로(400)를 구비하고 있다.
- <148> 유지 펄스 발생 회로(100)는, 주사 전극(22)을 구동할 때의 전력을 회수하여 재이용하기 위한 전력 회수 회로(110)와, 주사 전극(22)을 전압 Vs로 클램프하기 위한 스위칭 소자 SW1과, 주사 전극(22)을 전압 0V로 클램프하기 위한 스위칭 소자 SW2를 갖는다.

- <149> 초기화 파형 발생 회로(300)는, 미리 적분 회로(310, 320)를 구비하고, 상술한 초기화 파형을 발생시키고, 또한, 전체 셀 초기화 동작에 있어서의 초기화 전압 Vi4의 제어를 행한다. 미리 적분 회로(310)는, FET1과 콘덴서 C1과 저항 R1을 갖고, 전압 Vi2까지 램프 형상으로 완만히 상승하는 상승 램프 파형 전압을 발생한다. 미리 적분 회로(320)는, FET2와 콘덴서 C2와 저항 R2를 갖고, 소정의 초기화 전압 Vi4까지 램프 형상으로 완만히 저하하는 하강 램프 파형 전압을 발생한다. 또, 도 11에는, 미리 적분 회로(310, 320)의 각각의 입력 단자를 입력 단자 IN1, 입력 단자 IN2로서 나타내고 있다.
- <150> 또, 본 실시예 1에서는, 초기화 파형 발생 회로(300)로서 실용적이고 비교적 구성이 간단한 FET를 이용한 미리 적분 회로를 채용하고 있지만, 조금도 이 구성에 한정되는 것이 아니라, 상승 램프 파형 전압 및 하강 램프 파형 전압을 발생할 수 있는 회로이면 어떠한 회로이더라도 좋다.
- <151> 주사 펄스 발생 회로(400)는, 스위칭 소자 S31, S32와, ScanIC를 구비하고, 주통전 라인(유지 펄스 발생 회로(100), 초기화 파형 발생 회로(300), 주사 펄스 발생 회로(400)가 공통하여 접속된 도면 중에 파선으로 나타낸 통전 라인)에 인가된 전압과, 주통전 라인의 전압에 전압 Vscn을 중첩한 전압 중 어느 한쪽을 선택하여 주사 전극에 인가한다. 예컨대, 기입 기간에서는, 주통전 라인의 전압을 부의 전압 Va로 유지하고, ScanIC에 입력되는 부의 전압 Va와, 부의 전압 Va에 전압 Vscn을 중첩한 전압 Vc를 전환하여 출력함으로써, 상술한 부의 주사 펄스 전압 Va를 발생시킨다.
- <152> 또, 주사 펄스 발생 회로(400)는, 유지 기간에서는 유지 펄스 발생 회로(100)의 전압 파형을 그대로 출력한다. 또한, 상술한 스위칭 소자 및 ScanIC는 스위칭 동작을 행하는 일반적으로 알려진 MOSFET 등의 소자로 이루어지고, 타이밍 발생 회로(55)로부터 출력되는 타이밍 신호에 근거하여 전환이 제어된다.
- <153> 또한, 주사 전극 구동 회로(53)는, 논리곱 연산을 행하는 AND 게이트 AG와, 2개의 입력 단자에 입력되는 입력 신호의 대소를 비교하는 비교기 CP를 구비한다. 비교기 CP는, 전압 Va에 전압 Vset2가 중첩된 전압 (Va+Vset 2)과 주통전 라인의 전압을 비교하여, 주통전 라인의 전압쪽이 높은 경우에는 「0」을, 그 이외에는 「1」을 출력한다. AND 게이트 AG에는, 2개의 입력 신호, 즉 비교기 CP의 출력 신호 CEL1과 전환 신호 CEL2가 입력된다. 전환 신호 CEL2로서는, 예컨대, 타이밍 발생 회로(55)로부터 출력되는 타이밍 신호를 이용할 수 있다. 그리고, AND 게이트 AG는, 모든 입력 신호가 「1」인 경우에는 「1」을 출력하고, 그 이외의 경우에는 「0」을 출력한다. AND 게이트 AG의 출력은 주사 펄스 발생 회로(400)에 입력되고, 주사 펄스 발생 회로(400)는, AND 게이트 AG의 출력이 「0」이라면 주통전 라인의 전압을, AND 게이트 AG의 출력이 「1」이라면 주통전 라인의 전압에 전압 Vscn을 중첩한 전압을 출력한다.
- <154> 다음에, 초기화 파형 발생 회로(300)의 동작에 대하여 설명한다. 우선, 도 12를 이용하여 초기화 전압 Vi4를 Vi4L로 하는 경우의 동작을 설명하고, 다음에, 도 13을 이용하여 초기화 전압 Vi4를 Vi4H로 하는 경우의 동작을 설명한다. 또, 도 12, 도 13에서는 전체 셀 초기화 기간에 대한 설명을 하지만, 선택 초기화 기간에 있어서의 하강 램프 파형 전압에 대해서는 여기서의 설명과 동일한 동작에 의해 발생시킬 수 있는 것으로 한다. 또한, 도 12, 도 13에서는, 전체 셀 초기화 동작을 행하는 구동 전압 파형을 기간 T1~기간 T4로 나타낸 4개의 기간으로 분할하고, 각각의 기간에 대하여 설명한다. 또한, 전압 Vi1, 전압 Vi3, 전압 Vi3'은 모두 전압 Vs와 같은 것으로 하여 설명하고, 전압 Vi4L을 부의 전압 Va와 같은 것으로 하고, 또한, 전압 Vi4H를 부의 전압 Va에 전압 Vset2를 중첩시킨 전압 (Va+Vset2)과 같은 것으로 하여 설명한다. 따라서, 전압 Vi4H는 기입 기간에 있어서의 주사 펄스 전압 Va보다 높은 전압값으로 된다. 또한, 이하의 설명에 있어서 스위칭 소자를 도통시키는 동작을 온, 차단시키는 동작을 오프라고 표기한다.
- <155> 도 12는, 본 발명의 실시예 1에서의 전체 셀 초기화 기간의 주사 전극 구동 회로(53)의 동작의 일례를 설명하기 위한 타이밍차트이다. 또, 여기서는, 초기화 전압 Vi4를 Vi4L로 하기 위해서, 기간 T1~기간 T4에 있어서 전환 신호 CEL2는 「0」으로 유지되어 있고, 주사 펄스 발생 회로(400)로부터는, 초기화 파형 발생 회로(300)의 전압 파형이 그대로 출력된다.
- <156> (기간 T1)
- <157> 우선, 유지 펄스 발생 회로(100)의 스위칭 소자 SW1을 온으로 한다. 그러면 스위칭 소자 SW1을 거쳐 주사 전극(22)에 전압 Vs가 인가된다. 그리고, 그 후, 스위칭 소자 SW1을 오프로 한다.
- <158> (기간 T2)
- <159> 다음에, 미리 적분 회로(310)의 입력 단자 IN1을 「하이 레벨」로 한다. 구체적으로는 입력 단자 IN1에, 예컨

대 전압 15V를 인가한다. 그러면, 저항 R1로부터 콘덴서 C1을 향하여 일정한 전류가 흐르고, FET1의 소스 전압이 램프 형상으로 상승하여, 주사 전극 구동 회로(53)의 출력 전압도 램프 형상으로 상승하기 시작한다. 그리고 이 전압 상승은, 입력 단자 IN1이 「하이 레벨」인 동안 계속한다.

- <160> 이 출력 전압이 전압 Vi2까지 상승하면, 그 후, 입력 단자 IN1을 「로우 레벨」로 한다.
- <161> 이렇게 하여, 방전 개시 전압 이하로 되는 전압 Vs(본 실시예 1에서는, 전압 Vi1, 전압 Vi3, 전압 Vi3'과 같음)로부터, 방전 개시 전압을 넘는 전압 Vi2를 향하여 완만히 상승하는 상승 램프 파형 전압을 주사 전극(22)에 인가한다.
- <162> (기간 T3)
- <163> 다음에, 유지 펄스 발생 회로(100)의 스위칭 소자 SW1을 온으로 한다. 그러면 주사 전극(22)의 전압이 전압 Vs까지 저하한다. 그리고 그 후, 스위칭 소자 SW1을 오프로 한다.
- <164> (기간 T4)
- <165> 다음에, 미러 적분 회로(320)의 입력 단자 IN2를 「하이 레벨」로 한다. 구체적으로는 입력 단자 IN2에, 예컨대 전압 15V를 인가한다. 그러면, 저항 R2로부터 콘덴서 C2를 향하여 일정한 전류가 흐르고, FET2의 드레인 전압이 램프 형상으로 하강하고, 주사 전극 구동 회로(53)의 출력 전압도 램프 형상으로 하강하기 시작한다. 그리고, 출력 전압이 소정의 부의 전압 Vi4에 이른 후, 입력 단자 IN2를 「로우 레벨」로 한다.
- <166> 이 때, 비교기 CP에서는, 이 하강 램프 파형 전압(주통전 라인의 전압)과, 전압 Va에 전압 Vset2가 더해진 전압 (Va+Vset2)이 비교되어 있고, 비교기 CP로부터의 출력 신호는, 하강 램프 파형 전압이 전압 (Va+Vset2) 이하로 된 시각 t4에서 「0」으로부터 「1」로 전환한다. 그러나, 기간 T1~기간 T4에 있어서 전환 신호 CEL2는 「0」으로 유지되어 있기 때문에, AND 게이트 AG에서는 「0」이 출력된다. 따라서, 주사 펄스 발생 회로(400)로부터는, 이 하강 램프 파형 전압이 그대로 출력된다.
- <167> 여기서, 본 실시예 1에서는, 하강 램프 파형 전압이 부인 전압 Va까지 하강한 후 곧 초기화 기간을 종료하고 계속되는 기입 기간으로 이행하는 것은 아니고, 부의 전압 Va로 유지되는 기간, 즉, 초기화 파형이 평평히 유지되는 기간 T4'이 마련되도록 기간 T4를 설정하고 있다. 이에 따라, 하강 램프 파형 전압의 최저 전압의 측정이 용이하게 되어, 초기화 전압 Vi4의 전압 조정을 용이하게 행할 수 있도록 하고 있다. 또, 본 실시예 1에서는, 이 기간 T4'을 20 μsec 정도로 설정하고 있지만, 패널의 특성이나 플라즈마 디스플레이 장치의 사양, 또는 조정의 용이함 등에 맞춰 최적의 값으로 설정하는 것이 바람직하다.
- <168> 이상과 같이 하여, 주사 전극(22)에 대하여, 방전 개시 전압 이하로 되는 전압 Vi1로부터 방전 개시 전압을 넘는 전압 Vi2를 향하여 완만히 상승하는 상승 램프 파형 전압을 인가하고, 그 후, 전압 Vi3으로부터 초기화 전압 Vi4L을 향하여 완만히 하강하는 하강 램프 파형 전압을 인가한다.
- <169> 또, 초기화 기간 종료 후, 계속되는 기입 기간에서는, 주통전 라인의 전압을 부의 전압 Va로 유지한 채로 한다. 이에 따라, 비교기 CP로부터의 출력 신호는 「1」로 유지된다. 또한, 기입 기간에서는, 전환 신호 CEL2를 「1」로 한다. 그러면, AND 게이트 AG의 입력은 모두 「1」로 되어, AND 게이트 AG로부터는 「1」이 출력된다. 이에 따라, 주사 펄스 발생 회로(400)로부터는, 부의 전압 Va에 전압 Vscn이 중첩된 전압 Vc가 출력된다. 그리고, 여기서는 도시하지 않지만, 부의 주사 펄스 전압을 발생시키는 타이밍에서 전환 신호 CEL2를 「0」로 함으로써 AND 게이트 AG의 출력 신호는 「0」으로 되고, 주사 펄스 발생 회로(400)로부터는 부의 전압 Va가 출력된다. 이렇게 하여, 기입 기간에 있어서의 부의 주사 펄스 전압을 발생시킬 수 있다.
- <170> 다음에, 도 13을 이용하여 초기화 전압 Vi4를 Vi4H로 하는 경우의 동작을 설명한다. 도 13은, 본 발명의 실시예 1에서의 전체 셀 초기화 기간의 주사 전극 구동 회로(53)의 동작의 다른 예를 설명하기 위한 타이밍차트이다. 또, 여기서는, 초기화 전압 Vi4를 Vi4H로 하기 위해, 기간 T1~T4에 있어서 전환 신호 CEL2를 「1」로 하고 있다. 또한, 도 13에 있어서, 기간 T1~T3의 동작은 도 12에 나타낸 기간 T1~T3과 마찬가지로기 때문에, 여기서는, 기간 T4에 대하여 설명한다.
- <171> (기간 T4)
- <172> 기간 T4에서는, 미러 적분 회로(320)의 입력 단자 IN2를 「하이 레벨」로 한다. 구체적으로는 입력 단자 IN2에, 예컨대 전압 15V를 인가한다. 그러면, 저항 R2로부터 콘덴서 C2를 향하여 일정한 전류가 흐르고, FET2의 드레인 전압이 램프 형상으로 하강하여, 주사 전극 구동 회로(53)의 출력 전압도 램프 형상으로 하강하기 시

작한다. 그리고, 출력 전압이 소정의 부의 전압 V_{i4} 에 이른 후, 입력 단자 IN2를 「로우 레벨」로 한다.

- <173> 이 때, 비교기 CP에서는, 이 하강 램프 파형 전압(주통전 라인의 전압)과, 전압 V_a 에 전압 V_{set2} 가 더해진 전압 (V_a+V_{set2})이 비교되어 있고, 비교기 CP로부터의 출력 신호는, 하강 램프 파형 전압이 전압 (V_a+V_{set2}) 이하로 된 시각 t_4 에서 「0」으로부터 「1」로 전환한다. 그리고, 이 때 전환 신호 CEL2는 「1」이기 때문에, AND 게이트 AG의 입력은 모두 「1」로 되어, AND 게이트 AG에서는 「1」이 출력된다. 이에 따라, 주사 펄스 발생 회로(400)로부터는, 이 하강 램프 파형 전압에 전압 V_{scn} 이 중첩된 전압이 출력된다. 따라서, 이 하강 램프 파형 전압에 있어서의 최저 전압을 (V_a+V_{set2}), 즉 V_{i4} 로 할 수 있다.
- <174> 이와 같이, 본 실시예 1에서는, 주사 전극 구동 회로(53)를 도 11에 나타내었던 회로 구성으로 함으로써 전압 V_{set2} 를 소망의 전압값으로 설정하는 것만으로, 완만히 하강하는 하강 램프 파형 전압의 최저 전압, 즉 초기화 전압 V_{i4} 의 값을 간단히 제어하는 것이 가능하게 된다.
- <175> 또, 본 실시예 1에서는 전체 셀 초기화 동작에 있어서의 초기화 전압 V_{i4} 의 제어에 대하여 설명했지만, 선택 초기화 동작에 있어서는 상승 램프 파형 전압을 발생시키지 않는 점이 다를 뿐이고 하강 램프 파형 전압의 발생에 대해서는 상술한 바와 동일한 동작이며, 초기화 전압 V_{i4} 의 제어도 마찬가지로 실행할 수 있다.
- <176> 또, 본 실시예 1에서는, 방전 가스의 크세논 분압을 10%로 했지만, 다른 크세논 분압이더라도 그 패널에 따른 구동 전압으로 설정하면 좋다.
- <177> 또한, 본 실시예 1에 있어서 이용한 구체적인 각 수치는, 단지 일례를 든 것에 지나지 않고, 패널의 특성이나 플라즈마 디스플레이 장치의 사양 등에 맞춰, 적절히 최적의 값으로 설정하는 것이 바람직하다.

산업상 이용 가능성

- <178> 본 발명의 패널의 구동 방법 및 플라즈마 디스플레이 장치는, 대화면·고휘도 패널이더라도, 기입 방전을 발생시키기 위해 필요한 전압을 높이지 않고, 안정한 기입 방전을 발생시킬 수 있고, 화상 표시 품질이 좋은 패널의 구동 방법 및 플라즈마 디스플레이 장치로서 유용하다.

도면의 간단한 설명

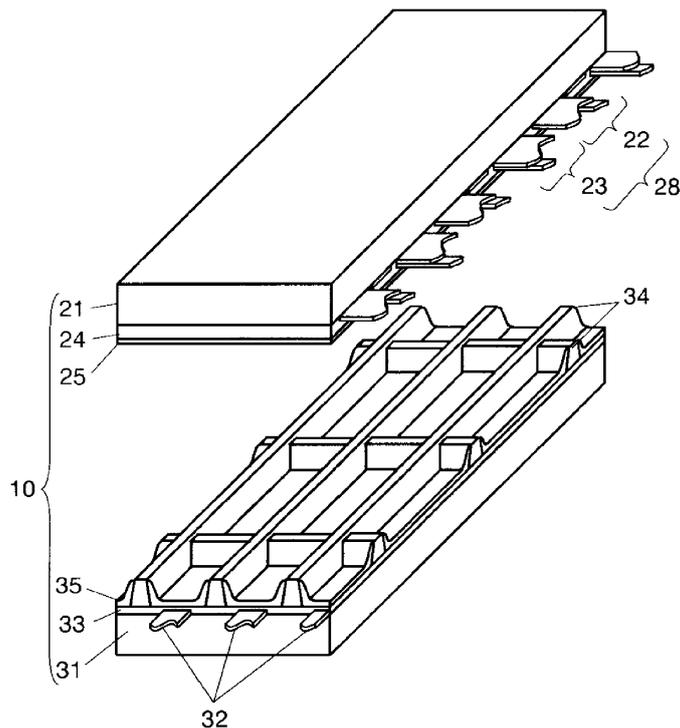
- <17> 도 1은 본 발명의 실시예 1에서의 패널의 구조를 나타내는 분해 사시도,
- <18> 도 2는 본 발명의 실시예 1에서의 패널의 전극 배열도,
- <19> 도 3은 본 발명의 실시예 1에서의 플라즈마 디스플레이 장치의 회로 블록도,
- <20> 도 4는 본 발명의 실시예 1에서의 패널의 각 전극에 인가하는 구동 전압 파형도,
- <21> 도 5는 본 발명의 실시예 1에서의 서브필드 구성을 도시하는 도면,
- <22> 도 6은 본 발명의 실시예 1에서의 데이터 전극 및 주사 전극에 인가되는 구동 전압 파형과, 데이터 전극-주사 전극간의 전압 변화를 나타낸 도면,
- <23> 도 7은 본 발명의 실시예 1에서의 데이터 전극 및 주사 전극에 인가되는 구동 전압 파형과, 데이터 전극-주사 전극간의 전압 변화의 일례를 나타낸 도면,
- <24> 도 8은 본 발명의 실시예 1에서의 동 데이터 전극 및 주사 전극에 인가되는 구동 전압 파형과, 데이터 전극-주사 전극간의 전압 변화의 다른 예를 나타낸 도면,
- <25> 도 9는 본 발명의 실시예 1에서의 데이터 전극 및 주사 전극에 인가되는 구동 전압 파형과, 데이터 전극-주사 전극간의 전압 변화의 또 다른 예를 나타낸 도면,
- <26> 도 10(a)는 본 발명의 실시예 1에서의 초기화 전압 V_{i4} 를 전환하는 서브필드와 주사 펄스 전압의 관계를 나타낸 도면,
- <27> 도 10(b)는 본 발명의 실시예 1에서의 초기화 전압 V_{i4} 를 전환하는 서브필드와 기입 펄스 전압의 관계를 나타낸 도면,
- <28> 도 11은 본 발명의 실시예 1에서의 주사 전극 구동 회로의 회로도,
- <29> 도 12는 본 발명의 실시예 1에서의 전체 셀 초기화 기간의 주사 전극 구동 회로의 동작의 일례를 설명하기 위한

타이밍차트,

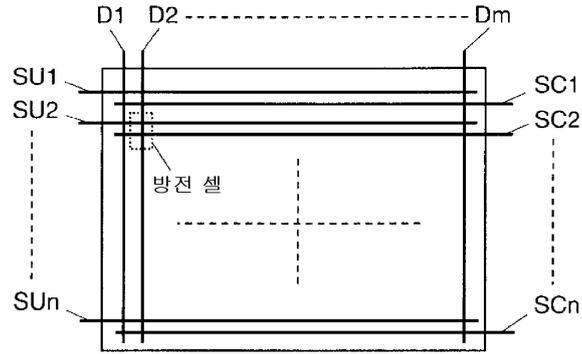
- <30> 도 13은 본 발명의 실시예 1에서의 전체 셀 초기화 기간의 주사 전극 구동 회로의 동작의 다른 예를 설명하기 위한 타이밍차트이다.
- <31> 부호의 설명
- <32> 1 : 플라즈마 디스플레이 장치 10 : 패널
- <33> 21 : 유리제의 전면판 22 : 주사 전극
- <34> 23 : 유지 전극 24, 33 : 유전체층
- <35> 25 : 보호층 28 : 표시 전극쌍
- <36> 31 : 배면판 32 : 데이터 전극
- <37> 34 : 격벽 35 : 형광체층
- <38> 51 : 화상 신호 처리 회로 52 : 데이터 전극 구동 회로
- <39> 53 : 주사 전극 구동 회로 54 : 유지 전극 구동 회로
- <40> 55 : 타이밍 발생 회로 100, 200 : 유지 펄스 발생 회로
- <41> 110 : 전력 회수 회로 300 : 초기화 과형 발생 회로
- <42> 310, 320 : 미러 적분 회로 400 : 주사 펄스 발생 회로
- <43> SW1, SW2, S31, S32 : 스위칭 소자 FET1, FET2 : FET
- <44> C1, C2 : 콘덴서 R1, R2 : 저항
- <45> IN1, IN2 : 입력 단자 CP : 비교기
- <46> AG : AND 게이트

도면

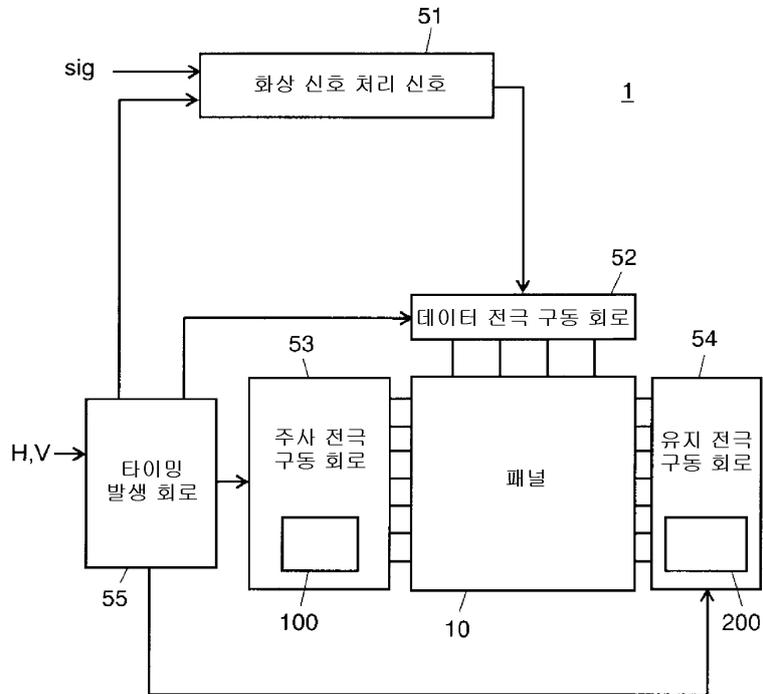
도면1



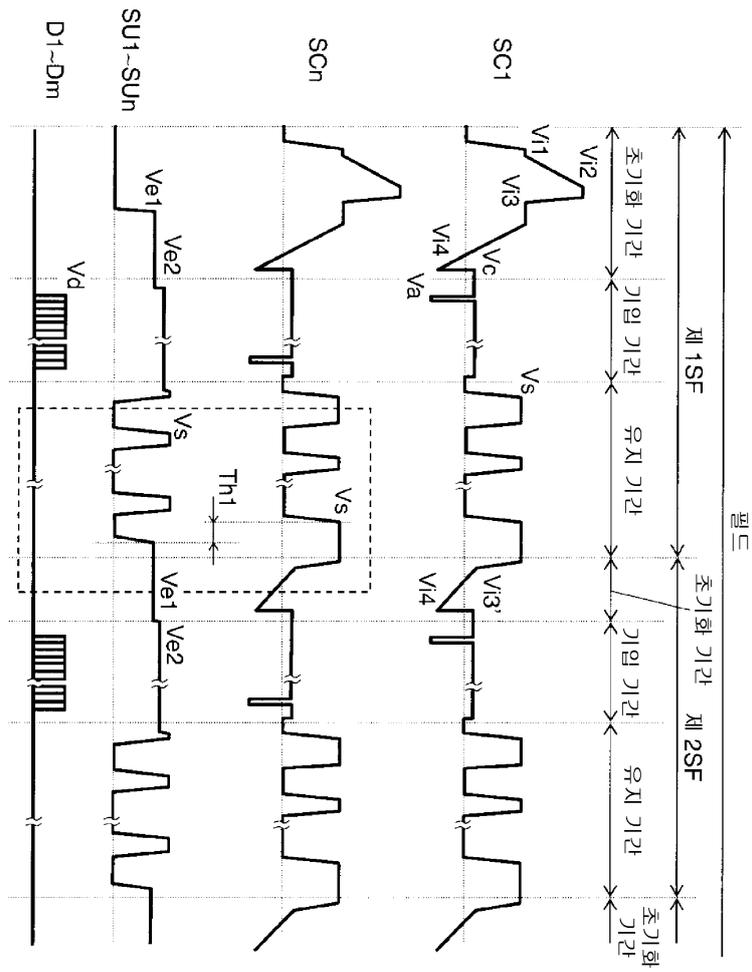
도면2



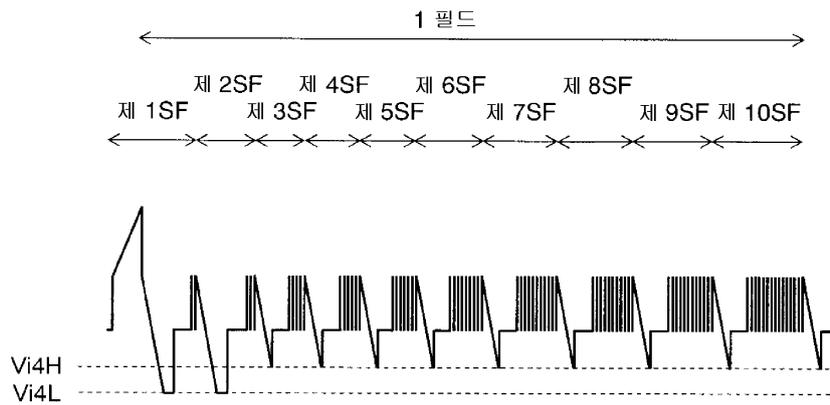
도면3



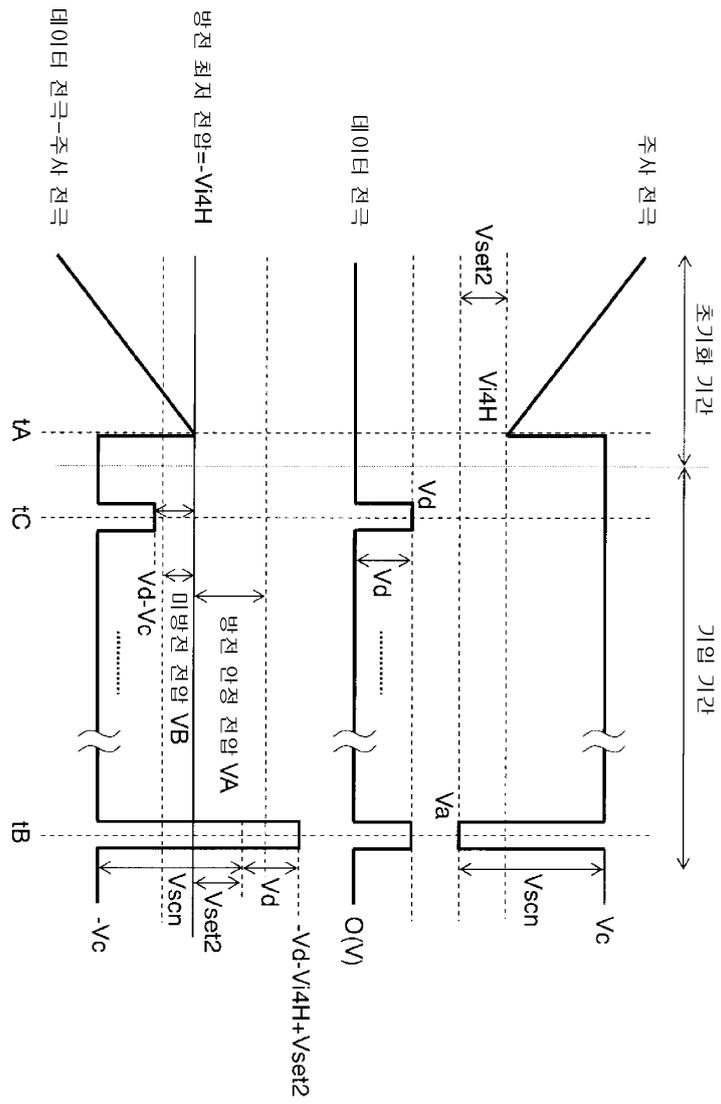
도면4



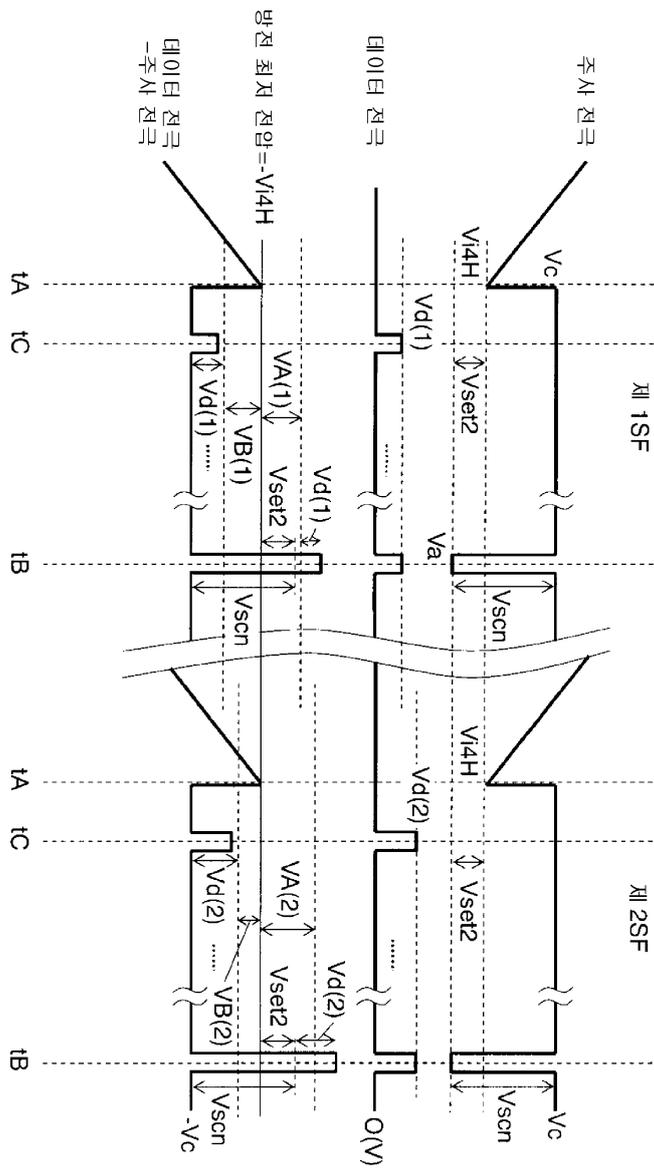
도면5



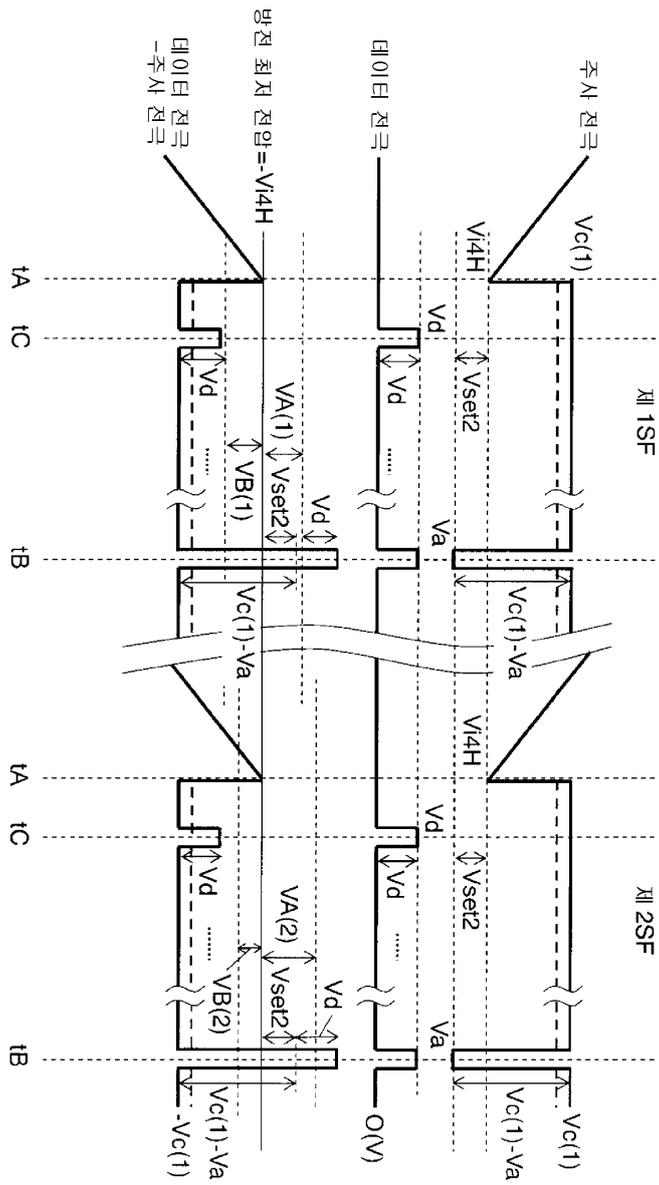
도면6



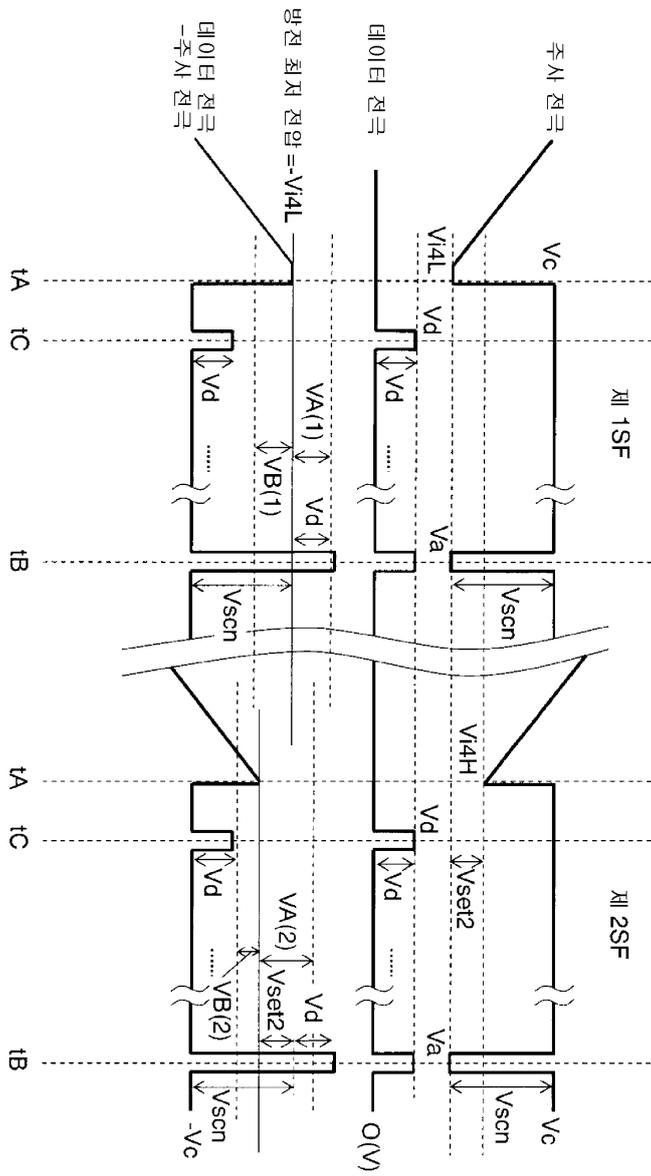
도면7



도면8

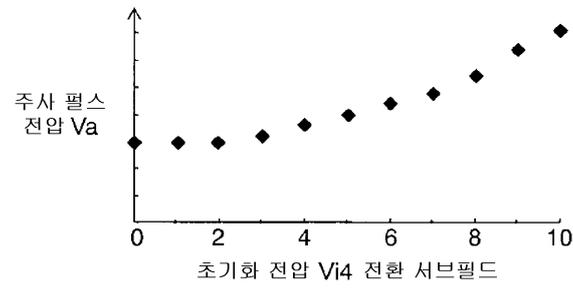


도면9

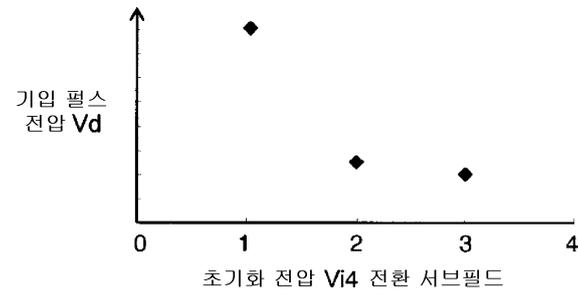


도면10

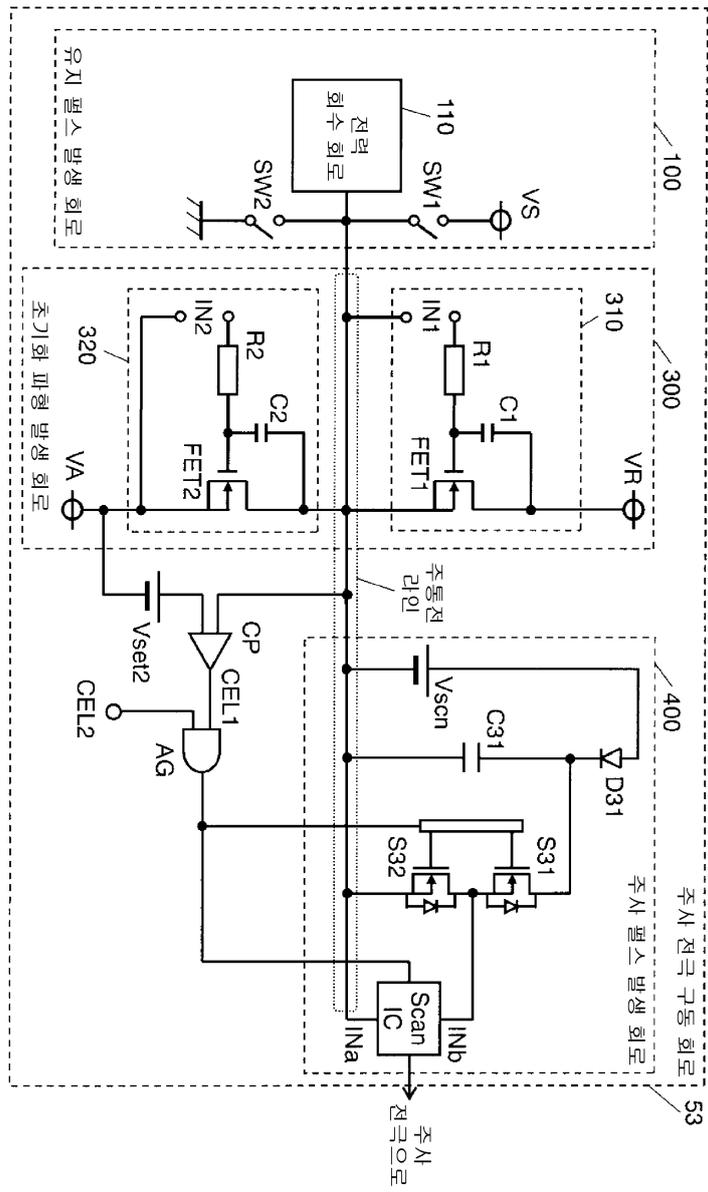
(a)



(b)



도면11



도면12

