



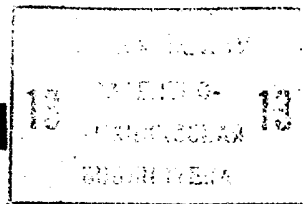
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1020818 A

3 (51) G 06 F 7/49

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3397661/18-24

(22) 17.02.82

(46) 30.05.83. Бюл. № 20

(72) В. А. Телековец и Ю. Н. Прасолов

(71) Таганрогский радиотехнический институт им. В. Д. Калмыкова

(53) 681.325(088.8)

(56) 1. Авторское свидетельство СССР № 805304, кл. G 06 F 7/52, 1980.

2. Авторское свидетельство СССР по заявке № 1672061/18-24, кл. G 06 F 7/49, 1980 (прототип).

(54)(57) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ СУММ ПРОИЗВЕДЕНИЙ, содержащее регистры первого множимого и первого множителя, информационные входы которых соединены с шинами соответственно первого множимого и первого множителя устройства, а управляющие входы подключены к выходам регистра записи, сумматор в избыточной двоичной системе счисления, выходы которого являются выходами устройства, первый блок элементов И, первые входы элементов И которого соединены с соответствующими выходами регистра первого множителя, и регистр результата отличаясь тем, что, с целью упрощения и расширения его функциональных возможностей, заключающегося в получении суммы двух произведений, оно содержит первый, второй, третий и четвертый комбинационные сумматоры, регистры второго множимого и второго множителя, второй, третий и четвертый блоки элементов И, первый и второй преобразователи прямого кода в дополнительный, первый и второй регистры задержки, причем первый и второй входы первого ре-

гистра задержки соединены с входами соответственно первого и второго множителей устройства, первые входы элементов И второго и третьего блоков соединены с соответствующими выходами регистров соответственно первого и второго множимых, а первый и второй выходы первого регистра задержки подключены к вторым входам элементов И соответственно второго и третьего блоков элементов И, вторые входы элементов И первого блока элементов И соединены с входом первого множимого устройства, вход второго множимого которого подключен к информационному входу регистра второго множимого, первые входы элементов И четвертого блока элементов И соединены с выходами регистра второго множителя, вход второго множимого устройства подключен к вторым входам четвертого блока элементов И, информационный вход регистра второго множителя подключен к входу второго множителя устройства, а управляющие входы соединены с управляющими входами регистра второго множимого и подключены к выходам регистра записи, выходы элементов И первого и третьего блоков элементов И соединены с соответствующими входами первой группы младших разрядов соответственно первого и второго комбинационных сумматоров, входы вторых групп разрядов которых с второго по $(k+1)$ -й (k -разрядность операндов) подключены к соответствующим выходам элементов И соответственно второго и четвертого блоков элементов И, а выходы первого и второго комбинационных сумматоров подключены к информационным входам соответственно первого и второго преобразователей пря-

(19) SU (11) 1020818 A

мого кода в дополнительный, управляющие входы которых соединены с входами знаковых соответственно первых и вторых множимых и множителей устройства, выходы первого и второго преобразователей прямого кода в дополнительный подключены соответственно к первой и второй группам входов третьего комбинационного сумматора, выходы $(k+3)$ младших разрядов которого подключены к соответствующим входам первой группы входов $(k+3)$ младших разрядов четвертого комбинационного сумматора, входы первой группы входов $(k+4)$ -го и $(k+5)$ -го разрядов которого соединены с выходом старшего $(k+4)$ -го разряда третьего комбинационного сумматора, вторые входы разрядов четвертого комбинационного сумматора с вторым по $(k+3)$ -й подключены к выходам $(k+2)$ младших разрядов регист-

ра результата, входы которого подключены соответственно к выходам $(k+3)$ младших разрядов и $(k+5)$ -го разряда четвертого комбинационного сумматора, выходы $(k+4)$ -го и $(k+5)$ -го разрядов которого подключены соответственно к первому и второму входам второго регистра задержки, выходы которого соединены с входами сумматора в избыточной двоичной системе счисления, а третий и четвертый входы подключены к выходам $(k+3)$ -го и $(k+4)$ -го старших разрядов регистра результата, выход $(k+4)$ -го разряда которого соединен также с вторыми входами $(k+4)$ -го и $(k+5)$ -го разрядов четвертого комбинационного сумматора, выходы сумматора в избыточной двоичной системе счисления являются выходами результата устройства.

Изобретение относится к цифровой вычислительной технике и может быть использовано при построении специализированных вычислительных систем.

Известно устройство для вычисления сумм произведений, содержащее два сумматора, регистры разности и суммы, блок коммутаторов, регистры хранения частичного результата и многовходовой сумматор [1].

Это устройство работает в избыточной двоичной системе счисления и требует преобразования множимых в избыточный двоичный код, а множителей в код, содержащий только 1 или $\bar{1}$, что является недостатком устройства.

Наиболее близким к предлагаемому является устройство для умножения, содержащее регистр множимого и регистр множителя, входы которых являются входами множимого и множителя устройства, а выходы подключены к первым и вторым входам блока элементов И, выходы которого соединены с информационными входами коммутатора, управляющие входы которого подключены к выходу блока анализа знака, входы которого являются входами множимого и множителя устройства, выходы коммутатора соединены с первой группой входов многовходового сумматора в избыточной двоичной системе счисления, вторая группа входов

и выходы которого соединены соответственно с выходами и входами первого и второго регистров результата, и регистр записи, выходы которого подключены к управляющим входам регистра множителя [2].

Недостатком устройства является сложность алгоритма умножения, что требует больших аппаратных затрат, и получение только произведения двух чисел.

Цель изобретения — упрощение устройства и расширение функциональных возможностей, заключающееся в получении суммы двух произведений.

Для достижения поставленной цели устройство для вычисления сумм произведений, содержащее регистры первого множимого и первого множителя, информационные входы которых соединены с шинами соответственно первого множимого и первого множителя устройства, а управляющие входы подключены к выходам регистра записи, сумматор в избыточной двоичной системе счисления, выходы которого являются выходами устройства, первый блок элементов И, первые входы элементов И которого соединены с соответствующими выходами регистра первого множителя, и регистр результата, содержит первый и второй $(k+1)$ -разрядные комбинационные сумматоры, третий $(k+4)$ -разрядный комбинационный сумматор, четвертый $(k+$

5-разрядный) комбинационный сумматор, регистры второго множимого и второго множителя, второй, третий и четвертый блоки элементов И, первый и второй преобразователи прямого кода в дополнительный, первый и второй регистры задержки, причем первый и второй входы первого регистра задержки соединены с входами соответственно первого и второго множителей устройства, первые входы элементов И второго и третьего блоков соединены с соответствующими выходами регистров соответственно первого и второго множимых, а первый и второй выходы первого регистра задержки подключены к вторым входам элементов И соответственно второго и третьего блоков элементов И, вторые входы элементов И первого блока элементов И соединены с входом первого множимого устройства, вход второго множимого которого подключен к информационному входу регистра второго множимого, первые входы элементов И четвертого блока элементов соединены с выходами регистра второго множителя, вход второго множимого устройства подключен к вторым входам элементов И четвертого блока, информационный вход регистра второго множителя подключен к входу второго множителя устройства, а управляющие входы соединены с управляющими входами регистра второго множимого и подключены к выходам регистра записи, выходы элементов И первого и третьего блоков элементов И соединены с соответствующими входами первой группы k младших разрядов соответственно первого и второго комбинационных сумматоров, входы вторых групп разрядов которых с второго по $(k+1)$ -й (k -разрядность операндов) подключены к соответствующим выходам элементов И соответственно второго и четвертого блоков элементов И, а выходы первого и второго комбинационных сумматоров подключены к информационным входам соответственно первого и второго преобразователей прямого кода в дополнительный, управляющие входы которых соединены с входами знаков соответственно первых и вторых множимых и множителей устройства, выходы первого и второго преобразователей прямого кода в дополнительный подключены соответственно к первой и второй группам входов третьего комбинационного сумматора, выходы младших $(k+3)$ разрядов которого подключены к соответствующим входам первой группы входов младших $(k+3)$ разрядов,

четвертого комбинационного сумматора, входы первой группы входов $(k+4)$ -го и $(k+5)$ -го разрядов которого соединены с выходом старшего $(k+4)$ -го разряда третьего комбинационного сумматора, вторые входы разрядов четвертого комбинационного сумматора с второго по $(k+3)$ -й подключены к выходам $(k+2)$ младших разрядов регистра результата, входы которых подключены соответственно к выходам $(k+3)$ младших разрядов и $(k+5)$ -го разряда четвертого комбинационного сумматора, выходы $(k+4)$ -го и $(k+5)$ -го разрядов которого подключены соответственно к первому и второму входам второго регистра задержки, выходы которого соединены с входами сумматора в избыточной двоичной системе исчисления, а третий и четвертый входы подключены к выходам $(k+3)$ -го и $(k+4)$ -го старших разрядов регистра результата, выход $(k+4)$ -го разряда которого соединен также с вторыми входами $(k+4)$ -го и $(k+5)$ -го разрядов четвертого комбинационного сумматора, выходы сумматора в избыточной двоичной системе счисления являются выходами результата устройства.

На фиг. 1 приведена структурная схема устройства; на фиг. 2 - пример выполнения преобразователя прямого кода в дополнительный.

Управляющие входы регистров первого множителя 1, первого множимого 2, второго множимого 3 и второго множителя 4 объединены и подключены к выходам регистра 5 записи, а их разрядные выходы соединены с первыми входами соответственно первого, второго, третьего и четвертого блоков элементов И 6 - 9, вторые входы второго и третьего блоков элементов И 7 и 8 подключены соответственно к первому и второму выходам первого регистра 10 задержки, вход 11 первого множимого устройства подключен к вторым входам элементов И первого блока элементов И 6 и к информационному входу регистра первого множимого 2, вход 12 первого множителя устройства соединен с информационным входом регистра первого множителя 1 и с первым входом первого регистра 10 задержки, второй вход которого соединен с информационным входом регистра второго множителя 4 и с входом 13 второго множителя устройства, вход 14 второго множимого которого подключен к информационному входу регистра второго множимого 3 и к вторым входам элементов И четвер-

того блока элементов И 9, выходы элементов И первого и третьего блоков элементов И 6 и 8 соединены с первыми входами k младших разрядов соответственно первого и второго комбинационных сумматоров 15 и 16, вторые входы разрядов которых с второго по $(k+1)$ -й подключены к выходам элементов И соответственно второго и четвертого блоков элементов И 7 и 9, а их разрядные выходы соединены с информационными входами соответственно первого и второго преобразователей 17 и 18 прямого кода в дополнительный. Управляющие входы первого преобразователя 17 кода подключены к входам 19 и 20 знаков первого множимого и первого множителя устройства, а управляющие входы второго преобразователя 18 кода подключены к входам 21 и 22 знаков второго множимого и второго множителя устройства. Выходы преобразователей 17 и 18 кода соединены соответственно с первыми и вторыми разрядными входами третьего комбинационного сумматора 23, выходы $k+3$ младших разрядов которого подключены к первым входам $k+3$ младших разрядов четвертого комбинационного сумматора 24, первые входы $(k+4)$ -го и $(k+5)$ -го разрядов которого соединены с выходом старшего $(k+4)$ -го разряда третьего комбинационного сумматора 23. Вторые входы разрядов четвертого комбинационного сумматора 24 с второго по $(k+3)$ -й подключены к выходам $k+2$ младших разрядов регистра 25 результата, выход $(k+4)$ -го разряда которого соединен с вторыми входами $(k+4)$ -го и $(k+5)$ -го разрядов четвертого комбинационного сумматора 24 и с вторым входом второго регистра 26 задержки, первый вход которого соединен с выходом $(k+3)$ -го разряда регистра 25 результата, входы $k+3$ младших разрядов которого соединены с выходами $k+3$ младших разрядов четвертого комбинационного сумматора 24, выход $(k+4)$ -го разряда которого соединен с третьим входом второго регистра 26 задержки, четвертый вход которого подключен к входу $(k+4)$ -го разряда регистра 25 результата и к выходу $(k+5)$ -го разряда четвертого комбинационного сумматора 24. Первый и третий выходы второго регистра 26 задержки соединены соответственно с первым и вторым полужительными входами сумматора 27 в избыточной двоичной системе счисления, выходы которого являются выходами 28

и 29 результата устройства, а первый и второй отрицательные входы подключены соответственно к второму и четвертому выходам второго регистра 26 задержки.

Преобразователи 17 и 18 прямого кода в дополнительный содержат по $(k+3)$ элементов ИСКЛЮЧАЮЩЕЕ ИЛИ. Входы первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 30 (выход которого соединен с первым выходом 31 преобразователя) соединены с управляющими входами 19 и 20 преобразователя, первый выход которого подключен к выходу первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 30 и к первым входам остальных $(k+2)$ элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 32, вторые входы которых являются информационными входами 33 преобразователя, выходы 34 которого с второго по $(k+3)$ -й подключены к выходам элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 32.

Выходы 34 первого и второго преобразователей кода 17 и 18 подключены соответственно к первым и вторым входам $k+2$ младших разрядов третьего комбинационного сумматора 23, первые входы $(k+3)$ -го и $(k+4)$ -го разрядов которого соединены с его входом переноса разряда и подключены к первому выходу первого преобразователя кода 17, а первый выход 31 второго преобразователя 18 кода подключен к вторым входам $(k+3)$ -го и $(k+4)$ -го разрядов третьего комбинационного сумматора 23 и к второму входу первого разряда четвертого комбинационного сумматора 24 (не показан).

Устройство работает следующим образом.

В начале каждого цикла вычислений регистры 2 и 3 множимых, регистры 1 и 4 множителей, регистр 25 результата, второй регистр 26 задержки сбрасываются в нулевое состояние (цепь сброса на чертеже не показана). Одновременно в первый (младший) разряд регистра 5 записи записывается единица. В результате в начале первого такта работы устройства на управляющие входы k -го старшего разряда регистров 2 и 3 множимых и регистров 1 и 4 множителей поступает сигнал разрешения записи. Значения старшего n -го разряда множимых и множителей, поступающих последовательным позиционным кодом на входы 11 - 14 устройства, на первом такте запишутся в k -е старшие разряды регистров 1 - 4 и, кроме того, значения n -го разряда множителей запишутся в регистр 10 задержки. Единица из первого разряда ре-

гистра записи 5 перепишется во второй его разряд. Во втором такте работы значения следующего $(n-1)$ -го разряда множимых и множителей запишутся в $(k-1)$ -е разряды регистров 1 - 4 и т.д. Регистр 5 записи преобразует последовательный код множимых и множителей в параллельный код.

Процесс получения произведения двух чисел A и B осуществляется по следующей формуле

$$A_i B_i = A_{i-1} B_{i-1} + 2^{-i} (A_i \Delta B_{i-1} + B_i \Delta A_i) = A_{i-1} B_{i-1} + \Delta(A_i B_i),$$

где A_i - текущее значение множимого;

B_i - текущее значение множителя;

ΔA_i - приращение (значение i -го разряда) множимого;

ΔB_{i-1} - задержанное на один такт значение приращения множителя.

Значение произведения $A_i \Delta B_{i-1}$ получаем на выходах элементов И второго блока 7, а значение произведения $B_i \Delta A_i$ - на выходах элементов И первого блока 6. Сумматор 15 выдает приращение произведения $\Delta(A_i B_i)$ в прямом $(k+2)$ -разрядном двоичном коде, который поступает в преобразователь кода 17. Первый элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 30 преобразователя 17 выдает значение знака произведения AB. Если знаки множимого A и множителя B совпадают, то на выходе элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 30 получаем нулевой потенциал, а на выходы 34 преобразователя через элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 32 подается прямой код приращения произведения $\Delta(A_i B_i)$ без изменения. Если значения знаков множимого A и множителя B не совпадают, то на выходе элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 30 получаем единицу, а на выходе 34 преобразователя с выходов элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 32 подается инверсный код приращения произведения $\Delta(A_i B_i)$, единица с выхода 31 преобразователя 17 (знак приращения произведения) поступает на первые входы $(k+3)$ -го и $(k+4)$ -го разрядов комбинационного сумматора 23, на вторые входы которых подается значение знака приращения второго произведения с выхода 31 преобразователя 18 кода. Кроме того, единица с выхода 31 преобразователя 17 кода подается на вход переноса первого разряда комбинационного сумматора 23, а единица с выхода 31 преобразователя 18 кода - на второй вход первого разряда комбина-

ционного сумматора 24. Таким образом, при отрицательном значении произведения преобразователь кода преобразует прямой код приращения произведения в дополнительный код.

На выходах комбинационного сумматора 22 получаем значение суммы приращения двух произведений, выраженное $(k+4)$ -разрядным (включая и знаковый разряд) дополнительным кодом.

Полученное в i -ом такте работы устройства значение суммы приращений произведений ΔS_i , поступающее на первые входы разрядов четвертого комбинационного сумматора 24, суммируется с значением $(k+2)$ младших разрядов текущего результата Z_{i-1} , полученного в предыдущем $(k-1)$ -ом такте работы, сдвинутом на один разряд влево, которое подается с выходов $k+2$ младших разрядов регистра 25 результата на вторые входы разрядов комбинационного сумматора 24 с второго по $(k+3)$ -й. Значение знака суммы приращений произведений подается с выхода старшего $(k+4)$ -го разряда третьего комбинационного сумматора 23 на первые входы $(k+4)$ -го и $(k+5)$ -го разрядов четвертого комбинационного сумматора 24, на вторые входы которого поступает значение знака текущего результата Z_{i-1} с выхода старшего $(k+4)$ -го выхода регистра 25 результата.

Значения $(k+4)$ -го и $(k+5)$ -го (знакового) разрядов полученного текущего результата Z_i подаются на первый и второй входы второго регистра 26 задержки, а значения остальных разрядов и значение знака текущего результата Z_i заносятся в регистр 25 результата. На третий и четвертый входы регистра 26 задержки подаются соответственно значение $(k+3)$ -го разряда и значение $(k+5)$ -го (знакового) разрядов текущего результата Z_{i-1} с выходов $(k+3)$ -го и $(k+4)$ -го разрядов регистра 25 результата.

Регистр 26 задержки служит для перехвата потока информации, проходящего с входов устройства через блоки элементов И, сумматоры и преобразователи, т.е. для увеличения быстродействия устройства, так как уменьшается задержка распространения информации.

С первого и третьего выходов регистра 26 задержки на первый и второй положительные входы сумматора в избыточной двоичной системе счисления подаются задержанные на один такт значения $(k+3)$ -го разряда текущего результата Z_{i-1} и

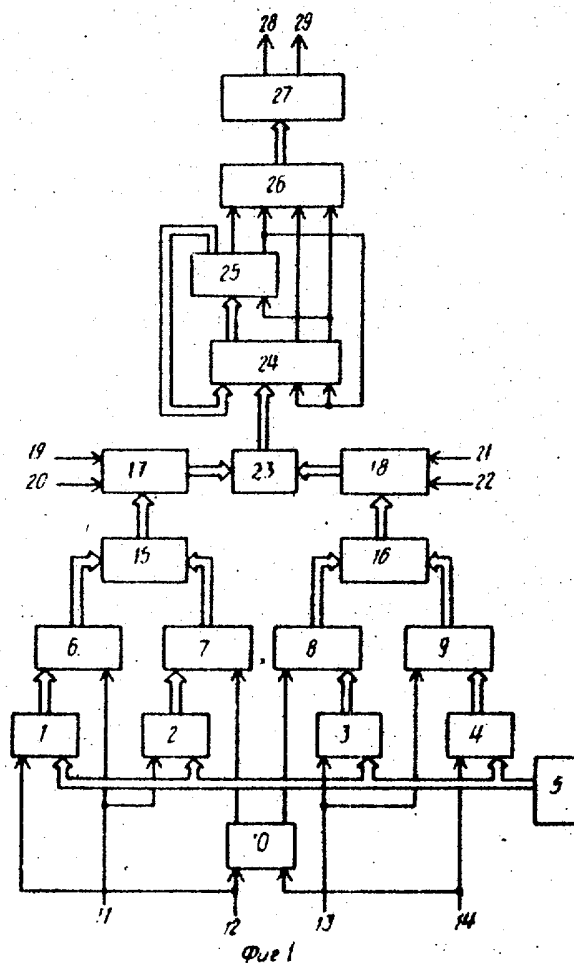
($k+4$)-го разряда текущего результата Z_i , а на первый и второй отрицательные входы сумматора 27 подаются задержанные на один такт значения знаков текущих результатов Z_{i-1} и Z_i . Сумматор 27 осуществляет последовательное сложение двух чисел и в избыточной двоичной системе счисления и выдает результат на выходы 28 (положительный) и 29 (отрицательный) устройства. Число разрядов входных регистров k выбирается из условия получения нужной точности и может быть равно $n/2$ или $n/2+1$.

Таким образом, устройство производит последовательное вычисление суммы двух произведений за $n+3$ такта, при этом аргументы поступают на входы устройства последовательным позиционным кодом, старшими разрядами вперед. Результат вычисления выдается с выходов устройства в процессе вычисления старшими разрядами вперед, что обеспечивает быстрое действие устройства, сопоставимое с параллельными устройствами умножения, но требует значительно меньших аппаратных затрат.

По сравнению с базовым объектом устройство имеет примерно на 20% меньшие аппаратные затраты, так как отсутствуют блок коммутаторов и многовходовой сумматор, общее оборудование которых примерно равно общему оборудованию комбинационных сумматоров, блоков элементов И и преобразователей кода предлагаемого устройства, а регистры базового объекта имеют большее число разрядов (более $10k$), чем регистры предлагаемого устройства ($5k$).

По сравнению с прототипом устройство имеет также меньшие аппаратные затраты, так как для получения суммы произведений необходимо четыре $2k$ -разрядных регистра, два блока элементов И (по $2k$ элементов), два многовходовых сумматора и добавочный сумматор в избыточной двоичной системе счисления.

Таким образом, предлагаемое устройство имеет большее быстрое действие, меньшие аппаратные затраты и широкие функциональные возможности.



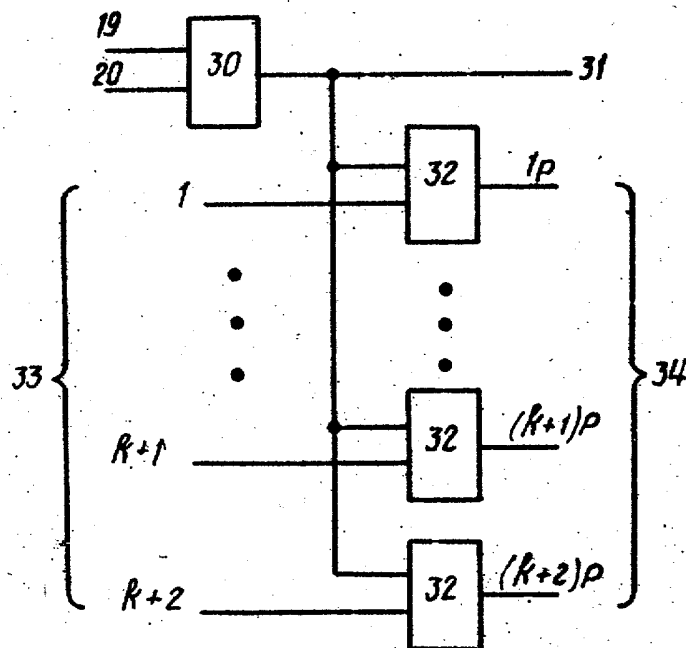


Fig. 2

Составитель Н. Захаревич
 Редактор С. Юско Техред М. Коштура Корректор А. Дзятко
 Заказ 3898/41 Тираж 706 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4