



(12)发明专利

(10)授权公告号 CN 103038808 B

(45)授权公告日 2016.08.03

(21)申请号 201180024060.1

(22)申请日 2011.03.15

(30)优先权数据

10156572.9 2010.03.15 EP

(85)PCT国际申请进入国家阶段日

2012.11.14

(86)PCT国际申请的申请数据

PCT/EP2011/053912 2011.03.15

(87)PCT国际申请的公布数据

W02011/113843 EN 2011.09.22

(73)专利权人 视瑞尔技术公司

地址 卢森堡大公国蒙斯拜奇

(72)发明人 罗伯特·米斯拜奇

(74)专利代理机构 北京连和连知识产权代理有限公司 11278

代理人 贺小明

(51)Int.Cl.

G09G 3/20(2006.01)

G02B 27/22(2006.01)

G03H 1/04(2006.01)

(56)对比文件

WO 01/82284 A1, 2001.11.01, 说明书1-4, 7-13页, 附图3, 4.

US 2003/0071813 A1, 2003.04.17, 全文.

US 2004/0184145 A1, 2004.09.23, 全文.

WO 2007/008405 A1, 2007.01.18, 全文.

CN 100350444 C, 2007.11.21, 全文.

审查员 李玮

权利要求书4页 说明书27页 附图21页

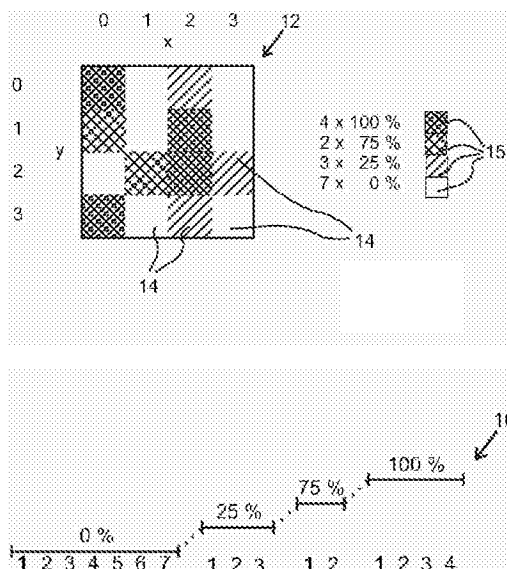
(54)发明名称

用于空间光调制器的底板装置以及运行底板装置的方法

(57)摘要

本发明涉及一种用于空间光调制器(12)的底板装置(16),尤其是应用于生成场景或内容的二维和/或三维显示的显示装置中的空间光调制器(12)。空间光调制器(12)包含具有像素地址的像素(14)并且可以被底板装置(16)电子地控制以将像素值(15)分配到像素(14)。底板装置(16)包含每个像素(14)的至少一个电极(500)、至少一个模拟线(22)和至少一个像素寻址装置(24)。这种像素寻址装置(24)包含x地址线(26)和y地址线(28)。所有像素(14)都连接到模拟线(22)、x地址线(26)和y地址线(26)。作为像素值(15)分配方案,调整生成装置以生成施加到至少一个模拟线(22)的电压特性(10),这样电压特性(10)取决于将要分配到像素(14)的像素值(15)。调整底板装置(16),以根据生成的电压特性(10)确定像素地址,以作为像素寻址方案,这样,为了将像素值(15)分配到像素(14),将生成的电压特性施加

于至少一个模拟线(22)。此外,本发明涉及一种运行用于空间光调制器(12)的底板装置(16)的方法。



1. 一种用于空间光调制器(12)的底板装置,其特征在于,空间光调制器(12)包含具有像素地址的像素(14)并且被具有主动控制开关元件(100、200、300、400)的底板装置(16)电子地控制以将具有大于一的位深度的像素值(15)分配到像素(14),底板装置(16)包含每个像素(14)的至少一个电极(500)、至少一个模拟线(22)和至少一个像素寻址装置(24),其中,这种像素寻址装置(24)包含x地址线(26)和y地址线(28),其中所有像素(14)都连接到模拟线(22)、x地址线(26)和y地址线(28),作为像素值(15)分配方案,调整生成装置以生成施加到至少一个模拟线(22)的电压特性(10),这样电压特性(10)取决于将要分配到像素(14)的像素值(15),其中,调整底板装置(16),以根据生成的电压特性(10)确定像素地址,以作为像素寻址方案,这样,为了将像素值(15)分配到像素(14),将生成的电压特性施加于至少一个模拟线(22)。

2. 根据权利要求1所述的底板装置,其特征在于,电压特性(10)是电压斜坡上升函数和/或电压斜坡下降函数和/或锯齿状函数,和/或,其中电压特性(10)包含预设的时间段内的过载值和/或电压特性包含预设的时间段内的亚载值。

3. 根据权利要求1所述的底板装置,其特征在于,电压特性(10)是时间的变量并且具有显著的数学上的单调递增函数或者数学上的单调递减函数的特性。

4. 根据权利要求1所述的底板装置,其特征在于,被施加到至少一个模拟线(22)的生成的电压特性(10)决定寻址像素(14)的顺序。

5. 根据权利要求1所述的底板装置,其特征在于,在x向和y向上生成所确定的像素地址,其中,以随机访问的方式执行关于x向和y向的像素值(15)到像素(14)的分配。

6. 根据权利要求1所述的底板装置,其特征在于,在底板装置(16)的一个运行模式中,彼此时间邻近地执行分配以相同像素值(15)的所有像素(14)的寻址,和/或其中在底板装置(16)的另一个运行模式中,在实质上相同的时间执行分配以相同像素值(15)的所有像素(14)的寻址,和/或其中在底板装置的又一运行模式中,在一段时间内执行分配以相同像素值(15)的所有像素(14)的寻址,和/或其中像素值(15)一次仅分配到一个像素(14)。

7. 根据权利要求1所述的底板装置,其特征在于,空间光调制器(21)和/或底板装置(16)包含至少两簇(18)像素的簇排列,其中每个簇(18)包含模拟线(22)和用于寻址该簇(18)的像素(14)的像素寻址装置(24)。

8. 根据权利要求7所述的底板装置,其特征在于,彼此独立地控制簇(18),和/或其中形成空间光调制器(12)的相连或相邻区域的多个像素(14)形成簇(18)。

9. 根据权利要求8所述的底板装置,其特征在于,这种区域是矩形或者方形或者蜂巢型。

10. 根据权利要求1所述的底板装置,其特征在于,像素(14)的控制电路(20)包含两个TFT(100,200),其中第一TFT(100)连接到模拟线(22)、x地址线(26)和第二TFT(200),其中第二TFT(200)连接到第一TFT(100)、y地址线(28)和像素(14)的电极(500)。

11. 根据权利要求1所述的底板装置,其特征在于,像素(14)的控制电路(20)包含两个TFT(100,200),其中第一TFT(100)连接到x地址线(26)、y地址线(28)和第二TFT(200),其中第二TFT(200)连接到第一TFT(100)、模拟线(22)和像素(14)的电极(500)。

12. 根据权利要求1所述的底板装置,其特征在于,包含至少一道使能线(30),所有像素(14)连接到使能线(30)。

13. 根据权利要求12所述的底板装置,其特征在于,像素(14)的控制电路(20)包含三个TFT(100,200,300),其中第一TFT(100)连接到使能线(30)、x地址线(26)和第二TFT(200),其中第二TFT(200)连接到第一TFT(100)、y地址线(28)和第三TFT(300),其中第三TFT(300)连接到第二TFT(200)、模拟线(22)和像素(14)的电极(500)。

14. 根据权利要求1所述的底板装置,其特征在于,像素(14)的控制电路(20)包含三个TFT(100,200,300),其中对于彼此相邻并且通过相同的y地址线(28)寻址的两个像素(14;20,32),第一像素(20)的第一TFT(100)——用作使能功能——连接到第二像素(32)的x地址线(26)、y地址线(28)和第一像素(20)的第二TFT(200),其中第一像素(20)的第二TFT(200)连接到第一像素(20)的第一TFT(100)、第一像素(20)的x地址线(26)和第一像素(20)的第三TFT(300),其中第一像素(20)的第三TFT(300)连接到第一像素(20)的第二TFT(200)、模拟线(22)和第一像素(20)电极(500),其中第二像素(32)的第一TFT(100)——用作使能功能——连接到第一像素(20)的x地址线(26)、y地址线(28)和第二像素(32)的第二TFT(200),其中第二像素(32)的第二TFT(200)连接到第二像素(32)的第一TFT(100)、第二像素(32)的x地址线(26)和第二像素(32)的第三TFT(300),其中第二像素(32)的第三TFT(300)连接到第二像素(32)的第二TFT(200)、模拟线(22)和第二像素(32)电极(500)。

15. 根据权利要求1所述的底板装置,其特征在于,像素(20,32,34,36)控制电路(20,32,34,36)包含三个TFT(100,200,300),其中对于彼此相邻并且通过相同的y地址线(28)寻址的四个像素(20,32,34,36),其中第一像素(20)的第一TFT(100)——用作使能功能——连接到第三像素(34)的x地址线(26)、y地址线(28)和第一像素(20)的第二TFT(200),其中第一像素(20)的第二TFT(200)连接到第一像素(20)的第一TFT(100)、第一像素(20)的x地址线(26)和第一像素(20)的第三TFT(300),其中第一像素(20)的第三TFT(300)连接到第一像素(20)的第二TFT(200)、模拟线(22)和第一像素(20)的电极(500),其中第二像素(32)的第一TFT(100)——用作使能功能——连接到第一像素(20)的x地址线(26)、y地址线(28)和第二像素(32)的第二TFT(200),其中第二像素(32)的第二TFT(200)连接到第二像素(32)的第一TFT(100)、第二像素(32)的x地址线(26)和第二像素(32)的第三TFT(300),其中第二像素(32)的第三TFT(300)连接到第二像素(32)的第二TFT(200)、模拟线(22)和第二像素(32)电极(500),其中第三像素(34)的第一TFT(100)——用作使能功能——连接到第四像素(36)的x地址线(26)、y地址线(28)和第三像素(34)的第二TFT(200),其中第三像素(34)的第二TFT(200)连接到第三像素(34)的第一TFT(100)、第三像素(34)的x地址线(26)和第三像素(34)的第三TFT(300),其中第三像素(34)的第三TFT(300)连接到第三像素(34)的第二TFT(200)、模拟线(22)和第三像素(34)电极(500),其中第四像素(36)的第一TFT(100)——用作使能功能——连接到第二像素(32)的x地址线(26)、y地址线(28)和第四像素(36)的第二TFT(200),其中第四像素(36)的第二TFT(200)连接到第四像素(36)的第一TFT(100)、第四像素(36)的x地址线(26)和第四像素(36)的第三TFT(300),其中第四像素(36)的第三TFT(300)连接到第四像素(36)的第二TFT(200)、模拟线(22)和第四像素(36)电极(500)。

16. 根据权利要求14所述的底板装置,其特征在于,使能线(30)的逻辑电平对应于x地址线(26)的逻辑电平。

17. 根据权利要求10所述的底板装置,其特征在于,像素(20,32,34,36)的第一TFT(100)和相同像素(20,32,34,36)的第二TFT(200)结合为双栅TFT。

18. 根据权利要求10所述的底板装置,其特征在于,x地址线(26)或y地址线(28)连接到像素(20,32,34,36)的第一TFT(100)的栅极(G)或者连接到像素(20,32,34,36)第二TFT(200)的栅极(G)。

19. 根据权利要求17所述的底板装置,其特征在于,x地址线(26)或y地址线(28)连接到双栅TFT的栅极。

20. 根据权利要求10所述的底板装置,其特征在于,使能线(30)或者用作使能线(30)的x地址线(26)连接到像素(20,32,34,36)的第一TFT(100)的源极(S),和/或其中像素(20,32,34,36)的第一TFT(100)的漏极(D)连接到同一像素第二TFT(200)的源极(S)。

21. 根据权利要求10所述的底板装置,其特征在于,模拟线(22)连接到像素(20,32,34,36)第三TFT(300)的源极(S),并且同一像素(20,32,34,36)的电极(500)连接到同一像素(20,32,34,36)第三TFT(300)的漏极(D),和/或其中像素(20,32,34,36)第二TFT(200)的漏极(D)连接到同一像素(20,32,34,36)第三TFT(300)的栅极(G)。

22. 根据权利要求1所述的底板装置,其特征在于,像素寻址装置(24)包含至少一个x地址解码器(38,38')和至少一个y地址解码器(44,44'),x地址解码器(38,38')连接到x地址线(26),y地址解码器(44,44')连接到y地址线(28)。

23. 根据权利要求22所述的底板装置,其特征在于,x地址解码器(38,38')和/或y地址解码器(44,44')基于动态NOR解码器(DynamicNOR-decoder,动态或非解码器)和/或基于OR解码器(OR-decoder,或解码器)和/或基于包含NAND和NOR电路的CMOS解码器(CMOS-Decoder,互补金属氧化物半导体解码器)和/或基于AND解码器(AND-decoder,和解码器)。

24. 根据权利要求22所述的底板装置,其特征在于,x地址解码器(38,38')和/或y地址解码器(44,44')与底板装置(16)分开安置,或者,其中x地址解码器(38,38')和/或y地址解码器(44,44')位于底板装置(16)的外缘,或者,其中x地址解码器(38,38')和/或y地址解码器(44,44')置于像素(14;20,32,34,36)之间的底板装置(16)上。

25. 根据权利要求1所述的底板装置,其特征在于,每一像素(14)包含像素控制结构(20,32,34,36),其中所有像素控制结构(20,32,34,36)以相同方式定向,或者,其中两个相邻像素的像素控制结构(20,32,34,36)安置为彼此镜像,或者,其中四个相邻像素的像素控制结构(20,32,34,36)安置为彼此镜像。

26. 根据权利要求1所述的底板装置,其特征在于,空间光调制器(12)调整为基于衍射作用偏转光与空间光调制器(12)的相互作用。

27. 一种用于运行根据权利要求1到26中任一项所述的底板装置(16)的方法,其特征在于,空间光调制器(12)包含具有像素地址的像素(14)并且被具有主动控制开关元件(100、200、300、400)的底板装置(16)电子控制以将具有大于1的位深度的像素值(15)分配到像素(14),其中,底板装置(16)包含每个像素(14)的至少一个电极(500)、至少一个模拟线(22)和至少一个像素寻址装置(24),其中,这种像素寻址装置(24)包含x地址线(26)和y地址线(28),其中,所有像素(14)连接到模拟线(22)、x地址线(26)和y地址线(28),该方法包含以下步骤:

- 作为像素值(15)分配方案,生成装置生成将要施加到至少一个模拟线(22)的电压特性(10),以使电压特性(10)取决于将要分配到像素(14)的像素值(15),
- 根据生成的电压特性(10)确定像素地址,以此作为像素寻址方案,并且

• 为了将像素值(15)分配到像素(14),将生成的电压特性(10)施加到至少一个模拟线(22)。

28. 根据权利要求27所述的方法,其特征在于,为将像素值(15)分配到像素(14),选择该像素(14)的x地址线(26)和y地址线(28),并且激活连接到该像素(14)的使能线(30),这导致从模拟线(22)到像素(14)电极(500)的电荷转移,其中,取消选择x地址线(26)和y地址线(28),和/或无效化连接到该像素(14)的使能线(30),以将传输的电荷保持在该像素(14)的电极(500)中。

29. 根据权利要求27或28所述的方法,其特征在于,为了将相同的像素值(15)分配到多个像素(14),对于这些像素(14)中的每一个,激活连接到这样的像素(14)的使能线(30)并且随后选择x地址线(26)和y地址线(28),这导致从模拟线(22)到每个后续激活的像素(14)的电极(500)的后续电荷转移,其中,无效化这些像素(14)的x地址线(26)、y地址线(28)和使能线(30),以将转移的电荷保持在这些像素(14)的电极(500)中。

30. 根据权利要求27所述的方法,其特征在于,对于多个所选的像素(14),选择x地址线(26)和y地址线(28),并且激活这些像素(14)的具有使能功能的地址线,或者激活连接到这些像素(14)的使能线(30),以将所有这些像素(14)的电极(500)设定为与通过模拟线(22)提供的电压相同的电压,和/或以短路所选像素(14)的所有电极(500),其中,取消选择x地址线(26)和y地址线(28),其中,为了将像素值(15)分配到像素(14),选择这个像素(14)的x地址线(26)和y地址线(28),这导致从模拟线(22)到像素(14)电极(500)的电荷转移,其中,取消选择x地址线(26)和y地址线(28),并且其中,无效化连接到这些像素(14)的使能线(30),以保持这些像素(14)电极(500)的电荷。

31. 一种空间光调制器,其特征在于,包含根据权利要求1到26中任一项所述的底板装置(16)。

32. 一种用于生成内容的二维和/或三维显示的显示装置中的空间光调制器,该空间光调制器包含根据权利要求1到26中任一项所述的底板装置(16)。

33. 用于生成场景的二维和/或三维显示的显示装置,其特征在于,包含根据权利要求1到26中任一项所述的底板装置(16)或者包含根据权利要求31所述的空间光调制器(12)。

用于空间光调制器的底板装置以及运行底板装置的方法

技术领域

[0001] 本发明涉及一种用于空间光调制器的底板装置以及一种运行底板装置的方法。

背景技术

[0002] 空间光调制器特别设计用于显示信息的高分辨率显示器形式的显示装置中。本发明的应用领域包括高分辨率显示器,尤其是TFT(thin film transistor,薄膜晶体管)显示器以及用于需要非常快地控制像素的目的的LCOS(liquid crystal on silicon,硅基液晶)。另一个应用领域是具有空间光调制器的光学元件,所述光学元件影响光束的方向或形状或者相干波前的形状。

[0003] 图26示出了根据现有技术的底板装置的有源矩阵(active matrix,AM)结构的示例,其包含四个像素电极11-1,11-2,11-3,和11-4。栅极线被相继地激活,以写入整个显示器的像素。然而,当需要用于例如全息显示器的全息图显示时,这种常规显示器装置所使用的运用全局行线和列线类型的寻址被证明为不足以配合增加的分辨率和刷新率。

[0004] 增加列线的频率意味着在每个时钟周期中必须对抗数据线电阻和电容以对整个数据线重新充电,参见例如图28。这导致高输出驱动电流以及高功耗。此外,连接到这一线的所有TFT的栅极电容将进一步增加线的大阻抗。

[0005] 列线的电容和所有像素TFT的栅极必须承受更短的时间间隔内的电荷反转。因此,当频率升高时功耗增加。存在由导体的阻抗和电容定义的限度,超过该限度,在一个时钟周期中就不再可能实现导体中的完全电荷反转。

[0006] 因此,用于目前的几乎所有LCD(Liquid Crystal device,液晶装置)底板中的有源矩阵结构都不能够在高帧速率下驱动高分辨率显示器(例如16000像素x8000像素),例如在1000Hz或更高的范围内。这样的尤其是需要全息显示应用的显示器,例如WO 2006/066919A1所公开的,其合并在本发明中作为参考。需要这种高帧速率的原因尤其是因为必须以时间顺序的方式为一个或多个观察者生成虚拟观察者窗口(virtual observer windows,VOW)。

[0007] 此外,所有连接的TFT栅极电容将进一步增加线的大阻抗。这两个特性的组合限制了最大数据线频率。因此,将有源矩阵的设计常规地应用于具有高帧速率的高分辨率显示器似乎并不可行。

[0008] WO 2009/092717A1阐明了一种克服某些AM问题的方法,其通过将显示器瓷砖式显示为小簇并且使用模拟移位寄存器从外部单独地驱动这些簇。将显示器瓷砖式显示为小簇,并且使用很少但是快速的从外部驱动器到簇电路的点对点连接,这容许非常高的分辨率和非常快的显示。但是所有这些种类的显示器通过显示位置的行排序将像素值分配到像素行。如果像素值在行与行之间不同,这需要对移位寄存器存储器的高电压模拟数据线或线段高频率地进行再充电。

[0009] 这尤其不利于具有通常在空间光调制器上均匀分布的像素值的全息显示器。因此对于这些现有技术种类的显示器,全息显示通常具有与标准液晶显示器相同的功率损耗,

对于其最坏情况的棋盘测试模式下,像素值分配到像素。

[0010] 由于LTPS(Low Temperature Polycrystallin Silicon,低温多晶硅)的不均一性使模拟移位寄存器所需的模拟电路的实施复杂化,使用像素簇和模拟移位寄存器专门开发的底板结构——例如WO 2009/024523A1或者WO 2009/092717A1所公开的——可能难以实施于目前的LTPS-TFT。

发明内容

[0011] 因此本发明的目的之一是提供一种用于空间光调制器的底板装置,该空间光调制器可以极快地运行或者在高帧速率运行,例如300Hz或以上,尤其是300Hz到1800Hz或更高,并且尤其用于高分辨率显示器。

[0012] 本发明通过以下技术特征所定义的空间光调制器的底板装置解决上述问题:

[0013] 这种空间光调制器尤其地应用于生成场景或内容的二维或三维显示的显示装置。空间光调制器包含具有像素地址的像素并且可以被底板装置电子地控制以将像素值分配到像素。底板装置包含每个像素的至少一个电极、至少一个模拟线、和至少一个像素寻址装置。这种像素寻址装置包含x地址线和y地址线。所有像素都连接到模拟线、x地址线和y地址线。作为像素值分配方案,调整生成装置以生成施加到至少一个模拟线的电压特性,这样电压特性取决于将要分配到像素的像素值。调整底板装置,根据生成的电压特性确定像素地址,以作为像素寻址方案。为了将像素值分配到像素,进一步调整底板装置,将生成的电压特性施加于至少一个模拟线。

[0014] 本发明使用完全不同的像素寻址方案,而不是遵循现有技术的背板装置例如有源矩阵背板的像素寻址方案,其中,在逐行寻址之后对背板装置的单个像素寻址,并且在一个寻址行内同时或者逐像素地寻址。在每个时钟周期内,必须穿过数据线电阻对整个数据线或者模拟线的电容和连接到数据线的所有像素的晶体管栅极电容重新充电。这导致高输出驱动电流和高功率损耗。此外,所有连接的TFT栅极电容将会进一步增加数据线的大阻抗。这两种特性的组合限制了最大数据线频率。因此,将常规的有源矩阵设计用于超过24英寸并且帧速率为360Hz或更高的高分辨率显示器似乎并不可行。

[0015] 根据本发明的像素寻址方案取决于分配到像素的像素值。因此本发明的像素寻址方案防止现有技术系统中使用的常规模拟线具有过高的频率,在现有技术系统中使用的常规模拟线中——取决于分配到像素的像素值——例如一个像素中的最小电压的像素值与下一个像素中的最大电压不得不分配到两个时钟周期之内。根据本发明,宁愿让施加到模拟线的电压特性或者电压函数包含低频率。通过将例如斜坡上升函数作为电压特性施加到模拟线,这可能得以实现。然后,根据施加到模拟线的电压特性以及尤其根据施加到模拟线的实际电压值对单独像素寻址。换句话说,当对应于将要分配到具体像素的像素值的电压特性的电压值施加到模拟线时,对该具体像素进行寻址。因此,可以防止高频电压特性(至少关于该像素时钟范围)施加到模拟线,而相当平稳或低频电压特性施加到模拟线。为了做到这一点,必须使像素寻址独立于施加到模拟线的电压特性。这很可能导致高频信号施加到x地址线和y地址线。然而,这又涉及到相同(低)电压的数字信号所施加的数字寻址电路——而不是可以施加较高电压的模拟线电路。

[0016] 在目前显示器技术水平中,低速数字信号充电晶体管栅极的小电容,而高频模拟

信号按照现有技术的寻址方案驱动像素电极的大电容。本发明将其进行了互换,通过本发明的像素电路的寻址方案将高频信号施加到像素电路的小的栅极电容并且将相对低速信号施加到像素电极的大电容。换句话说,低电荷根据本发明的寻址方案在地址线上高频率地传输,而不是高或更高的电荷根据现有技术的寻址方案在模拟线中传输。

[0017] 对于高分辨率显示器,具有更小尺寸的晶体管和线结构有助于具有高像素孔径。这将减小可能的驱动电流。与此相反,目前技术水平的显示器需要高电流以实现更快的传输时间以保持帧速率,尽管增加了线的数目。减小晶体管的尺寸也减小了晶体管栅极电容以及阈值电压。本发明获益于小结构尺寸,因为更小的栅极电容容许更高的晶体管开关频率、更低的电压水平和更小的电流。与目前技术水平的实例相比,更低的电压和更小的电流导致减小的功率损耗。

[0018] 在一个优选实施例中,底板装置或空间光调制器包含底板装置的像素电极的反向电极。模拟线连接到地面。当实施根据本发明的像素寻址方案时,反向电极——替代模拟线——被施加以生成的电压特性。通常,无论如何,对于例如地址解码器电路或者连接到像素电极的存储电容器,底板装置典型地需要接地连接或者接地线。液晶层被两层玻璃基板围绕。一层玻璃基板包含具有TFT的底板装置及其上的线路。另一层玻璃基板包含公用电极(也称反向电极),在大多数情况下是玻璃基板上的平面状的导电并且透明的ITO(Indium Tin Oxide, 铟锡氧化物)层。像素电极是像素电容的一个触点或者部分。公用电极形成所有像素电容的另一触点或者部分。如果根据本实施例,生成的电压特性施加到公用电极,这影响背板装置的所有像素的像素电极。如果底板装置包含簇——将在下面解释——那么这会以同样方式影响到所有簇。如果簇具有像素值的不同分布,可能必须向寻址方案中加入延迟周期,以能够为所有簇使用相同的斜坡函数。但是由于全息显示器通常包含均匀分布的像素值,可能只须添加很少的延迟周期。

[0019] 能够实现非常有效率的电荷回收以进一步减少功率损耗。高频数字信号仅驱动非常小的栅极电容。如果估计旧和新的像素电压之间的差值,寻址像素的智慧排序可以用于将电荷从一个像素传输到另一个像素或者用于提高或降低模拟线的值而不需要外部驱动。如果传输可以在独立的时间内被激活和无效,电荷回收可以更有效率。例如在附录2.1节中提到了这一点。

[0020] 具有启用和禁用操作的驱动方式容许将整个模拟线的像素电容的充电时间设置为大部分的帧时间。这容许使用低电流以相对长的传输时间为高像素电容充电。由于模拟线的低频率,当传输晶体管转换并将像素值储存在像素中时,模拟信号已经稳定地施加到所选像素的转移晶体管的源极。这容许更精准的像素电极的电压控制,尤其是对于高像素频率,这导致更高的灰度等级分辨率(位深度)。

[0021] 大体上,所提出的发明将主要受益于更小的结构尺寸,然而目前技术水平的解决方案将承受性能损失。

[0022] 根据本发明的值排序方法每个时钟周期仅能够访问一个或者极少数的像素。因此所需的帧时间和一个像素的可实现的访问时间限制了矩阵的像素数目。因为同一时间仅寻址一个或者极少的像素,限制了一簇内的像素数目。但是通过集成的地址解码器,从外部到簇的连接数非常少并且容许将大量快速但是低分辨率的簇联结到快速但是高分辨率的显示器。

[0023] 其他现有技术的显示装置使用与例如图7中示出的3TFT像素电路类似的具有模拟斜坡线和x和y地址线的像素电路,以使用像素作为数字模拟转换器。但是与本发明相反,以一个固定模式的每行而不是每帧的斜坡上升/下降周期对像素逐行寻址,

[0024] 当像素寻址时,像素代表/对应于实际电压值的值被施加到至少一个模拟线,这样,通过当前施加到模拟线的电压值对电荷传输到单个像素的像素地址进行排序。

[0025] 术语“电压特性”在本发明的意义上应被理解为电压函数,其在某一段时间内可以包含常数值,但其在某一段时间也可以是变量。

[0026] 术语“将像素值分配到像素”就本发明而论尤其应被理解为施加到像素电极的电压,在大多数情况下导致电荷传输到像素电极或者传输出像素电极。这种像素值使空间光调制器表现出例如亮度值或者色值,这取决于根据本发明的底板所运行的空间光调制器的种类。

[0027] 电压特性可以是电压斜坡上升函数或者电压斜坡下降函数。优选为施加二者的组合,即施加电压斜坡上升函数,随后是电压斜坡下降函数。可以可替换地或者附加地施加锯齿状函数。这种锯齿状函数可以包含陡峭的上升边和缓慢下降的特性曲线或者缓慢上升的特性曲线随后是陡峭的下降边或者缓慢上升的特性曲线随后是缓慢下降的特性曲线。电压特性优选地包含预设的时间段内的过载值。可替换或者附加地,电压特性优选为包含预设的时间段内的亚载值。尤其在适当时,这种过载和亚载值可以与其他上述电压特性结合施加。

[0028] 通常,电压特性是时间的变量并且具有显著的数学上的单调函数或级数的特性。这并不意味着电压特性可能不包含单陡峭上升边或者下降边。然而,在出现单陡峭的上升边之后,随后的电压特性通常具有显著的数学上的单调函数或级数的特性。电压特性尤其是可以是单调递增或者单调递减。

[0029] 根据本发明的具体的优选实施例,施加到至少一个模拟线上的生成的电压特性决定像素寻址的顺序。例如,如果施加到至少一个模拟线上的生成的电压特性包含斜坡上升函数,该斜坡上升函数由低电压值开始并递增至高电压值,那么,需要施加低电压值的像素(由于将要被分配到这个像素的像素值对应于低电压值)将被首先寻址。当斜坡上升函数的电压值增加到另一个电压值,其中,该另一个电压值代表将要被分配到一个或多个像素的随后的增加的像素值,随后寻址这个或者这些像素,这样该下一个电压值被分配到该一个或一些像素。尽管当同样的电压值施加到多个像素时没有具体的像素寻址顺序,根据本发明的这一实施例,存在关于不同的电压值以及将要分配到像素的像素值的像素寻址顺序。

[0030] 在本发明的一个优选实施例中,在x向和y向上生成所确定的像素地址。以随机访问的方式执行关于x向和y向的像素值到像素的分配。如果电压特性不取决于将要分配到像素的像素值,可能尤其如此,并且因此电压特性可以是生成的周期函数,例如包含线性递增/递减特性曲线的正弦函数或者斜坡上升或斜坡下降函数。因此,底板的每行寻址之后,没有明显的像素寻址的具体顺序,即类似于现有技术。虽然,根据本发明的寻址方案在特定的情况下可能是如此,例如当相邻像素行应当被分配以略微递增的像素值并且像素值在一行内不变,这并非一般情况。与现有技术的寻址方案相反,可以以随机访问的形式执行根据本发明的这一实施例的寻址方案和因此的像素值到像素的分配。因此,由于像素寻址的随机访问方式,没有固定应用的行周期甚至帧周期。

[0031] 在底板装置的一种运行模式中,优选彼此时间邻近地执行分配以相同像素值的所有像素的寻址。如果电压特性如以上所述地包含斜坡上升和/或斜坡下降函数,这尤其适用。在底板装置的另一个优选的运行模式中,在实质上相同的时间执行分配以相同像素值的所有像素的寻址。如果很多或者所有像素必须被分配以相同像素值,或者如果很多或者所有像素的像素值必须被重置为预设的像素值,可以应用这种底板装置的运行模式。在底板装置的又一运行模式中,在一段时间内执行分配以相同像素值的所有像素的寻址。如果像素值一次分配到仅一个像素,尤其适用这一底板装置的运行模式。然后,当5个像素需要被分配以相同的像素值的情况下,因为像素值一次仅分配到一个像素,这种运行需要5个像素写入周期的时段。

[0032] 在底板装置的具体运行模式中,像素值一次仅分配到一个像素。在这一运行模式中,以顺序方式接连地分配所有像素。

[0033] 在本发明的一个优选实施例中,空间光调制器和/或底板装置包含至少两簇像素的簇排列。每个簇包含模拟线和用于寻址该簇像素的像素寻址装置。每一簇的模拟线连接簇本身和外部电压源,例如底板装置的驱动装置。优选为彼此独立地控制簇。因此,通过具体簇的寻址装置和模拟线将具体簇的像素值分配到该具体簇的像素,在相同时间或者不同时间内,通过另一簇的寻址装置和模拟线将该另一簇的像素值独立地分配到该另一簇像素。对于不同的应用,适当的簇实例可以是方形并且可以包括64x64像素、128x128像素、256x256像素或者1024x1024像素。术语“簇”在本发明的意义上尤其表示多个像素被排列并且因此形成相连的或者相邻的空间光调制器区域。这种区域可以为矩形、方形或者蜂巢形。簇优选为不扩展为空间光调制器的整个宽度或者整个长度。簇在x向或y向的像素数目并不需要为 2^n ,n是自然数。

[0034] 通常,具有主动控制开关元件的所有类型的基板都可以用于实施根据本发明的底板装置。一个示例是具有单晶硅制成的基板的LCOS(liquid crystal on silicon,硅基液晶)显示器。其他的可能性是具有由例如LTFS、a-Si(amorphous Silicon,无定形硅)、非晶氧化物TFT或者有机TFT制成的TFT的基板。

[0035] 术语TFT和晶体管在说明书和权利要求中是可以互换的,这意味着所有晶体管可以由TFT制成并且所有TFT可以替换为例如由单晶硅或者其他半导体材料制成的其他类型的晶体管或者其他主动开关元件。

[0036] 以下阐明了实施底板装置的像素的控制电路的不同的可能性。应当注意的是,通常空间光调制器或者底板装置的所有像素包含同样的控制电路,然而,不同的像素控制电路也可能应用于空间光调制器或者底板装置。

[0037] 在第一实施例中,像素的控制电路包含两个TFT。第一TFT连接到模拟线、x地址线和第二TFT。第二TFT连接到第一TFT、y地址线和像素电极。应当注意的是,尽管第一TFT连接到x地址线并且第二TFT连接到y地址线,其也可以是相反,即替换为第一TFT连接到y地址线并且第二TFT连接到x地址线。这对于以下所述的像素也成立。将具有连接到x和y地址线的栅极的两个晶体管组合为双栅晶体管可能是有利的。在第一实施例中,双栅TFT结合了选择TFT(在此情况下为第一TFT)和传输TFT(在此情况下为第二TFT)的功能。

[0038] 在进一步的实施例中,连接到x和y地址线的TFT用作选择TFT,选择是否通过控制传输TFT的栅极电压开启或关闭传输TFT。传输TFT的源极连接到模拟线,并且传输TFT的漏

极连接到像素电极。如果这个晶体管开启,电荷从模拟线传输到像素电极。如果该传输晶体管关闭,当前施加的电荷储存在像素电极从而定义像素值。

[0039] 在第二实施例中,像素的控制电路包含两个TFT。第一TFT作为选择TFT并且连接到x地址线、y地址线和第二TFT。第二TFT作为传输TFT并且连接到第一TFT、模拟线和像素电极。这种像素电路可以比拟DRAM(Dynamic Random Access Memory,动态随机存取存储器)存储单元的电路。存储或者施加到传输TFT的栅极电容的电荷决定传输TFT是否开启或者传输TFT是否关闭。本发明的像素分配方案或者像素寻址方案可以应用于DRAM技术或者FLASH技术,尤其是为多级目的。在这种情况下,像素对应于存储单元,并且像素电极对应于存储单元的电容的电极。将像素值分配到像素对应于将信息(位或多极位)存储进存储单元。

[0040] 底板装置优选地包含至少一个使能线,并且所有像素连接到使能线。对于以下阐明的像素电路的第三到第五实施例也是如此。

[0041] 在第三实施例中,像素的控制电路包含三个TFT。第一TFT连接到使能线、x地址线和第二TFT。第二TFT连接到第一TFT、y地址线和第三TFT。第三TFT连接到第二TFT、模拟线和像素的电极。因为这种电路可以以不同方式运行,这种像素电路优选为用于全息显示装置中应用的空间光调制器。

[0042] 在第四实施例中,像素的控制电路包含三个TFT,其中两个像素彼此相邻并且通过相同的y地址线寻址。第一像素的第一TFT——用作使能功能——连接到第二像素的x地址线、y地址线和第一像素的第二TFT。第一像素的第二TFT连接到第一像素的第一TFT、第一像素的x地址线和第一像素的第三TFT。第一像素的第三TFT连接到第一像素的第二TFT、模拟线和第一像素电极。第二像素的第一TFT——用作使能功能——连接到第一像素的x地址线、y地址线和第二像素的第二TFT。第二像素的第二TFT连接到第二像素的第一TFT、第二像素的x地址线和第二像素的第三TFT。第二像素的第三TFT连接到第二像素的第二TFT、模拟线和第二像素电极。这一实施例不必在底板装置上具有单独的使能线以使能像素功能。这可以通过将第一像素的x地址线用作两个相邻像素中的另一像素的使能线实现。如果使能线的逻辑电平对应于x地址线的逻辑电平,这可以实现。

[0043] 在第五实施例中,像素控制电路包含三个TFT。四个像素彼此相邻并且通过相同的y地址线寻址。第一像素的第一TFT——用作使能功能——连接到第三像素的x地址线、y地址线和第一像素的第二TFT。第一像素的第二TFT连接到第一像素的第一TFT、第一像素的x地址线和第一像素的第三TFT。第一像素的第三TFT连接到第一像素的第二TFT、模拟线和第一像素的电极。第二像素的第一TFT——用作使能功能——连接到第一像素的x地址线、y地址线和第二像素的第二TFT。第二像素的第二TFT连接到第二像素的第一TFT、第二像素的x地址线和第二像素的第三TFT。第二像素的第三TFT连接到第二像素的第二TFT、模拟线和第二像素电极。第三像素的第一TFT——用作使能功能——连接到第四像素的x地址线、y地址线和第三像素的第二TFT。第三像素的第二TFT连接到第三像素的第一TFT、第三像素的x地址线和第三像素的第三TFT。第三像素的第三TFT连接到第三像素的第二TFT、模拟线和第三像素电极。第四像素的第一TFT——用作使能功能——连接到第二像素的x地址线、y地址线和第四像素的第二TFT。第四像素的第二TFT连接到第四像素的第一TFT、第四像素的x地址线和第四像素的第三TFT。第四像素的第三TFT连接到第四像素的第二TFT、模拟线和第四像素电极。与第四实施例相同,这一实施例不必在底板装置上具有单独的使能线以使能像素

功能。如果对于一个像素,四个相邻像素中的另一个的x地址线被用作前面像素的使能线,这可以实现。如果使能线的逻辑电平对应于x地址线的逻辑电平,这可以实现。

[0044] 尽管以上提到了TFT或晶体管元件,其他电路和/或其他开关元件可以替代使用或者应用于底板装置,其他电路和/开关元件主动实现传输和选择晶体管的功能。

[0045] 像素的第一TFT和相同像素的第二TFT结合为双栅TFT是有益的,其导致像素电路的进一步简化并节省空间。对于上述五个实施例,这可以实现。

[0046] 尽管在原则上连接TFT的栅极、源极和漏极的很多可能性是存在的,然而,以下阐明了上述五个实施例的TFT的最优连接方式。这些连接方式也可以彼此结合。

[0047] x地址线或y地址线连接到像素的第一TFT的栅极或者连接到像素第二TFT的栅极或者连接到上述双栅TFT的栅极。

[0048] 使能线或者用作使能线的x地址线连接到像素的第一TFT的源极。像素的第一TFT的漏极连接到同一像素第二TFT的源极。

[0049] 模拟线连接到像素第三TFT的源极,并且同一像素的电极连接到同一像素第三TFT的漏极。像素第二TFT的漏极连接到同一像素第三TFT的栅极。

[0050] 像素寻址装置优选地包含至少一个x地址解码器和至少一个y地址解码器。X地址解码器连接到x地址线,y地址解码器连接到y地址线。

[0051] 地址解码器包含执行单个或者全部地址线的使能的逻辑电路。x地址解码器和/或y地址解码器可以基于动态NOR解码器(DynamicNOR-decoder,动态或非解码器)和/或可以基于动态NAND解码器(Dynamic NAND-decoder,动态与非解码器)和/或可以基于OR解码器(OR-decoder,或解码器)和/或可以基于包含NAND和NOR电路的CMOS解码器(CMOS-Decoder,互补金属氧化物半导体解码器)和/或可以基于AND解码器(AND-decoder,和解码器)。

[0052] 根据空间光调制器的种类和计划以其实现的应用,x地址解码器和/或y地址解码器可以在底板装置上或相对于底板装置安置为不同位置。x地址解码器和/或y地址解码器可以与底板装置分开安置。可选地,x地址解码器和/或y地址解码器可以位于底板装置的外缘。进一步的选择可以是将x地址解码器和/或y地址解码器置于底板装置上两个像素之间。

[0053] 例如,如果底板装置或一簇的所有像素包含同样种类的像素电路,例如三个像素电路的使能线,有不同方式相对于彼此定向像素的像素电路。以下可能性是优选的,其中,每一像素包含像素控制结构:像素控制结构安置为常规布局,这意味着所有像素控制结构可以以相同方式定向。可选地,两个相邻像素的像素控制结构安置为彼此镜像。镜像安置的对称轴线可以在两个像素之间。如果两个像素在x向上彼此相邻,那么对称轴线可以定向为y向。进一步的选择是位于一个共同的中心旁的四个相邻像素的像素控制结构彼此镜像。第一对称轴线可以位于两个像素之间并位于共同中心,第二对称轴线可以位于两个像素之间并位于共同中心并垂直于第一对称轴线。这种镜像布局减少了用于提供所有像素共用的线的工作量,例如模拟线、使能线或者电源或像素的存储电容所需的线。

[0054] 在优选的实施例中,空间光调制器调整为基于衍射作用偏转光与空间光调制器的相互作用,其中,优选为根据WO 2010/149587A2的其中一项权利要求实施空间光调制器。这种空间光调制器包含可控的液晶分子层,对应于衍射光栅结构的的折射率分布可以编码入该可控液晶分子层。光与这种衍射光栅/模式的相互作用被空间光调制器衍射。优选地,运行空间光调制器,以使将要编码入空间光调制器的衍射光栅包含具有可变栅距的衍射栅

格。因此,光与空间光调制器的相互作用的偏转角度可变。这种空间光调制器包含在一个方向上直线地伸长的电极,电极彼此相邻。因此,这种空间光调制器的像素是空间光调制器的细长线状区域。对于这种空间光调制器的进一步细节,参考WO 2010/149587A2,其在此完全并入作为参考。

[0055] 本发明通过权利要求25所述的技术特征定义的运行用于空间光调制器的底板装置的方法解决上述问题。空间光调制器包含具有像素地址的像素并且可以被底板装置电子控制以将像素值分配到像素。底板装置包含每个像素的至少一个电极、至少一个模拟线和至少一个像素寻址装置。这种像素寻址装置包含x地址线和y地址线。所有像素连接到模拟线、x地址线和y地址线。根据本发明的方法包含以下步骤:

[0056] ●作为像素值分配方案,生成装置生成将要施加到至少一个模拟线的电压特性,以使电压特性取决于将要分配到像素的像素值,

[0057] ●根据生成的电压特性确定像素地址,以此作为像素寻址方案,并且

[0058] ●为了将像素地址分配到像素,将生成的电压特性施加到至少一个模拟线

[0059] 根据本发明的方法尤其设计为根据权利要求1-24其中一个所述的运行底板装置。了解了根据权利要求1-24其中一个所述的底板装置,建议本领域技术人员根据本发明的方法及其变体运行根据权利要求1-24其中一个所述的底板装置。因此,为了防止重复,参考以上所做的说明。

[0060] 在以下阐明了将像素值分配到一个或多个像素的具体运行模式。尽管这些运行模式对于某些应用是优选,有更多可能或适当的运行底板装置以及将像素值分配到像素的运行模式。以下阐明的运行模式集中于将像素值分配到像素。然而,这种说明并不阐述例如寻址装置的细节和寻址解码器的运行,当配置寻址装置以实现具体寻址方案时将由本领域技术人员对此做出建议。

[0061] 在优选的运行模式中,为将像素值分配到像素,选择或激活该像素的x地址线和y地址线,并且激活连接到该像素的使能线。这导致从模拟线到像素电极的电荷转移。取消选择或无效化x地址线和y地址线,和/或无效化连接到该像素的使能线。这将传输的电荷保持在该像素的电极中。

[0062] 在进一步优选的运行模式中,为了将相同的像素值分配到多个像素,对于这些像素中的每一个,激活连接到这样的像素的使能线并且随后选择x地址线和y地址线。这导致从模拟线到每个后续激活的像素的电极的后续电荷转移。无效化这些像素的x地址线、y地址线和使能线。这将转移的电荷保持在这些像素的电极中。

[0063] 在再进一步的优选运行模式中,通过以下方式执行将像素值分配到多个所选的像素:选择x地址线和y地址线。并且,激活这些像素的具有使能功能的地址线。在通过使能线执行使能的情况下,激活连接到这些像素的使能线。一旦做到这一点,将所有这些所选的像素的电极设定为与通过模拟线提供的电压相同的电压。这对应于短路所选像素的所有电极。然后取消选择x地址线和y地址线。为了将像素值分配到所选像素中的具体像素,选择这个像素的x地址线和y地址线。这导致从模拟线到像素电极的电荷转移。取消选择x地址线和y地址线。无效化连接到这些像素的使能线,以保持这些像素电极的电荷。

[0064] 在尤其优选的实施例中,根据权利要求29所述的空间光调制器包含根据权利要求1-24其中一项所述的底板装置。同样,在尤其优选的实施例中,根据权利要求30所述的显示

装置包含根据权利要求1-24其中一项所述的底板装置或者包含根据权利要求29所述的空间光调制器。这些实施例对于用于生成场景或内容的二维和/或三维显示的显示装置尤其有利。

附图说明

[0065] 存在各种以有利方式配置和发展本发明的教导的各种可能性。在这方面,首先应当参考权利要求1的从属权利要求,其次参考以下参照附图对本发明的优选示例性实施例的说明。连同参照附图对本发明的优选示例性实施例的说明,也阐明了本发明的教导的一般的优选配置和发展。在附图中,在所有情况下为示意图,

[0066] 图1示出了根据现有技术的底板装置的模拟线的电压特性示例的示意图,其中在全息显示应用中使用均匀分布的像素值陈列,

[0067] 图2a示出了根据本发明的底板装置的模拟线的电压特性的示例的示意图,

[0068] 图2b示出了根据本发明的像素寻址信号示例的示意图,

[0069] 图3a示出了包含将四种不同的灰度值——像素值——分配到16个像素的空间光调制器的示例,

[0070] 图3b示出了将要施加到模拟线的将4种不同的灰度值分配到如图3a中所示出的空间光调制器的16个像素的电压特性的示例,

[0071] 图4示出了根据本发明的包含多个簇的底板装置的示例,其中仅示出了四个簇,

[0072] 图5和6每个示出了像素的像素电路的示例,其中这种像素电路包含2个TFT,

[0073] 图7示出了像素的像素电路的示例,其中这种像素电路包含3个TFT,

[0074] 图8示出了像素的像素电路的示例,其中这种像素电路包含4个TFT,

[0075] 图9示出了用于空间光调制器的底板装置的两个相邻像素的示例,其中每个像素包含具有3个TFT的像素电路,

[0076] 图10示出了用于空间光调制器的底板装置的四个相邻像素的示例,其中每个像素包含具有3个TFT的像素电路,

[0077] 图11示出了用于2TFT像素电路(在图底部示出)的包含动态NOR电路(图顶部)的x地址解码器的示例,

[0078] 图12示出了用于2TFT像素电路的包含动态NOR电路x地址解码器的示例,其中x地址解码器嵌入像素电路之间,

[0079] 图13a示出了用于寻址16道x地址线的包含动态NOR电路的x地址解码器的示例的细部图,

[0080] 图13b示出了用于寻址64道x地址线的3TFT像素电路的包含动态NOR电路的x地址解码器,

[0081] 图14示出包含动态AND元件的x地址解码器的示例,

[0082] 图15示出了包含NAND和NOR元件的x地址CMOS解码器的示例,

[0083] 图16示出了包含OR元件的x地址解码器的示例,

[0084] 图17示出了根据本发明的底板装置的像素电路的规则排列示例,其中没有地址解码器电路位于两个像素电路之间,

[0085] 图18示出了在根据本发明的底板装置的一个方向上镜像的像素电路的排列示例,

- [0086] 图19示出了在根据本发明的底板装置的两个方向上镜像的像素电路的排列示例，
- [0087] 图20示出了将要施加到底板装置的模拟线的包含自适应过载值的电压特性示例的示意图，
- [0088] 图21和22每个示出了将要施加到根据现有技术的像素的电压特性的示例的示意图，
- [0089] 图23到25每个示出了将要施加到根据本发明的像素的电压特性的示例的示意图，
- [0090] 图26示出了现有技术显示器的有源矩阵结构，其具有四个像素电极10-1、10-2、10-3、10-4，该四个像素电极具有相应的像素电容11-1、11-2、11-3、11-4，并且通过数据线12-1、12-2和栅极线13-1、13-2控制该四个像素电极，
- [0091] 图27示出了簇和通向簇的地址解码器的电路路径的示例，
- [0092] 图28示出了现有技术的模拟线的示例，
- [0093] 图29示出了本发明的实施例的示例，其中示出了底板电路的一部分，尤其是包含2TFT的两个像素的电路，
- [0094] 图30示出了用于簇的地址解码器的局部线路的树状解码器结构
- [0095] 图31示出了本发明的实施例的示例，其中示出了底板电路的一部分，尤其是包含3TFT的三个像素的电路，
- [0096] 图32更详细地示出了可比拟图7的两个像素的像素电路的示例，其中，像素的像素电路包含3个TFT并且其中存在模拟线，
- [0097] 图33示出了一簇每个包含2TFT像素电路的像素的示例，并且其中所有像素中存在模拟线，其中x线地址和y线地址在应用数字移位寄存器的至少一个行内位串行地传输，
- [0098] 图34和35每个示出了两簇每个包含2TFT像素电路的像素的示例，并且其中存在模拟线，其中多个簇之间共用地址线，
- [0099] 应当注意，附图中示出的相同或相似部件标示为相同的附图标记。

具体实施方式

- [0100] 图1示出了根据现有技术的底板装置的模拟线的电压特性示例的示意图。
- [0101] 电压V显示为两帧持续时间内的像素数N的函数。由于现有技术的寻址方案中的空间光调制器的像素是逐行寻址并且在单独线内是逐个寻址，每当根据固定寻址方案的下一像素被寻址时，0V和6V之间范围内的不同的均匀分布的电压被施加到现有技术底板的模拟线。这导致从显示器外部区域的以极快的方式驱动模拟值，导致底板装置的电子器件的物理限制，例如大的线电容阻止持续模拟线的开关频率增加。然而，可以根据本发明的详细资料增加空间光调制器的帧速率或刷新率。
- [0102] 根据本发明，使用不同于现有技术的已知方案的像素值分配方案。这可以由图2a中示出的示意图中看出。图2a中的示意图示出了等同于施加到底板装置的模拟线的电压函数的电压特性，像素连接到该底板装置的模拟线。图中示出的电压特性10包含在两帧内施加到模拟线的电压值。电压特性10包含第一帧的斜坡上升函数的形态，并且基本包含第二帧的斜坡下降函数。根据本发明的这一实施例，根据必须通过底板装置分配到空间光调制器的单个像素的的像素值生成电压特性10。由于电压值10几乎是包含第一帧的线性递增以及第二帧的线性递减的函数，分配到像素的像素值相当高度地分散。换句话说，在两帧中没

有出现包含同样像素值的区域,该区域通过图2a的电压特性10分配,因为,如果例如所有像素的1/3具有相同的像素值,这将导致电压特性10的区域水平或平行于图2a的曲线图所示的横轴。根据图2b的示意图示出了第一帧中施加到底板装置的地址线的像素地址信号。如所见,在这一实施例中,高频信号施加到地址线。然而,由于这些寻址信号是具有0或1的逻辑值的数字信号,这可以在高频率下电子地实现,而不是实现例如图1中所示的高频模拟电压值。

[0103] 图3a示出了包含像素14的空间光调制器的一部分。图3a所示的空间光调制器12的像素14包含以不同的阴影指出的四个不同的像素值15在图3a的示例中,四个像素被分配以100%的最大像素值15。两个像素14包含75%的像素值15。三个像素14包含25%的像素值15,其余七个像素包含0%的像素值15。图3a的空间光调制器12上方标明了单个像素在x向上的从0到3的地址编号。在空间光调制器12的左侧,标明了单个像素14的在y向上的从0到3的地址编号。

[0104] 图3b示出了将要施加到模拟线(在图3a、3b中未示出)的电压特性10的示意图,其用于图3a所示的像素值15分布。如所见,对应于0%的像素值15的电压施加到模拟线总计7个像素寻址周期。对应于25%的像素值15的电压施加到模拟线三个像素写入周期。对应于75%的像素值15的电压施加两个像素寻址周期。对应于100%的像素值15的电压分配到四个像素寻址周期以完成图3a所示的空间光调制器12的所有16个像素14在一帧中的分配。

[0105] 如图2a和3b所示,电压特性10是时间的变量,并且在这些示例中具有数学上单调函数的主要特征。应当注意,图3b的电压特性10是持续的种类,由表示不同电压的实线之间的虚线表示。

[0106] 从如图3a所示的空间光调制器的像素14的像素值分布开始,生成图3b所示的电压特性10。在这一示例中施加斜坡上升曲线。因此,电压特性10从最低电压开始并且递增到最高电压。因此,电压特性10取决于将要分配到像素14的像素值15。尤其是根据术语“像素值分配方案”,这是可以理解的。通过图3a和3b中未显示的生成装置生成电压特性10。

[0107] 一旦根据将要分配到像素14的像素值15生成了电压特性10,当电压特性10施加到模拟线时将要寻址的像素14的像素地址被确定。如所见,需要首先寻址包含具有0%的像素值15的像素14。因此,生成了像素(0,2),(1,0),(1,1),(1,3),(3,0),(3,1)和(3,3)。具有0%的像素值15的像素地址不必完全按照以上所示的顺序。也可以使用将这些像素值15分配到像素14的不同顺序。因此,施加到至少一个模拟线的生成的电压特性10决定像素14的寻址顺序是可能的。在这一示例中,时间彼此接近地执行所有分配相同的像素值15的像素14的寻址。

[0108] 图4示出了包含多个簇18的底板装置16的示例。图4未示出完整的底板装置16,而是仅示出了其单一部分。因此,图4中仅示出了四个簇18。所有簇18包含以单独正方形示意性表示的像素电路20。所有像素电路20被分配到空间光调制器12(图4中未示出)的像素。根据图4中所示出的实施例,彼此独立地控制簇18。像素和像素电路20形成底板装置16和空间光调制器上连接并且相邻的区域,以形成簇18。这一实施例的连接区域具有矩形的形状,并且簇18不延伸为底板装置16或空间光调制器的全宽或全长。

[0109] 所有簇18包含模拟线22以及用于寻址簇18的像素或像素电路20的像素寻址装置24。图4中示意性地示出了,例如来自计算机的像素数据传输到显示装置的显示电子器件,

其中包含空间光调制器和底板装置16。显示电子器件将像素值和寻址值传输到底板装置16的面板电子器件。根据显示装置的具体结构,可以在计算机或者显示装置的显示电子器件或者在底板装置16的面板电子器件中生成电压特性10和像素地址。图4中示出,每个簇18包含面板电子器件和像素寻址装置24之间的连接线,以将地址信息传输到像素寻址装置24。图4中示意性地示出,像素寻址装置24连接和/或包含x地址线26。用于寻址像素的y地址的寻址装置24包含y地址线28。

[0110] 图31示出了小簇18的另一示例的示意图。仅为说明的目的,图31示出的簇18包含仅16个像素和像素电路20(其中图31中示出了仅三个像素电路20)。实际中,簇将具有更多的像素,但可以以相同方式运行。数个簇的设计是可能的。其关于其每个像素的TFT的数目以及电子线的数目和排列方面有差别。不同的簇设计通常包含不同的特征。

[0111] 通过地址解码器电路50控制图31所示的簇18,该地址解码器电路50包含x地址解码器38和y地址解码器44。x地址解码器38和y地址解码器44从面板电子器件(未显示)接受地址,例如x_Addr[1:0]和y_Addr[1:0]。每个单独的像素电路20包含由2、3或更多TFT组成的TFT电路。在本实例中,选择了根据图7的示例的3-TFT变体,因为其提供了额外的特征。

[0112] 像素电路20包含两个选择TFT100、200和传输TFT300。如果选择TFT100、200都被激活,其将使能线22连接到传输TFT300的栅极,以使其分别地开启或关闭。当传输TFT开启,来自模拟线22的模拟电压将施加到像素电极500。

[0113] 由于每个像素电极通过簇结构的随机访问,面板电子器件提供的特定模拟电压依次地施加到具有簇18中的任意位置的数个像素单元,这是有可能控制的。随后,模拟线22的电压递增并且选择适当的像素以寻址。一旦如此,施加到模拟线22的电压施加到这样的像素电极500或者这样一组像素电极500。

[0114] 在图31中的簇18旁边示意性的绘出的地址解码器50实际上被实施为使其分布到整个簇18的像素电路20,例如图12中所示。这将避免簇之间的间隙。

[0115] 与现有技术AM底板相比,基于簇的方法的最大帧速率仅取决于应用的TFT100、200、300的最大开关频率。

[0116] 帧的写入——以及因此的像素值到像素的分配——由初始化开始。首先将“开启”值(例如6V)施加到使能线22。随后,连接到x和y选择TFT100、200的栅极的所有x和y地址线26、28转换为“开启”值(例如也是6V)。此时所有TFT300是导通的,并且所有电极500同时连接到模拟线22。像素电极500中已经储存的来自前面的帧写入的电荷被均衡,并且通过模拟线22将所有像素电极500充电为0V或者另一个所需的预充电电压V。以下采用0V作为初始值。

[0117] 这时开始像素电路20的禁用阶段。斜坡上升电压(电压特性10)通过面板电子器件施加到模拟线22。在这一示例中,斜坡上升函数开始于最低电压,即0V。通过这一驱动模式的示例,所有传输TFT300仍然保持使能并且导通。这意味着,改变施加到模拟线的电压V将改变所有像素电极500的电压。

[0118] 这时使能线30通过选择TFT100、200连接到这些传输TFT300的栅极。使能线30此时转换到禁用值0V。为放电这些传输TFT300的栅极,两个选择TFT100、200的栅极必须转换为“开启”,以使能线30保持低相位(例如0V)时将储存在传输TFT300的栅极电容中的电荷移除。这一步

骤重复数次,直到相同电压(此处0V)的所有像素电极500已经被寻址并且已经从模拟线22断开。

[0119] 在下一步骤中,施加到模拟线22的电压递进到更高值(例如1V)并且这一数量施加到所有像素电极500,除了在先前阐述的第一步骤已经禁用的那些。通过单独的无效化操作隔离应当储存1V的所有像素电极500,该单独的无效化操作包含将选择TFT100、200转换为“开启”并且将使能线30转换为“关闭”。然后继续斜坡上升电压和像素无效化,直到完成将要分配到像素的所有电压水平。

[0120] 图5和图29示出了包含根据上述第一实施例的两个TFT100、200的像素的控制电路20(或像素电路)的示例。第一TFT的源极S连接到模拟线22,第一TFT100的栅极G连接到x地址线26,并且第一TFT的漏极D连接到第二TFT200。第二TFT的源极S连接到第一TFT100的漏极D,第二TFT200的栅极G连接到y地址线,并且第二TFT200的漏极D连接到像素电极500。像素电极500表示为电容器。应当注意,即使第一TFT连接到x地址线26并且第二TFT200连接到y地址线28,其也可以是相反,即替换为第一TFT100可以连接到y地址线28并且第二TFT200可以连接到x地址线26。

[0121] 将两个晶体管100、200和连接到x和y地址线26、28的栅极G组合为单个双栅晶体管(图5中未示出),并且这也适用于进一步的示例。

[0122] 在进一步的实施例中,分别连接到x和y地址线26、28的TFT100、200具有选择TFT的功能,通过控制传输TFT300栅极电压选择传输TFT300是否开启或关闭。传输TFT300的源极S连接到模拟线22并且漏极D连接到像素电极500。如果该晶体管300开启,电荷从模拟线22传输到像素电极500。如果晶体管关闭,实际电荷储存在像素电极500以定义像素值。

[0123] 图6示出了包含根据上述第二实施例的两个TFT100、200的像素的像素电路20的示例。第一TFT——选择TFT——连接到x地址线、y地址线28和第二TFT200。第二TFT200——传输TFT——连接到第一TFT100、模拟线22和像素电极500。这种像素电极20可以比拟DRAM(Dynamic Random Access Memory,动态随机存取存储器)存储单元电路。如果对像素进行寻址,根据n通道或p通道传输TFT200或者n通道或p通道选择TFT100的是否使用,需要应用以下寻址方案(X=信号被施加到x地址线26,Y=信号被施加到y地址线28):

n 通道传输 TFT 和 n 通道选择 TFT		
X	Y	
0	1	禁用
1	1	启用
p 通道传输 TFT 和 n 通道选择 TFT		
X	Y	
1	1	禁用
0	1	启用
p 通道传输 TFT 和 p 通道选择 TFT		
X	Y	
1	0	禁用
0	0	启用
n 通道传输 TFT 和 p 通道选择 TFT		
X	Y	

[0124]

[0125]

0	0	禁用
1	0	启用

[0126] 图7示出了包含根据上述第三实施例的三个TFT100、200、300像素的像素的像素电路20的示例。第一TFT100连接到使能线30、x线26和第二TFT200。第二TFT200连接到第一TFT100、x地址线28和第三TFT300。第三TFT300——也称传输TFT——连接到第二TFT200、模拟线22和像素电极500。根据n通道或p通道传输TFT300或者n通道或p通道选择TFT100、200的是否使用,需要应用以下控制方案(X=信号被施加到x地址线26,Y=信号被施加到y地址线28,EN=信号被施加到使能线30):

[0127]

n 通道传输 TFT 和 n 通道选择 TFT			
X	Y	EN	
1	1	0	禁用
1	1	1	启用
p 通道传输 TFT 和 n 通道选择 TFT			
X	Y	EN	
0	0	0	禁用
0	0	1	启用
p 通道传输 TFT 和 p 通道选择 TFT			
X	Y	EN	
0	0	1	禁用
0	0	0	启用
n 通道传输 TFT 和 p 通道选择 TFT			
X	Y	EN	
1	1	1	禁用
1	1	0	启用

[0128] 图8示出了包含四个TFT100、200、300、400的像素的像素电路20的示例。第一TFT100连接到相邻像素(图8中未示出)的x地址线26(X0)——用作使能功能并且以附图标记30表示——、x地址线26和第二TFT200。第二TFT200连接到第一TFT100、y地址线28和第三TFT300。借助于第四TFT400从模拟线22生成y地址线28。第三TFT300——也称传输TFT——连接到第二TFT200、连接到模拟线22——通过第四TFT400——以及连接到像素电极500。

[0129] 图9示出了用于两个相邻像素的控制电路20、32的示例,每个控制电路20或32包含三个根据上述第四实施例的TFT100、200、300。两个像素被相同的y地址线28寻址。第一像素电路20的第一TFT100连接到第二像素电路32的x地址线26(X1)——用作使能功能并且以附图标记30表示——、y地址线28和第一像素电路20的第二TFT200。第一像素电路20的第二TFT200连接到第一像素电路20的第一TFT100、第一像素电路20的x地址线26(X0)和第一像素电路20第三TFT300。第一像素电路20的第三TFT300连接到第一像素电路20的第二TFT200、模拟线22和第一像素电路20的电极500。第二像素电路32的第一TFT100连接到第一像素电路20的x地址线26(X0)——用作使能功能并且以附图标记30表示——、y地址线28和第二像素电路32第二TFT200。第二像素电路32的第二TFT200连接到第二像素电路32的第一TFT100、第二像素电路32的x地址线26(X1)和第二像素电路32的第三TFT300。第二像素电路32的第三TFT300连接到第二像素电路32的第二TFT200、模拟线22和第二像素电路32的电极

500。这一实施例的底板装置不具有用于像素使能功能的单独的使能线。这通过将相邻像素中一个像素的x地址线用作另一个像素的使能线实现。如果使能线的逻辑电平对应于x地址线的逻辑电平,这可以实现。根据n通道或p通道传输TFT300或者n通道或p通道选择TFT100、200的是否使用,需要应用以下控制方案(X0、X1=信号被施加到对应的x地址线26,Y=信号被施加到y地址线28):

n 通道传输 TFT 和 n 通道选择 TFT			
Y	X1	X0	
1	1	1	同时启用
1	0	1	禁用左侧
1	1	0	禁用右侧
p 通道传输 TFT 和 n 通道选择 TFT			
Y	X1	X0	
1	1	1	同时禁用
1	0	1	启用左侧
1	1	0	启用右侧
p 通道传输 TFT 和 p 通道选择 TFT			
Y	X1	X0	
0	0	0	同时启用
0	1	0	禁用左侧
0	0	1	禁用右侧
n 通道传输 TFT 和 p 通道选择 TFT			
Y	X1	X0	
0	0	0	同时禁用
0	1	0	启用左侧
0	0	1	启用右侧

[0132] 图10示出了用于四个相邻像素的四个控制电路20、32、34、36的示例,其中每个控制电路20、32、34、36包含根据上述第四实施例的三个TFT100、200、300。四个像素彼此相邻并且通过相同的y地址线28寻址。第一像素电路20的第一TFT100连接到第三像素电路34的x地址线26(X2)——用作使能功能并且以附图标记30表示——、y地址线28和第一像素电路20的第二TFT200。第一像素电路20的第二TFT200连接到第一像素电路20的第一TFT100、第一像素电路20的x地址线26(X0)和第一像素电路20的第三TFT300。第一像素电路20的第三TFT300连接到第一像素电路20的第二TFT200、模拟线22和第一像素电路20的电极500。第二像素电路32的第一TFT100连接到第一像素电路20的x地址线26(X0)——用作使能功能并且以附图标记30表示——、y地址线28和第二像素电路32的第二TFT200。第二像素电路32的第二TFT200连接到第二像素电路32的第一TFT100、第二像素电路32的x地址线26(X1)和第二像素电路32的第三TFT300。第二像素电路32的第三TFT300连接到第二像素电路32的第二TFT200、模拟线22和第二像素电路32的电极500。第三像素电路34的第一TFT100连接到第四像素电路36的x地址线26(X3)——用作使能功能并且以附图标记30表示——、y地址线28和第三像素电路34的第二TFT200。第三像素电路34的第二TFT200连接到第三像素电路34的第一TFT100、第三像素电路34的x地址线26(X2)和第三像素电路34的第三TFT300。第三像素电

路34的第三TFT300连接到第三像素电路34的第二TFT200、模拟线22和第三像素电路34的电极500。第四像素电路36的第一TFT100连接到第二像素电路32的x地址线26(X1)——用作使能功能并且以附图标记30表示——、y地址线28和第四像素电路36的第二TFT200。第四像素电路36的第二TFT200连接到第四像素电路36的第一TFT100、第四像素电路36的x地址线26(X3)和第四像素电路36的第三TFT300。第四像素电路36的第三TFT300连接到第四像素电路36的第二TFT200、模拟线22和第四像素电路36的电极500。与第四实施例相同,这一实施例的底板装置不具有用于像素使能功能的单独的使能线。如果对于一个像素来说,四个相邻像素中的另一个的x地址线用作该像素的使能线,这可以实现。如果使能线的逻辑电平对应于x地址线的逻辑电平,这可以实现。根据n通道或p通道传输TFT300或者n通道或p通道选择TFT100、200的是否使用,需要应用以下控制方案(X0、X1、X2、X3=信号被施加到对应的x地址线26,Y=信号被施加到y地址线28):

[0133]

n 通道传输 TFT 和 n 通道选择 TFT					
Y	X3	X2	X1	X0	
1	1	1	1	1	全部启用
1	0	0	0	1	在 X3 禁用像素
1	0	0	1	0	在 X2 禁用像素
1	0	1	0	0	在 X1 禁用像素
1	1	0	0	0	在 X0 禁用像素
1	1	0	0	1	在 X0 和 X3 禁用像素
1	0	1	1	0	在 X1 和 X2 禁用像素
1	1	0	1	0	在 X0 启用像素 (在 X2 禁用)
1	1	1	0	0	在 X1 启用像素 (在 X0 禁用)
1	0	0	1	1	在 X2 启用像素 (在 X3 禁用)
1	0	1	0	1	在 X0 启用像素 (在 X1 禁用)
p 通道传输 TFT 和 n 通道选择 TFT					
Y	X3	X2	X1	X0	
1	1	1	1	1	全部禁用
1	0	0	0	1	在 X3 启用像素
1	0	0	1	0	在 X2 启用像素
1	0	1	0	0	在 X1 启用像素
1	1	0	0	0	在 X0 启用像素
1	1	0	0	1	在 X0 和 X3 启用像素
1	0	1	1	0	在 X1 和 X2 启用像素
1	0	1	0	1	在 X0 禁用像素 (在 X2 启用)

[0134]

1	0	0	1	1	在 X1 禁用像素 (在 X0 启用)
1	1	1	0	0	在 X2 禁用像素 (在 X3 启用)
1	1	0	1	0	在 X3 禁用像素 (在 X1 启用)
p 通道传输 TFT 和 p 通道选择 TFT					
Y	X3	X2	X1	X0	
0	0	0	0	0	全部启用
0	1	1	1	0	在 X3 禁用像素
0	1	1	0	1	在 X2 禁用像素
0	1	0	1	1	在 X1 禁用像素
0	0	1	1	1	在 X0 禁用像素
0	0	1	1	0	在 X0 和 X3 禁用像素
0	1	0	0	1	在 X1 和 X2 禁用像素
0	0	1	0	1	在 X0 启用像素 (在 X2 禁用)
0	0	0	1	1	在 X1 启用像素 (在 X0 禁用)
0	1	1	0	0	在 X2 启用像素 (在 X3 禁用)
0	1	0	1	0	在 X0 启用像素 (在 X1 禁用)
n 通道传输 TFT 和 p 通道选择 TFT					
Y	X3	X2	X1	X0	
0	0	0	0	0	全部禁用
0	1	1	1	0	在 X3 启用像素
0	1	1	0	1	在 X2 启用像素
0	1	0	1	1	在 X1 启用像素
0	0	1	1	1	在 X0 启用像素
0	0	1	1	0	在 X0 和 X3 启用像素
0	1	0	0	1	在 X1 和 X2 启用像素
0	0	1	0	1	在 X0 禁用像素 (在 X2 启用)
0	0	0	1	1	在 X1 禁用像素 (在 X0 启用)
0	1	1	0	0	在 X2 禁用像素 (在 X3 启用)
0	1	0	1	0	在 X3 禁用像素 (在 X1 启用)

[0135] 图11示出了包含在图11的顶部标明的动态NOR电路的x地址解码器38的示例。x地址解码器38可以用于寻址包含两个TFT的所有像素电路20,其在图11的底部示出。x地址解码器38可以位于例如底板装置外缘。如图11底部所示的像素电路20可比拟图5所示的像素电路。

[0136] 图12示出了用于两个TFT像素电路20的包含动态NOR电路的x地址解码器的示例。在这一实施例中,x地址解码器38嵌入像素电路20之间。以相同方式,y地址解码器(图12中未示出)也可以嵌入像素电路20之间。

[0137] 图13a示出了包含动态NOR电路的x地址解码器的示例。如图13所示的这种解码器用于寻址16道x地址线,以X0、……X15表示。

[0138] 图13b示出了用于寻址64道x地址线的图13a的x地址解码器38。该地址解码器包含适于寻址3TFT像素电路20的动态NOR电路。

[0139] 图14示出了包含动态NAND元件的x地址解码器38的示例。这些元件可以由CMOS元

件组成。

[0140] 如图15所示的x地址解码器38适于在x地址线X0到X15寻址16TFT,图16示出了包含OR元件的x地址解码器38的示例。

[0141] 图17示出了底板装置16的像素电路20的常规排列的示例。如图17所示的像素电路20包含两个TFT100、200。如图17可见,像素控制电路20以常规布局安置,即像素电路20以相同方式定向。

[0142] 图18示出了像素电路20的排列的示例,其中一行40的像素电路20镜像到第二行42的像素电路。对称轴或者镜像轴水平地位于两行40、42之间。根据图18的像素电路的排列包含底板装置16上的像素电路20之间的x地址解码38器和y地址解码器44。此外,第一行40'是第二行42'的镜像,其中对称轴水平地位于两行40'、42'之间。关于对称性,应当注意,行40是另一行40'的镜像,其中这样的镜像轴的对称轴线位于垂直方向。这对于行42和42'也相同。

[0143] 图19示出了像素电路20在底板装置16的两个方向上镜像的排列的示例,如例如位于图19右侧和顶部的四个像素电路20中可见。最右边的列的像素电路20是位于左侧的像素电路列的镜像,其中镜像轴可以被视为例如模拟线22。此外,顶部行40可以被视为位于顶部行40旁边的行42的镜像。镜像轴或者对称轴可以被视为行40和行42之间的水平线。

[0144] 如图19所示的像素电路20可比拟图17和/或18的像素电路20,除了它们的方向之外。如图19所示的矩形46标明了用于像素电路20的地址解码器的可能的位置,地址解码器电路在图19中未示出。

[0145] 图20示出了根据本发明的值排序的可能的自适应过载示例的示意图。与常规的AM驱动方案相比,具有根据本发明的过载和尤其是簇构思(使用3TFT方法),像素电极500可以在整个帧时间中更长时间地保持连接到模拟线22。可以长、中、短时间地应用过载值,取决于将要分配到像素的所需的像素值。

[0146] 当像素电极从模拟线断开时,相比标准过载方案中的像素电压,像素电压更接近于将空间光调制器的LC(Liquid Crystals,液晶)分子转换为所需的像素值所需的精确电压(表示像素值)。与根据现有技术标准控制相比,根据本发明,能够应用高于完全开启像素所正常使用的电压的过载电压。

[0147] 图20示出了具有12V值的过载脉冲48,其被像素LC分子“视为”具有6V的通常最大像素电压(见图下方在启用和禁用之间通过箭头标记出的时间段)。例如48'、48''的过载脉冲较短时间地分别地施加到需要分配以低相位和电压的像素。如果使用12V的过载电压,相对4v的静电压,实现LC分子旋转的时间很短。图20右侧可见过载时间和实际施加到像素的过载效果。根据本发明的方法的这一运行模式显著增加开启方向上的灰阶到灰阶转换速度。

[0148] 对于应用根据本发明的空间光调制器和底板装置的全息显示装置显示的均匀分布的全息数据来说,如果 t_{OFF} 是写入所有像素值(t_{WR})的最少时间,帧时间可以被视为 t_{OFF} (LC分子转换为0V或达到预设位置所花费的时间)以及背光开启的时间(t_{BL})之和。对于不具有均匀分布的像素值的常规像素数据,最坏情况的最大帧时间是 $t_{OFF}+t_{BL}$ 或者 $t_{WR}+t_{ON}+t_{BL}$ 的总和,取决于哪个时间更长。 t_{ON} 是LC分子达到由像素电极生成的电场所决定的位置/方向所花费的时间。对于具有闪光背光的常规显示器,这一时间更长,最小为 $t_{WR}+t_{OFF}+$

tBL。对于具有扫描背光的常规显示器,帧时间最少为 $t_{OFF}+t_{BL}$ 。如果 t_{ON} 长于 t_{OFF} ,到最大值的预充电可以与模拟斜坡上升周期结合为所述的解决方案。

[0149] 如果每帧可以执行超过一次向像素的写入,通过向像素写入额外的过载值,LC分子的响应时间可以进一步增加。这仅可以应用于例如10%的“最慢”的像素。这种过载可以通过像素值的智慧排序实现。

[0150] 因此,值排序方法可以仅使用闪光背光实现与具有更昂贵的扫描背光的常规显示器相同的帧时间。这对于可能不容许扫描背光的如全系显示器类型的显示器是必不可少的。但这个解决方案也可以减少常规LC显示器的成本。对于全息显示器,通过将写入时间(t_{WR})放在 t_{OFF} 时间,可以更进一步减少帧时间。

[0151] 在以下阐明了通过如过载和亚载的运行模式实现LC开关时间的优势。对于常规显示器,LC开关时间仅引起运动模糊,但是对于使用不同视图的时间序列分离的3D和全息显示器来说,LC开关时间限定了可用的帧速率。对于一个用户的无闪烁图像,帧时间应当是例如至少 $2 \times 50\text{Hz}$ 。

[0152] 标准AM显示器每帧仅一次重新写入值(或向像素分配新像素值)。所以实际上限制了应用过载的可能性。由于时间固定并且由帧速率决定,不可能更短或更长时间地施加更高的电压值。

[0153] 图21和22示出了常规的AM显示器的从5V到3V的LC开关,而没有初始化到0V。这个显示器表现出缓慢的灰阶到灰阶的开关时间,该时间长于例如图23所示的推荐的新驱动方案,甚至更长于 t_{OFF} 。图21示出了具有扫描背光的显示器的任意线的状况,或者具有闪烁背光的显示器的第一线的状况。图22示出了具有闪烁背光的显示器的最后线的关系,其甚至更糟糕,由于LC分子在其应当定向时仍未定向,见虚线(表示LC分子的定向状态)和3V定向值之间的巨大差异。

[0154] 与常规的过载模式相比,值排序方法容许每帧应用多个值。值排序方法可以通过应用初始值加速LC开关,并且使用LC开关时间也好于其他驱动方法。

[0155] 本说明假定空间光调制器或LC显示器具有在6V开启和0V关闭的LC模式。

[0156] 通过施加更高的电压值可以加速LC向电场驱动方向的旋转(t_{ON})。然而,在其他方向上存在相当缓慢的LC分子被动松弛(t_{OFF}),导致被动松弛中的 t_{OFF} 时间大大长于 t_{ON} 。专门的过载方案可以用于加速开启方向上的转换。

[0157] 通过使所有的传输TFT导通,几乎所有的寻址方案容许同时开启x和y地址线以使能所有像素。这意味着,随着电压施加到模拟线,所有像素连接到模拟线。平衡像素电容的电荷并且使用模拟线将像素电极设置为0V初始值,这发生在帧初始。

[0158] 如图23和24所示,在帧初始后,根据本发明的值排序方法的这一执行立刻将所有像素驱动为0V,所以所有像素的LC以最大(被动)松弛力地转换到关闭方向。这一初始化之后,地址模式转换为仅能访问单个像素,但像素电极保持0V直到像素被再次访问。

[0159] 此时模拟线尽可能快地斜坡上升到最大值。在帧中首先访问转换到最大值的像素,并且其仅需要 t_{ON} 的时间转换到LC旋转角度的最终值。在此之后,对所有以降值的顺序访问的像素起斜坡下降周期。

[0160] 图24示出了从2V的旧像素值到5V的新像素值的更新。在帧起始时0V的初始化将这一像素的LC分子分配为开始向错误方向旋转,然而,这种通过被动松弛的旋转相对缓慢。一

且施加5V的新值,LC分子在更高的力下和更快的时间内旋转回正确的方向。可能的向开启方向的旋转角度越大,像素就越早被寻址,从而最小化可能的向错误方向旋转的效果并且最大化从像素值写入到开启背光的时间。

[0161] 在帧初始,将所有具有应当向关闭方向旋转的LC分子的像素设置为相同的最小电压值。可能的LC旋转角度越小,像素被设置为最终值越早。即使旋转大于所需的角度,如图23所示的从5V到3V的灰阶到灰阶的转换,由于处于“开启”方向,转换回所需的角度快得多。由于初始化,在每个方向上的灰阶到灰阶的转换时间应当低于 t_{OFF} 。

[0162] 最后,应当特别指出,上述示例性实施例仅用于阐明权利要求中的教导,而不是将所述教导限制于示例性实施例。

[0163] 附录

[0164] 以下发明用于公开关于上述本发明的进一步的信息。需要强调——即使信息可能仅在附录中提供而未在上述说明中——附录构成本申请的一部分。

[0165] 在LCD底板结构的实例中,使用像素簇并且LCD底板结构优选为仅包含数字转换TFT(Thin Film Transistors,薄膜晶体管)。在本发明意义上的一簇像素尤其是形成显示器的相连或相邻区域的多个像素。这种区域可以是矩形、方形、蜂巢型或其他适当的形状。一簇像素优选为不延伸到显示器的全长或全宽。几簇像素安置为以无缝方式彼此相邻。一簇像素可以被视作为子显示器。这在图3a和3b中示意性地示出。图27示出了簇以及簇的地址解码器的电路路径。因此,在本发明的一个实施例中,分隔为多个簇(子显示器)。

[0166] 然而,在常规的AM显示器中,模拟像素值通过模拟数据线逐线地写入显示器的线,显示器的底板装置不是将交替模拟值逐线和逐列地写入单个像素,而是使模拟电压从一个预设电压斜坡上升或斜坡下降到另一个预设电压,例如从最小电压值到最大电压值。根据被分配到单个或多个像素的实际施加的模拟电压,一个或多个像素的地址或位置——优选为数字地——传输到簇。因此,如现有技术中已知的显示器所用的,通过底板装置并借助于电压的电荷到显示器像素的传输是通过电压值而不是位置排序。

[0167] 本发明的构思可以特别地以有益地方式应用到包含适用簇的底板的显示器设计,例如在WO 2009/024523A1、WO 2009/092717A1、WO2008/138983、WO 2008/138984、WO 2008/138985或WO 2008/138986中公开的,所有这些均在此复制了其全部内容供参考。此外,本发明的构思可以应用于显示2D和3D内容的显示器。3D显示器尤其可以是立体显示器、生成多视图的立体显示器、具有用户眼睛追踪的自动立体显示器以及全息显示器。这种2D或3D显示器可以在投射、反射或者半透模式运行。这种显示器可以在OLED(Organic Light Emitting Diode,有机发光二极管)、LCD(Liquid Crystal Display,液晶显示器)或PDP(Plasma Display Panel,等离子显示器)的原理下运行。根据本发明的底板装置可以基于包含类似a-Si(amorphous Silicon,无定形硅)、所有类型的多晶硅TFT,例如LTPS(Low Temperature Polycrystalline Silicon,低温多晶硅)或a-Oxide(amorphous Oxide,非晶氧化物)、有机TFT或者单晶硅的材料。

[0168] 使用本发明的构思解决了从显示区域外部非常快地驱动模拟值(改变像素电容的电流)的主要问题。面积(像素数目)随着尺寸的平方增加,但是显示器的边缘增加与尺寸呈线性关系。大的线电容阻止连续的模拟线中更快的开关频率。在预定的长度之后,可以改为记录和扩增数字线。参考图27和28。

[0169] 根据本发明的优选实施例,以提供仅基于数字开关晶体管的解决方案。从而防止了模拟开关LTPS-TFT以及尤其是LTPS-TFT的不同阈值电压带来的问题。

[0170] 然后,所有TFT仅用做开关(开/关)并且不需要TFT的模拟开关。有益地,可以使用数字模拟和设计工具。

[0171] 此外,能够有益地将小LTPS TFT用于底板装置,尽管可能的帧速率大大的高于使用常规的底板设计可能的帧速率。进一步的优点为:

[0172] ●相对长的传输时间容许低电流,因此可以使用小TFT

[0173] ●低的TFT阈值(栅极)电压导致低的功率损耗

[0174] ●低的TFT栅极电容导致低的底板装置功率损耗

[0175] ●TFT运行越快,簇的尺寸可以设计得越大

[0176] 帧速率和响应时间

[0177] ●如果功率损在上限以下,底板装置的帧速率仅受TFT开关频率的限制。因此更小和更快的TFT导致更高的帧速率,对线电容几乎没有影响。由于高帧速率需要大的高电流TFT,常规的AM显示器在该方面受到限制。但是大的TFT表现出更大的电容,从而进一步增加所需的电流。

[0178] ●如果可以对像素执行超过一次写入,通过向像素写入额外的过载值可以增加LC响应时间。因此这可以仅应用于例如10%的“最慢”像素。通过像素值的智慧排序可以轻易地实现过载。

[0179] ●假定24英寸显示器具有16000像素×8000像素、每像素行和列一个全局线、50%的背光开启时间以及具有25MHz开关频率的LTPS,最大帧速率为约200fps(frames per second,每秒帧数)。因为通过边缘传输进显示器的数据量以及TFT的开关频率是限制,这一值对于所有簇方法几乎相同。

[0180] ●如果仅发生小的图像变化,如果仅具有新值的像素被更新,可以增加帧速率。如果建立图像生成的直接访问,向图像缓冲器的写入可以直接传输到显示器,由于变化即刻被写入显示器,这样将不再有确定的帧速率。由于这一问题涉及电解,LCD需要不断的值变化,因此仅更新变化的像素值的完全静态显示器是不可能的。但是这种方法可用于其他显示器类型例如电子纸张。

[0181] 外部驱动器

[0182] ●仅需要每簇一个DAC(Digital to Analog Converter,数字模拟转换器)而不是每列线一个DAC

[0183] ●由于输出频率取决于灰度值(位分辨率)数字而不是如AM显示的线数,DAC可以慢得多

[0184] ●其他信号仅需要数字输出

[0185] 内建的系统校准

[0186] ●如果ADCs(Analog to Digital Converters,模拟数字转换器)连接到外部驱动器IC(Integrated Circuits,集成电路)中的模拟线,在系统中可以执行校准。在系统校准中不需要额外的像素区域的TFT。可以使用MUXes(Multiplexers,复用器)以减少ADC数目。

[0187] ●可以通过智慧排序修正驱动值

[0188] 功率消耗

[0189] ● $P \sim U^2, P \sim C, P \sim f$: 由于模拟信号与AM数据线相比变化非常缓慢, 驱动大电容的高电压模拟信号仅产生相对低的功率耗散。非常有效的电荷回收能够进一步减少功率消耗。

[0190] ● 高频数字信号仅驱动非常小的栅极电容。现在栅极(阈值)电压在模拟信号的范围内甚至高于模拟信号, 但是如果减少栅极介质的厚度, 可以减少栅极电压, 并导致低功率消耗。

[0191] ● 如果评估旧和新的像素电压之间的差值, 被寻址像素的智慧排序能够用于将电荷从一个像素传输到另一个像素, 或用于提高模拟线的较低值而不需要额外驱动。如果可以在独立的时间内激活和停用传输, 电荷回收可以甚至更有效率。

[0192] 概要

[0193] ● 需要每像素3.x或2.xTFT而不是1.xTFT(例如AM或模拟位移寄存器解决方案)。但是TFT可以更弱(低电流), 因此更小的TFT能够实现每像素多于2TFT。

[0194] ● 很多局部“线路”是必要的, 导致需要制造更多的层和遮蔽。

[0195] ● 簇越大, 一个值内越多数字信号必须被转换为程序, 这限制了簇的尺寸。

[0196] 如果不减小栅极电容和栅极电压, 大量的数字线将产生高的功率损耗。

[0197] 直接传输实例

[0198] 地址解码器变体, 2TFT直接传输。参考图29。

[0199] 复用器结构, 直接传输

[0200] 由于模拟信号必须通过多TFT传播, 树和地址结构的混合变种可以减少传输TFT的数目。

[0201] 更长的传输时间的解决方案

[0202] 0. 一般的直接传输问题

[0203] 如果每簇仅使用一道模拟线, 那么编程时间应当非常短(25MHz=40ns)。在直接传输变体中, 编程时间等于传输(写入)时间, 需要通过TFT的高传输电流, 但由于 R_{ON} 过高, 这也许不可能。

[0204] 以下方法将以低晶体管电流容许短编程时间但是长传输时间。

[0205] 1. 选择多个传输

[0206] 如果传输时间仅对于某些像素过短, 这一像素在每帧中可以写入两次或以上。

[0207] 2. 3TFT结构(传输时间>编程时间)

[0208] 以下三个3TFT解决方案使用相同的像素结构和局部矩阵。仅地址线的驱动和ENA信号(Enable-signal, 使能信号)不同。参照图31、32和33。

[0209] 2.1. 像素“地址”的不同的使能和禁用运行

[0210] 功能

[0211] 为启动传输, 将ENA设置为“1”并且通过激活专用/自定义的像素的行线和列线开启两个TFT(T_x 和 T_y)。传输到 T_T 栅极的电荷将传输TFT T_T 转换为开启。 C_{PIXEL} 的电压调整为模拟线的电压。在所需的传输时间之后, ENA设置为“0”并且通过激活专用像素的行线和列线再次开启两个TFT(T_x 和 T_y)。 T_T 的栅极放电, T_T 转换为关闭。

[0212] 在开始(使能)和停止(禁用)之间可以应用不同像素的程序运行(开启或关闭)。

[0213] 优点

- [0214] ●每个像素具有不同的传输时间是可能的。
- [0215] ●因为提供旧的电荷值的使能运行的时机可以独立于储存新值的禁用运行,非常有效的电荷回收是可能的。
- [0216] 备注
- [0217] ●使能和禁用运行导致两倍以上传输和一半的帧速率。
- [0218] ●需要每像素额外的TFT(每像素3.x而不是2.xTFT)。
- [0219] 2.2.斜坡值改变之前的簇禁用运行
- [0220] 功能
- [0221] 为启动传输,将ENA设置为‘1’并且通过激活专用像素的行线和列线开启两个TFT(T_x 和 T_y)。传输到 T_T 栅极的电荷将传输TFT T_T 转换为开启。 C_{PIXEL} 的电压调整为模拟线的电压。在同样灰度等级的所有值写入之后,通过一个单独运行将像素的所有 T_T 转换为关闭。ENA设置为“0”并且同时将所有行线和列线设置为“1”。 T_T 的栅极放电, T_T 转换为关闭。
- [0222] 在开始(使能)和停止(禁用)之间可以应用不同像素的程序运行(开启或关闭)。假设8位分辨率,需要最大值仅 $(2^N-1)=254$ 的禁用操作。
- [0223] 优点
- [0224] ●每位值仅一个禁用运行(如果簇尺寸大于 $2^8=256$ 像素,更有效的像素禁用方法)。
- [0225] ●如果将例如(全部=1)的特殊地址模式用于感应放电操作,不需要使能线。
- [0226] 备注
- [0227] ●总开销随着位中的灰度分辨率增加。
- [0228] ●需要每像素额外的TFT(每像素3.x而不是2.xTFT)。
- [0229] 2.3.在起始时使能所有像素TFT,当斜坡上升/下降时禁用传输TFT
- [0230] 功能
- [0231] 在帧起始时,将所有传输TFT T_T 转换为“开启”。将ENA设置为“1”并且同时将所有行线和列线设置为“1”。这短路所有像素电容并且在帧起始时平衡像素电极的电压。所有像素电压跟随模拟电压的斜坡上升。如果达到所需的电压,通过将 T_T 转换为关闭,将像素电容从模拟线断开。为做到这一点,将ENA设置为“0”并且通过激活专用像素的行线和列线开启两个TFT(T_x 和 T_y)。
- [0232] 优点
- [0233] ●没有额外的使能/禁用运行和延迟。
- [0234] ●如果使用例如(全部=1)的特殊地址模式,不需要“帧起始线”。
- [0235] ●最长的可能传输时间。
- [0236] 备注
- [0237] ●由于在帧起始时平衡所有电荷,仅实现有限的电荷循环。
- [0238] ●由于在起始时使能所有像素,必须充电的电容增加。
- [0239] ●在“使能运行”中,高均衡电流经过TFT。
- [0240] 附加特征
- [0241] 从平均电压(所有旧像素值之和)斜坡上升到最大值并且下降到最小值,或者相反。

[0242] 运行之间的改变

[0243] 为在2.1.节中的ENA="0"或"1"之间改换或者激活2.2.节中的禁用运行或者2.3节中的使能运行,可以使用特殊线。为节约这条线,可以替代为使用特殊的地址代码或者“魔力词”。如果该运行被触发,例如在所有地址为"1"时,没有像素可以使用这一地址。为了绕开这一空像素的问题,可以使用以下方案。

[0244] ●接受一个死(缺失)像素

[0245] ●一个时钟无效→运行,两个时钟无效→像素

[0246] ●新的簇设计(对于全息显示器可能是更好的)

[0247] x=簇1y=簇2

[0248] x x x x y y y

[0249] x x x y y y y

[0250] x x x x y y y

[0251] x x x y y y y

[0252] x x x x y y y

[0253] x x x y y y y

[0254] ●禁用3TFT变体:写入与禁用运行平行的空像素,最后写入空像素,以改为正确值。

[0255] ●使能3TFT变体:在初始使能所有像素,在初始之后立刻向“空”像素写入正确值。

[0256] 晶闸管或可逆突破TFT

[0257] 功能

[0258] 使用具有两个晶闸管的2TFT结构或两个特殊TFT。如果像素被激活并且 T_x 和 T_y TFT开启,高源极-漏极电流流经两个TFT。即使禁用栅极电压,高电流会在源极和漏极之间感应出可逆突破以容许电流继续流动。如果像素电容和模拟线的电压相等,如果模拟线斜坡上升,电流下降为零将停止突破并且禁止进一步的电流流动。

[0259] 优点

[0260] ●仅需两个TFT或者2个栅极晶闸管。

[0261] ●长、自我调节的传输时间。

[0262] 附加特征

[0263] ●不是通过突破实现传输时间,而是通过双层多栅结构中的电荷捕捉。

[0264] 备注

[0265] ●限定的栅极电荷放电

[0266] ●如果TFT在开启和关闭之间达到一次记录时间,将发生高功能功率耗散。

[0267] 4.小簇和/或更多的模拟数据线

[0268] 4.0一般功能

[0269] 编程时间等于传输时间,但是更小的簇容许更长的编程时间(\geq 传输时间)。数字线的数目减少,但是模拟线的数目增加。

[0270] 4.1.位串行地传输地址

[0271] 功能

[0272] 在一道线(或很少的线)中位串行地传输行和列线的地址,因此可以使用小像素,

例如64x64像素。参考图33。

[0273] 优点

[0274] ●在矩阵中仅有2TFT。

[0275] 备注

[0276] ●额外的TFT和用于数字移位寄存器的时钟网络线。

[0277] 4.2.多簇之间共用地址线

[0278] 功能

[0279] 使用小簇以及每簇一道模拟线。通过门控所有行和列地址线的额外的簇使能信号,在多簇之间共用行和列线地址。可以在地址解码器的输入或输出门控该信号。

[0280] 优点

[0281] ●仅2TFT。

[0282] 参考图34和35。

[0283] 5.2TFT结构和AM(多于一个斜坡上升)的混合

[0284] 功能

[0285] 电路使用AM和2TFT结构的混合。例如行线是通常的AM栅极线并且选择一道线用于传输。这一方法用于每行线的斜坡上升。

[0286] 两个或多个先前型式的混合

[0287] 通常,能够混合至少两个或多个上述实施例。

[0288] 所有方法的总体思路

[0289] ●使用多栅极TFT以减少2/3像素TFT的尺寸。

[0290] ●使用具有顶部和底部栅极的TFT以减小尺寸。

[0291] ●对于非常慢速的显示器如电子纸张,如果仅更新的像素被写入,全部的显示器可以仅包含具有一个DAC的一簇像素。因此可以使用一个或者很少的离散DAC-IC和数字FPGA输出以驱动显示器。因此不需要混合的信号驱动IC。

[0292] ●智慧排序:智慧排序是指在与常规值不同的时间插入像素激活以实现过载、电荷回收、错误校正或者最小化地址线的转换(排序以减少所有传输的整体代码间距)。

[0293] ●使用多于一个斜坡或非连续上升或下降斜坡以改善电荷回收。

[0294] 重叠

[0295] 因为某些重叠是可能的,因为模拟值是不断变化的,TFT的转换时间可以更慢。如果写入多于一个相同值,可以加入小的涟波。

[0296] 其他相关构思

[0297] 使用积分电压

[0298] 通过变化斜坡电压的积分,而不是通过恒定斜坡电压定义传输像素电压。 R_{ON} 的影响可以被系统校准补偿。通过积分传输,模拟信号的“斜坡上升时间”也可以用于传输数据,减少改变模拟值的总开销。

[0299] 每显示仪使用恒定模拟斜坡上升模式

[0300] (仅用于慢速显示器,仅用于低灰度分辨率)

[0301] 如果簇包含 $64 \times 64 = 4096$ 像素,在改变为下一个值之前模拟信号输出每个灰度值4096个时钟周期。如果使用6位灰度分辨率,地址必须以 $4096 \times 2^6 \times 60 \text{fps} = 15 \text{MHz}$ 写入。

[0302] 如果灰度值接近均匀分布,可以减少恒定的模拟值的时间,因此这种结构也可能用于更快的显示器。

[0303] 为减少电压阶段的数目,仅使用小基本位显示器例如4位。更高分辨率应用为在一帧或者不同帧使用多次写入的PWM。

N	簇-格罗像素 (Cluster-Größe Pixel)	x	y	多路调制器 TFT (MUX TFTs)
1	2	1	1	2
2	4	2	2	6
4	14	4	4	30
6	64	8	8	126
8	256	16	16	
10	1024	32	32	
12	4096	64	64	
14	16384	128	128	
16	65536	256	256	

[0305] 具有数字AM结构和仅一个簇和一个DAC的常规LCD

[0306] 在这一实施例中整个显示器包含一簇,并使用数字矩阵结构并且仅用于每簇的模拟信号。

[0307] 底板设计

[0308] ■目前已经开发出了基于LTPS的新底板设计,旨在以高帧速率驱动SLM,其不仅用于全息显示器,此外也包括其他立体和2D显示器。

[0309] ■功率消耗受到经过数个像素单元的电荷回收分配的电荷应用的限制。

[0310] ■本发明基于簇设计,其包含用于控制行和列线的地址解码器以及每单元具有三个TFT的像素矩阵以及从SLM边缘供应电荷的数据线。

[0311] ■数字控制像素单元的所有三个像素;为了开启/关闭第三TFT的三分之二TFT被称为传输TFT T_T (见图),这样电荷可以从模拟线传输到被寻址的像素电容(C_{Pixel})。请参照以上图6。

[0312] ■数个可能的控制模式

[0313] ○术语:

[0314] ■ T_T : 传输TFT将电荷从模拟线传递到特定的像素电容

[0315] ■ T_x, T_y : TFT通过可寻址的方式开启/关闭传输晶体管 T_T

[0316] ■模拟线(在两个附图中红色突出显示): 供应电压以充电像素电容

[0317] ■ENA(E/D)线: 该线控制施加到 T_T 的栅极电容的电荷状态; 如果被激活, 电荷将传输到 T_T 的栅极; 否则电荷向相反方向移动离开 T_T 的栅极

[0318] ○第一方法

[0319] ■分配以特定电压的像素TFT(T_x, T_y)随着激活的ENA信号开启以写入电压

[0320] ●由于其栅极电容充电, 导致激活传输晶体管 T_T ; 像素电容按照施加到模拟数据线的电压充电

[0321] ■随后其被无效化的ENA信号关闭, 在模拟数据线将供应新的和不同的电压(用于

其他像素单元的)时,以保存电荷

[0322] ●传输晶体管 T_T 栅极电容的电荷配置在ENA线;

[0323] ●由于传输晶体管 T_T 关闭,像素电容不再受到施加到模拟线的电压影响

[0324] ■结果

[0325] ●由于电荷均衡的时机可以由ENA信号线控制,这种控制方式有利于高效电荷回收降低功耗

[0326] ●可以控制用于每个像素的传输时间

[0327] ○第二方法

[0328] ■以相同电压值的像素单元充电过程与第一方法所述相同

[0329] ■在每个像素电容中保存电荷的手段与第一方法相比不同;当需要同样电压的所有像素随后被充电,所有地址线和ENA线被激活

[0330] ●关闭 T_T ,所有传输晶体管 T_T 的栅极电容放电,这样电荷以及与其一致的像素电压保留下来

[0331] ■然后电压可以进一步升高,将按照上述相同的方式寻址需要更高电压的像素

[0332] ■结果

[0333] ●与第一方法相比,需要较少的禁用周期(仅取决于灰度/相位值的数字)以增加帧速率

[0334] ○第三方法

[0335] ■这一类型的控制方式不同于上述两个

[0336] ■在初始时,激活所有地址线和ENA信号线,导致所有像素单元被提供以相同的电压值。

[0337] ●导致传输晶体管 T_T 的栅极电容充电,并导致最小化 $R(on)$; $R(on)$:通道电阻

[0338] ●传输晶体管 T_T 开启

[0339] ■然后,由于将电荷保存在 T_T 的栅极以保持其开启,所有地址线和ENA线无效化

[0340] ■通过增加模拟数据线,所有像素电容将被相应地充电;只要特定像素的地址线未激活,这将持续

[0341] ■当特定像素的地址线激活,传输晶体管 T_T 的栅极电容的电荷通过ENA线放电,导致传输晶体管的关闭

[0342] ●这一运行确保具有激活的地址线的像素将不会被电压的进一步增加所影响,但是所有其他未激活的像素将被施加以新的电压值

[0343] ■结果

[0344] ●没有额外的使能/禁用运行和延迟

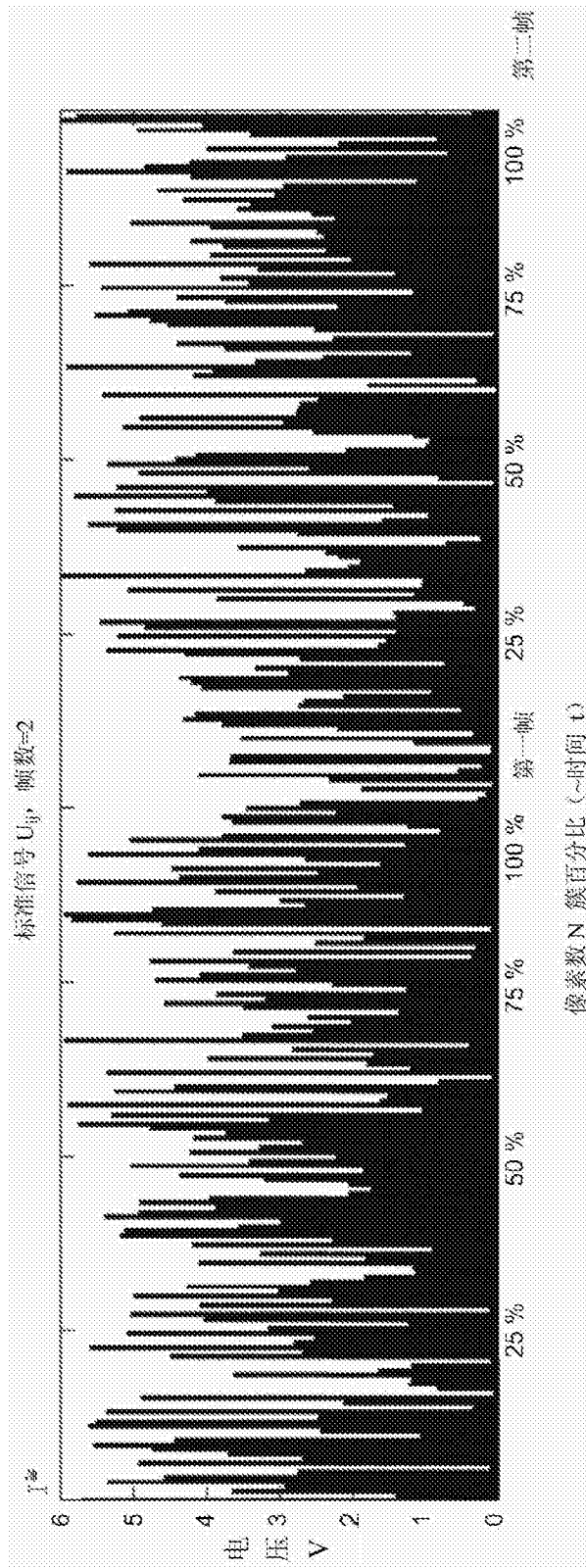


图1

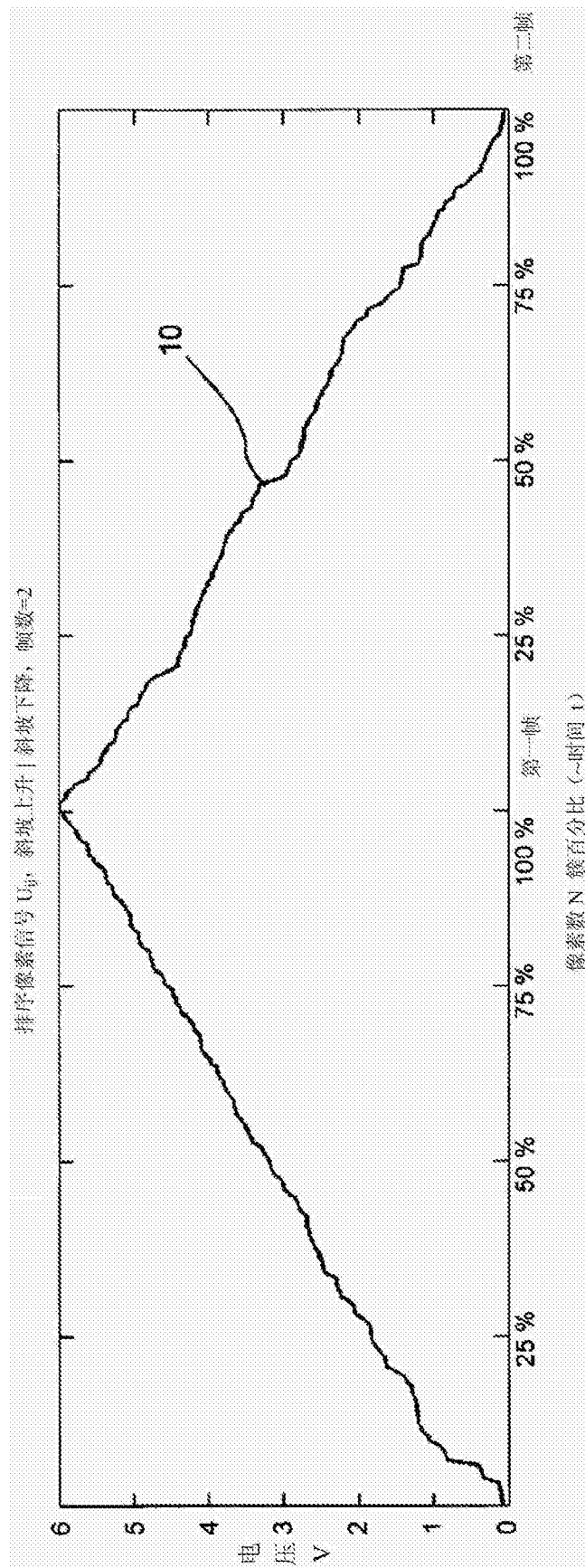


图2a

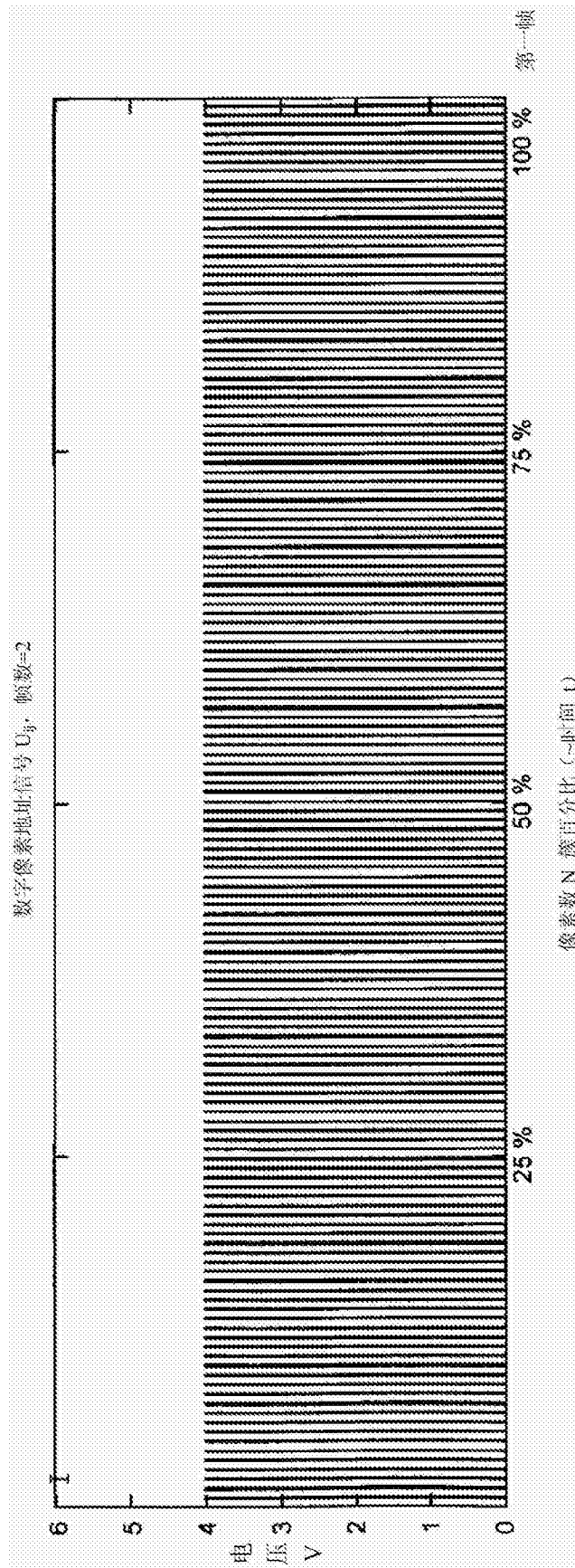


图2b

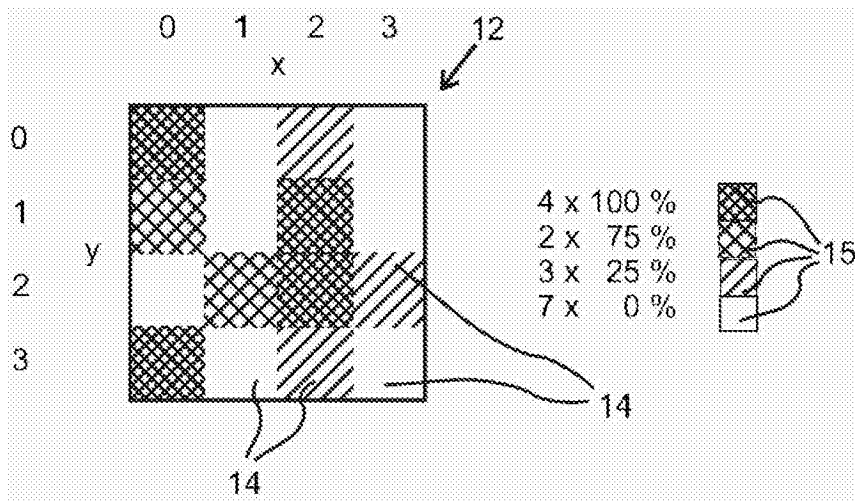


图3a

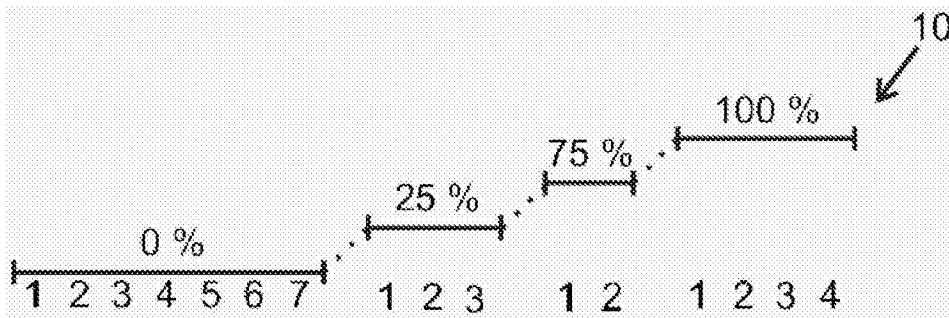


图3b

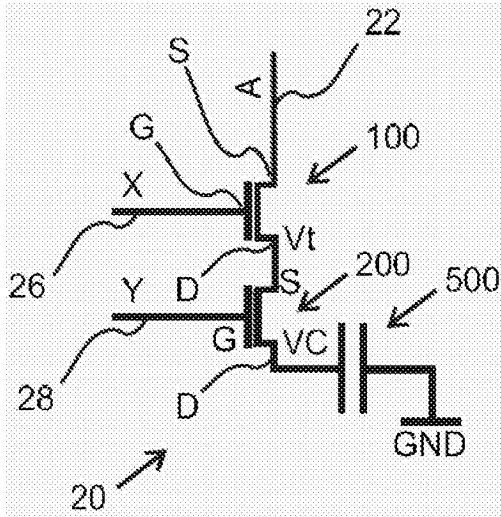


图5

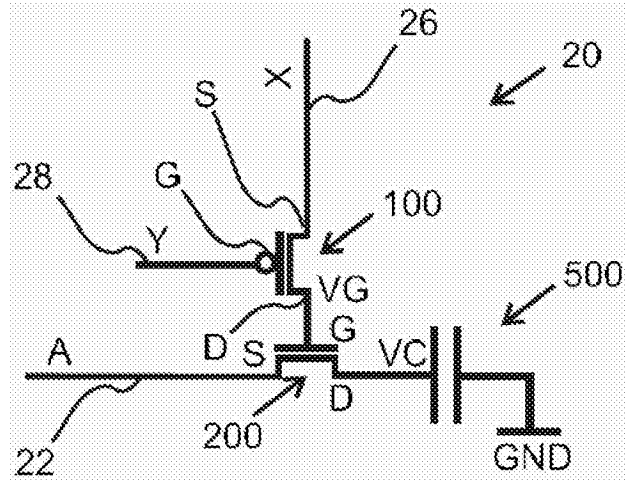


图6

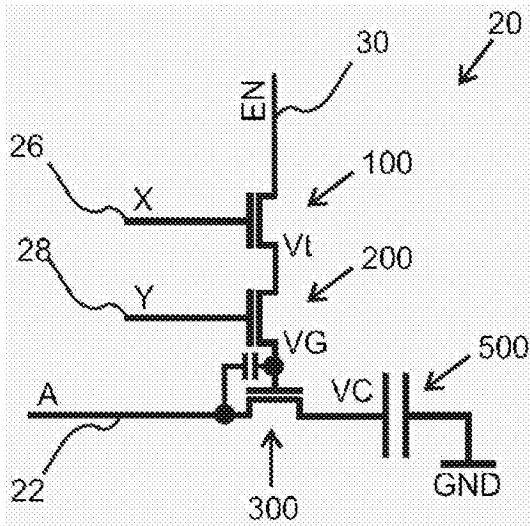


图7

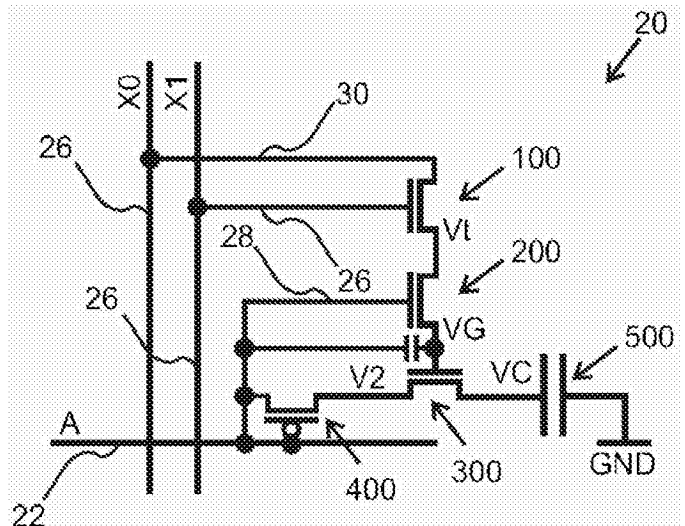


图8

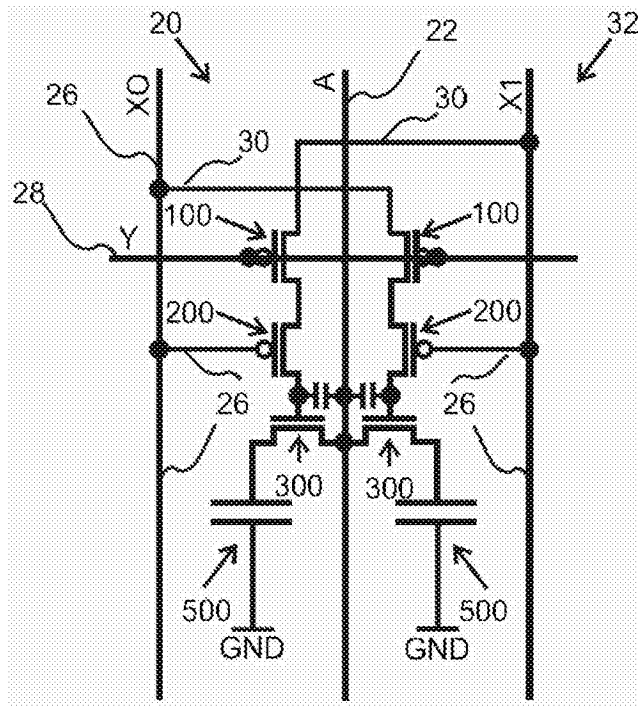


图9

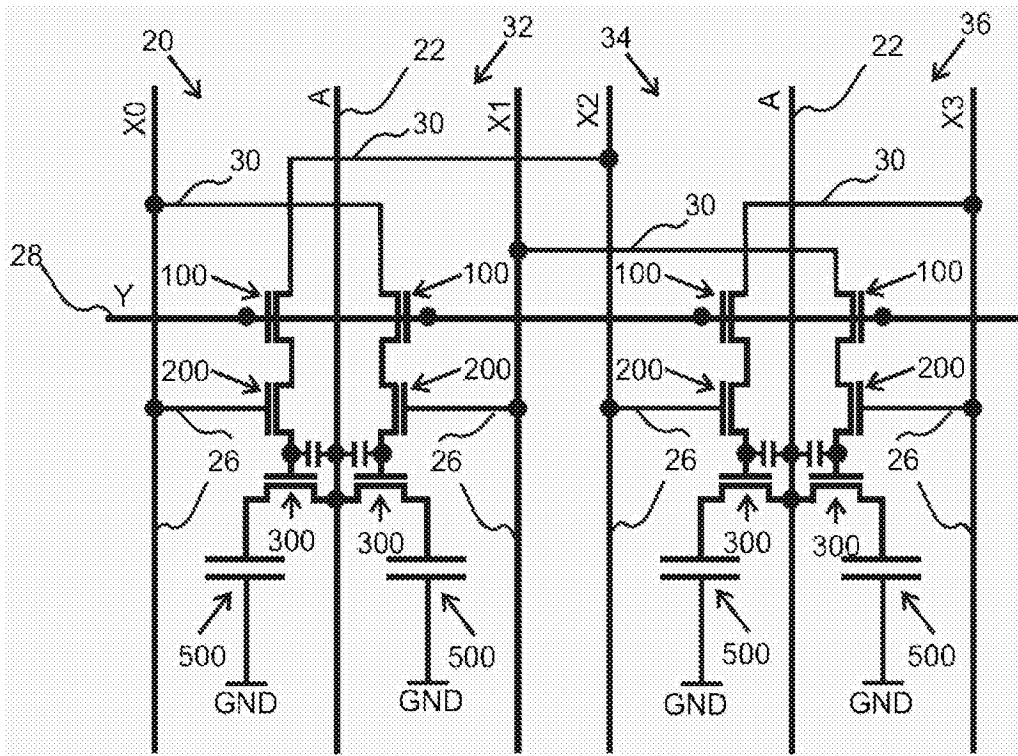


图10

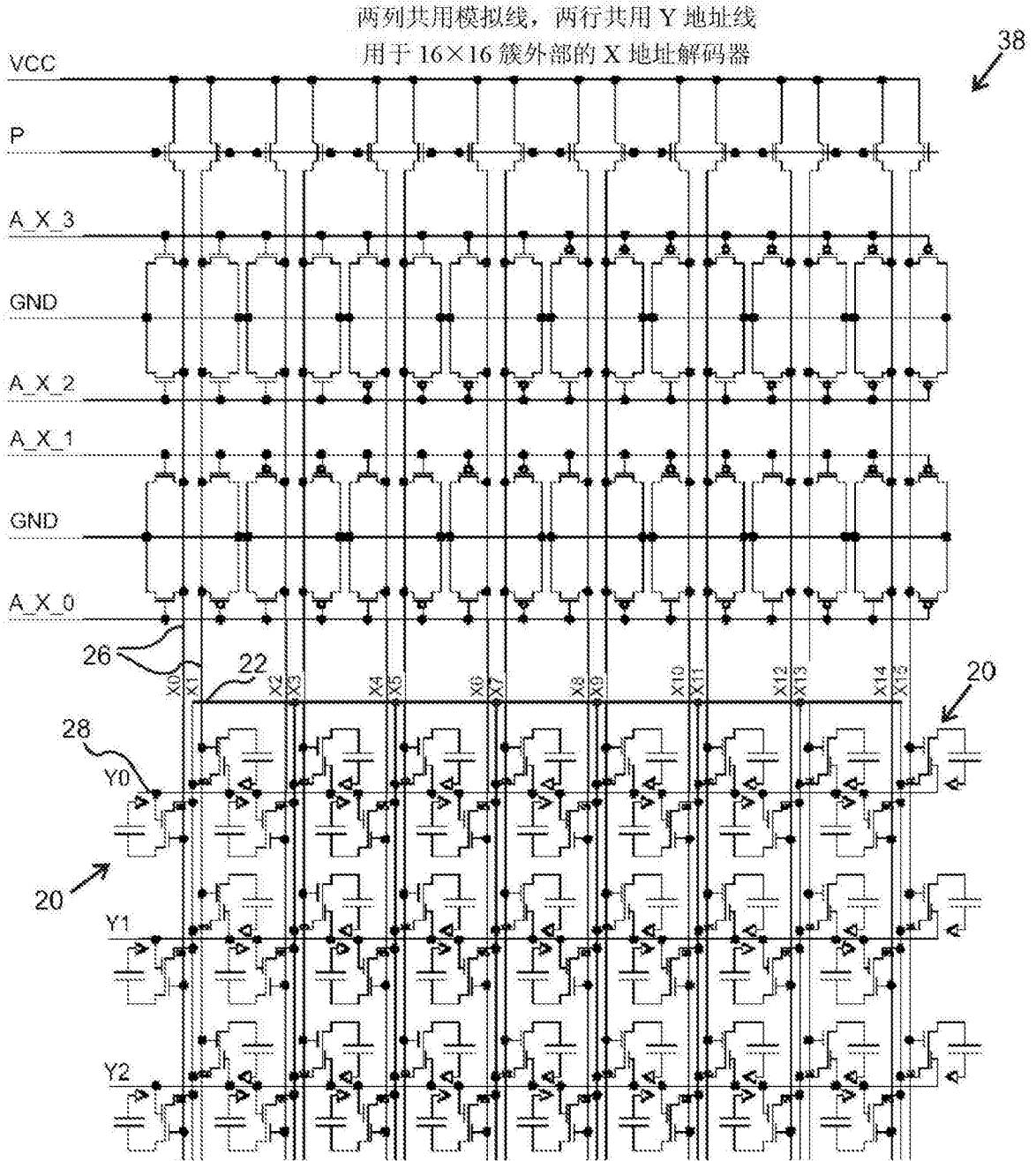


图11

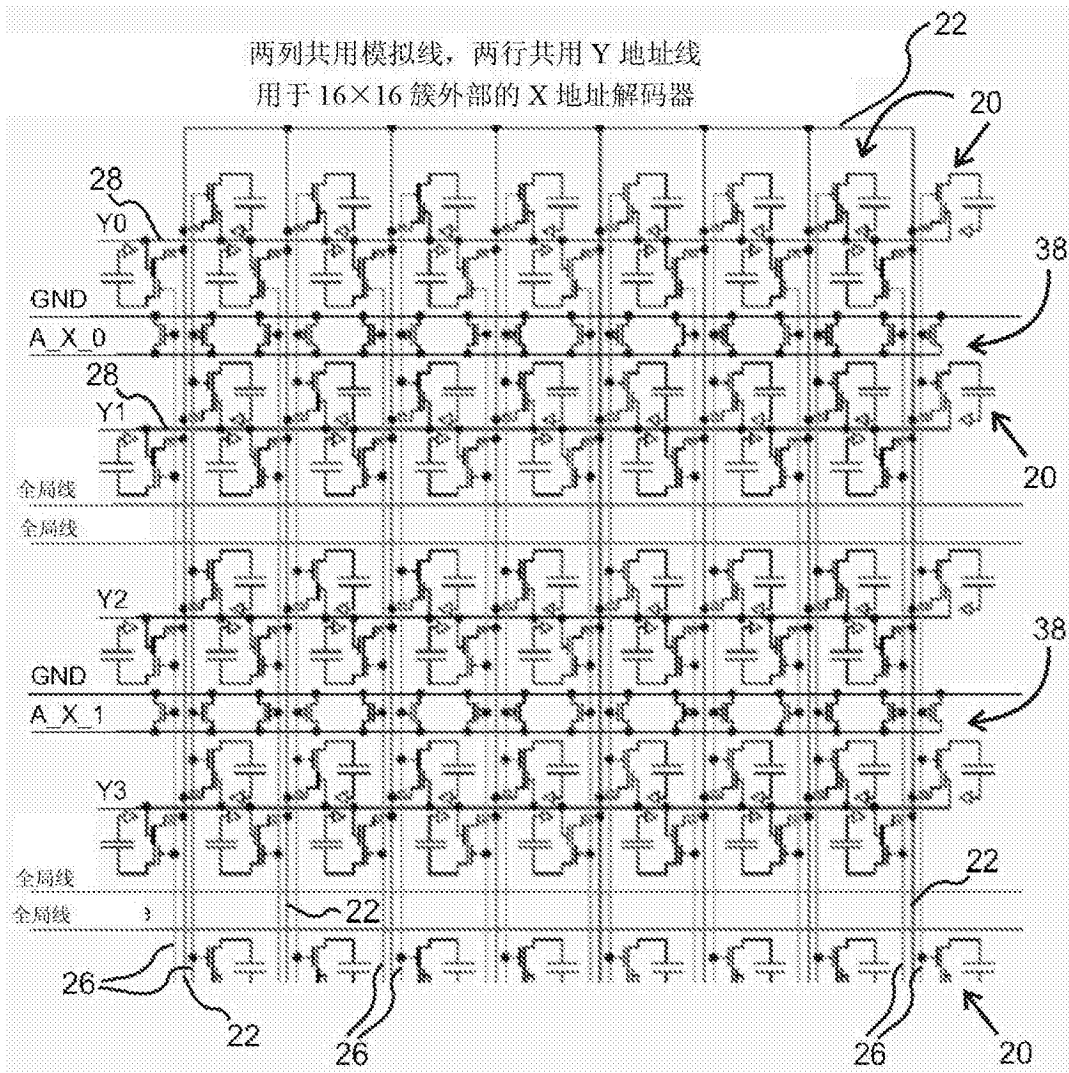


图12

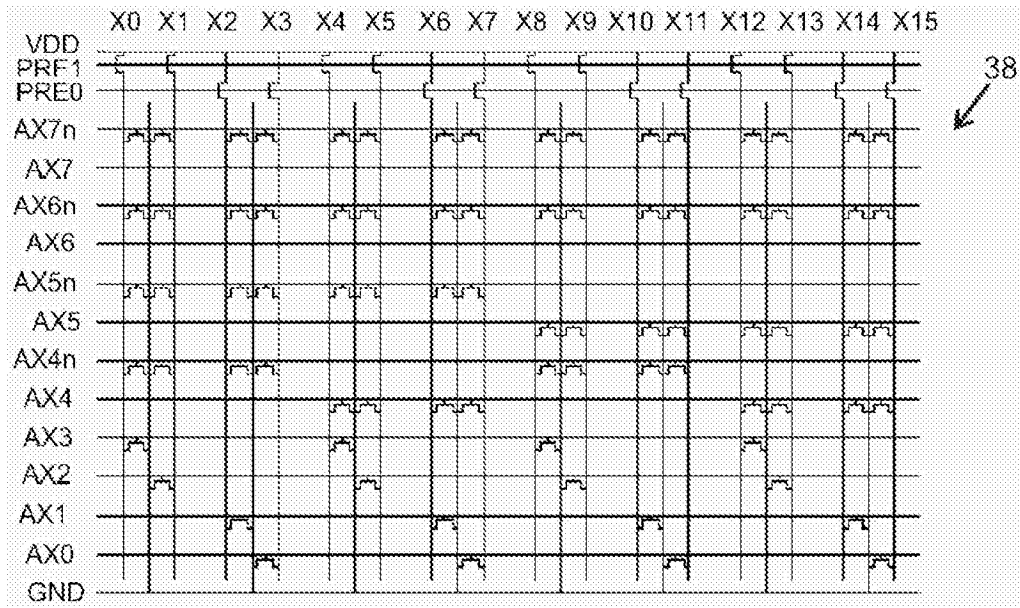


图13a

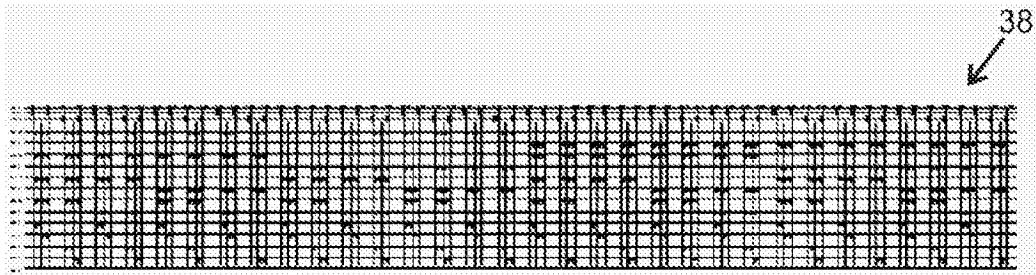


图13b

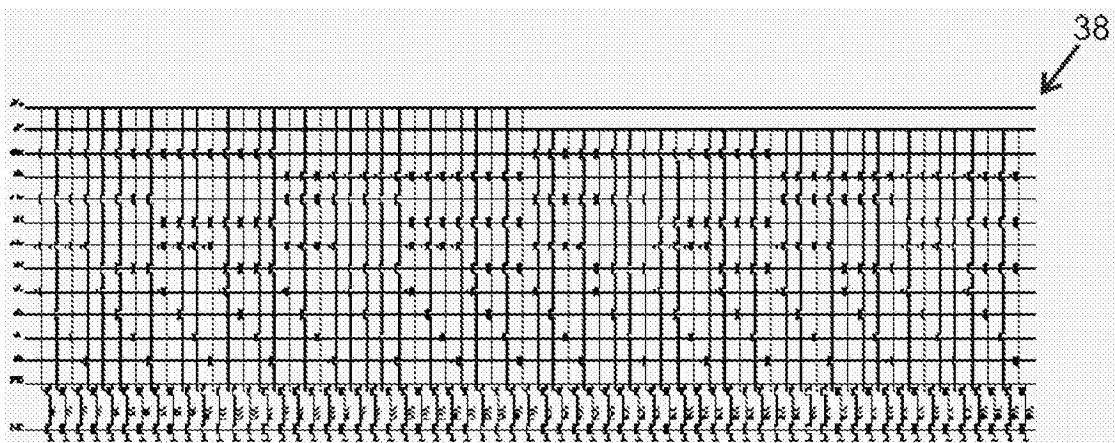


图14

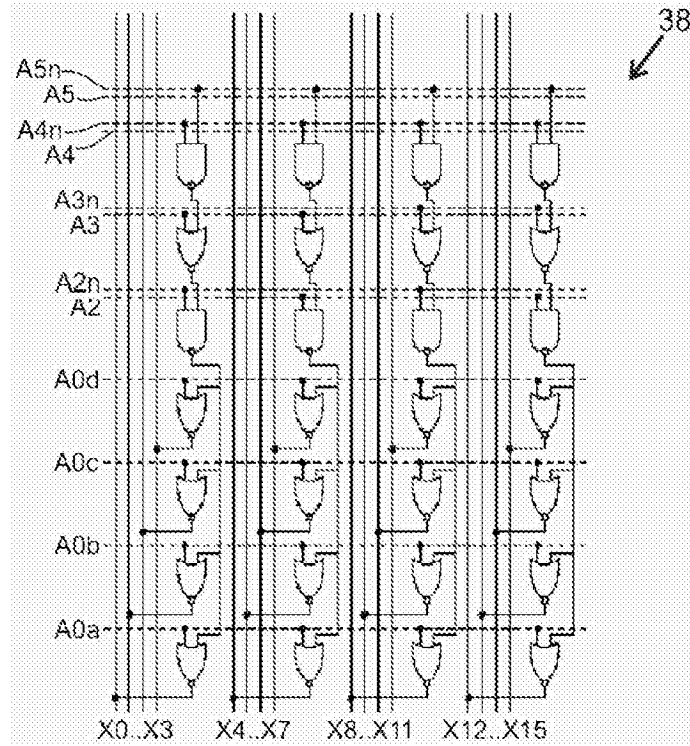


图15

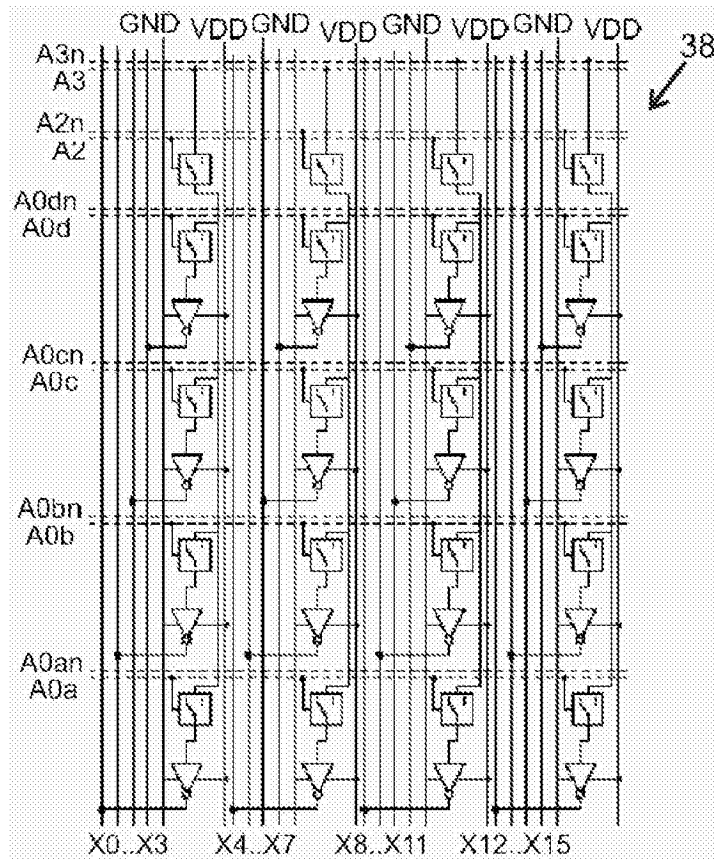


图16

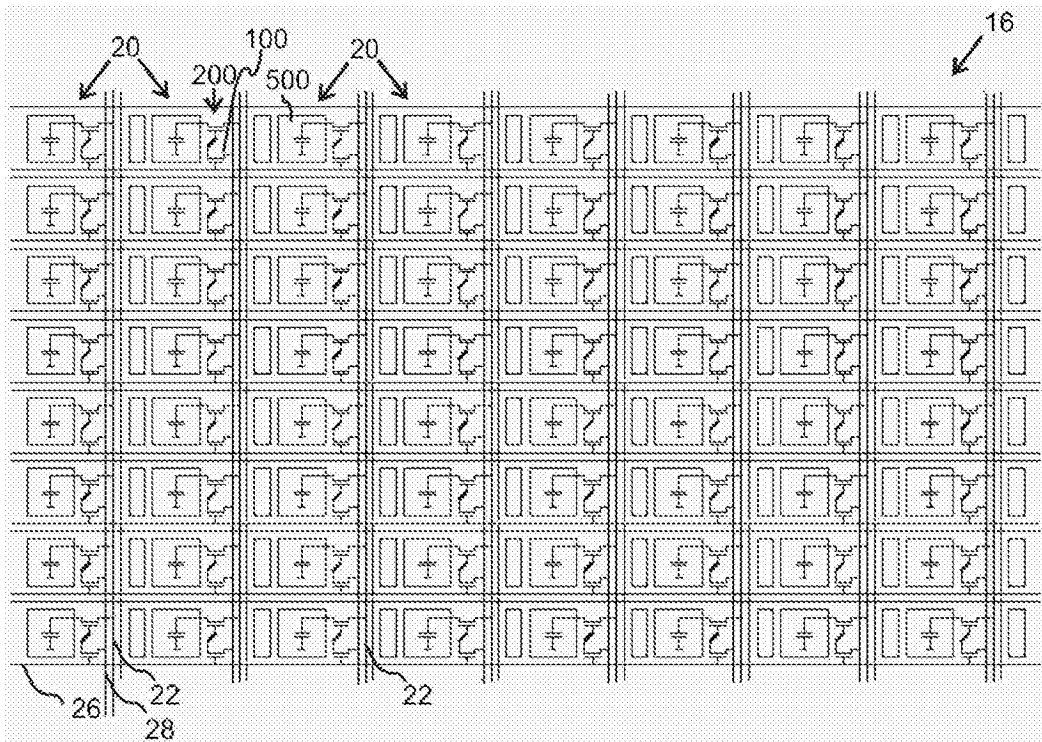


图17

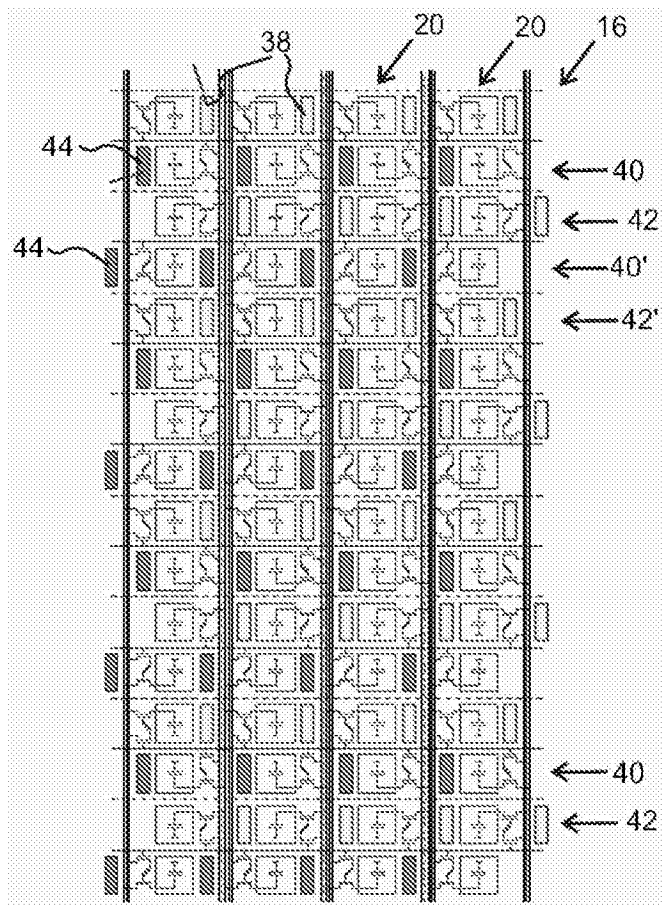


图18

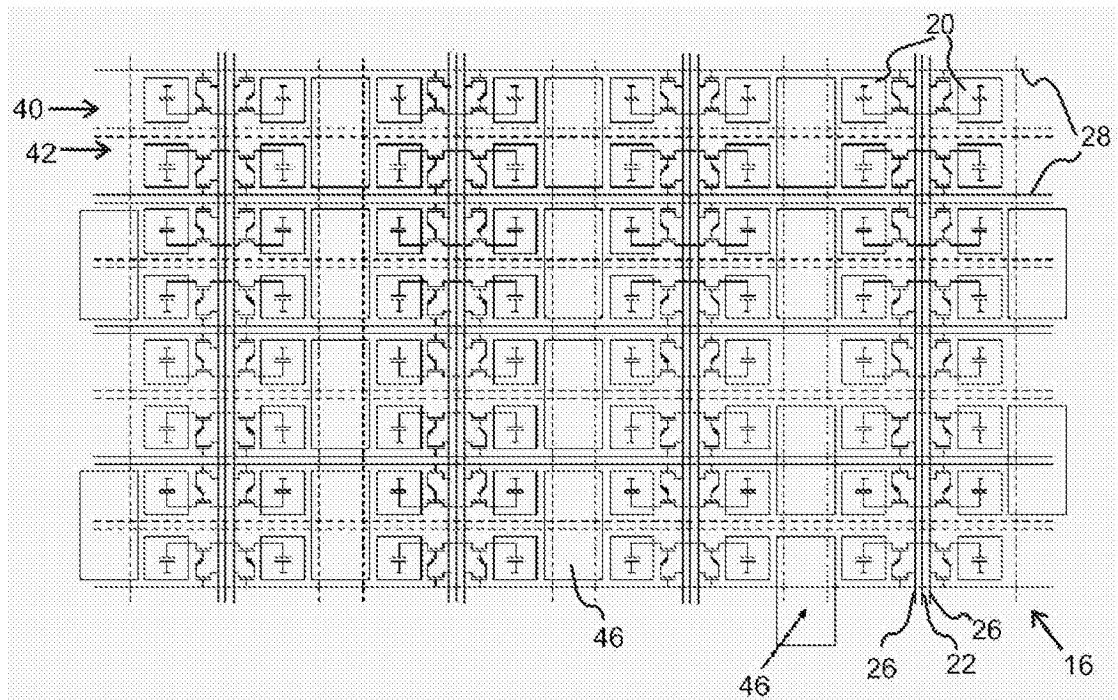


图19

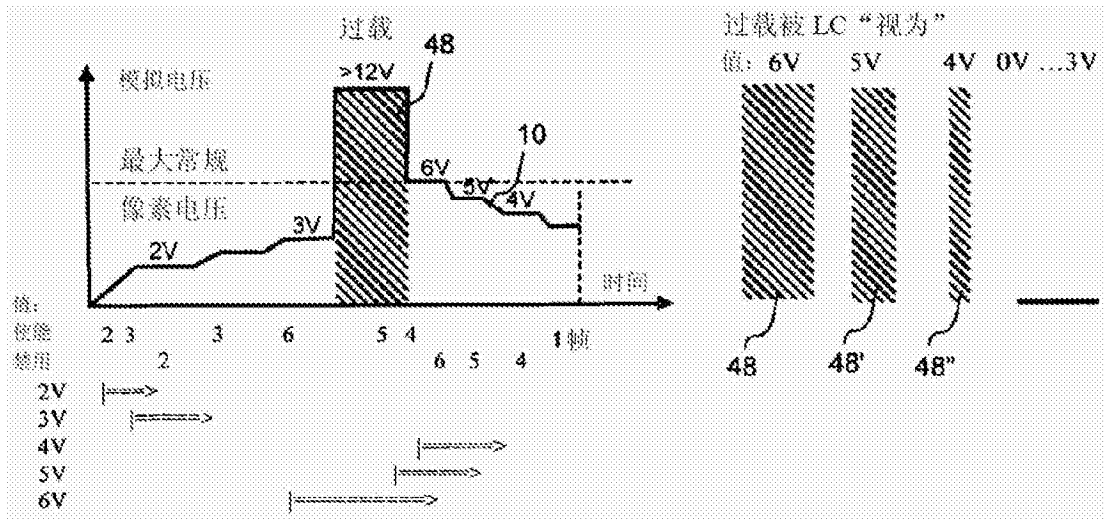


图20

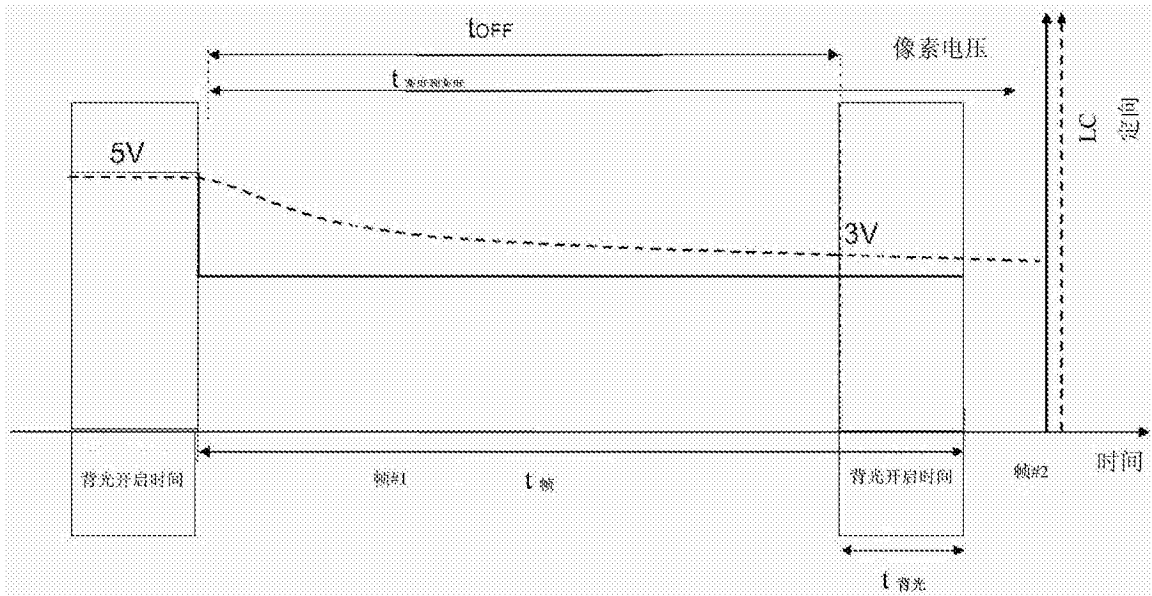


图21

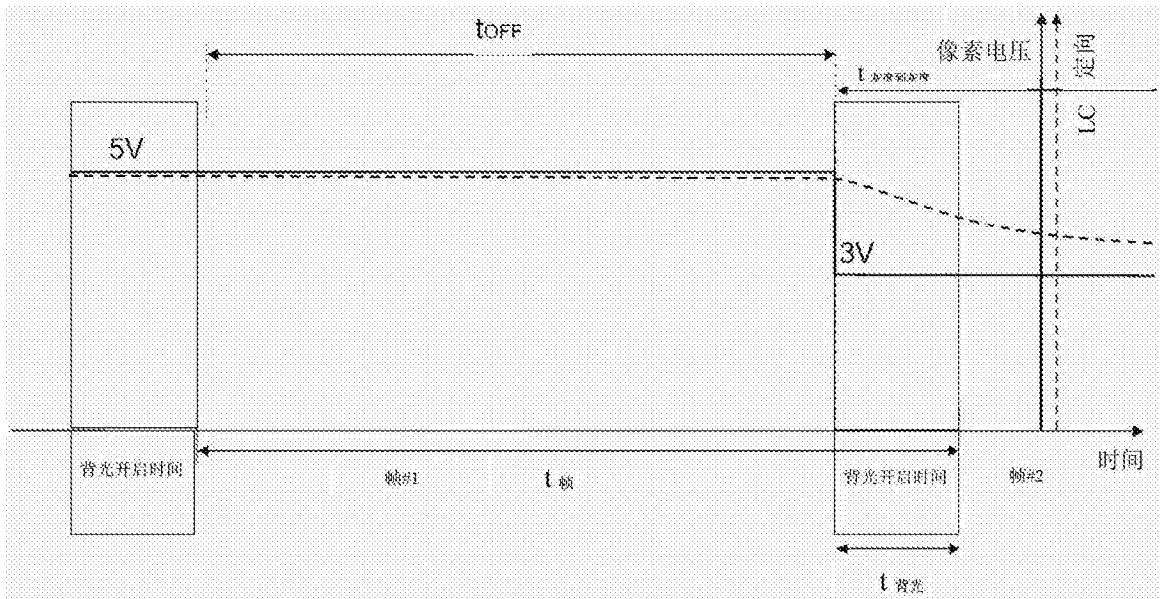


图22

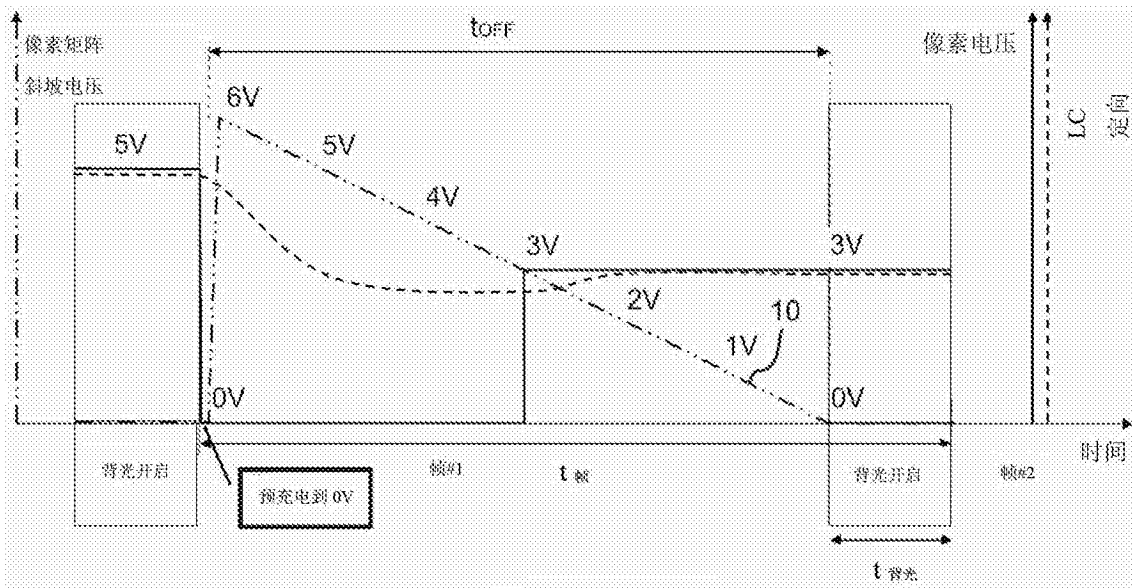


图23

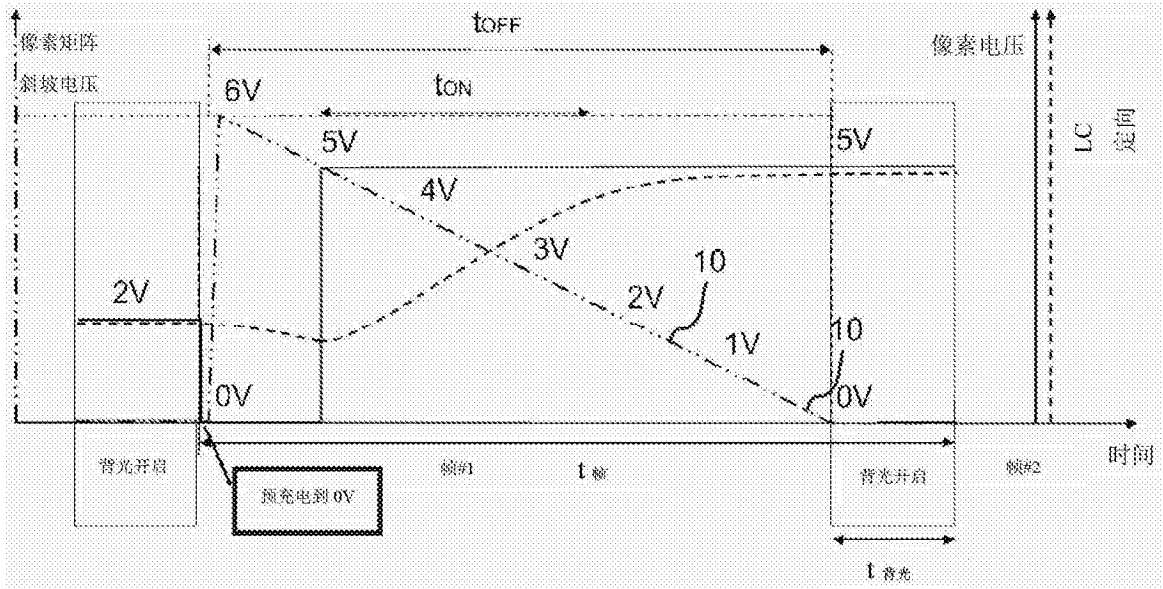


图24

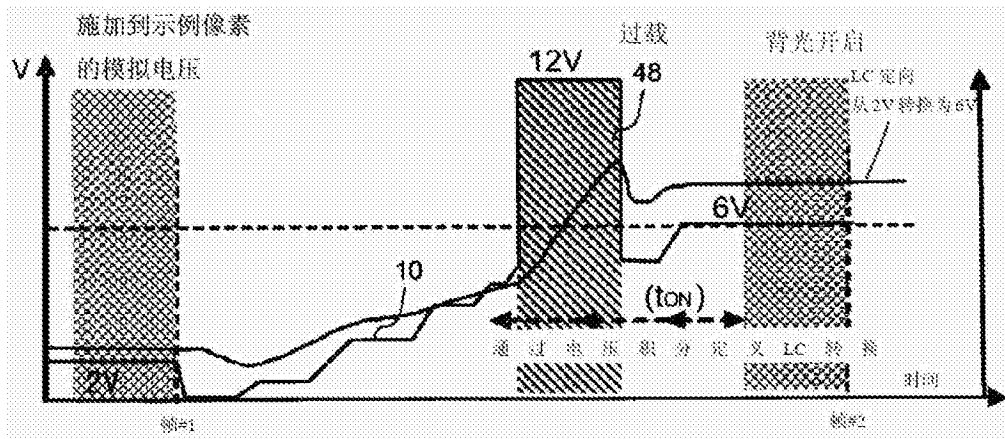


图25

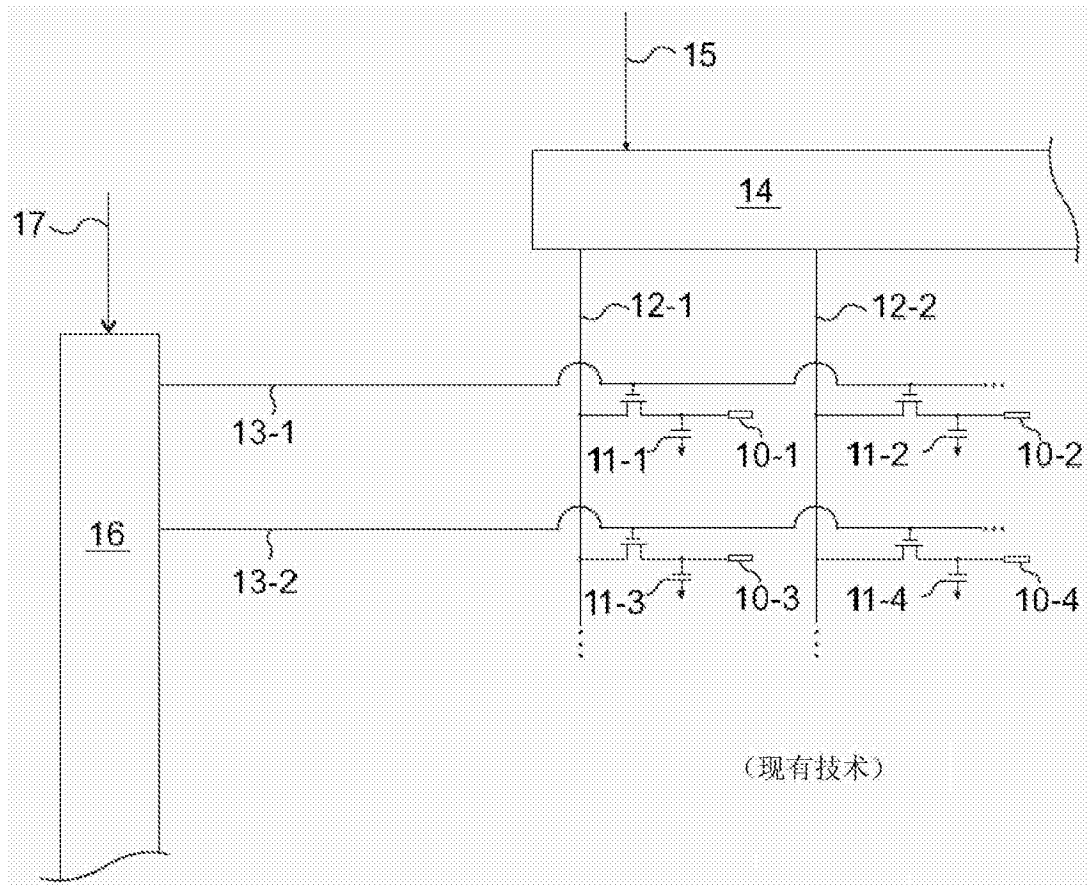


图26

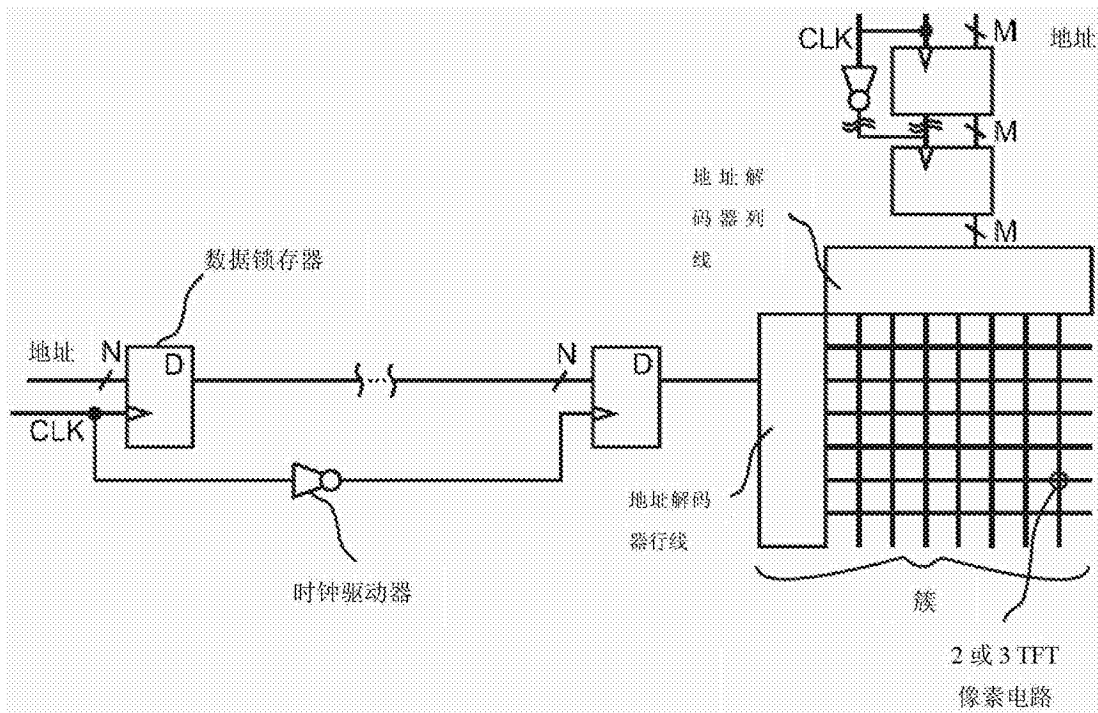


图27

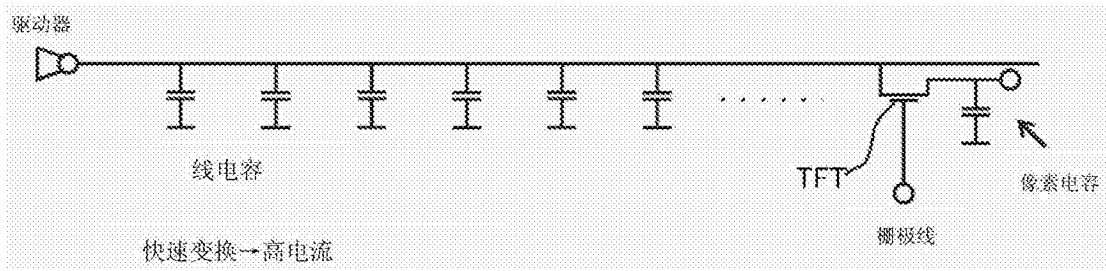


图28

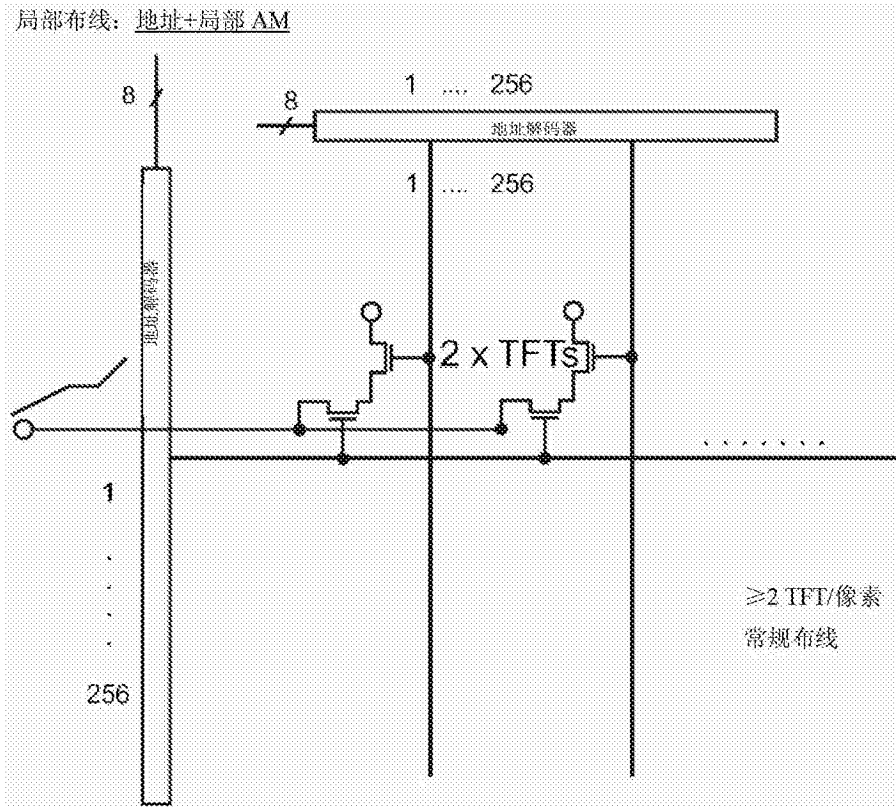


图29

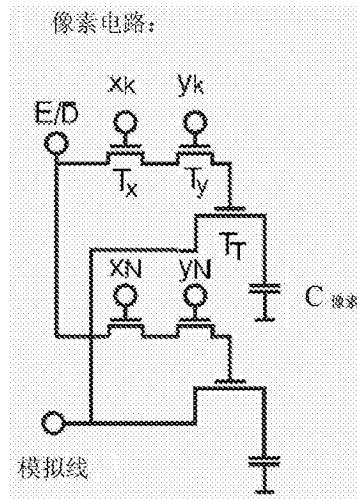


图32

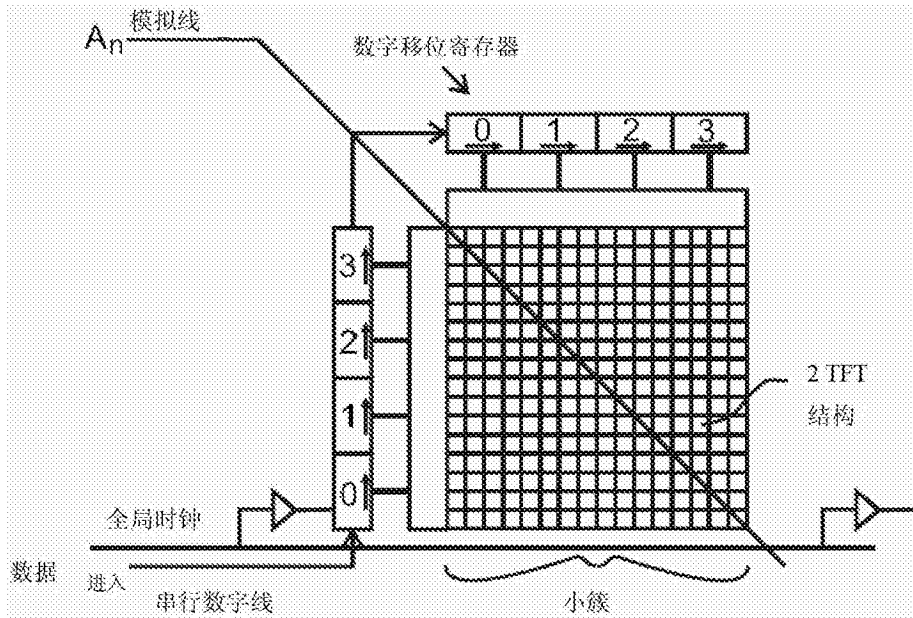


图33

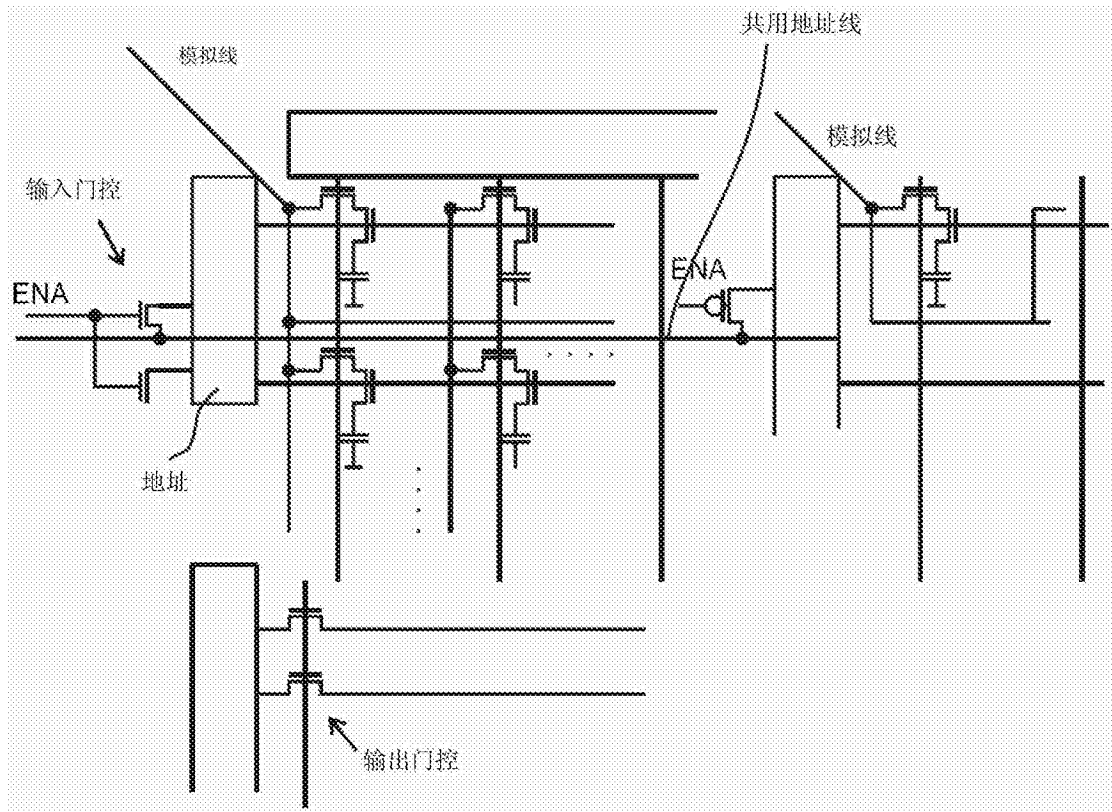


图34

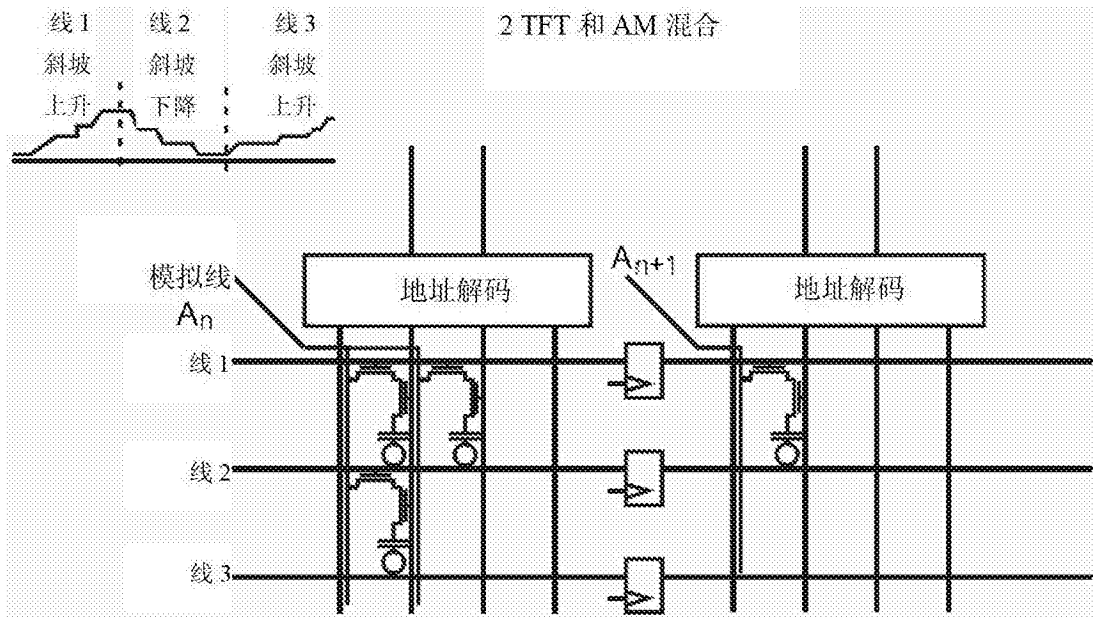


图35