

FEDERÁLNY ÚRAD
PRE VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍU

272 742

(11)

(13) B1

(51) Int. Cl.⁵

G 06 F 12/02

G 06 F 12/00

(21) PV 3010-88.I

(22) Prihlášené 04 05 88

(40) Zverejnené 13 06 90

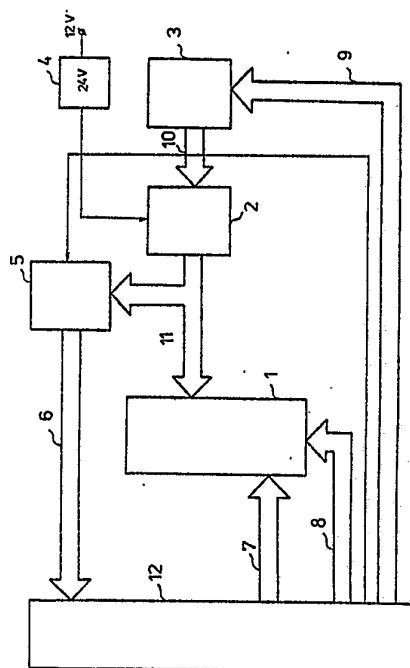
(45) Vydané 25 11 91

(75) Autor vynálezu KUBÍNYI ROBERT;
BAĐURA TIBOR, TREŇČÍN

(54)

Zapojenie pre programovanie pamätí

(57) Účelom riešenia je zapojenie pre programovanie pamätí, najmä bipolárnych PROM pamätí. Podstata riešenia spočíva v tom, že blok (3) dekodéra bitu spojený prvou zbernicou (9) a počítačom (12) je cez druhú zbernicu (10) pripojený na prvý vstup bloku (2) spínacích tranzistorov, ktorý je treťou zbernicou (11) pripojený na prvý vstup bloku (5) čítacích optočlenov a súčasne na programovanú pamäť (1), ktorá je zbernicou (7) adres a zbernicou (8) riadiacich signálov spojená s počítačom (12). Blok (5) čítacích optočlenov je spojený s počítačom (12) zbernicou (6) dát. Druhý vstup bloku (2) spínacích tranzistorov je pripojený na 24 V zdroj (4). Druhý vstup bloku (5) čítacích optočlenov je spojený s počítačom (12). Výhodou riešenia je jeho jednoduchosť, spoľahlivosť a splnenie podmienok užívateľského komfortu.



Vynález sa týka zapojenia pre programovanie pamätí, najmä bipolárnych PROM pamätí typu MHB 93448 a MHB 93451 s využitím mikropočítača PMD-85 na riadenie procesu zápisu.

V súčasnosti sa v strojoch prevažne číslicovo riadených používa systém uložený v pamätiach EPROM, ktoré sú v požiadavkách výrobného procesu nespoľahlivé.

Doteraz známe programátory umožňujú naprogramovanie okrem EPROM pamätí tiež PROM pamätí typov 74 188, 74S 287, 8708, 2716 a 74S 571. Ani jeden však nie je vhodný pre pripojenie k mikropočítaču PMD-85.

Uvedené nedostatky zmiernuje a technický problém rieši zapojenie pre programovanie pamätí podľa vynálezu, ktorého podstatou je, že blok dekodéra bitu spojený prvou zbernicou s počítačom je cez druhú zbernicu pripojený na prvý vstup bloku spínacích tranzistorov, ktorý je tretiu zbernicou pripojený na prvý vstup bloku čítacích optočlenov a súčasne na programovanú pamäť. Programovaná pamäť je zbernicou adres a zbernicou riadiacich signálov spojená s počítačom. Blok čítacích optočlenov je spojený s počítačom zbernicou dát. Druhý vstup bloku spínacích tranzistorov je pripojený na 24V zdroj. Druhý vstup bloku čítacích optočlenov je spojený s počítačom.

Výhodou zapojenia pre programovania pamätí je jeho jednoduchá obsluha, odolnosť voči chybám užívateľa, jeho prehľadné grafické spracovanie, je po elektronickej stránke absolútne spoľahlivý a je schopný podávať informácie o okamžitom stave programovej pamäte. Okrem toho systém spĺňa užívateľský komfort a umožňuje spoľahlivé uloženie informácie do pamäte.

Na pripojenom výkrese je nakreslená bloková schéma zapojenia pre programovanie pamätí.

Zapojenie pre programovanie pamätí pozostáva z bloku 3 dekodéra bitu, ktorý je prvou zbernicou 9 spojený s počítačom 12, ďalej z bloku 2 spínacích tranzistorov, ktorý je cez druhú zbernicu 10 pripojený na blok 3 dekodéra bitu. Blok 2 spínacích tranzistorov je cez tretiu zbernicu 11 pripojený na prvý vstup bloku 5 čítacích optočlenov a súčasne na programovanú pamäť 1. Programovaná pamäť 1 je zbernicou 7 adres a zbernicou 8 riadiacich signálov spojená s počítačom 12. Blok 5 čítacích optočlenov je spojený cez zbernicu dát s počítačom 12. Druhý vstup bloku 2 spínacích tranzistorov je pripojený na 24 V zdroj 4. Druhý vstup bloku 5 čítacích optočlenov je spojený s počítačom 12.

Princíp programovania bipolárnych pamätí PROM typu MHB 93451 a MHB 93448 o kapacite 1k Byte a 0,5 k Byte spočíva v tom, že tieto pamäte sú vybavené NiCr spojkami, ktoré sa pri programovaní prepália a tak zablokujú uloženú informáciu.

Programovanie zvolenej informácie sa uskutoční tak, že privedením príslušných signálov s úrovňou H a L na adresové vstupy sa zvolí slovo, ktorého pamäťové bunky sa majú programovať. Vybavovanie pamäte prebieha vtedy, ak je na vstupoch CS₁ a CS₂ úroveň H a na vstupoch CS₃ a CS₄ úroveň L. Pamäť sa zablokuje zhodnou úrovňou signálov na všetkých vstupoch CS a pripojí sa na programovacie napätie k výstupu, ktorý prislúcha programovanému bitu.

Obvod pre programovanie pamätí je pripojený k počítaču cez tri systémové konektory K₃, K₂ a K₁. Z konektora K₃ je vyvedené len napájacie napätie +5V, +12V a 0 V. Konektor K₂ obsahuje na svojich pinoch bránu A obvodu 8255, ktorá je použitá ako vstupná datová zbernica a K₁ obsahuje na svojich pinoch bránu B a C. Brána B a jedna polovica brány C sa využíva ako zbernica 7 adres a je pripojená priamo na programovanú pamäť 1. Druhá polovica brány C sa využíva ako riadenie režimu čítania a zápisu do pamäte. Datová zbernica nie je vedená priamo na programovanú pamäť 1, ale cez blok 5 čítacích optočlenov tvorený optoelektronickými väzobnými členmi. Potrebné programovacie napätie sa získava z počítača pomocou meniča a násobiča napätia. Riadenie sa realizuje cez obvod MH 74141, čo je dekodér 1 z 10. Na prvých 8 bitov sú pripojené bázy tranzistorov, ktoré

spínajú programovacie napätie 20,5 V na datové vstupy programovanej pamäte 1. Každý tranzistor použitý v zapojení je opatrený odporom z dôvodu potreby dostatočne strmých nábehov programovacích impulzov. Deviaty bit dekodéru je pripojený cez tranzistor na diódy optoelektronických členov bloku 5 čítacích optočlenov a cez vstup D dekodéra riadi režim zápisu a čítania. Všetky diódy optočlenov sú zapojené do série. Napaľovacie napätie sa získava z napätia + 12 V použitím meniča.

Po osadení programovanej pamäte 1 do objímky sa najskôr nastaví výberové vstupy obvodu do stavu log 1, aby bolo možné nastaviť adresu a bity, ktorý sa bude práve napaľovať. Adresy sa vyberú priamo z obvodu 8255. Bity sa dekodujú dekodérom 1 z 10, ktorý je realizovaný integrovaným obvodom MH 74141. Výber bitu riadia len vstupy A, B, C a vstup D prepína režim zápisu a čítania. V režime výberu je bit D nastavený do log 1, aby neboli otvorené tranzistory a do pamäte nebolo privádzané programovacie napätie. Po vydekódovaní príslušnej adresy a bitu sa vstup CS nastaví do log 0 a adresy sa už nedajú meniť. Na vstupoch A, B, C sú pripravené signály pre dekódovanie bitu. Po privedení bitu D do log 0 sa na jednom z 8 výstupov obvodu objaví log 0 a príslušný tranzistor sa otvorí, čím privedie programovací impulz na príslušný vstup pamäte. V okamžiku privedenia napaľovacieho impulzu sa v pamäti prepáli NiCr spojka. Tým sa zadaná informácia nevratne zapíše do pamäte. Okamžite po napálení sa príslušný bit otestuje. Pamäť ostane naďalej zablokovávaná, ale na vstup D sa privedie log 1, čím sa aktivujú diódy optočlenov a otvoria príslušné fototranzistory, čím sa vlastne pripojí datová zbernica pamäte na datovú zbernicu počítača a otestuje sa príslušný bit. Pri správnom napálení sa začne napaľovať ďalšia adresa. Ak by však napálenie neprebehlo správne, bit D sa opäť nastaví do log 0 a cyklus napaľovania sa opakuje.

Spoľahlivosť prepálenia NiCr spojky je zabezpečená použitím kondenzátora ako dávkovača impulzov, ktorý sa počas dekódovania adresy dostatočne nabije a po otvorení príslušného tranzistora tvrdo vybije. Pomerne pomalé nabíjanie kondenzátora nie je na závalu; pretože teplota puzdra pamäte nesmie prekročiť stanovenú teplotu, to znamená, že kým sa kondenzátor nabíja, pamäť má dostatočný čas na ochladenie.

Zapojenie pre programovanie pamätí je prispôsobené štruktúre mikropočítača PMD a v spojení s ním sa dosiahne pomerne nenáročnými technickými prostriedkami spoľahlivé zaříadenie na programovanie pamätí.

Software umožňuje jednoduchú manipuláciu a nevyžaduje obsluhu profesionálnym programátorom. Pomocou menutechniky a dialogového režimu napomáha užívateľovi vytvoriť konkrétne programové zadanie obsahu pamäte.

P R E D M E T V Y N Á L E Z U

Zapojenie pre programovanie pamätí, najmä bipolárnych PROM pamätí typu MHB 93448 a MHB 93451, ktoré pozostáva zo zdroja 24 V, bloku čítacích optočlenov, bloku spínacích tranzistorov a bloku dekodéra bitu vyznačujúce sa tým, že blok (3) dekodéra bitu spojený prvou zbernicou (9) s počítačom (12) je cez druhú zbernicu (10) pripojený na prvý vstup bloku (2) spínacích tranzistorov, ktorý je treťou zbernicou (11) pripojený na prvý vstup bloku (5) čítacích optočlenov a súčasne na programovanú pamäť (1), ktorá je zbernicou (7) adres a zbernicou (8) riadiacich signálov spojená s počítačom (12) a blok (5) čítacích optočlenov je spojený s počítačom (12) zbernicou (6) dát, pričom druhý vstup bloku (5) čítacích optočlenov je spojený s počítačom (12).

