

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和6年10月31日(2024.10.31)

【公開番号】特開2024-37592(P2024-37592A)

【公開日】令和6年3月19日(2024.3.19)

【年通号数】公開公報(特許)2024-051

【出願番号】特願2022-142527(P2022-142527)

【国際特許分類】

H 0 1 L 2 1 / 6 0 ( 2 0 0 6 . 0 1 )

H 0 1 L 2 3 / 2 9 ( 2 0 0 6 . 0 1 )

10

【 F I 】

H 0 1 L 2 1 / 6 0 3 2 1 E

H 0 1 L 2 3 / 3 6 A

【手続補正書】

【提出日】令和6年10月23日(2024.10.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体パッケージであって、

複数の半導体素子(1)と、

異なる前記半導体素子に接続される複数の板状の架橋部材(5)と、

異なる前記半導体素子が搭載される複数の実装部(21)を有するリードフレーム(2

)と、

前記リードフレームの一部、複数の前記半導体素子および前記架橋部材を覆う封止樹脂

30

(6)と、を備え、

複数の前記架橋部材は、他の前記架橋部材とは距離を隔てて配置されると共に、前記半導体素子と、前記リードフレームのうち自身が接続された前記半導体素子が搭載された前記実装部とは異なる部位(21、22)と、を電氣的に接続しており、

複数の前記実装部は、他の前記実装部とは距離を隔てて配置されており、

前記架橋部材に沿った方向であって、前記半導体素子と前記異なる部位とを繋ぐ方向を接続方向(D1)とし、前記架橋部材と隣接する他の前記架橋部材との隙間のうち前記接続方向の中心における隙間を中心隙間(G1)とし、前記接続方向の端部における隙間を端部隙間(G2)として、前記端部隙間は、前記中心隙間よりも幅が広く、

複数の前記架橋部材は、自身の直下に位置する前記半導体素子よりも平面サイズが大きく、かつ当該半導体素子の外郭をなす四辺それぞれの少なくとも一部を覆うように配置されており、

40

前記架橋部材が接続される前記半導体素子は、前記架橋部材の接続面(1b)にゲート電極(13)を有し、

前記リードフレームは、前記ゲート電極と電氣的に接続されるゲート端子(24)を有し、

前記ゲート端子は、前記実装部のうち前記半導体素子が搭載される面に対する法線方向から見て、前記端部隙間の近傍であって、前記架橋部材とは重畳しない領域に配置されている、半導体パッケージ。

【請求項2】

50

前記封止樹脂のうち隣接する前記架橋部材の隙間を充填する部分を第1充填部(61)とし、隣接する前記実装部の隙間を充填する部分を第2充填部(62)として、前記実装部のうち前記半導体素子が搭載される面に対する法線方向から見て、前記第1充填部は、一部または全部が前記第2充填部とは前記第2充填部に対して交差する方向にオフセットされている、請求項1に記載の半導体パッケージ。

【請求項3】

複数の前記架橋部材は、前記接続方向における中心から端部に向かうにつれて、隣接する他の前記架橋部材から徐々に遠ざかる切り欠き部位とされた面取り部(51)を有する、請求項1に記載の半導体パッケージ。

10

【請求項4】

複数の前記架橋部材は、前記接続方向における中心部分を含む一部の領域が他の前記架橋部材に対して突き出した突出部(52)を有する、請求項1に記載の半導体パッケージ。

【請求項5】

複数の前記架橋部材は、直下の前記半導体素子のうち前記ゲート電極を含む所定領域以外の残りの全域を覆っている、請求項1に記載の半導体パッケージ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

20

【0008】

上記目的を達成するため、請求項1に記載の半導体パッケージは、複数の半導体素子(1)と、異なる半導体素子に接続される複数の板状の架橋部材(5)と、異なる半導体素子が搭載される複数の実装部(21)を有するリードフレーム(2)と、リードフレームの一部、複数の半導体素子および架橋部材を覆う封止樹脂(6)と、を備え、複数の架橋部材は、他の架橋部材とは距離を隔てて配置されると共に、半導体素子と、リードフレームのうち自身が接続された半導体素子が搭載された実装部とは異なる部位(21、22)と、を電氣的に接続しており、複数の実装部は、他の実装部とは距離を隔てて配置されており、架橋部材に沿った方向であって、半導体素子と異なる部位とを繋ぐ方向を接続方向(D1)とし、架橋部材と隣接する他の架橋部材との隙間のうち接続方向の中心における隙間を中心隙間(G1)とし、接続方向の端部における隙間を端部隙間(G2)として、端部隙間は、中心隙間よりも幅が広く、複数の架橋部材は、自身の直下に位置する半導体素子よりも平面サイズが大きく、かつ当該半導体素子の外郭をなす四辺それぞれの少なくとも一部を覆うように配置されており、架橋部材が接続される半導体素子は、架橋部材の接続面(1b)にゲート電極(13)を有し、リードフレームは、ゲート電極と電氣的に接続されるゲート端子(24)を有し、ゲート端子は、実装部のうち半導体素子が搭載される面に対する法線方向から見て、端部隙間の近傍であって、架橋部材とは重畳しない領域に配置されている。

30

40

50