



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0136596
(43) 공개일자 2022년10월11일

(51) 국제특허분류(Int. Cl.)

H01L 43/08 (2006.01) G06N 7/00 (2022.01)
G11C 11/16 (2006.01) H01L 27/22 (2006.01)

(52) CPC특허분류

H01L 43/08 (2013.01)
G06N 7/005 (2013.01)

(21) 출원번호 10-2021-0042418

(22) 출원일자 2021년04월01일

심사청구일자 없음

(71) 출원인

한국과학기술연구원

서울특별시 성북구 화랑로14길 5 (하월곡동)

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

홍석민

서울특별시 성북구 화랑로 14길 5

김철우

서울특별시 강남구 선릉로 221, 401동 1003호 (도곡동, 도곡테크아파트)

(뒷면에 계속)

(74) 대리인

이준성

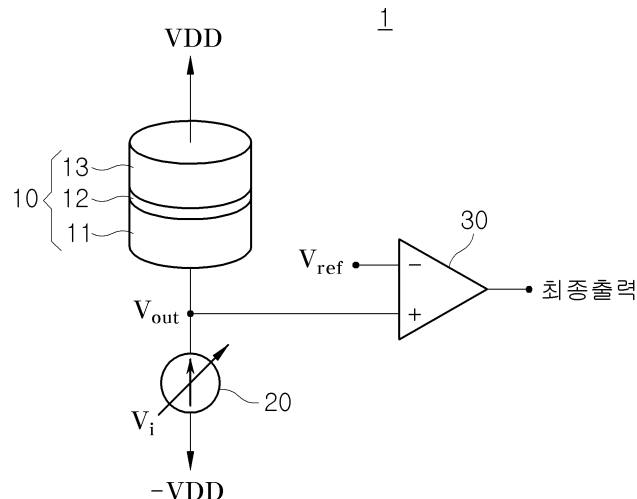
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 안정적인 전류에 의해 제어되는 확률론적 비트 소자

(57) 요약

본 발명의 실시예에 따른 확률론적 비트 소자는, 고정층, 터널접합층 및 자유층이 순서대로 적층되며, 상기 고정층의 자화 방향과 상기 자유층의 자화 방향이 평행한 평행 상태와 반평행(anti-parallel)한 반평행 상태를 확률론적으로 갖는 자기터널접합구조; 및 상기 자기터널접합구조에 연결되며, 입력 전압에 따른 전류를 상기 자기터널접합구조에 공급하는 가변 전류원을 포함하며, 상기 입력 전압의 적어도 일부의 범위에서, 상기 자기터널접합구조가 평행 상태일 때 상기 가변 전류원이 공급하는 전류와 상기 자기터널접합구조가 반평행 상태일 때 상기 가변 전류원이 공급하는 전류가 동일하다.

대표도 - 도1



(52) CPC특허분류

G11C 11/161 (2013.01)

H01L 27/228 (2013.01)

(72) 발명자

전진우

서울특별시 강남구 선릉로112길 53, 103동 202호
(삼성동, 롯데캐슬킹덤)

최요한

서울특별시 성북구 화랑로37길 7, 201호 (장위모아
뉴캐슬)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711121354

과제번호 2020M3F3A2A01081635

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 원천기술개발사업 → 지능형반도체선도기술개발사업 → 차세대지능형반도체기술개발
사업 → 신소자원천기술개발

연구과제명 랜덤 나노자성체 기반 확률론적 컴퓨팅 및 역연산 논리회로 구현

기 여 율 1/1

과제수행기관명 한국과학기술연구원/고려대학교

연구기간 2020.07.01 ~ 2023.02.28

명세서

청구범위

청구항 1

고정층, 터널접합층 및 자유층이 순서대로 적층되며, 상기 고정층의 자화 방향과 상기 자유층의 자화 방향이 평행한 평행 상태와 반평행(anti-parallel)한 반평행 상태를 확률론적으로 갖는 자기터널접합구조; 및

상기 자기터널접합구조에 연결되며, 입력 전압에 따른 전류를 상기 자기터널접합구조에 공급하는 가변 전류원;을 포함하며,

상기 입력 전압의 적어도 일부의 범위에서, 상기 자기터널접합구조가 평행 상태일 때 상기 가변 전류원이 공급하는 전류와 상기 자기터널접합구조가 반평행 상태일 때 상기 가변 전류원이 공급하는 전류가 동일한 것을 특징으로 하는 확률론적 비트 소자.

청구항 2

제1항에 있어서,

상기 가변 전류원은,

상기 자기터널접합구조의 출력단에 연결되는 트랜지스터;

입력단 중 하나에는 상기 입력 전압이 인가되고, 입력단 중 나머지 하나는 상기 트랜지스터의 소스 단자에 연결되며, 출력단이 상기 트랜지스터의 게이트 단자에 연결되는 OP(operational) 앰프; 및

상기 트랜지스터의 소스 단자에 연결되는 저항 소자;

를 포함하는 것을 특징으로 하는 확률론적 비트 소자.

청구항 3

제2항에 있어서,

상기 트랜지스터는 n채널 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)인 것을 특징으로 하는 확률론적 비트 소자.

청구항 4

제2항에 있어서,

상기 트랜지스터는 p채널 MOSFET인 것을 특징으로 하는 확률론적 비트 소자.

청구항 5

제1항에 있어서,

상기 자기터널접합구조의 출력단의 전압 또는 전류와 기준 전압 또는 전류를 비교한 결과에 기초하여 디지털 출력을 생성하는 출력 생성부

를 더 포함하는 것을 특징으로 하는 확률론적 비트 소자.

청구항 6

제1항의 확률론적 비트 소자를 포함하는 확률론적 컴퓨팅 소자.

발명의 설명

기술 분야

[0001] 본 발명은 안정적인 전류에 의해 제어되는 확률론적 비트 소자에 관한 것이다.

배경 기술

[0003] 최근 자기터널접합(Magnetic Tunneling Junction) 구조를 이용한 메모리 소자가 차세대 기술로 주목받고 있다.

[0004] 자기터널접합구조는 두 개의 자성층 사이에 절연층이 배치된 구조로, 두 개의 자성층 중 하나는 자화 방향이 일정한 방향으로 고정되고, 나머지 하나는 자화 방향이 평행하거나 반평행하게 됨으로써 정보를 저장한다.

[0005] 이와 관련하여 등록특허 제10-2134616호는, 비트 라인(bit line), 워드 라인(word line) 그리고 소오스 라인(source line)에 전기적으로 접속된 메모리 셀에서 자기 터널 접합(magnetic tunnel junction)을 갖도록, 워드 라인과 비트 라인 사이에서 자기 터널 접합을 구성하기 위해 순차적으로 적층되는 제1 전극, 수직 분극자화 고정층, 전도성 스페이서, 수평 회전자화 자유층, 절연성 스페이서, 수평 비교자화 고정층과 제2 전극을 포함하는 스핀 주입 토크 자성 메모리를 개시한다.

[0006] 또한, 등록특허 제10-2142091호는, 실리콘 기판 상에 적어도 하나로 위치되어 내부에서 스핀 궤도 상호작용(spin orbit interaction)을 야기시키는 로우 선택 라인(row selection line); 로우 라인 패턴 상에 적어도 하나로 위치되는 제1 자성 패턴; 제1 자성 패턴 상에 위치되는 제2 자성 패턴; 제2 자성 패턴 상에 위치되는 터널 베리어; 및 터널 베리어 상에 위치되는 제3 자성 패턴을 포함하고, 상기 제1 자성 패턴은 코발트 막(Co film)으로 이루어지고, 제1 자성 패턴과 제2 자성 패턴은 총 두께 5nm로 이루어져 자유층(free layer)을 형성하고, 제3 자성 패턴은 자화 방향을 고정시킨 고정층(pinned layer)으로 형성된, 스핀 궤도 토크 자성 메모리를 개시한다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 등록특허 제10-2142091호

(특허문헌 0002) 등록특허 제10-2134616호

발명의 내용

해결하려는 과제

[0009] 그러나, 상기 선행문헌은 모두 자기터널접합구조의 자화 방향을 평행 또는 반평행한 방향으로 일정하게 제어함으로써 자기터널접합구조가 안정적인 상태를 유지하도록 하여 메모리 소자로 활용하기 위한 기술이다.

[0010] 본 발명의 실시예는 불안정한 상태의 자기터널접합구조의 자화 방향을 확률적으로 제어할 수 있는 확률론적 비트 소자를 제공하고자 한다.

과제의 해결 수단

[0012] 본 발명의 실시예에 따른 확률론적 비트 소자는, 고정층, 터널접합층 및 자유층이 순서대로 적층되며, 상기 고정층의 자화 방향과 상기 자유층의 자화 방향이 평행한 평행 상태와 반평행(anti-parallel)한 반평행 상태를 확률론적으로 갖는 자기터널접합구조; 및 상기 자기터널접합구조에 연결되며, 입력 전압에 따른 전류를 상기 자기

터널접합구조에 공급하는 가변 전류원을 포함하며, 상기 입력 전압의 적어도 일부의 범위에서, 상기 자기터널접합구조가 평형 상태일 때 상기 가변 전류원이 공급하는 전류와 상기 자기터널접합구조가 반평형 상태일 때 상기 가변 전류원이 공급하는 전류가 동일하다.

- [0013] 상기 가변 전류원은, 상기 자기터널접합구조의 출력단에 연결되는 트랜지스터; 입력단 중 하나에는 상기 입력 전압이 인가되고, 입력단 중 나머지 하나는 상기 트랜지스터의 소스 단자에 연결되며, 출력단이 상기 트랜지스터의 게이트 단자에 연결되는 OP(operational) 앰프; 및 상기 트랜지스터의 소스 단자에 연결되는 저장 소자를 포함할 수 있다.
- [0014] 상기 트랜지스터는 n채널 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)일 수 있다.
- [0015] 상기 트랜지스터는 p채널 MOSFET일 수 있다.
- [0016] 상기 확률론적 비트 소자는, 상기 자기터널접합구조의 출력단의 전압 또는 전류와 기준 전압 또는 전류를 비교한 결과에 기초하여 디지털 출력을 생성하는 출력 생성부를 더 포함할 수 있다.
- [0017] 본 발명의 실시예에 따른 확률론적 컴퓨팅 소자는 상기 확률론적 비트 소자를 포함한다.

발명의 효과

- [0019] 본 발명의 실시예에 의하면, 불안정한 상태의 자기터널접합구조의 자화 방향을 확률적으로 제어할 수 있는 확률론적 비트 소자가 제공된다.
- [0020] 본 발명의 실시예에 의하면, 확률론적 비트 소자에 안정적인 전류가 제공될 수 있다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 실시예에 따른 확률론적 비트 소자를 나타내는 도면이다.
- 도 2의 자기터널접합구조의 에너지 상태를 설명하기 위한 도면이다.
- 도 3은 도 1의 자기터널접합구조에 인가되는 전압과 출력 전압의 평균값의 관계의 일 예를 나타내는 그래프이다.
- 도 4의 (a), (b), (c)는 도 3의 A, B, C의 지점에 해당하는 입력 전압이 각각 입력되는 경우 시간에 따른 출력 전압을 나타내는 그래프이다.
- 도 5는 도 1의 자기터널접합구조의 평형 상태와 반평형 상태를 설명하기 위한 도면이다.
- 도 6은 비교예에 따른 확률론적 비트 소자를 나타내는 회로도이다.
- 도 7의 (a)는 도 6의 확률론적 비트 소자에서 입력 전압과 출력 전압의 관계를 나타내는 그래프이고, 도 7의 (b)는 도 6의 확률론적 비트 소자에서 입력 전압과 드레인 전류의 관계를 나타내는 그래프이다.
- 도 8은 도 1의 가변 전류원의 일 예를 나타내는 회로도이다.
- 도 9의 (a)는 도 8의 확률론적 비트 소자에서 입력 전압과 출력 전압의 관계를 나타내는 그래프이고, 도 9의 (b)는 도 8의 확률론적 비트 소자에서 입력 전압과 드레인 전류의 관계를 나타내는 그래프이다.
- 도 10은 도 1의 가변 전류원의 일 예를 나타내는 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정되어 해석되지 말아야 하며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야 한다.
- [0024] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.

- [0025] 명세서 및 청구범위에서 용어 "포함하는"과 함께 사용될 때 단수 단어의 사용은 "하나"의 의미일 수도 있고, 또는 "하나 이상", "적어도 하나", 및 "하나 또는 하나보다 많은"의 의미일 수도 있다.
- [0026] 명세서 및 청구범위에서 용어 "연결", "제공", "전송"은 하나의 구성요소에서 다른 구성요소로 직접 연결, 제공, 전송되는 경우뿐만 아니라 다른 구성요소가 개재되어 간접적으로 연결, 제공, 전송되는 경우도 포함한다.
- [0027] 청구항들에서의 용어 "또는"의 사용은 본 개시 내용이 단지 선택가능한 것들 및 "및/또는"을 나타내는 정의를 지지하더라도, 선택가능한 것은 상호 배타적이거나 단지 선택가능한 것들을 나타내는 것으로 명백하게 표시되지 않는 한 "및/또는"을 의미하기 위해 사용된다.
- [0028] 본 발명의 특징 및 이점은 다음 상세한 설명으로부터 분명해질 것이다. 그러나, 본 발명의 사상 및 범위 내 다양한 변경들 및 변형들이 본 상세한 설명으로부터 해당 기술분야의 통상의 기술자들에게 분명해질 것이기 때문에, 상세한 설명 및 구체적인 예들은 본 발명의 구체적인 실시예들을 나타내지만, 단지 예로서 주어진다. 본 발명의 다양한 예시적인 실시예들은 본 발명의 예시적인 실시예들이 도시되는, 첨부 도면들에 대하여 아래에서 상세하게 논의된다. 구체적인 구현예들이 논의되지만, 이는 단지 예시 목적들을 위해 행해진다. 관련 기술분야에서의 통상의 기술자는 다른 구성요소들 및 구성들이 본 발명의 사상 및 범위에서 벗어나지 않고 사용될 수 있다는 것을 인식할 것이다. 같은 번호들은 전체에 걸쳐 같은 요소들을 나타낸다.
- [0030] 도 1은 본 발명의 실시예에 따른 확률론적 비트 소자(1)를 나타내는 도면이다.
- [0031] 도 1을 참조하면, 확률론적 비트 소자(1)는, 자기터널접합구조(10) 및 가변 전류원(20)을 포함하며, 추가적으로 출력 생성부(30)를 더 포함할 수 있다.
- [0032] 자기터널접합구조(10)는 고정층(11), 터널접합층(12) 및 자유층(13)이 순서대로 적층되며, 고정층(11)의 자화 방향과 자유층(12)의 자화 방향이 평행한 평행 상태와 반평행한 반평행 상태를 확률론적으로 갖는다. 고정층(11)은 자화 방향이 고정된 값을 가지며, 고정층(11) 및 자유층(13)의 자화 방향은 수평 자화, 수직 자화 또는 이들이 결합된 형태일 수 있다. 터널 접합층(12)은 고정층(11)과 자유층(13)을 전기적으로 절연한다. 자유층(13)의 자화 방향이 고정층(11)의 자화 방향과 평행하게 또는 반평행하게 정렬되는 방식은 스핀전달토크(spin transfer torque) 또는 스핀궤도토크(spin orbit torque) 방식 등 어느 것이라도 될 수 있다.
- [0033] 고정층(11)은 자성 물질로 형성되며 자화 방향이 고정되어 있다. 고정층(11)은 Co, Py, CoFeB, Co/Ru/Co/PtMn, Py/Ru/Py/PtMn 및 CoFeB/Ru/CoFeB/PtMn 중 적어도 하나를 포함할 수 있다. 터널접합층(12)은 절연물질로 형성되며, MgO, AlO_x 및 HfO_x 중 적어도 하나를 포함할 수 있다. 자유층(13)은 자성 물질로 형성되며 고정층(11)에 대해 평행하거나 반평행한 자화 방향을 갖는다. 자유층(13)은 Co, Py, CoFeB, Co/Ru/Co/PtMn, Py/Ru/Py/PtMn 및 CoFeB/Ru/CoFeB/PtMn 중 적어도 하나를 포함하거나, 코발트-철-붕소 합금(CoFeB) 막에 테르븀(Tb), 디스프로슘(Dy), 사마륨(Sm) 및 홀륨(Ho) 중 적어도 하나를 포함할 수 있다. 다만, 전술한 고정층(11), 터널접합층(12) 및 자유층(13)은 형성하는 물질은 예시에 불과하며, 자화 방향이 평행 상태 또는 반평행 상태를 가질 수 있는 것이면 된다.
- [0034] 도면에 도시하지는 않았지만, 자기터널접합구조(10)의 양단에는 자기터널접합구조(10)에 전류/전압을 공급하기 위한 전극이 연결될 수 있다. 전극은 도전성 물질로 형성되며, 예를 들어 Ta/Ru, Ta/Pt, (Ta/Cu)_xN/Ta, (Ta/CuN)_xN/Ta 및 (Ta/Ru)_xN/Ta 중 적어도 하나를 포함할 수 있다.
- [0035] 가변 전류원(20)은 자기터널접합구조(10)에 연결되며, 입력 전압(V_i)에 따른 전류를 자기터널접합구조(10)에 공급한다. 이때, 입력 전압(V_i)의 적어도 일부의 범위에서, 자기터널접합구조(10)가 평행 상태일 때 가변 전류원(20)이 공급하는 전류와, 자기터널접합구조(10)가 반평행 상태일 때 가변 전류원(20)이 공급하는 전류가 동일하다.
- [0036] 출력 생성부(30)는 출력 전압(V_{out})과 기준전압(V_{ref})을 비교한 결과에 기초하여 최종 출력을 출력한다. 출력 생성부(30)는 출력 전압(V_{out})과 기준전압(V_{ref})을 비교하여 어느 한쪽이 크면 1을 출력하고, 다른 한쪽이 크면 -1을 출력하는 비교기일 수 있다. 기준전압(V_{ref})은 예를 들어 자기터널접합구조(10)가 평행 상태일 때의 출력 전압(V_{out})과 반평행 상태일 때의 출력 전압(V_{out})의 중간값으로 설정될 수 있다.

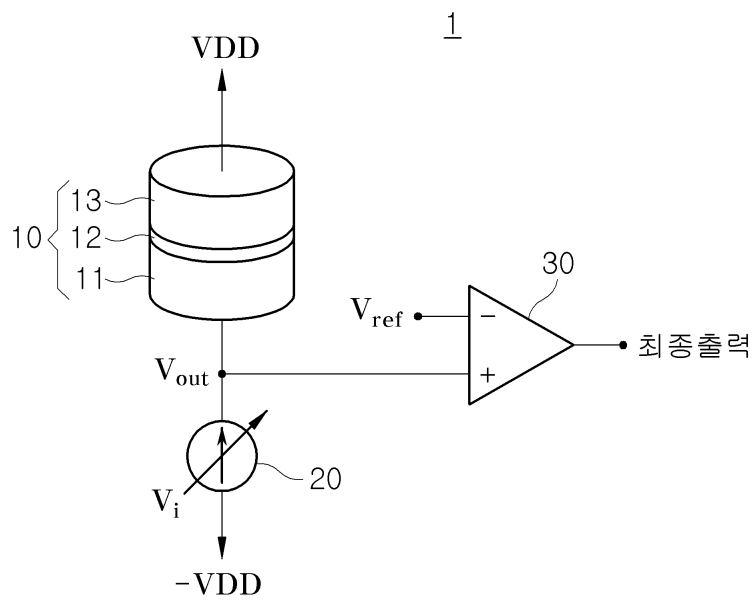
- [0038] 도 2a, 도 2b, 도 3 및 도 4는 도 1의 자기터널접합구조(10)의 확률론적 상태를 설명하기 위한 도면이다.
- [0039] 도 2의 (a)는 종래기술에 따른 안정적인 상태의 자유층의 에너지를 나타내는 도면이고, 도 2의 (b)는 본 발명의 실시예에 따른 불안정한 상태의 자유층의 에너지를 나타내는 도면이다. 도 2의 (a) 및 (b)에서 위 방향의 화살표 및 아래 방향의 화살표 중 어느 하나는 자화 방향이 평행한 상태를 나타내고, 다른 하나는 자화 방향이 반평행한 상태를 나타낸다.
- [0040] 도 2의 (a)를 참조하면, 자기터널접합구조의 자유층이 안정적인 상태에 있는 경우, 평행한 상태와 반평행한 상태 사이에는 예를 들어 50kT의 높은 에너지 장벽이 존재한다. 이에 따라, 자기터널접합구조는 평행한 상태 또는 반평행한 상태를 안정적으로 유지할 수 있다.
- [0041] 이에 반해, 도 2의 (b)를 참조하면, 자기터널접합구조(10)의 자유층이 불안정한 상태에 있는 경우, 평행한 상태와 반평행한 상태의 사이에는 예를 들어 1kT의 낮은 에너지 장벽이 존재한다. 이에 따라, 평행한 상태와 반평행한 상태가 무작위하게 요동하여 수 ms~ 수 ns 정도의 매우 짧은 시간마다 전환될 수 있다.
- [0043] 도 3은 도 1의 자기터널접합구조(10)에 인가되는 전압(V_i)과 출력 전압의 평균값(V_{avg})의 관계의 일 예를 나타내는 그래프이고, 도 4의 (a), (b), (c)는 도 3의 A, B, C의 지점에 해당하는 -1V, 0V, 1V의 입력 전압전압(V_i)이 각각 입력되는 경우 시간에 따른 출력 전압(V_{out})을 나타내는 도면이다. 설명의 편의상 도 4에서 자기터널접합구조(10)가 평행한 상태일 때 출력 전압(V_{out})이 -1을 갖고, 자기터널접합구조(10)가 반평행한 상태일 때 출력 전압(V_{out})이 1을 갖는 것으로 가정한다. 다만, 반대로 자기터널접합구조(10)가 평행한 상태일 때 출력 전압(V_{out})이 1을 갖고, 자기터널접합구조(10)가 반평행한 상태일 때 출력 전압(V_{out})이 -1을 갖는 것으로 표시할 수도 있다.
- [0044] 먼저 도 4의 (a)를 참조하면, -1V의 입력 전압이 인가된 경우 자기터널접합구조(10)는 자화방향이 평행인 상태와 반평행인 상태를 전환하게 되며, 소정시간 중에서 자화 방향이 평행인 상태인 구간의 총합은 소정시간의 약 90%에 해당하고, 자화 방향이 반평행인 상태인 구간의 총합은 소정시간의 약 10%에 해당한다. 이에 따라, 도 3의 A에 나타난 바와 같이, 소정시간 동안 출력 전압의 평균값(V_{avg})은 약 -0.8이 된다.
- [0045] 도 4의 (b)를 참조하면, 0V의 입력 전압이 인가된 경우 자기터널접합구조(10)는 자화방향이 평행인 상태와 반평행인 상태를 전환하게 되며, 소정시간 중에서 자화 방향이 평행인 상태인 구간의 총합과 자화 방향이 반평행인 상태인 구간의 총합은 각각 소정시간의 약 50%에 해당한다. 이에 따라, 도 3의 B에 나타난 바와 같이, 소정시간 동안 출력 전압의 평균값(V_{avg})은 약 0이 된다.
- [0046] 도 4의 (c)를 참조하면, +1V의 입력 전압이 인가된 경우 자기터널접합구조(10)는 자화방향이 평행인 상태와 반평행인 상태를 전환하게 되며, 소정시간 중에서 자화 방향이 평행인 상태인 구간의 총합은 소정시간의 약 10%에 해당하고, 자화 방향이 반평행인 상태인 구간의 총합은 소정시간의 약 90%에 해당한다. 이에 따라, 도 3의 C에 나타난 바와 같이, 소정시간 동안 출력 전압의 평균값(V_{avg})은 약 0.8이 된다.
- [0047] 즉, 도 3은 입력 전압에 따른 출력 전압의 값을 소정시간 동안 평균한 값을 나타내며, 소정시간 내의 각 시점에서 출력 전압은 -1 또는 1을 나타낸다.
- [0048] 본 발명의 실시예에 따른 확률론적 비트 소자는 도 3에 도시된 바와 같은 입력 전압(V_i)에 따른 출력 전압의 평균값(V_{avg})이 소정의 관계를 갖도록 설정될 수 있다. 예를 들어, 확률론적 컴퓨팅에서 사용되는 확률론적 비트 소자의 V_i 와 V_{avg} 의 관계는 다음과 같이 설정될 수 있다.
- [0049] $V_{avg} = \tanh(V_i)$ 또는
- [0050] $V_{avg} = \text{sign}[\tanh(V_i) + \text{random}(-1, 1)]$

- [0052] 도 5는 도 1의 자기터널접합구조(10)의 평형 상태와 반평형 상태를 설명하기 위한 도면이다.
- [0053] 도 5의 좌측은 자기터널접합구조(10)가 평형 상태를 갖는 것을 도식화한 것이고, 우측은 자기터널접합구조(10)가 반평형 상태를 갖는 것을 도식화한 것이다.
- [0054] 도 5에 도시된 바와 같이, 자기터널접합구조(10)가 평형 상태인 경우에는 자기터널접합구조(10)를 등가 저항 R_p 로 나타낼 수 있고, 자기터널접합구조(10)가 반평형 상태인 경우에는 자기터널접합구조(10)를 등가 저항 R_{ap} 로 나타낼 수 있다. 통상 $R_p < R_{ap}$ 를 만족하므로, 자기터널접합구조(10)가 평행 상태와 반평행 상태를 전환함에 따라 출력 전압(V_{out})도 요동하게 된다.
- [0056] 도 6은 비교예에 따른 확률론적 비트 소자(2)를 나타내는 회로도이고, 도 7의 (a)는 도 6의 확률론적 비트 소자(2)에서 입력 전압(V_i)과 출력 전압(V_{out})의 관계를 나타내는 그래프이고, 도 7의 (b)는 도 6의 확률론적 비트 소자(2)에서 입력 전압(V_i)과 드레인 전류(I_d)의 관계를 나타내는 그래프이다.
- [0057] 도 6을 참조하면, 확률론적 비트 소자(2)는 자기터널접합구조(100)와, 자기터널접합구조의 출력단에 연결된 트랜지스터(200)를 포함한다. 트랜지스터(200)의 게이트 단자에는 입력 전압(V_i)이 인가된다.
- [0058] 도 6을 참조하면, 입력 전압(V_i)이 인가됨에 따라 트랜지스터(200)에는 드레인 전류(I_d)가 흐르게 된다. 이때, 전술한 바와 같이, 자기터널접합구조(100)는 평행 상태와 반평행 상태를 전환하며, 이에 따라 도 7에 도시한 바와 같이, 입력 전압(V_i)에 따른 드레인 전류(I_d) 역시 큰 폭으로 변화함으로 알 수 있다. 또한, 드레인 전류(I_d)의 변동에 의해 출력 전압(V_{out}) 역시 큰 폭으로 변동한다.
- [0059] 비교예에 따른 확률론적 비트 소자(2)는 전술한 바와 같이 자기터널접합구조(100)가 평행 상태인지 반평행 상태인지에 따라 드레인 전류(I_d)가 변화할 뿐만 아니라, 복수의 확률론적 비트 소자가 존재하는 경우 복수의 확률론적 비트 소자들의 트랜지스터들간의 편차(variation)나, 각 트랜지스터의 특성에 의해서도 드레인 전류(I_d)가 변화할 수 있다. 이에 따라, 확률론적 비트 소자(2)의 설계나 분석이 복잡해질 수 있다.
- [0061] 도 8은 도 1의 가변 전류원(20)의 일 예를 나타내는 회로도이다.
- [0062] 도 8에 도시된 바와 같이, 가변 전류원(20)은 자기터널접합구조(10)의 출력단에 연결되는 트랜지스터(21), 입력단 중 하나인 +단자에는 입력 전압(V_i)이 인가되고, 입력단 중 나머지 하나인 -단자는 트랜지스터(21)의 소스 단자에 연결되며, 출력단이 트랜지스터(21)의 게이트 단자에 연결되는 OP 앰프(22) 및 트랜지스터(21)의 소스 단자에 연결되는 저항 소자(23)를 포함한다.
- [0063] 트랜지스터(21)는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor), JFET(Junction Field Effect Transistor)과 같은 FET(Field Effect Transistor)나 바이폴라(bipolar) 트랜지스터 등 다양한 종류의 트랜지스터 중 어느 것이라도 사용될 수 있으며, 게이트 전압과 드레인-소스 전류간의 특성, 온도에 대한 민감도, 크기, 공정의 용이성 등을 고려하여 선택될 수 있다.
- [0064] 도 8을 참조하면, OP 앰프(22)의 입력단과 트랜지스터(21)의 소스 단자가 연결된다. OP 앰프(22)가 이상적이라고 가정했을 때 OP 앰프(22)의 두 개의 입력단의 전압이 동일하다. 이에 따라, 트랜지스터(21)의 소스 단자의 전압은 입력 전압(V_i)과 동일하게 되며, 저항(23)에는 일정한 전류가 흐르게 된다. 또한, OP 앰프(22)가 이상적이라고 가정했을 때 OP 앰프(22)의 입력단에 흐르는 전류가 0 이므로, 저항(23)을 흐르는 전류(I_d)는 트랜지스터(21)의 드레인-소스를 거쳐, 자기터널접합구조(10)에도 흐르게 된다.
- [0065] 본 실시예에 의하면, 외부에서 인가하는 전압(V_i)에 대응하는 크기의 전류(I_d)가 자기터널접합구조(10)와 트랜지스터(21)를 거쳐 저항(23)에 흐를 수 있다. 이에 따라, 출력 전압(V_{out})의 크기의 조절이 가능하다.
- [0066] 또한, 전류(I_d)의 크기가 입력 전압(V_i)과 저항(23) 값에 의해 결정되기 때문에, 트랜지스터(21) 자체의 특성이나 편차에 의한 영향도 감소할 수 있다. 이에 따라, 확률론적 비트 소자의 설계나 분석도 용이해질 수 있다.

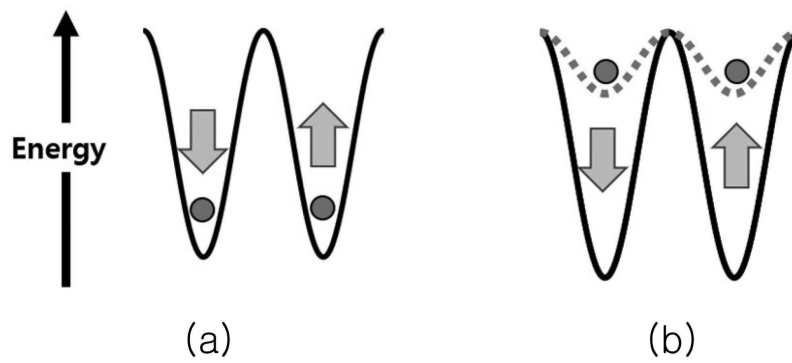
- [0068] 도 9의 (a)는 도 8의 확률론적 비트 소자에서 입력 전압(V_i)과 출력 전압(V_{out})의 관계를 나타내는 그래프이고, 도 9의 (b)는 도 8의 확률론적 비트 소자에서 입력 전압(V_i)과 드레인 전류(I_d)의 관계를 나타내는 그래프이다.
- [0069] 도 7의 (b) 및 도 9의 (b)를 참조하면, 본 발명의 실시예에 따른 확률론적 비트 소자의 드레인 전류(I_d)의 변동폭, 즉 자기접합터널구조(10)가 평행 상태인 때의 드레인 전류(I_d)와 반평행 상태인 때의 드레인 전류(I_d)의 차이가 비교예(2)에 비해 매우 큰 폭으로 감소함을 알 수 있다. 특히, 입력 전압(V_i)이 약 0.7V 이하인 경우 본 발명의 실시예에 따른 확률론적 비트 소자의 드레인 전류(I_d)는 자기접합터널구조(10)가 평행 상태인지 반평행 상태인지와 무관하게 거의 일정한 값을 갖는다.
- [0070] 또한, 도 7의 (a) 및 도 9의 (a)를 참조하면, 본 발명의 실시예에 따른 확률론적 비트 소자의 드레인 전류(I_d)의 변동폭이 감소함에 따라 출력 전압(V_{out})의 변동폭, 즉 자기접합터널구조(10)가 평행 상태인 때의 출력 전압(V_{out})과 반평행 상태인 때의 출력 전압(V_{out})의 차도 감소함을 알 수 있다.
- [0072] 도 10은 도 1의 가변 전류원(20)의 일 예를 나타내는 회로도이다.
- [0073] 도 10을 참조하면, 가변 전류원(20)은 자기터널접합구조(10)의 출력단에 연결되는 트랜지스터(24), 입력단 중 하나인 +단자에는 입력 전압(V_i)이 인가되고, 입력단 중 나머지 하나인 -단자는 트랜지스터(24)의 소스 단자에 연결되며, 출력단이 트랜지스터(24)의 게이트 단자에 연결되는 OP 앰프(25) 및 트랜지스터(24)의 소스 단자에 연결되는 저항 소자(26)를 포함한다.
- [0074] 도 10의 가변 전류원은 도 8의 가변 전류원의 n채널 트랜지스터(21)가 p채널 트랜지스터(24)로 대체된 것이다. 도 10에 도시된 바와 같이, 가변 전류원(20)은 n채널 트랜지스터뿐만 아니라 p채널 트랜지스터도 포함할 수 있다.
- [0075] 도 8 및 도 10에서 저항소자(23, 26)는 한 개인 것으로 도시되었지만, 복수의 저항 소자가 직렬 또는 병렬로 연결되어 구성될 수도 있다.
- [0077] 본 발명의 실시예에 따른 확률론적 비트 소자(1)는 확률론적 컴퓨팅 소자에 이용될 수 있다. 확률론적 컴퓨팅 소자는 확률론적 비트 소자들을 이용한 컴퓨팅 소자이다. 확률론적 컴퓨팅 소자는 NP 완전/난해 문제(Non-deterministic complete/hard problem)나, 기계학습의 볼츠만 머신(Boltzmann Machine in Machine Learning), 고전적 담금질 기법(Classical Annealing Problem)을 활용한 최적화, 역연산이 가능한 불 논리회로(Invertible Boolean Logic), 양자 볼츠만 법칙(Quantum Boltzmann Law)을 활용한 최적화 등을 위해 사용될 수 있다.
- [0079] 이상, 바람직한 실시예를 통하여 본 발명에 관하여 상세히 설명하였으나, 본 발명은 이에 한정되는 것은 아니며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양하게 변경, 응용될 수 있음은 당해 기술분야의 통상의 기술자에게 자명하다. 따라서, 본 발명의 진정한 보호 범위는 다음의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술적 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0080] 본 명세서에서 입력 전압, 출력 전압, 최종 출력 등의 예시로서 전압과 전류 중 어느 하나를 특정하여 설명하였지만, 전압과 전류는 서로 변환 가능한 값임은 통상의 기술자에게 자명하다. 따라서, 입력 전압, 출력 전압, 최종 출력 등은 전압과 전류 중 본 명세서에서 예시되지 않은 것일 수도 있다.

도면

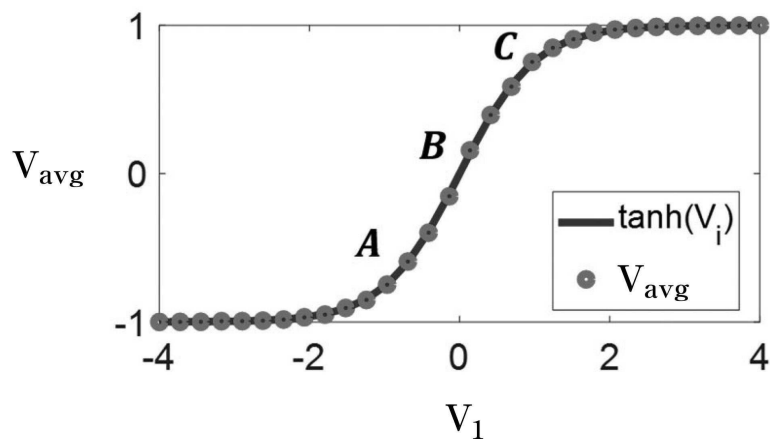
도면1



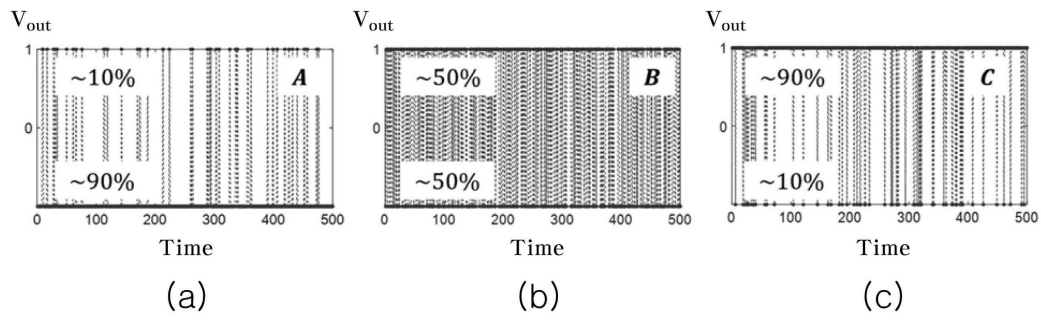
도면2



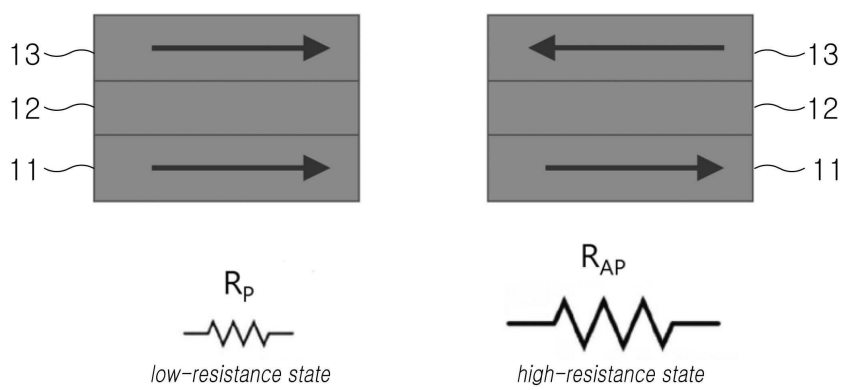
도면3



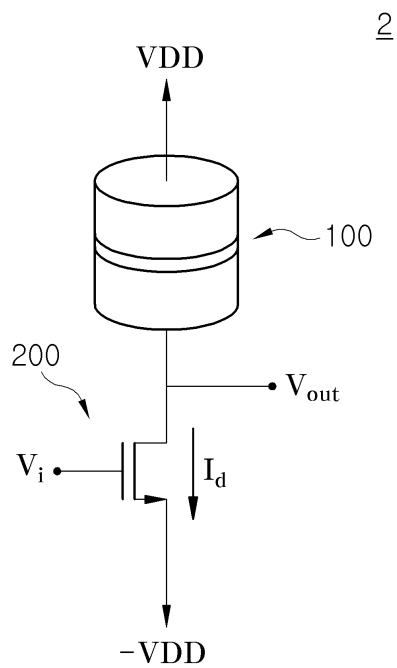
도면4



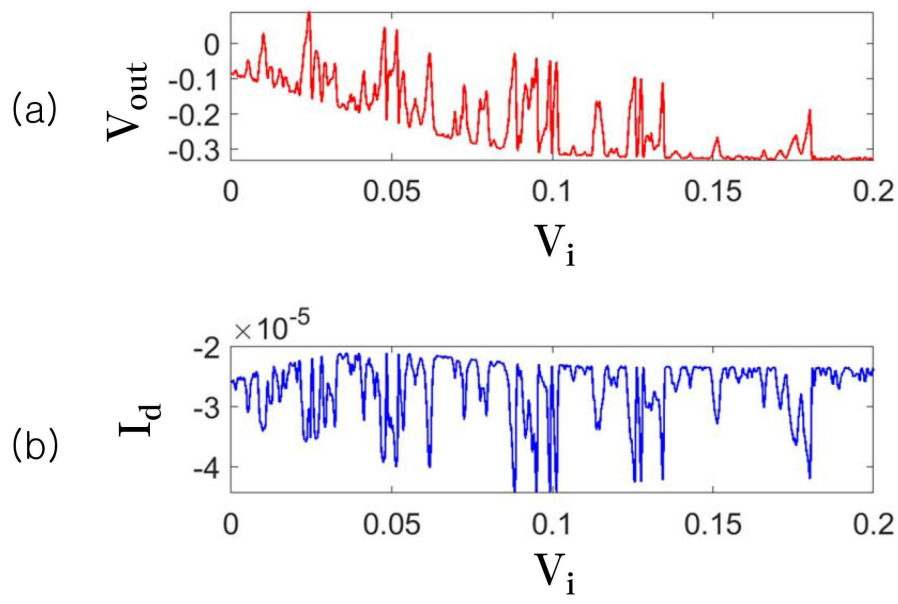
도면5



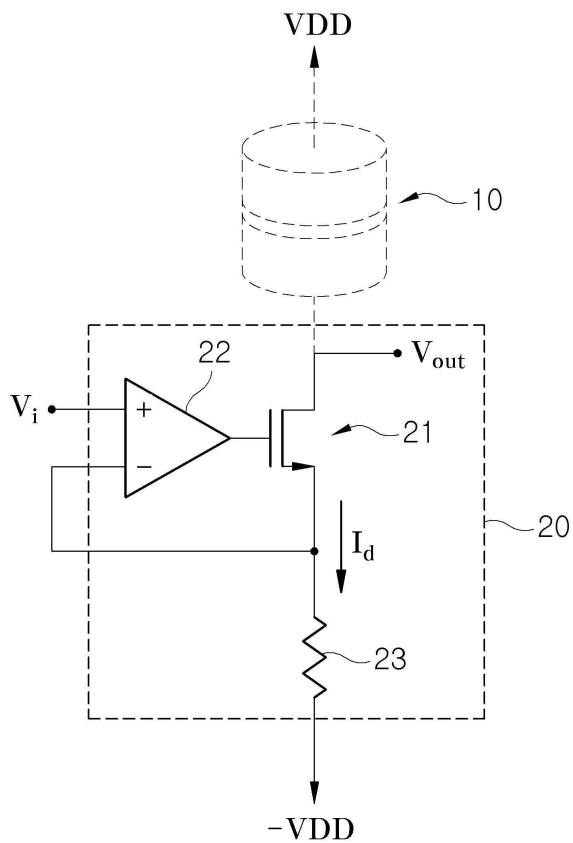
도면6



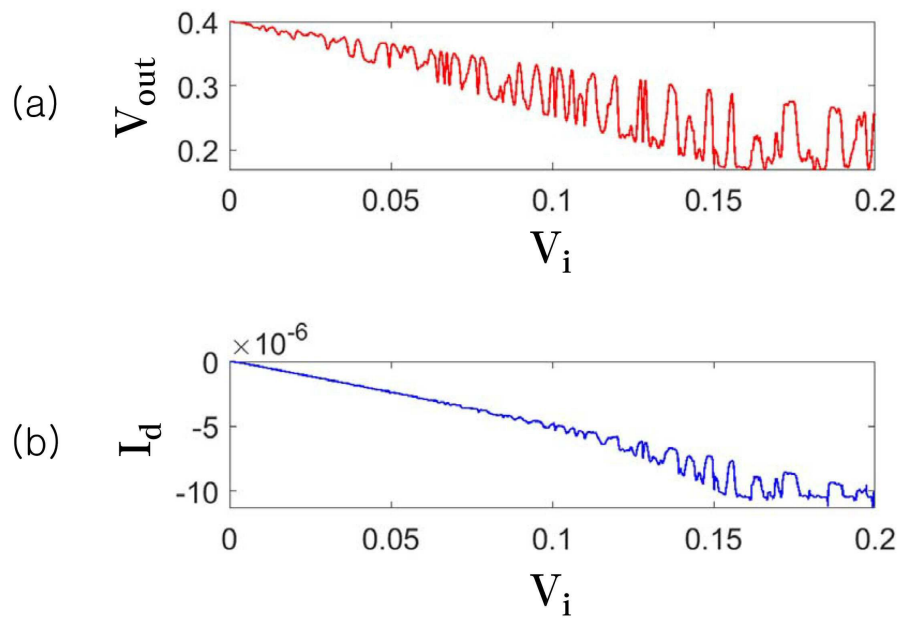
도면7



도면8



도면9



도면10

