

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95125063

※ 申請日期：95 年 7 月 10 日

※IPC 分類：

一、發明名稱：(中文/英文)

G06F 12/50, H01L 21/00 (2006.01)

簡潔模型中氮化物襯層應力效應之佈局基礎調變及最佳化的方法
METHODOLOGY FOR LAYOUT-BASED MODULATION AND
OPTIMIZATION OF NITRIDE LINER STRESS EFFECT IN
COMPACT MODELS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文) 琳奈 D 安德森/ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文) 美國/US

三、發明人：(共 6 人)

姓名：(中文/英文)

1. 杜惹瑟堤 齊單巴勞/CHIDAMBARRAO, DURESETI

2. 多納 L. 喬登/JORDAN, DONALD L.

3. 喬狄斯 H. 麥庫倫/MCCULLEN, JUDITH H.

4. 大衛 M. 歐桑格/ONSONGO, DAVID M.

5. 蒂娜 瓦格納/WAGNER, TINA

6. 理察 Q. 威廉/WILLIAMS, RICHARD Q.

國籍：(中文/英文)

1.-3.及 5.-6. 均為美國/US

4. 為肯亞/KE

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國；西元 2005 年 7 月 29 日；11/193,711

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種決定包含半導體裝置的裝置遷移率的關鍵電晶體模型數量之技術，特別是，關於一種決定在電晶體裝置通道中使用氮化矽層薄膜提供應力之半導體裝置佈局如何影響這些數量之技術。

【先前技術】

應力可用在半導體裝置內以在這裝置中增加電子或電洞遷移率。例如，藉由使用本質應力薄膜，例如通常用來對 FET 的源極或汲極區域形成金屬接觸終端的襯層薄膜，應力可施加於場效電晶體的通道。應力襯層典型上可為氮化矽層，因為氮化薄膜相容使用於接觸形成與蝕刻的矽製造程序步驟。藉由黏附到相鄰表面如晶圓表面，並且在閘極結構”推”或”拉”，襯層薄膜施加應力在隔離的 FET 閘極(或稱為”受難(victim)”閘極)。應力主要是經由自行對準閘極多晶矽(PC)的閘極間隙壁作轉移。固有拉伸應力的襯層薄膜轉移拉伸應力，用於改進 n-型 FETs (NFET)中電子遷移率，而固有壓縮應力的襯層薄膜，用於改進 p-型 FETs (PFET)中電洞遷移率。削弱氮化矽層影響的一因素是接觸冶金學(metallurgy)，特別對源極與汲極區域，襯層需要蝕刻的部份非常接近裝置。這不僅瓦解長薄膜通道轉移應力的能力，也將更加影響通道的奇異點/邊緣(singularity/edge)推向更遠，嚴重降低應力效益。矽表面上同樣物理層如接觸冶金學以及中斷薄膜的其它結構也有同樣影響。此類結構的實例是多晶矽線路。再者，更加

令人擔憂的是這些結構可以任意地設計，因此對於預測性能的影響是正面或負面有困難。影響應力的佈局依賴因素包括介於受難閘極與相鄰結構之間的間距、相鄰結構的尺寸、接點涵蓋(或源極/閘極繞帶(strapping))的數量，以及雙應力襯層科技的案例中(一襯層供 NFETS 與一不同襯層供 PFETS)、介於兩襯層薄膜之間介面的鄰近。FET 佈局中的小變化可能引起驅動電流顯著的移位，並且此變動似乎改變遍及晶片上的一個接一個的裝置。沒有考量應力效益中變動的大小可能嚴重地低估或高估電路模擬的性能。此外，利用關於在已知佈局上應力影響的資訊，電路設計者可利用應力最佳化它們的設計。

已習得先前發展的佈局靈敏(layout-sensitive)效應包括淺溝絕緣(STI)應力效應與 N-井散佈效應。STI 應力效應考量為藉由得到半導體裝置主動區(STI 所環繞的矽島)的長度與寬度，並且調整遷移率作為這兩參數的函數。STI 製程中應力的主要原由是壓縮應力典型應用在縱向(正交於閘極)與橫向(平行於閘極)方向，局部地改變矽帶結構。這樣的應力降低 NFETs 品質，然而有益於 PFET。應力基礎的調整純粹基於來自一組特別指定的巨集(macros)經驗資料，其包含完整的長度/寬度主動區參數空間。然後對於任何已知的主動區長度/寬度，吾人可以內插得到結果。此外，遷移率作用的參數可由實驗資料獲得。

當摻雜物離子植入形式由相對厚的光阻層散佈到不想要的位置時，N-井散佈效應發生。N-井植入散佈也因此是佈局靈敏度高的，但是此靈敏度是無關於應力效應。因

此，N-井植入散佈的影響改變正好在附近的裝置電壓臨界(V_t)。此作用引起電路操作問題並且因此必須適當的考量。模型方法是基於平視佈局，辨識N井光阻鄰近(resist proximity)，並且經由經驗校正，且基於來自N井光阻的距離，再次定義N井散佈的臨界電壓作用。一種模型化受N井植入散佈影響的結構之技術，描述於申請中的美國專利申請號 10/248,853 (公開號 US2004/0034517A1)。

因此，極有必要提供一種延伸以上觀點成為精確考量半導體裝置中氮化矽層應力佈局所引起的變化之系統與方法。

【發明內容】

本發明提供一種系統與方法解決上述與其它問題，其藉由提供可計算地有效技術，精確地考量半導體裝置中氮化矽層基礎應力所造成的佈局引致變化。特別是，本發明使用考量電路佈局型態對電路性能不同衝擊的方法與演算法。執行這類演算法以得到適當應力函數近似值，並且擷取演算法以得到正確幾何參數。

本發明特點包括利用佈局依賴簡潔模型數量的電路網路連接表擷取(circuit netlist extraction)供佈局依賴特徵電路模擬的方法。

本發明也提供佈局依賴特徵的電路網路連接表擷取演算法。讀取關於特定電路的軟體程式(“擷取器”)執行網路連接表擷取。資訊典型地以圖形資料格式儲存，所以

它代表的佈局資訊可被輕易更改。網路連接表擷取程式實施”搜索桶(search bucket)”方式以計算特徵，例如相鄰本地互連形狀(以 MC 表示)與多晶矽佈線形狀(以 PC 表示)的面積、周長與頂點數。可決定雙應力襯層科技中介於應力襯層薄膜(以 BP 表示)之間的介面的距離測量。

本發明更提供網路連接表演算法，其經由擷取器與簡潔模型間的介面與簡潔模型程式通訊。此介面包括一組簡潔模型”情況參數(instance parameters)”，係典型實體數量，如描述電晶體的 FET 通道長度與寬度。本發明提出需要描述佈局依賴數量的附加情況參數，其可以用於計算個別 FETs 上的應力。介面包括”搜索桶”中的形狀面積/周長/頂點數，以及到雙應力製程中兩襯層薄膜間最近介面的距離。藉由使用有效系統處理任意佈局，此類型簡潔模型擷取器介面提供用以傳達關於不同佈局型態資訊的方法。

本發明提供經由簡潔模型輸入模型數量的介面，接收資訊的簡潔模型演算法。特別是，於第一階段，佈局依賴資訊通過包含非指定形狀資訊的介面，並且轉化為指定形狀資訊。接下來，因為襯層薄膜，通道所見的應力在簡潔模型演算法第二階段中計算。應力轉化為簡潔模型參數，例如簡潔模型演算法的第三階段中通道載子遷移率。這些參數可能之後用於產生較精確元素值(element values)，用於演算法另一階段的電路模擬。

根據本發明的第一層面，提供一種決定半導體電晶體

裝置的電晶體模型數量之系統與方法，此裝置具有一或多個襯層薄膜提供電晶體應力效應，此方法包含步驟：

- a) 轉換一實體電晶體設計資訊表示，成為對應電晶體的實際形狀尺寸；
- b) 轉換實際形狀尺寸，成為由一或多個襯層薄膜所提供的電晶體裝置應力位準；以及
- c) 產生簡潔模型參數，用於模型化包含電晶體裝置之一電路，簡潔模型參數包括基於計算的應力位準的模型參數，並且當模型化電晶體裝置時，用於量化應力效應的影響。

根據本發明此層面，轉換步驟 a) 包括擷取電晶體裝置的佈局依賴特徵，該佈局依賴特徵用於產生真實形狀尺寸。此外，擷取佈局依賴特徵包括：相鄰本地連接形狀與多晶矽形狀的面積、周長與頂點數；以及更包含：例如在雙應力襯層科技中，到應力襯層薄膜之間介面的距離測量。

本發明的另一層面，簡潔模型參數包括調整襯層應力以考量通道載子遷移率。

提供計算來自簡潔模型參數電路準位數量另一步驟，其用於包含電晶體裝置的電路模擬。

根據本發明的第二層面，提供一種最佳化電晶體性能之系統與方法，係考量施加於具有一或多個襯層薄膜的每一電晶體裝置之襯層薄膜應力效應，此方法包含步驟：

- a) 接收包括電晶體裝置之一電路佈局的一表示；

- b) 擷取電晶體裝置的佈局依賴特徵，佈局依賴特徵用於產生電晶體裝置特徵的實際形狀尺寸；
- c) 轉換實際形狀尺寸，成為由一或多個襯層薄膜所提供的電晶體裝置應力位準；
- d) 使用一簡潔模型工具模擬一電路，模擬包括利用根據電晶體應力位準調整的簡潔模型參數；
- e) 假如電晶體裝置沒有達到一性能目標，更改電路佈局，以及重複步驟 a)-e)直到電路達到一性能目標。

有利的是，本發明的技術可能應用於致能模型化以及決定具有單一應力襯層薄膜與雙應力襯層薄膜(鄰近介面的兩不同襯層)的應力衝擊。這些技術可能結合其它模型技術例如 STI 應力模型，N-井植入散佈模型以及其他已知技藝的方法。

【實施方式】

本發明針對其它現象擴展先前發展的佈局靈敏簡潔模型演算法，以精確地考量半導體裝置氮化襯層應力中佈局引起的效應變化。特別是，本發明考量電路上大佈局變動的衝擊，利用演算法得到正確應力響應近似值與佈局擷取演算法以得到驅動應力響應的正確幾何參數。特別是，這些演算法包括直接導向搜索”桶”的特定資訊，且包含指向距離量測以詳細分析半導體裝置的指定形狀相鄰區。

分析模型與演算法

為所有可能的氮化襯層案例佈局內插以實驗為基礎的結果會有問題，因為大量的佈局變異以及典型佈局規定

可能太複雜或太一般而不能預測變異。因此，實驗資料不能包含所有可能的變異，且將會有很多情況需要外插超過使用預測方法的資料範圍。模型化先前所提及 STI 應力效應的佈局相依性之需求是較直接的，因為設計空間包含只有兩個 LRX 與 WRX 參數。然而，氮化矽層 MC 蝕刻佈局效應中，有很多佈局依賴參數，如 MC 距離、MC 繞帶數、MC 片段數目，以及平行 MCs 的數目。於此” MC” 以及” MCBAR” 參考形成金屬連接的本地互連遮罩以及” PC” 參考用於製作多晶矽閘極的遮罩名稱。再者，這些變化應該描繪出由實際裝置跨越它全部寬度的相對大距離。此外，在非常小的縱軸距離內，很多可能衝擊應力的氮化矽層” 切痕(cuts)” 可能呈現。

圖 1 顯示半導體裝置的一個實例，例如 FET，適用於描繪金屬接觸(MC)繞帶。裝置 100 包括被多晶矽閘極 130 分開的源極區 110 與汲極區 120。具有長度 MCL 與寬度 tMC 的金屬接觸 112 與 114，分別位於閘極 130 的各端之源極與汲極區域 110 與 120 中，且與閘極 130 中央的一參考線距離 dl 與 dr。使用在模型的 MCL 實例值是 $0.3\mu\text{m}$ 與 $1.0\mu\text{m}$ 。使用在模型的 dl 與 dr 的實例值是 $0.1\mu\text{m}$ 。裝置 100 的主動區(Rx)140 是 LRX $\times$ WRX。提供源極 110 附加接點 150，152 與 154，而提供汲極 120 附加接點 160，162 與 164。

這樣一個半導體裝置的應力函數或響應是複雜的、三維的，且對 MC 繞帶數是敏感的。理想上，FET 上佈局依賴應力效應的電路模擬是結合 TCAD(Technology

Computed-Aided Design)模擬。然而，因為 CPU 時間的高成本，所以不能為每一佈局變異執行全 3D 應力計算。數百種佈局變異以及每一個別 3D 有限元素模型(FEM)應力計算花費 CPU 數小時執行時間，並且忽略設定結構到 3D FEM 碼中的困難，問題是會很棘手的。即使執行連接到電路模擬器的 2D 計算也是不可能的。本發明處理這些議題是藉由提供演算法以近似所有複雜 3D 問題組成為一個分析模型。

分析模型

分析模型目的是減少受難閘極複雜 3D 幾何以及環繞結構，成為一”單一數值的(single valued)”應力值以表示每一裝置的”平均”應力。然後可計算對裝置遷移率與其它重要度量(metrics)的衝擊。

圖 2 根據本發明說明半導體裝置模型。提供相似於顯示在圖 1 的半導體裝置剖面圖。裝置 200 包括很多具有間隙壁的多晶矽閘極 210、220 與 230。特別是，閘極 320 的間隙壁 212 與 214、閘極 220 的間隙壁 222 與 224，以及閘極 230 的間隙壁 232 與 234。閘極(PC)的長度表示為 L_{poly} 。介於閘極之間提供金屬接觸(MC)240 與 250 供連接汲極/源極擴散區域。MC(接觸)寬度表示成 t_{mc} 。注意可提供附加閘極與接點往右與/或往左延伸於裝置 200 中。氮化矽層 260 是提供於裝置 200 全部表面的薄膜。裝置 200 也包含很多不同基板與/或隔離層 270、272 與 274。由閘極 220 的中央參考線 280， d_r 表示向右的距離而 d_l 表示向左的距離。特別是” d_1 ”與” d_2 ”分別表示自參考線

280 到 MC 接點 250 中央以及閘極 230 中央，以及接點 250 右手邊的各別參考線的距離。選替地，需了解到參考線 280 可能位在閘極 220 右手邊而不是圖 2 所示的閘極中央。因此，模型中使用參考線” d1” 可表示自參考線 280 到接點 250 左邊的距離，而” d2” 可表示由參考線 280 到接點 250 右邊的距離。

從圖 2 所示的模型，以及底下供計算” 單一數值的” 應力值之控制方程式(1)-(8)，需要變數以在擷取工具內執行而得到基於佈局設計的資料，例如互連電阻與電容。所需變數包括：(a)介於受難閘極與相鄰 PC 或 MC 之間的距離 d_r 、 d_l ；(b)相鄰 MC 或 PC 寬度 t_{MC} 或 t_{PC} ；(c)相鄰 MC 或 PC 長度 MCL 或 PCL 。可了解到亦可能使用其他距離參考方案。例如，以邊緣對邊緣值計算距離，而非中央對中央距離。

演算法

分析模型與擷取演算法的細節詳細說明如下。一般化的流程圖與相關方程式包含(a)擷取，(b)應力計算以及(c)因為遷移率的裝置衝擊。

根據本發明，桶方式(bucket approach)使用大量的桶，例如將每一桶的大小限制到最小 MC 尺寸。” 桶” 表示為介於閘極與其它相鄰形狀之間的二維搜索區域。在桶內所找到的任何形狀或形狀的部份以形狀中的頂點數、形狀總面積與形狀的周長作表示。大體上這提供簡潔與統一方法供描述在閘極鄰近的形狀。藉由分析多重相鄰桶，可

決定鄰近形狀的位置與尺寸。可了解到 N-井散佈衝擊分析也可利用桶方式，然而，擷取的資訊非常有限並且衝擊只著重在 V_t 變化。

根據本發明實行的應力計算，此方法(a)尋找很多不同參數，例如每一桶中閘極位向、MC 與 PC 位置、面積、周長，(b)使用方程式由面積與周長要素擷取距離，(c)連結跨越桶的真實與周邊要素，(d)提供結果成為分析應力計算，(e)得到遷移率、電流與其它模型量上的影響，(f)得到經由其它參數擷取與應力計算所包含的 BP/BN 邊緣效應，其中 BP 與 BN 是兩互補遮罩，其定義用於半導體裝置科技兩不同襯層薄膜的存在，以及(g)適當地加總所有不同應力效應。

圖 3A 顯示根據本發明一實施例之佈局擷取演算法。於方塊 310，提供電路佈局資料，以例如 GL1 或 GDSII 格式。GL1(係由 IBM 公司發展的圖形語言 1)及 GDSII(係由 GE CALMA 發展的圖形資料系統版本 2)表示為圖形語言，其提供轉移與歸檔(archiving) 2D 圖形設計資料的標準檔案格式。於方塊 320，根據演算法之第一階段，執行擷取程式以提供網路連接表，註解用於本發明的應力參數包含：面積、周長、距離及形狀頂點。擷取程式的一個範例為 IBM 公司的有效快速整合擷取(ERIE)寄生模型擷取工具，其一般自佈局設計資料提供電路層網路連接表(circuit-level netlist)，並擷取互連線阻抗與電阻。擷取工具的其他範例為 Mentor Graphics 公司(加州聖荷西市)的 Calibre 工具與 Synopsys 公司(加州山景市)的 Star-RCXT

工具。因此，於演算法之第一階段中，擷取工具提供包含特定形狀資訊的佈局依賴資訊。

參考圖 3A 方塊 340，根據演算法第二階段，執行擴增具有應力模型演算法的一簡潔模型，其計算通道所見的應力，並且根據演算法的第三階段，另外計算裝置載子遷移率的效應。簡潔模型 340 可能是相容電路模擬器的標準 BSIM 模型，例如 IBM 公司所發展的 PowerSPICE、Synopsys 公司(加州聖荷西市)的 Hspice，以及/或 Cadence 設計系統公司(加州聖荷西市)的 Cadence 頻譜電路模擬器。BSIM 或更特別地，"BSIMPD" 為絕緣層上矽(SOI)裝置的簡潔模型碼，其從柏克萊加州大學可公開利用。"PD" 代表"部份地耗盡"，但注意這裡揭露的標的不限制於特定簡潔模型的類型。

因此，根據演算法第二階段，註解網路連線表介面包含佈局依賴資訊，其包括從擷取工具得到的非特定形狀資訊被轉為特定形狀資訊。

需注意到，於一具體實施例中，擷取程式所提供的註解網路連線表介面資訊可能先被壓縮成一標準格式(一"介面")，並且壓縮的佈局描述傳送到簡潔模組。因為兩程式(擷取器與壓縮模型)之間資訊傳遞的限制所以可能有此需要。選替地，佈局資訊可在沒有壓縮需求下由於擷取程式傳遞到壓縮模型。例如，假如有一個使這兩碼緊緊結合的軟體環境，擷取器會直接逐字地將所有形狀資訊傳遞到簡潔模型。此類傳遞資料方法的一個實施例是形狀座標的

簡單連接表。它更有可能使用概念反向情況，意味並非傳遞高度詳細資訊而是傳遞較少資訊。此可能發生在半導體製程(或佈局設計系統)只支援一固定組電晶體或電力元件佈局的案例，而簡化是有助於一些案例的。因此，例如，也許只支援 4 電晶體佈局與 3 電阻器型態。在此類案例中，擷取器將指示一特定電晶體設計是根據第一佈局(例如，"佈局型態 1")與簡潔模型(其知道佈局型態 1 的應力或佈局)立即知道要提供什麼樣的應力/變更模型參數。

更特別的是，根據演算法第二階段，在"受難"閘極任一側發起鄰近搜索桶內容的掃描。考慮到限制，例如桶包含形狀的實體佈局規則，以及面積/周長/頂點，關於形狀的數目與其實體寬度及長度的資訊，其中寬度儲存成形狀開端/末端邊緣的位置，並且長度(例如"執行長度")定義成平行受難閘極的邊緣。第二階段的結果是關於層上相鄰形狀的佈局資訊的列表，例如 MC、PC 與襯層應力薄膜介面(BP/BN 介面)。可了解到演算法包括表示電晶體隔離的"自我"應力項目，無降低應力的附近佈局特徵，記住降低的應力被認為是不想要的，因為適當型態的高應力傾向於增加遷移率。使用搜索桶中的資訊，分析相鄰形狀，以及可適當的為每一相鄰形狀計算應力之減少。此係針對使用 PC 閘極形狀作為中央參考之電晶體左與右側完成，並且亦針對 MC 與相鄰 PC 形狀完成。也包含 BP/BN 介面效應。

以所知的通道應力，演算法第三階段實施簡潔模型碼，其轉譯應力成全簡潔模型方程式(例如先前提到的

BSIM 模型)與作電路模擬的電路模擬程式 345 所利用的簡潔模型參數 335。演算法的這部份考量縱向應力(沿 FET 電流流動方向)以及橫向應力(平行受難閘極)。分析描述用於產生此轉換。變更的參數 335 包含項目如 FET 遷移率。簡潔模型參數然後傳送到簡潔模型碼，例如上述 BSIM 模型。

圖 3A 更進一步顯示，電路模擬程式 345 可能也接收如方塊 330 所示手動建立的網路連接表輸入。一般而言，電路模擬的簡潔模組是電路設計的 CAD 工具，其在系統晶片(SOC)設計奈米規格中扮演重要角色。特別是，簡潔模型在使用者所用的電路模擬的精確度與效率上扮演關鍵角色，以及製作此設計的科技橋樑。如場效電晶體之電路模擬元件的簡潔模型包含的效應如幾何、偏壓、溫度、DC、AC、RF 與噪音特性。

最後，如圖 3A 所示，利用新簡潔模型參數 335 執行電路模擬程式 345，以分析各種電路拓樸的電性能，且產生模擬結果 350。

圖 3B 根據本發明說明佈局擷取演算法的另一具體實施。圖 3B 所敘之具體實施例中，注意到，當應力模型演算法可能作為用於電路模擬的簡潔模型的部份，它也可以合併在軟體應用 343 功能獨立於賴簡潔模型 346(無應力模型演算法)與電路模擬器 345，以達簡化包含應力模型情況參數的擷取網路連接表的目的。在之後的應用，包含所有佈局依賴應力參數的擷取網路連接表輸入到呼叫應力

模型演算法的程式 343。然後應力模型演算法計算電路模擬期間所需的變更 FET 模型參數(如遷移率)，並且產生簡化的網路連接表 344，其包含變更 FET 模型參數而非原本所有全組佈局依賴參數。網路連接表簡化程式 343 可能是分開的程式、擷取程式的一部份或電路模擬器的部份(但不是簡潔模型)。

圖 4A 說明圖 3A 所示網路連接表擷取程式 320 實施的方法 400。如圖 4A 所示，步驟 402 是輸入 2D 電路的圖形佈局資料的步驟。藉由使用這裡描述的桶方式，本發明通常適用於模型化所有型態電路與半導體裝置的性能，針對示範例的目的，描述新程序關聯來自 FET 裝置佈局的擷取應力參數。由佈局擷取應力參數中，可用兩種形式的擷取。特別是，可使用閘極 PC 對鄰近 PC(PC-PC)，閘極 PC 對鄰近 MC(PC-MC)擷取(使用桶的本地最相鄰分析)，以及 BP/BN 邊緣擷取(本地/遠距形狀邊緣測量)。PC-PC 與 PC-MC 使用桶執行，然而 BP/BN 使用距離測量執行。

因此，如圖 4A 所示，以下是遞迴執行：針對包含在電路的每一 FET 閘極 405，以及各左右方向以及各金屬接觸(MC)，多晶矽佈線層(PC)，示於步驟 408，以及針對每一桶上昇到所允許的預定最大，如步驟 410 指示產生擴展桶。桶方式在此關聯圖 5 作更多細節的描述。

圖 5 根據本發明說明閘極邊緣擴展的實例，屬於形成新桶程序的一部份。僅提供半導體裝置單側的實例。裝置

500 中，閘極 PC 505 包括參考閘極/FET 區域 515，也表示作為”受難閘極”。一第一金屬基點(MC) 535 是最靠近參考閘極/FET 區域 515 的相鄰物，然而第二金屬接觸(MC) 545 是第二接近相鄰物。從參考點開始，例如，閘極 PC 的最右邊緣，提供大量擴展桶，如桶 1(510)、桶 2(520)、桶 3(530)、桶 4(540)、桶 5(550)、桶 6(560)以及桶 7(570)。虛線 525 表示東邊整體數量或向右方向所延伸 PC 與 Rx 的區域 1 交會點。較佳的是，當延伸桶時，僅平行參考邊緣的一邊緣移動，然而可以體認到超過一個以上的邊緣移動。基於描述的目的，最靠近閘極的邊緣是參考邊緣，而其餘兩邊緣為 RX 邊緣所固定，其沿電流流動的方向。因此桶所包圍區域由參考閘極邊緣算起。假如一個桶只涵蓋形狀的部份(例如 MC)，則僅報告該桶的那個部份。之後的桶將抓取更多形狀直到完全封閉，假設都存在上一搜尋的桶之內。選擇桶/尺寸所在以至於在上個桶內發現新形狀一部份，因為距受難閘極之相對大距離，此遠距片段可以近似法處理。如將提及的，簡潔模型可建構形狀。有一限制是桶間距要窄於電流流動方向形狀的最小延伸以及形狀-形狀間距應大於桶寬度。此方法沒有桶包含兩不同形狀的部份(例如從桶擴展方向看來不同，不是”垂直地”)。

因此，如圖 5 所見，使用擴展桶決定 MC 結構 535、545 的位置資訊。知道每一桶的大小與他們特定方向的擴展(縱向或橫向)，可決定相對受難閘極參考邊緣的 MC 邊緣(或 PC 邊緣)的位置。依此資訊，往回參考圖 4A，如步驟 413 所指示決定包圍在每一桶內形狀的面積、周長與頂

點。然後，在步驟 417、420，執行另一程序，包含重複以下處理步驟：對後續 PC/MC 擴展左邊與右邊方向的桶，並且記錄包含在每一桶內形狀的面積、周長與頂點。最後，如步驟 424 所指示，對所要模型化的下一電路的 FET 閘極重複處理步驟。

繼續圖 4B，顯示另一步驟 428 包含量測各 4 個界線方向中到 BP/BN 的距離之步驟。如圖 6 所示，測量的距離包括從 PC 閘極邊緣到相鄰 BP/BN 邊緣介面之距離(本地/遠距形狀邊緣測量)。特別是，圖 6 根據本發明浮動-本體案例(無主體連接)說明 BN/BP 邊緣偵測的實例。此步驟特徵包括閘極邊緣到相鄰 BP/BN 介面的直接測量，其包含距離是：i)垂直於電流流動方向，ii)平行電流流動方向，iii)四個測量，以及 iv)相關閘極面積。如圖 6 所示，4 個測量包含距離如：pdistbpe 602，pdistbpw 604，pdistbpn 606 與 pdistbps 608，所有都是從定義閘極/FET 區域 515 到 BN/BP 邊緣介面的邊緣所測量。可了解到此範例假設 BP 與 BN 總是互補的。

往回參考圖 4B，下一步驟 432 是寫出結果到介面，其提供帶有擷取面積與周長的註解網路連接表給簡潔模型程式 340(圖 3A)。根據演算法第一階段，第一組附加擷取器參數是擷取器由所產生的桶擴展(PC/MC)取回，其包含：

$p(u)(v)(w)(x)$ =數值(微米單位的面積或周長)

其中 $p(u)(v)(w)(x)$ 是介面一部份的固定字串，傳送擷取佈局資訊於擷取器與簡潔模型之間： u 是 4 個值其中之一的變數： n =北、 s =南、 e =東、 w =西； v 是 3 個值其中之一的變數： a =面積、 p =周長以及 v =頂點數； w 是兩個值其中之一的變數： PC 是指示 PC 形狀的旗標，而 CT 是指示 MC 形狀的旗標；而 x 表示桶數。根據演算法第一階段，第二組附加擷取器參數是擷取器由所產生的桶擴展 (BP/BN 邊緣) 取回作為介面一部份，其如下：

$pdistbp(u)$ =數值(微米量測距離)

其中 $pdistbp(u)$ 是固定字串；而 u 是指示四個數值其中之一的變數： n =北、 s =南、 e =東、 w =西。

可了解到傳統擷取資訊例如多晶矽閘極(poly gate)的寬度與長度等，可提供給步驟 435 指示的介面。現在參考圖 7，根據圖 3A 所示簡潔模型程式 340 所執行之本發明，有一流程圖描述使用在簡潔模型/電路模擬的方法 700。第一步驟 703 指示往後所執行的程序步驟相關各個將被模型化的 FET。圖 7 所示，步驟 705，描述讀取擷取程式所提供註解網路連接表介面資訊的步驟。下一步驟 708 包含掃描包含新參數的相關網路連接表資訊，此新參數表示半導體 FET 裝置所包含的各特徵的面積、周長、頂點數。由在步驟 708 所得掃描註解網路連接表資訊，下一步驟 711 包含計算裝置中矩形(特徵)形狀的尺寸與位置。使用相鄰桶內容的資訊，非矩形形狀的選擇型態可能更進一步分析，例如步驟 714 所示。然後如步驟 717 指示編譯形狀

大小，位置與 BP/BN 介面距離的列表。另外，從擷取器簡潔模型傳遞來的且由擷取程式衍生的資訊，計算簡潔模型實際形狀尺寸的值。由此資訊，如步驟 720 指示，計算閘極通道所見的應力。

更特別的是，因為在簡潔模型中附加相鄰形狀(例如 MC、PC 與 BP/BN 介面)的存在，藉由使用在計算閘極通道所見的應力的擷取工具得到輸入參數，以參考方程式 (1)-(8)描述如下。

分析模型設計來減少複雜 3D 幾何成為每一裝置的平均應力，可評估裝置遷移率的衝擊與其他重要的度量。以下方程式 1)中，應力假設為均勻的，且因此被視為單一的平均值。根據方程式 1，總應力” σ ” 以百萬 Pascals 為單位，例如，可計算為：

$$\sigma = \sigma^L - \sigma^T \quad (1)$$

其中 σ^L 是襯層在縱向(平行於電流流動)引起的應力，並且受控於以下方程式 2(a)：

$$\sigma^L = \sigma_{self} - \sigma_{mc} - \sigma_{pc} - \sigma_{Bp}^L \quad (2a)$$

其中 σ^T 是襯層在橫向(垂直於電流流動)引起的應力，並且受控於以下方程式 2(b)：

$$\sigma_T = \sigma_{BP}^T + \sigma_{body\ contact} \quad (2b)$$

根據方程式(2a)與(2b)，定義下項：

$$\sigma_{self} = f_1(L_{poly} \text{ of victim gate}) \quad (3)$$

代表隔離的電晶體之標稱自我應力項，其中 f_1 多項式加權函數反向地依賴所分析 FET”受難閘極”的閘極長度 L_{poly} ；

$$\sigma_{mc} = \sum_{\text{left, right shapes}} \left[\frac{k_1(d_i + t_{mc}/2) - k_2(d_i - t_{mc}/2)}{(d_i + t_{mc}/2)(d_i - t_{mc}/2)} \frac{MC_L}{W_{poly}} \right] I_{mc} \quad (4)$$

代表經由累積項(一是閘極左側，另一是右側)所導出的附加相鄰 MC 所衍生的應力項；並且

$$\sigma_{pc} = \sum_{\text{left, right}} \left[\frac{k_1(d_i + t_{pc}/2) - k_2(d_i - t_{pc}/2)}{(d_i + t_{pc}/2)(d_i - t_{pc}/2)} \frac{PC_L}{W_{poly}} \right] I_{pc} \quad (5)$$

代表經由累積項(一是閘極左側，另一是右側)所導出的附加相鄰 PC 所衍生的應力項。

由於 MC 與 PC 形狀，應力方程式的定義項包括以下：

k_1 、 k_2 =MC 韌性係數(隨 PFETs 或 NFETs 變化)；例如，韌性係數 k_1 、 k_2 是科技機密，因為它們包含間隙壁大小、多晶矽厚度等效應的韌性數值；

d_i =介於受難閘極中心與相鄰形狀(MC)中心之間的距離(見圖 2， d_i 表示為 d_l 與 d_r)；

t_{mc} =MC 的寬度(於電流流動方向)；

t_{pc} =PC 的寬度(於電流流動方向)；

MCL,PCL MC(PC)形狀的執行長度(垂直於電流流動)；

Wpoly=受難閘極寬度(平行於電流流動)；以及

lmc/lpc=形狀對形狀互動項(隨 PFETS 或 NFETs 變動)。

可理解氮化薄膜製程的細節反應在模型中，因為韌性係數與薄膜厚度可用在方程式。

以下方程式中， σ_{BP}^L 表示由於襯層薄膜存在，BP 邊緣效應項在縱向所促成的應力項； σ_{BP}^T 表示由於襯層薄膜存在，BP 邊緣效應項在橫向所促成的應力項；而 σ_{BP}^B 表示只有電晶體有 SOI 本體接點才存在的本體接點應力項。

利用經由擷取工具所得的 BP/BN 距離測量，應力 由於襯層薄膜存在，BP 邊緣效應項在縱向所促成的應力項計算如下：

$$\sigma_{BP}^L = C_{1j} \left[\frac{1}{pdistbpe} + \frac{1}{pdistbpw} \right] - C_{2j} \left[\frac{1}{pdistbpe} + \frac{1}{pdistbpw} \right] \quad (6)$$

其中 NFETs、PFETs 具有不同的適應參數 C_{1j} 、 C_{2j} 。同樣地，由於襯層薄膜存在，BP 邊緣效應項在橫向所促成的應力項 σ_{BP}^T 計算如下：

$$\sigma_{BP}^T = C_{3j} \left[\frac{1}{pdistbpn} + \frac{1}{pdistbpn + W_{poly}} \right] - C_{3j} \left[\frac{1}{pdistbps} + \frac{1}{pdistbps + W_{poly}} \right] \quad (7)$$

其中 NFETs、PFETs 具有不同的適應參數 C_{3j} 。此項 $\sigma_{body\ contact}$ 代表本體接點應力項並且計算如下：

$$\sigma_{body\ contact} = C_{4j} \left[\frac{1}{\alpha W_{poly}} + \frac{1}{W_{poly}} \right] \quad (8)$$

其中 σ 與 C_{4j} 是適應參數。

進一步見圖 7，在步驟 725 繼續，這裡描述基於步驟 720 計算的應力值的計算模型參數調整的步驟。根據方程式(9)此步驟包含計算調整的載子遷移率值 μ_o^s 如下：

$$\mu_o^s = \mu_o^{original} \left[f_2(\sigma^L, \sigma^T) \right] \quad (9)$$

其中 $\mu_o^{original}$ 是標稱載子遷移率值(校準到參考應力準位)；且 f_2 是多項式加權函數，是所計算縱向應力 σ^L 與橫向應力 σ^T 的函數。所計算應力值與其它簡潔模型參數如臨界點或對垂直電場的遷移率靈敏度之間的附加關係是另外考慮的。

最後，如步驟 727 所指示，針對電路中下一個 FET 重複描述在圖 7 的程序步驟，以及簡潔模型程式繼續以一般電路模擬，只不過是利用考量襯層引起的應力因子的較精確模型化。只有直到其他 FET 模型參數已調整為考量應力效應，一般電路模擬才將會開始，如步驟 730 指示。在一般電路模擬，電路準位量可由簡潔模型參數計算。亦即，適用於決定終端電流與電荷的簡潔模型碼用於產生供用於演算法另一階段的電路模擬中的項目。簡潔模型碼可

為傳統碼，其可輕易得自學術界(academia)(例如 BSIM 模型)，或是已為供應力模型發展的慣例碼。

應了解到本發明的方法能處理較一般 FET 裝置配置具有更複雜形狀的半導體裝置。圖 8A 與 8B 說明能由本發明方法分析的更複雜 FET 配置實例。如圖 8A 所示，本發明方法能用於” T 型態” 本體接點 FET 裝置 810 與” H 型態” 本體接點 FET 裝置 850，以擷取應力計算之附加面積，周長與頂點參數(在桶中)。T 型態本體接點 FET 裝置佈局 810 如圖 8A 所示，包括 PC(閘極)813，MC 汲極與源極接點 815，RX(擴散)820，MC(本體接點)825 與 BP 邊緣 830 部份。而 H 型態本體接點 FET 裝置佈局 850 如圖 8B 所示，包括 PC(閘極)853，MC 汲極與源極接點 815，RX(擴散)820，MC(本體接點)區域 875a、875b 部份包括各別 BP 邊緣 880a，880b。這些特徵尺寸的所有大小可用基本規則安排，其允許藉由使用如方程式(8)模型化附加應力貢獻。表示平均應力的分析模型精確度已被圖 9-12 呈現的資料所驗證，其中本發明分析模型以正確韌性參數與有限元素結果作比較。

特別地，圖 9A 顯示 FET 結構以量測 MC 繞帶效應的實例。繞帶是藉由改變 MCL(MC 長度)尺寸而變化。因此，如圖 9A 所示，裝置 900 包括多晶矽閘極 930 所分開的源極區域 910 與汲極區域 920。具有長度 MCL 與寬度 tMC 的偽金屬接觸 912 與 914 分別在源極與汲極 910 與 920 中且與閘極 930 的每一側距一距離 d。用於模型的 MCL 實例數值是 $0.3\ \mu\text{m}$ 與 $1.0\ \mu\text{m}$ 。” d” 代表 μm 單位的偽

MC-PC 距離，並且是在圖 9A x 軸上變化的變數。用於模型中 d 的實例值是 $0.1\ \mu\text{m}$ 。裝置 900 的主動區面積 (Rx)940 是 $\text{LRX} \times \text{WRX}$ 。提供測量接點 950, 952 與 954 給源極 910，然而提供附加接點 960、962 與 964 給汲極 920。

圖 9B 顯示通道應力對百分比金屬接觸(MC)繞帶的圖表，得自於由(a)有限元素模型(FEM)應力計算以及(b)裝置資料。X 軸表示繞帶百分比，介於 0%與 100%之間，而左側 y 軸表示單位為百萬 Pascals(Mpa)的 FEM 模擬結果的應力，而右側 y 軸表示本發明分析模型的正規化，無單位應力值。圖表證實 FEM 模擬結果通常追隨(track)裝置資料。

圖 10 顯示受難閘極與接點之間通道應力對金屬接觸(MC)切割數的圖表，係得自於(a)有限元素模型(FEM)應力計算與(b)根據本發明使用分析模型與演算法的分析計算。x 軸表示 MC 切割的數目，例如零、一或二，而 y 軸表示本發明有限元素模擬結果與分析模型的 MPa 單位的應力。圖表證實分析模型密切地追隨 FEM 結果。

圖 11 顯示通道應力對百分比 MC 繞帶的圖表，係得自於(a)有限元素模型(FEM)應力計算與(b)根據本發明使用分析模型與演算法的分析計算。x 軸表示繞帶百分比，介於 0%與 100%之間，然而 y 軸表示有限元素模擬結果與本發明分析模型的 MPa 單位的應力。圖表證實分析模型密切追隨 FEM 結果。

圖 12 顯示通道應力對 MC 距離的圖表，得自於(a)有限元素模型(FEM)應力計算與(b)根據本發明使用分析模型與演算法的分析計算。對數 x 軸表示 μm 單位的 MC-PC 距離，而 y 軸表示有限元素模擬結果與本發明分析模型的 MPa 單位的應力。圖表再次證實分析模型密切追隨 FEM 結果。

根據本發明的另一層面，提供電腦實行系統與方法，以最佳化半導體裝置(如半導體電晶體裝置)設計，其設計具有提供電晶體應力的一個以上的襯層薄膜。模型化襯層薄膜應力效應的能力，提供電路設計者最佳化電路應力效應的能力。

一般而言，相鄰形狀的存在傾向於降低受難閘極所見的應力且因此減低性能。一實例是相鄰受難閘極的本地互連(MC)形狀。當 MC 形狀位於靠近受難閘極時，通常應力減少。因為襯層薄膜的較小干擾，當 MC 繞帶因素減少時，應力增加。然而，這些變化影響電晶體電響應的層面。例如，將 MC 形狀移到較接近閘極增加與閘極的電容耦合，此耦合通常是負因素，且減少繞帶因素增加電晶體有效串聯電阻，其也是負因素。其它因素如相鄰 PC 佈線/閘極也可能影響應力響應。例如，近的 PC 閘極傾向於改進性能但減少應力。相鄰 PC 佈線可能減少佈線電阻但也減少應力。因此，因為應力與其它電路因素的設計權衡，使用應力致能簡潔模型最佳化電路響應是較合意的。

圖 13 描述使用應力致能簡潔模型最佳化電路設計步驟的流程圖 1000。程序包含介於電路佈局、擷取、簡潔模型與電路模擬之間的遞迴迴圈。最佳化可能是手動執行或最佳化程式所驅動，其使用的技術例如牛頓爬山方法或基因演算法方式或其它方法。電路佈局變更可手動或使用自動化程式完成。如第一步驟 1003 所示，在此描述提供初始電路佈局的步驟，包含例如在電路中裝置的圖形佈局資料中讀取。然後在步驟 1006，使用應力致能佈局擷取程式建立網路連接表，如這裡關聯圖 4-7 所描述的。

繼續到下一步驟 1009，這裡描述使用應力致能簡潔模型的模擬設計電路的步驟。下一步驟 1012 包含決定電路性能目標是否已經達到特定設計。假如性能目標已達到，則程序在步驟 1018 終止；否則，假如設計電路沒有達到這些性能目標，電路設計如步驟 1015 指示作改變，並且為了使用應力致能佈局擷取程式建立新網路連接表，程序回到步驟 1006。

這裡所描述的技術使用合適的計算資源實行，包括程序與程式儲存或記憶體、資源。一個以上處理器可能執行任何型式的電腦碼裝置，例如軟體，韌體，巨集碼處理器或其類似者，以達到這裡所描述的功能。因此，電腦程式產品或實體具體實施的程式儲存裝置如電腦碼裝置，可能以對熟此技藝者顯而易見的方式提供。本發明參考特定示範實施例在此描述。某些改變與變更對熟此技藝者是顯而易見的而未脫離本發明範疇。示範實施例只作為說明並非限制本發明。

【圖式簡單說明】

參考以下文字與圖式，本發明的特徵、優勢與優點將更顯而易見，以相似參考數字參考所有的相似結構，其中：

圖 1 說明使用金屬接觸(MC)繞帶的半導體裝置的實例；

圖 2 經由剖面圖，說明根據本發明半導體裝置的第一模型；

圖 3A 與 3B 根據本發明的方法，說明用以計算電晶體裝置應力衝擊的另一具體實施例；

圖 4A 與 4B 根據本發明說明圖 3A 所示網路連接表擷取程式 320 所執行的方法；

圖 5 根據本發明說明形成閘極邊緣延伸的實例，係新桶的程序的一部份；

圖 6 說明 BP/BN 介面 600 以及由定義閘極/FET 面積 515 的邊緣到各別 BP/BN 介面所測量的距離；

圖 7 根據本發明說明圖 3A 所示簡潔模形程式 340 所實施的方法；

圖 8A 與 8B 說明較複雜 FET 配置的實例，其能為本發明的方法所分析；

圖 9A 敘述測量 MC 繞帶效應的另一範例 FET 結構；以及圖 9B 說明表示通道應力對百分比金屬接觸繞帶的圖式，係由(a)有限元素模組(FEM)應力計算與(b)裝置資料所得；

圖 10 說明表示通道應力對金屬接觸(MC)切割數的圖式，係由(a)有限元素應力計算(b) 使用根據本發明之分析模型與演算法分析計算；

圖 11 說明表示通道應力對百分比 MC 繞帶的圖式，係由(a)有限元素模型(FEM)應力計算與(b) 使用根據本發明之分析模組與演算法分析計算；

圖 12 說明表示通道應力對 MC 距離的圖式，係由(a)有限元素模型(FEM)應力計算與(b) 使用根據本發明之分析模型與演算法分析計算；以及

圖 13 是流程圖，敘述使用應力致能簡潔模型以最佳化電路設計的步驟。

【主要元件符號說明】

100 裝置	110 源極區
112 金屬接觸	114 金屬接觸
120 汲極區	130 閘極
140 主動區	150 附加接點
152 附加接點	154 附加接點
160 附加接點	162 附加接點
164 附加接點	200 裝置
210 多晶矽閘極	212 間隙壁
214 間隙壁	220 多晶矽閘極
222 間隙壁	224 間隙壁
230 多晶矽閘極	232 間隙壁
234 間隙壁	240 金屬接觸
250 金屬接觸	260 氮化矽層
270 絕緣層	272 絕緣層
274 絕緣層	280 參考線
500 裝置	505 閘極 PC
515 參考閘極/FET 面積	535 第一金屬接觸

545 第二金屬接觸	510 桶狀 1
520 桶狀 2	530 桶狀 3
540 桶狀 4	550 桶狀 5
560 桶狀 6	570 桶狀 7
525 虛線	
810 T 型本體接觸 FET 裝置	813 PC(閘極)
815 MC 汲極與源極接觸	820 RX(擴散)
825 MC(主體接觸)	830 BP 邊緣
850 H 型本體接觸 FET 裝置	853 PC(閘極)
875a MC(主體接觸)區	875b MC(主體接觸)區
880a BP 邊緣	880b BP 邊緣
900 裝置	910 源極區
912 偽金屬接觸	914 偽金屬接觸
920 汲極區	930 多晶矽閘極
940 主動區(Rx)	950 測量接點
952 測量接點	954 測量接點
960 附加接點	962 附加接點
964 附加接點	

五、中文發明摘要：

以簡潔模型演算法精確考量半導體裝置中氮化矽層應力佈局引起變化的系統與方法。藉由執行演算法以得到正確應力響應近似值，以及佈局擷取演算法以得到驅動應力響應的正確幾何參數，佈局靈敏簡潔模型演算法說明電路上大佈局變動的衝擊。特別是，這些演算法包含來自搜索直接導向的桶狀之特定資訊，以及包含用以詳細分析半導體裝置指定形狀鄰近的指向距離測量。此演算法另外是用於致能具有單一應力矽層與雙應力矽層(鄰近介面的兩不同矽層薄膜)的模型化與應力衝擊決定。

六、英文發明摘要：

System and method for compact model algorithms to accurately account for effects of layout-induced changes in nitride liner stress in semiconductor devices. The layout-sensitive compact model algorithms account for the impact of large layout variation on circuits by implementing algorithms for obtaining the correct stress response approximations and layout extraction algorithms for obtaining the correct geometric parameters that drive the stress response. In particular, these algorithms include specific information from search "buckets" that are directionally-oriented and include directionally-specific distance measurements for analyzing in detail the specific shape neighborhood of the semiconductor device. The algorithms are additionally adapted to enable the modeling and stress impact determination of a device having single stress liner film and dual-stress liners (two different liner films that abut at an interface).

十、申請專利範圍：

1.一種模型化一半導體電晶體裝置之方法，該裝置具有一或多個襯層薄膜提供電晶體應力效應，該方法包含步驟：

a) 轉換一實體電晶體設計資訊表示，成為對應該電晶體的實際形狀尺寸；

b) 轉換該實際形狀尺寸，成為由該一或多個襯層薄膜所提供的電晶體裝置應力位準；以及

c) 產生簡潔模型參數，用於模型化包含該電晶體裝置之一電路，該簡潔模型參數包括基於該計算的應力位準的模型參數，並且當模型化該電晶體裝置時，用於量化應力效應的影響。

2.如請求項 1 所述之方法，其中該步驟 a) 包括擷取(extract)該電晶體裝置的佈局依賴特徵之一步驟，該佈局依賴特徵用於產生該實際形狀尺寸。

3.如請求項 2 所述之方法，其中擷取該電晶體裝置的佈局依賴特徵之該步驟，包含以下步驟：

d) 實施一桶狀結構(bucket structure)，該桶狀結構具有一第一邊緣對應關聯該電晶體裝置的該閘極結構之一參考位置；

e) 擴展該桶狀結構的一或多個額外邊緣，以偵測該閘極結構的一近鄰中的特徵，係由該桶狀結構的該第一邊緣與一或多個額外邊緣所定義；以及

f) 產生情況參數，表示在該近鄰所偵測到的該特徵之一佈局。

4. 如請求項 3 所述之方法，其中該步驟 e) 包括以下步驟：
相對該參考位置，以相反該閘極結構的方向擴展該桶狀結構的該一或多個額外邊緣，以偵測該近鄰中的特徵。
5. 如請求項 3 所述之方法，其中該步驟 f) 包括以下步驟：
測量該近鄰內所偵測的該佈局形狀之面積、周長與頂點 (vertices) 數其中之一或多個。
6. 如請求項 5 所述之方法，其中該佈局形狀包括區域互連金屬接觸形狀。
7. 如請求項 5 所述之方法，其中該佈局形狀包括一區域多晶矽結構。
8. 如請求項 5 所述之方法，其中該步驟 f) 包括步驟：測量自該閘極結構到一介面的一距離，該介面係介於該電晶體裝置之一或多個應力襯層薄膜之間，該情況參數包括該測量的距離。
9. 如請求項 8 所述之方法，更包含以下步驟：重覆步驟 a)-f)，以針對在一電路中將要模型化性能的每一電晶體裝置，產生情況參數與測量的應力襯層薄膜介面距離。
10. 如請求項 9 所述之方法，更包含以下步驟：將為一電晶體裝置所產生代表該佈局依賴特徵的該情況參數寫入到一介面，該介面用於與計算該電晶體裝置所見應力的一簡潔模型工具通訊。

11. 如請求項 9 所述之方法，更包含以下步驟：

壓縮代表該佈局依賴特徵之產生的情況參數為一壓縮佈局格式，並且傳送該壓縮佈局格式到一壓縮模型工具。

12. 如請求項 11 所述之方法，其中寫入代表佈局依賴特徵的該情況參數到簡潔模型工具之該步驟包含：直接傳送佈局形狀資訊到該壓縮模型工具，該佈局形狀資訊包括表示該佈局依賴特徵之一形狀座標清單。

13. 如請求項 10 所述之方法，更包含掃描為一電晶體裝置所產生的參數之步驟，利用自擴展的鄰接桶狀結構所得的資訊，計算矩形結構的大小與位置。

14. 如請求項 10 所述之方法，更包含掃描為一電晶體裝置所產生的該情況參數之步驟，利用自擴展鄰接桶狀結構所得的資訊，重組複雜的形狀結構於該閘極結構的該近鄰內。

15. 如請求項 10 所述之方法，更包含以下步驟：編譯形狀大小與位置清單以及應力襯層薄膜介面距離，以計算每一電晶體閘極裝置之該電晶體應力位準。

16. 如請求項 1 所述之方法，其中該簡潔模型參數包括用來調整襯層應力影響之通道載子遷移率(mobility)。

17. 如請求項 1 所述之方法，更包含以下步驟：自該簡潔模型參數，計算包括該電晶體裝置的電路模擬中所使用的電

路位準量。

18. 如請求項 1 所述之方法，其中該電晶體應力位準表示該電晶體裝置的一通道所見之平均應力位準，該應力包括縱向與橫向應力分力。

19. 如請求項 18 所述之方法，其中該電晶體應力位準包括自我應力分力，代表該電晶體與在該閘極結構的一近鄰中並不會影響應力之特徵隔離。

20. 如請求項 1 所述之方法，其中該步驟 a)到 c)包括實施簡潔模型手段，供產生用於模型化該電晶體裝置的該簡潔模型參數，包括基於該計算的應力位準的模型參數。

21. 如請求項 1 所述之方法，其中該步驟 b)包括實施一應力模型計算手段，供計算該電晶體裝置應力位準與產生基於該計算的應力位準的該模型參數；並且該步驟 c)包括實施簡潔模型手段，係獨立於該應力模型計算手段，且自其接收該模型參數，當模型化該電晶體裝置時，該簡潔模型手段用於量化該應力效應的影響。

22. 一種模型化一半導體電晶體裝置的系統，該裝置具有一或多個襯層薄膜提供電晶體應力效應，該系統包括：

一擷取手段，供處理對應該電晶體裝置之實體電晶體設計資料的一格式化表示，以及產生包括非特定特徵形狀資訊的佈局依賴資訊；

一簡潔模型手段，供接收該佈局依賴資訊與該非特定

特徵形狀資訊，並計算電晶體裝置應力位準，該簡潔模型手段更產生簡潔模型參數，供用於模型化包含該半導體電晶體裝置的一電路性能，當模型化該電路性能時，根據用於量化應力效應影響的該計算的應力位準，該簡潔模型手段提供調整的簡潔模型參數作。

23. 如請求項 22 所述之系統，其中該擷取手段更包含擷取該電晶體裝置的佈局依賴特徵之手段，該佈局依賴特徵用於產生實際形狀尺寸。

24. 如請求項 22 所述之系統，其中該擷取該電晶體裝置的佈局依賴特徵之手段，包含：

一桶狀結構，具有一第一邊緣對應於關聯該電晶體裝置的一閘極結構之一參考位置，以及一或多個額外邊緣可擴展以偵測該閘極結構的一近鄰中的特徵，係由該桶狀結構的該第一邊緣與一或多個額外邊緣所定義；以及

產生情況參數表示該近鄰中所偵測的該特徵的一佈局之手段。

25. 如請求項 24 所述之系統，其中該擷取該佈局依賴特徵之手段量測該近鄰內所偵測到的佈局形狀的面積、周長與頂點數。

26. 如請求項 25 所述之系統，其中該佈局形狀包括區域互連金屬接觸形狀。

27. 如請求項 25 所述之系統，其中該佈局形狀包括一區域

多晶矽結構。

28. 如請求項 24 所述之系統，更包含：測量自一閘極結構到一介面的一距離之手段，該介面係介於該電晶體裝置之一或多個應力襯層薄膜之間，該情況參數包括該測量的距離。

29. 如請求項 24 所述之系統，更包含介於該佈局依賴資訊產生手段與該簡潔模型工具之間的介面手段，該介面接收為該晶體裝置所產生的該產生情況參數，並且傳達該情況參數給該簡潔模型工具。

30. 一種最佳化電晶體性能之方法，係考量施加於具有一或多個襯層薄膜的一電晶體裝置之襯層薄膜應力效應，該方法包含步驟：

- a) 接收包括該電晶體裝置之一電路佈局的一表示；
- b) 擷取該電晶體裝置的佈局依賴特徵，該佈局依賴特徵用於產生電晶體裝置特徵的實際形狀尺寸；
- c) 轉換實際形狀尺寸，成為由該一或多個襯層薄膜所提供的電晶體裝置應力位準；
- d) 使用一簡潔模型工具模擬一電路，該模擬包括利用根據該電晶體應力位準調整的簡潔模型參數；以及
- e) 假如該電晶體裝置沒有達到一性能目標，更改該電路佈局，以及重複步驟 a)-e) 直到該電路達到一性能目標。

31. 如請求項 30 所述之方法，其中該擷取步驟 b) 包括：產生包括非特定特徵形狀資訊之佈局依賴資訊，該佈局依賴

資訊更包括應力參數資訊。

32. 如請求項 31 所述之方法，其中該步驟 b) 包括以下步驟：

f) 實施一桶狀結構，該桶狀結構具有一第一邊緣對應於關聯該電晶體裝置的該閘極結構的一參考位置；以及

g) 擴展該桶狀結構的一或多個額外邊緣，以偵測該閘極結構之一近鄰中的特徵，係由該桶狀結構的該第一邊緣與一或多個額外邊緣所定義；以及

h) 產生情況參數表示該近鄰中所偵測的該特徵的一佈局。

33. 如請求項 32 所述之方法，其中該步驟 f) 包括以下步驟：測量該近鄰內所偵測到的佈局形狀之面積、周長與頂點數其中之一或多個。

34. 如請求項 32 所述之方法，其中該步驟 f) 包括以下步驟：測量自該閘極結構到一介面的一距離，該介面介於該電晶體之一或多個應力襯層薄膜之間，該情況參數包括該測量的距離。

35. 一種最佳化電晶體性能之系統，係考量施加於具有一或多個襯層薄膜的一電晶體裝置之襯層薄膜應力效應，該系統包含：

處理包括該電晶體裝置之一電路佈局的一表示之手段，該電路佈局表示包括對應該電晶體裝置之實體電晶體設計資料的一格式化表示，該處理手段更產生包括非特定特徵形狀資訊的佈局依賴資訊，該佈局依賴資訊更包括應

力參數資訊；

一簡潔模型工具，供模型化包括該電晶體裝置之一電路的性能，該工具接收該佈局依賴資訊、該非特定特徵形狀資訊與應力參數資訊，並且計算由該一或多個襯層薄膜提供該電晶體裝置所見的應力位準；

決定該電路是否達到一性能目標之手段，以及若該電路沒有達到性能目標，更改該電路佈局，以及產生另一電路佈局表示以輸入給該處理手段，供產生將由該簡潔模型工具處理之另一佈局依賴資訊，藉此，更改該電路佈局直到該電路達成一性能目標。

36. 如請求項 35 所述之系統，其中該簡潔模組工具更包含：當模型化包括在該電路的該電晶體裝置時，基於用於量化應力效應影響之該計算的應力位準，調整簡潔模型參數之手段。

37. 如請求項 35 所述之系統，其中該簡潔模型工具更包含：擷取該電晶體裝置的佈局依賴特徵之手段，該佈局依賴特徵用於產生實際特徵形狀尺寸。

38. 一模型化一半導體電晶體裝置之系統，該裝置有一或多個襯層薄膜提供電晶體應力效應，該系統包含：

一手段，供處理對應該電晶體裝置之實體電晶體設計資料的一格式化表示，以及產生佈局依賴資訊，該佈局依賴資訊包括非特定特徵形狀資訊；

一簡潔模型手段，用於模型化包括該半導體電晶體裝置之一電路性能；以及

一供接收該佈局依賴資訊，該佈局依賴資訊包括非特定特徵形狀資訊，並且獨立地計算電晶體裝置應力位準，該手段更基於該計算應力位準，產生對應的簡潔模型參數；

一電路模擬器，當模型化該電路性能時，利用該簡潔模型手段以及該另一簡潔模型參數，係基於用於量化應力效應影響之該計算的應力位準。

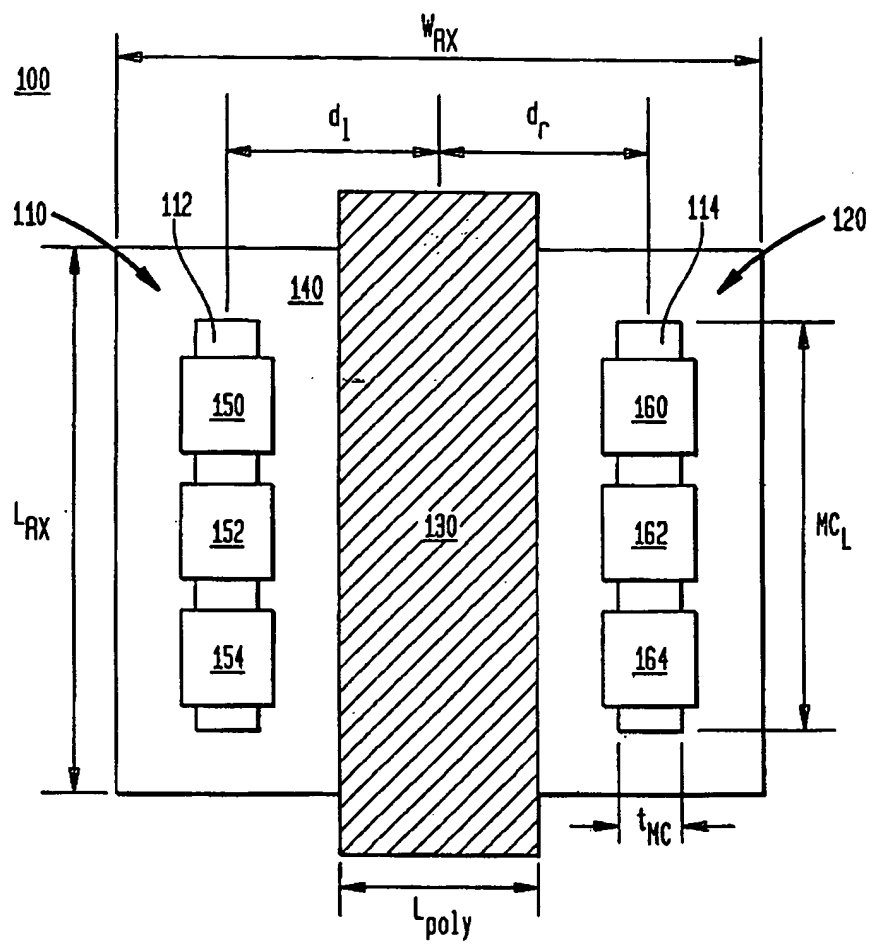


圖 1

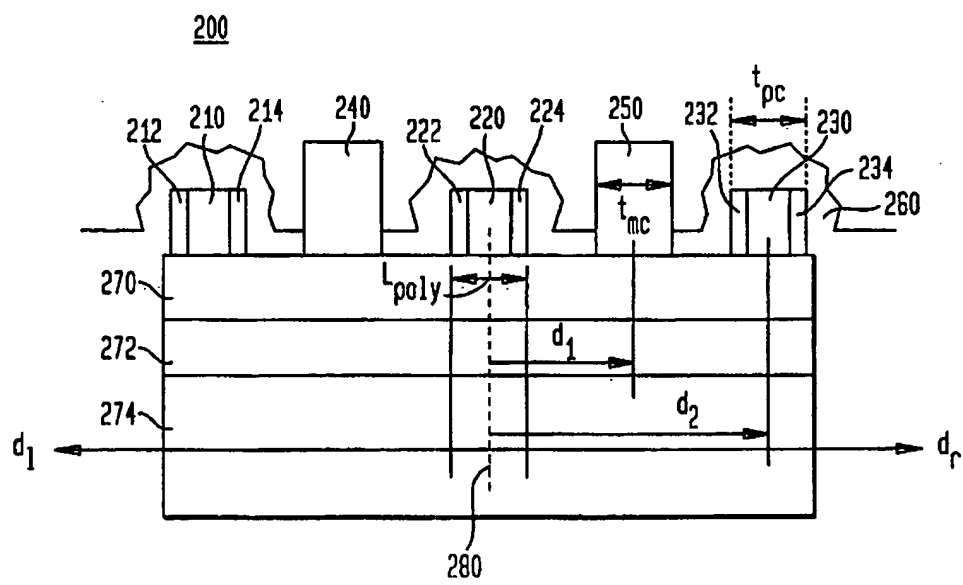


圖 2

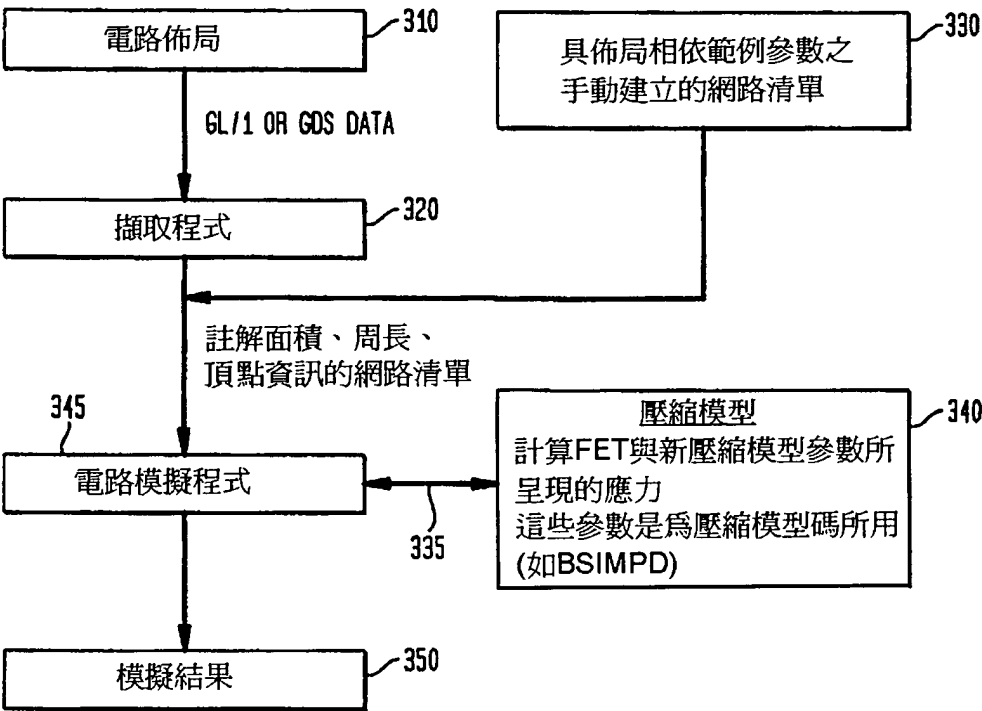


圖3A

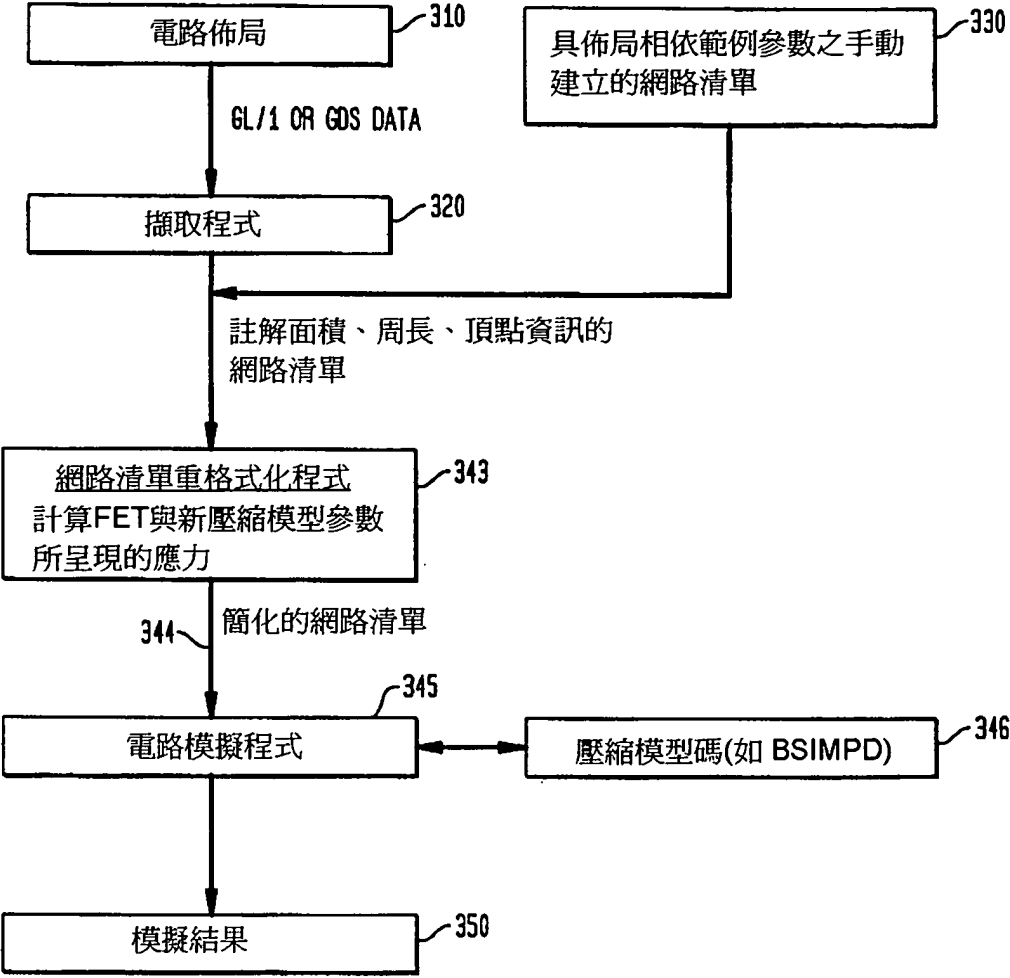
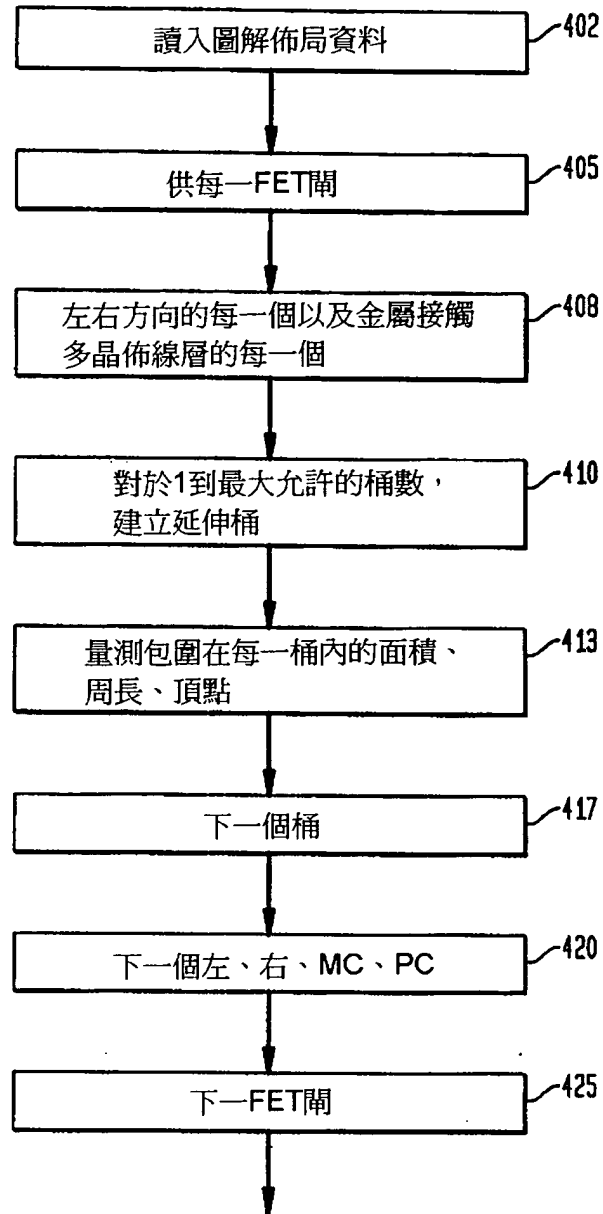


圖3B

400



GO TO STEP 428, FIG. 4B

圖4A

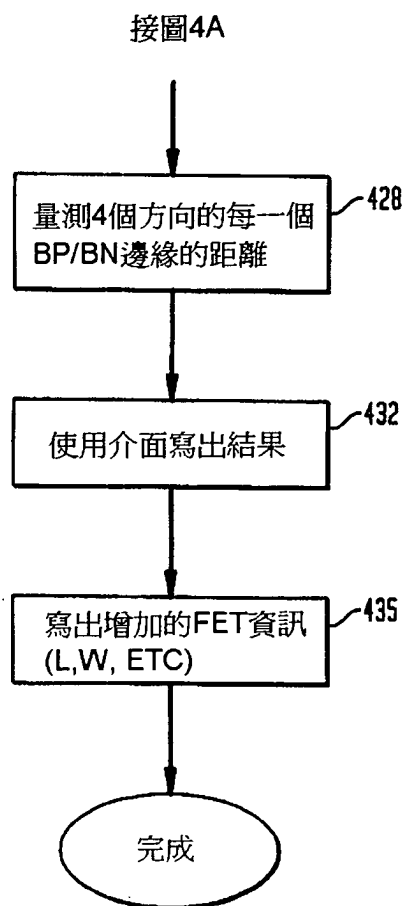


圖 4B

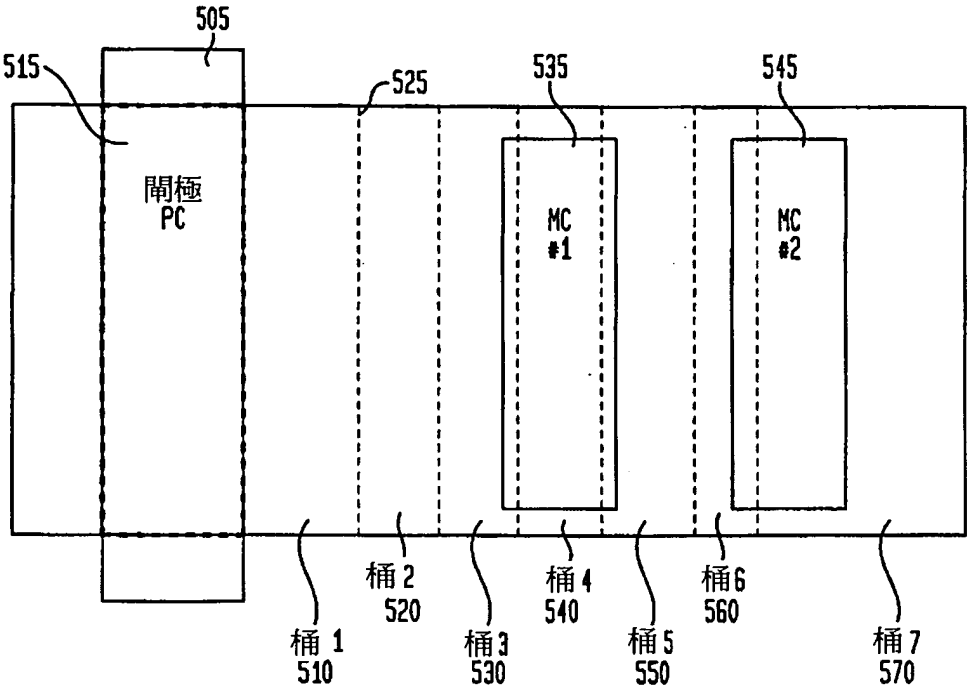


圖5

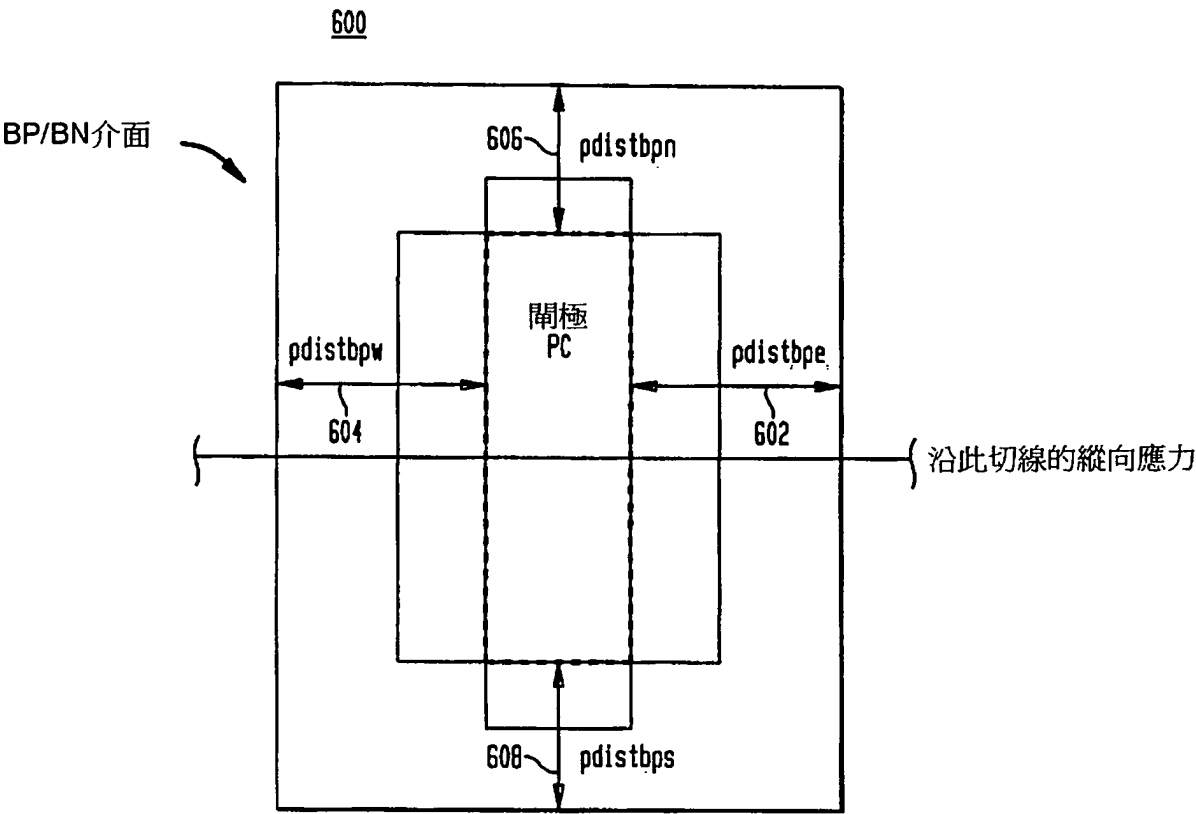


圖6

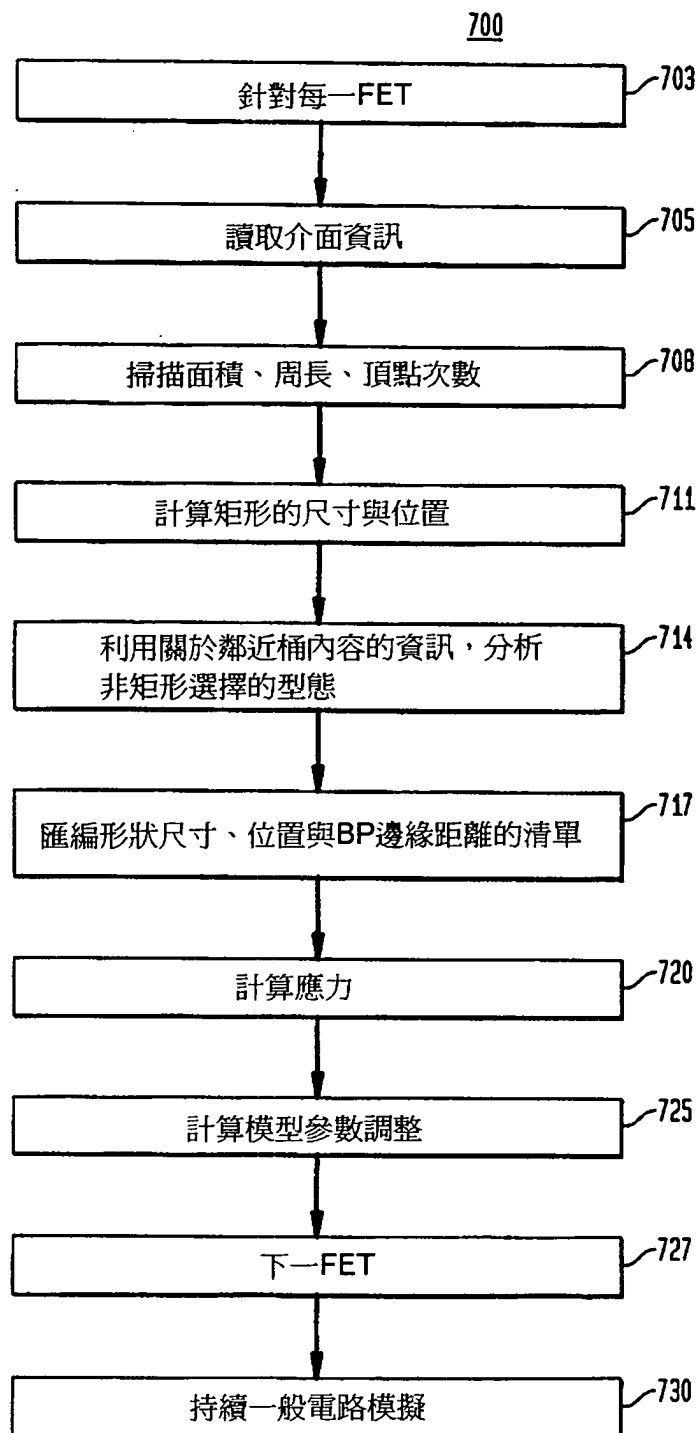


圖 7

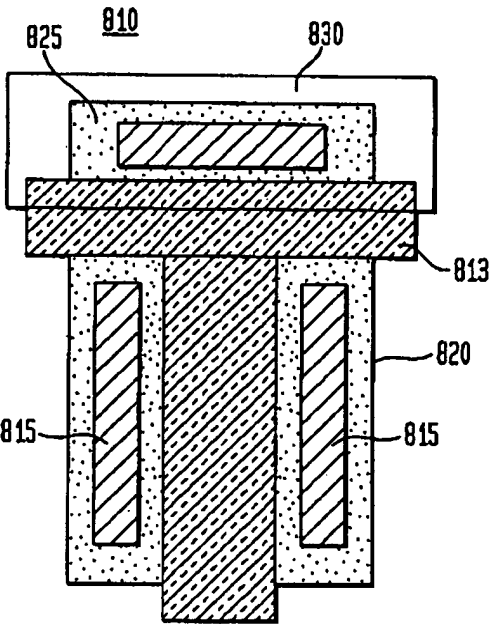


圖 8A

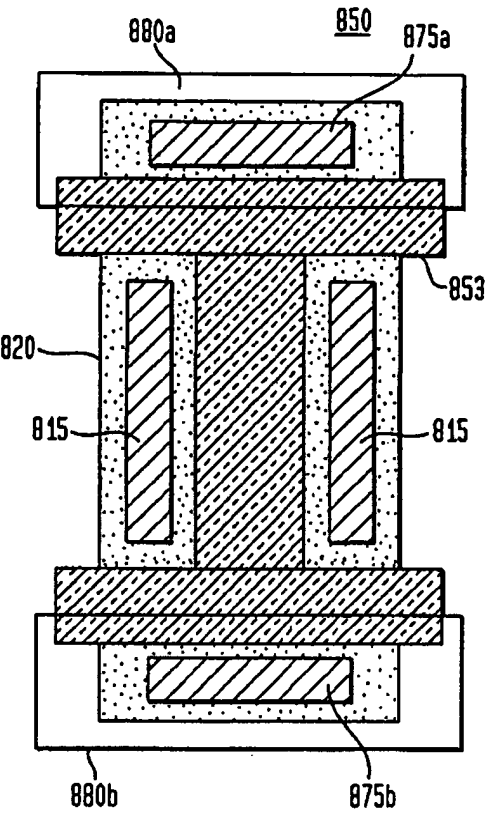


圖 8B

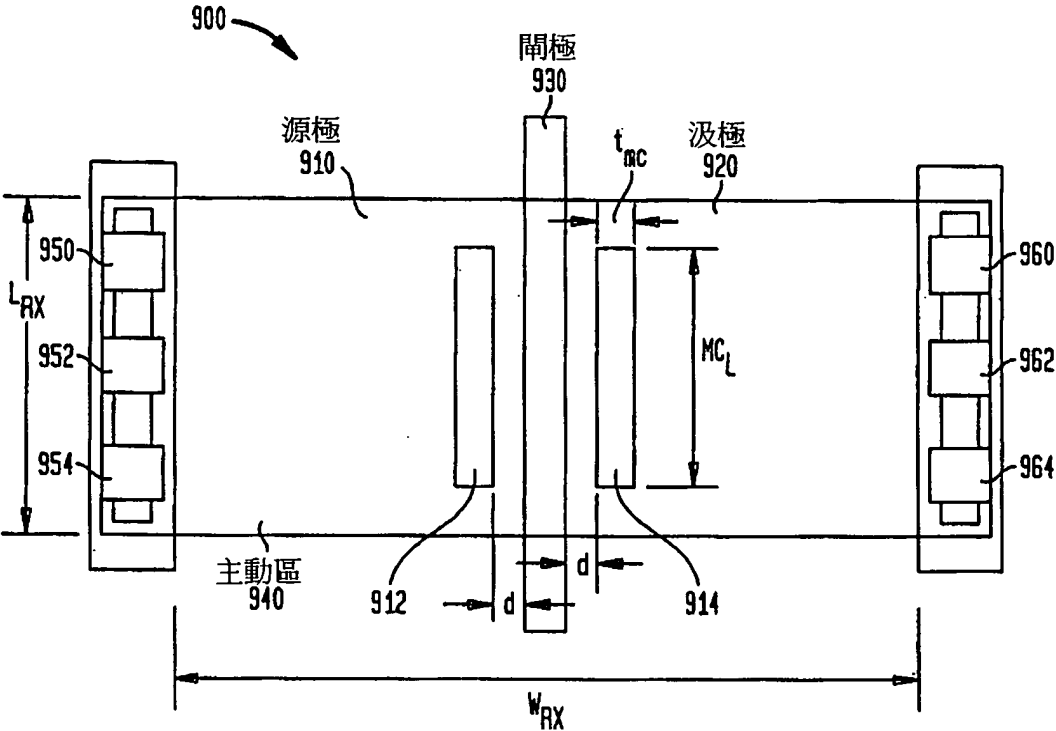


圖9A

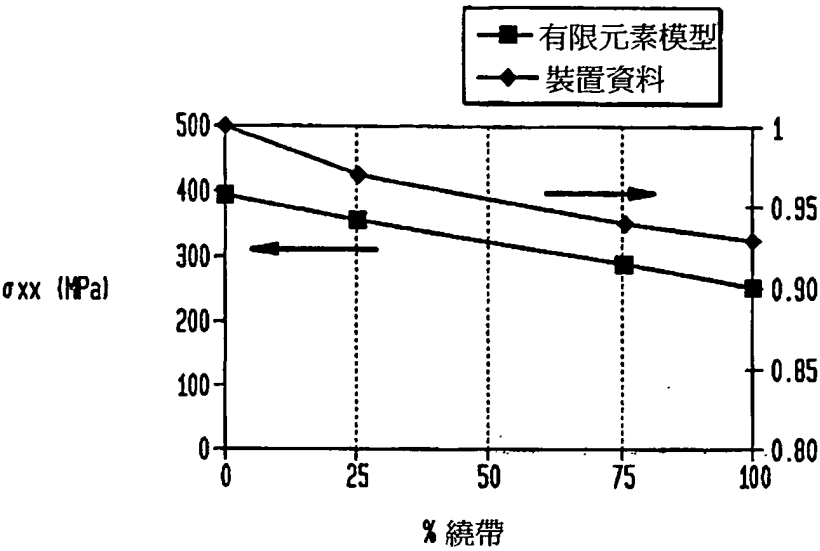


圖9B

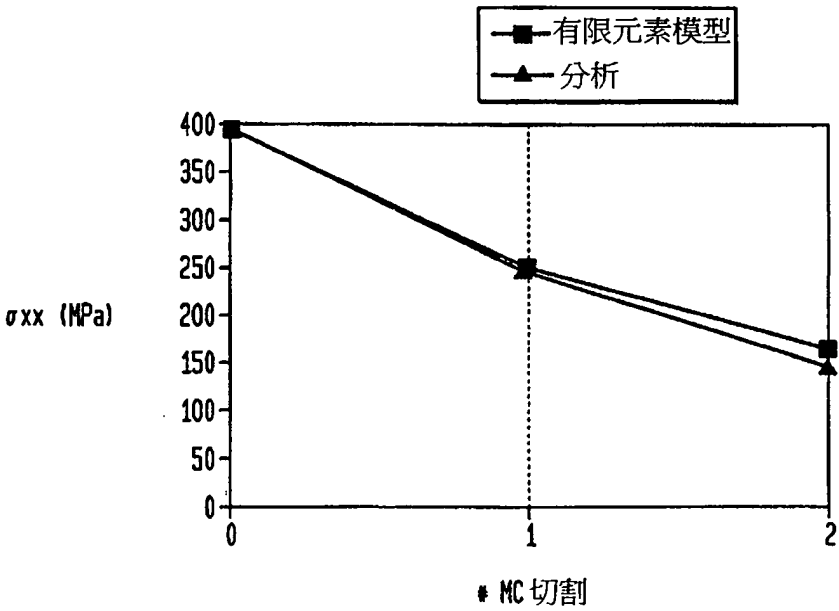


圖10

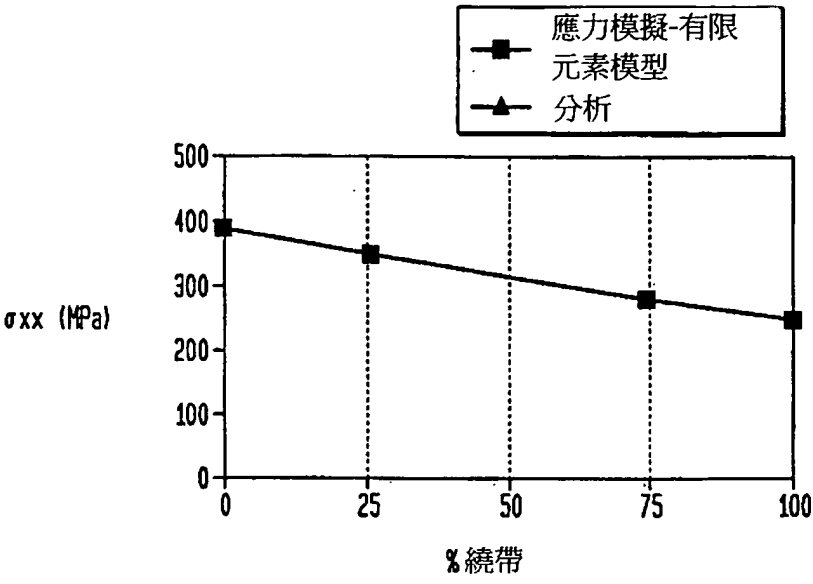


圖 11

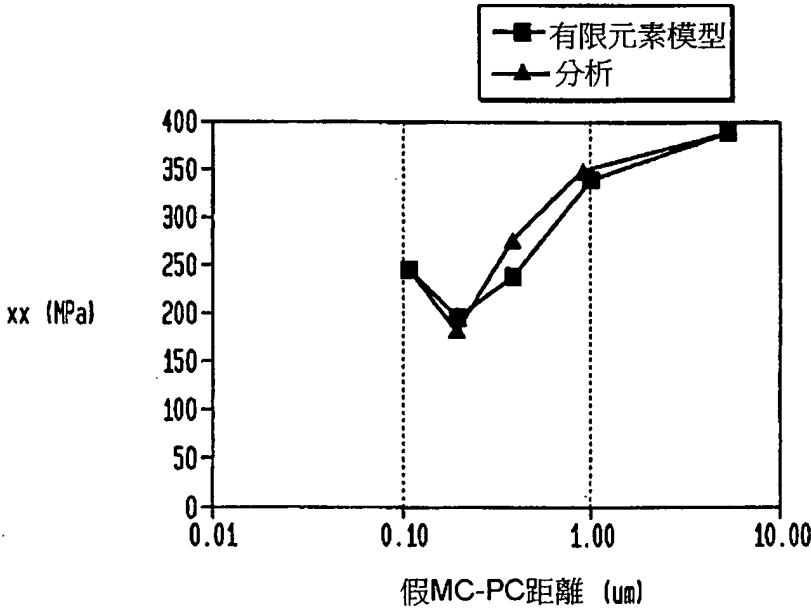


圖 12

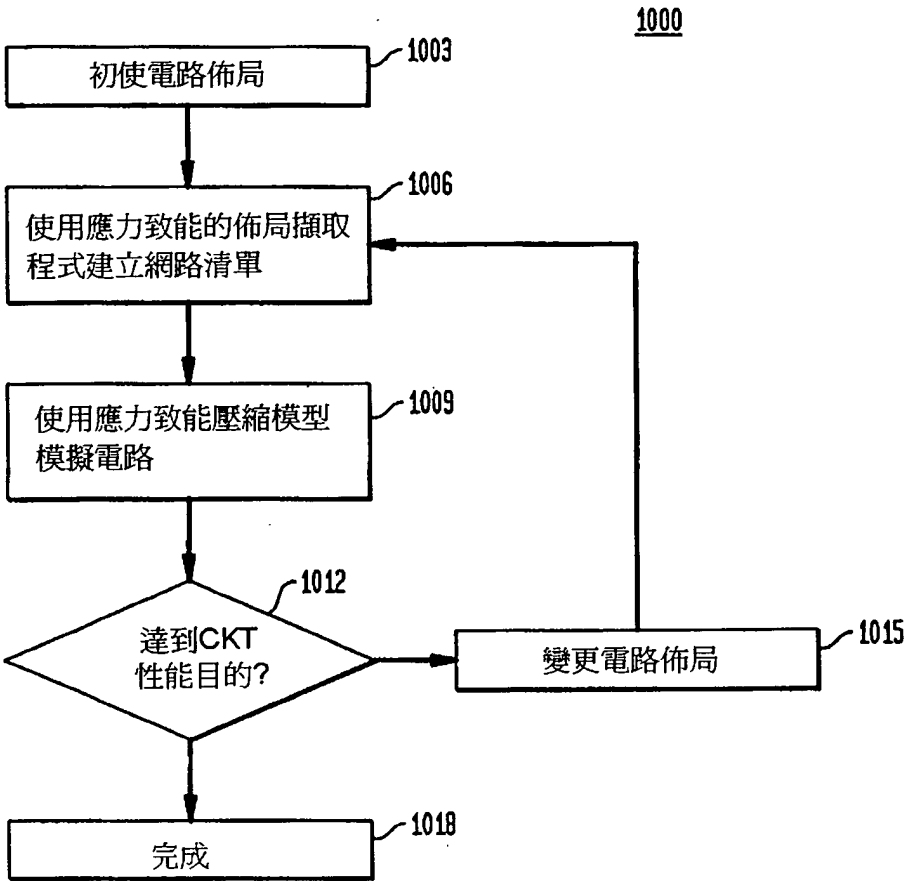


圖13

七、指定代表圖：

(一)本案指定代表圖為：圖 1。

(二)本代表圖之元件符號簡單說明：

100 裝置	110 源極區
112 金屬接觸	114 金屬接觸
120 汲極區	130 閘極
140 主動區	150 附加接點
152 附加接點	154 附加接點
160 附加接點	162 附加接點
164 附加接點	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無