



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0115548
(43) 공개일자 2018년10월23일

(51) 국제특허분류(Int. Cl.)
H01L 23/525 (2006.01) H01L 23/58 (2006.01)
H01L 23/60 (2006.01)
(52) CPC특허분류
H01L 23/5256 (2013.01)
H01L 23/585 (2013.01)
(21) 출원번호 10-2017-0048017
(22) 출원일자 2017년04월13일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
김덕기
서울특별시 성동구 동일로 237, 104동 1503호(송정동, 서울숲아이파크)
김재홍
경기도 성남시 중원구 여수울로29번길 14-13, 401호 (여수동)
남서우
경기도 성남시 분당구 정자일로 100, C동 3002호 (정자동, 미켈란쉐르빌)
(74) 대리인
이철희

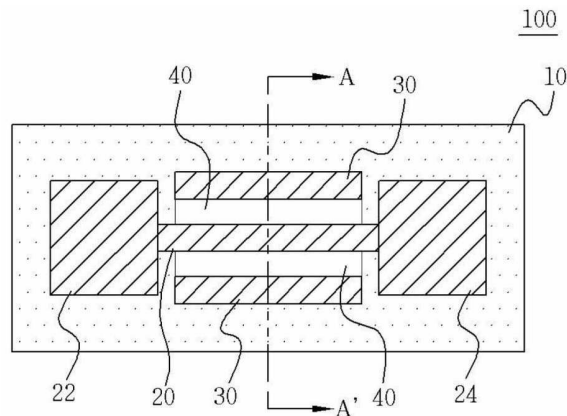
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 장치의 퓨즈 및 그 형성 방법

(57) 요약

본 발명은 반도체 장치의 퓨즈를 제공한다. 상기 반도체 장치의 퓨즈는, 제1 및 제2 전극을 연결하는 퓨즈 링크; 및 상기 퓨즈 링크에 이격되어 형성되는 더미 스트립;을 포함하며, 상기 퓨즈 링크와 상기 더미 스트립 사이에 에어 채널이 상기 퓨즈 링크에 접하도록 형성된다.

대표도 - 도1



(52) CPC특허분류

H01L 23/60 (2013.01)

H01L 2924/19031 (2013.01)

명세서

청구범위

청구항 1

제1 및 제2 전극을 연결하는 퓨즈 링크; 및

상기 퓨즈 링크에 이격되어 형성되는 더미 스트립;을 포함하며,

상기 퓨즈 링크와 상기 더미 스트립 사이에 에어 채널이 상기 퓨즈 링크에 접하도록 형성되는 반도체 장치의 퓨즈.

청구항 2

제 1 항에 있어서,

상기 퓨즈 링크, 상기 더미 스트립 및 상기 에어 채널은 절연층 내에 형성되고, 상기 에어 채널은 상기 절연층보다 낮은 유전율을 가지는 반도체 장치의 퓨즈.

청구항 3

제 1 항에 있어서,

상기 에어 채널은 상기 퓨즈 링크의 양측에 접하도록 형성되는 반도체 장치의 퓨즈.

청구항 4

제 3 항에 있어서,

상기 에어 채널은 상기 퓨즈 링크의 양측 및 상기 더미 스트립의 일측에 각각 접하도록 형성되는 반도체 장치의 퓨즈.

청구항 5

제 1 항에 있어서,

상기 에어 채널은 상기 퓨즈 링크와 동일한 레벨에 형성되는 반도체 장치의 퓨즈.

청구항 6

제 1 항에 있어서,

상기 에어 채널은 상기 퓨즈 링크 및 상기 더미 스트립과 동일한 레벨에 형성되는 반도체 장치의 퓨즈.

청구항 7

제 1 항에 있어서,

상기 더미 스트립은 상기 퓨즈 링크의 양측으로부터 일정 간격을 두고 상기 퓨즈 링크에 평행한 방향으로 배치되며, 상기 에어 채널은 상기 퓨즈 링크와 상기 더미 스트립 사이에 상기 퓨즈 링크의 양측과 상기 더미 스트립의 일측에 각각 접하도록 형성되는 반도체 장치의 퓨즈.

청구항 8

제1 및 제2 전극을 연결하는 퓨즈 링크; 및

상기 퓨즈 링크에 이격되어 형성되는 더미 스트립;을 포함하고,

상기 퓨즈 링크와 상기 더미 스트립 사이에 상기 퓨즈 링크의 수직 방향으로 주기적인 패턴을 가지는 다수의 에어 홀들이 형성되는 반도체 장치의 퓨즈.

청구항 9

제 8 항에 있어서,

상기 퓨즈 링크, 상기 더미 스트립 및 상기 에어 홀들은 절연층 내에 형성되고, 상기 에어 홀들은 상기 절연층보다 낮은 유전율을 가지는 반도체 장치의 퓨즈.

청구항 10

제 8 항에 있어서,

상기 에어 홀들은 상기 퓨즈 링크와 동일한 레벨에 형성되는 반도체 장치의 퓨즈.

청구항 11

제 8 항에 있어서,

상기 에어 홀들은 상기 퓨즈 링크 및 상기 더미 스트립과 동일한 레벨에 형성되는 반도체 장치의 퓨즈.

청구항 12

제 8 항에 있어서,

상기 에어 홀들은 나노 크기로 형성되는 반도체 장치의 퓨즈.

청구항 13

제 8 항에 있어서,

상기 더미 스트립은 상기 퓨즈 링크의 양측으로부터 일정 간격을 두고 상기 퓨즈링크에 평행한 방향으로 배치되며, 상기 에어 홀들은 상기 퓨즈 링크와 상기 더미 스트립 사이에 상기 퓨즈 링크에 수직 방향으로 주기적인 패턴을 가지고 형성되는 반도체 장치의 퓨즈.

청구항 14

퓨즈 링크와 상기 퓨즈 링크와 이웃하는 더미 스트립을 제1 절연층 내에 형성하는 단계;

상기 퓨즈 링크에 접하는 에어 채널을 상기 퓨즈 링크와 상기 더미 스트립 사이에 형성하는 단계; 및

상기 에어 채널이 유지되도록 제2 절연층을 상기 퓨즈 링크, 상기 더미 스트립 및 상기 에어 채널 상부에 형성하는 단계;

를 포함하는 반도체 장치의 퓨즈 형성 방법.

청구항 15

제 14 항에 있어서, 상기 에어 채널을 형성하는 단계는,

포토 레지스트를 상기 퓨즈 링크, 상기 더미 스트립 및 상기 제1 절연층의 상부에 코팅하는 단계;

상기 에어 채널이 상기 퓨즈 링크의 측면과 상기 더미 스트립 일측에 각각 접하며 상기 퓨즈 링크와 동일한 레벨에 형성되도록 상기 퓨즈 링크와 상기 더미 스트립 사이의 상기 포토 레지스터를 노광 (exposure), 현상 (develop)하는 단계와 상기 제1 절연층의 일부를 식각하는 단계; 및

상기 포토 레지스트를 제거하는 단계;

를 포함하는 반도체 장치의 퓨즈 형성 방법.

청구항 16

제 15 항에 있어서,

상기 제1 및 제2 절연층은 저유전체로 형성되고, 상기 에어 채널은 상기 제1 및 제2 절연층보다 낮은 유전율을 가지는 반도체 장치의 퓨즈 형성 방법.

청구항 17

퓨즈 링크와 상기 퓨즈 링크와 이웃하는 더미 스트립을 제1 절연층 내에 형성하는 단계;

상기 퓨즈 링크의 수직 방향으로 주기적인 패턴을 가지는 다수의 에어 홀들을 상기 퓨즈 링크와 상기 더미 스트립 사이에 형성하는 단계; 및

상기 에어 홀들이 유지되도록 제2 절연층을 상기 퓨즈 링크, 상기 더미 스트립 및 상기 에어 홀들 상부에 형성하는 단계;

를 포함하는 반도체 장치의 퓨즈 형성 방법.

청구항 18

제 17 항에 있어서, 상기 에어 홀들을 형성하는 단계는,

상기 퓨즈 링크, 상기 더미 스트립 및 상기 절연층의 상부에 하드 마스크를 형성하는 단계;

상기 하드 마스크의 상부에 포토 레지스트를 코팅하는 단계;

상기 퓨즈 링크와 상기 더미 스트립 사이의 상기 포토 레지스트의 일부를 노광, 현상 (develop) 하는 단계;

상기 포토 레지스트 및 상기 하드 마스크의 상부에 셀프-어셈블리 폴리머를 형성하는 단계;

상기 셀프-어셈블리 폴리머에 상기 주기적인 패턴을 가지는 상기 에어 홀들이 형성되도록 상기 셀프-어셈블리 폴리머를 어닐링하는 단계;

상기 에어 홀들이 상기 하드 마스크에 형성되도록 상기 하드 마스크를 식각하는 단계;

상기 포토 레지스트 및 상기 셀프-어셈블리 폴리머를 제거하는 단계;

상기 하드 마스크에 형성된 상기 에어 홀들이 상기 제1 절연층 내에 형성되도록 상기 제1 절연층을 식각하는 단계; 및

상기 하드 마스크를 제거하는 단계;

를 포함하는 반도체 장치의 퓨즈 형성 방법.

청구항 19

제 18 항에 있어서,

상기 에어 홀들이 상기 퓨즈 링크 및 상기 더미 스트립과 동일한 레벨에 형성되도록 상기 제1 절연층을 식각하는 반도체 장치의 퓨즈 형성 방법.

청구항 20

제 18 항에 있어서,

상기 제1 및 제2 절연층은 저유전체로 형성되고, 상기 에어 홀들은 상기 제1 및 제2 절연층보다 낮은 유전율을 가지는 반도체 장치의 퓨즈 형성 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 더 상세하게는 반도체 장치의 퓨즈 및 그 형성 방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 반도체 장치의 퓨즈는 상보형 금속 산화막 반도체(CMOS, complementary metal oxide semiconductor) 칩 내에서 칩 수율을 높이기 위해 리던던시(redundancy) 구현, 회로 튜닝(tuning), 정보 저장,

전기적 칩 ID 및 구조 변경 등에 사용될 수 있다.

[0003] 일례로, 반도체 메모리 장치는 메모리 리턴던시를 구현하기 위해 퓨즈 회로를 사용할 수 있다. 디램(DRAM)과 같은 메모리 장치는 수많은 셀로 구성되는데 이중 한 개의 셀에 결함이 발생하더라도 전체가 불량품으로 판정된다. 소량의 셀에만 결함이 발생하는 경우에도 메모리 장치를 불량품으로 폐기 한다면 수율면에 있어 비효율적이다. 따라서 메모리 장치에 미리 설치해둔 리턴던시 메모리 셀을 퓨즈를 이용하여 불량 셀을 대체함으로써 수율을 높일 수 있다. 또한, 퓨즈 기술은 메모리뿐만 아니라 회로 튜닝, 전기적 칩 ID 및 구조 변경 등 반도체 로직 회로에 적용될 수 있다.

[0004] 한편, 퓨즈 기술에 대한 요구사항 중 하나가 면적을 줄이는 것인데, 퓨즈가 차지하는 면적 중 선택 소자가 대부분의 면적을 차지하기 때문에 퓨즈의 면적을 줄이기 위해 프로그램 전류를 낮추고자 하는 기술이 요구되고 있다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 특허문헌1: 한국 등록번호 KR 10-1631452(2016.06.13)
(특허문헌 0002) 특허문헌2: 한국 공개번호 KR 10-2016-0068212(2016.06.15)
(특허문헌 0003) 특허문헌3: 한국 등록번호 KR 10-1561650(2015.10.13)

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 기술적 과제는 낮은 프로그램 전류에서 퓨즈 블로워(blow)를 가능하게 하는 반도체 장치의 퓨즈 및 그 형성 방법을 제공하는데 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 반도체 장치의 퓨즈는, 제1 및 제2 전극을 연결하는 퓨즈 링크; 및 상기 퓨즈 링크에 이격되어 형성되는 더미 스트립;을 포함하며, 상기 퓨즈 링크와 상기 더미 스트립 사이에 에어 채널이 상기 퓨즈 링크에 접하도록 형성된다.

[0008] 본 발명의 다른 실시예에 따른 반도체 장치의 퓨즈는, 제1 및 제2 전극을 연결하는 퓨즈 링크; 및 상기 퓨즈 링크에 이격되어 형성되는 더미 스트립;을 포함하고, 상기 퓨즈 링크와 상기 더미 스트립 사이에 상기 퓨즈 링크의 수직 방향으로 주기적인 패턴을 가지는 다수의 에어 홀들이 형성된다.

[0009] 본 발명의 일 실시예에 따른 반도체 장치의 퓨즈 형성 방법은, 퓨즈 링크와 상기 퓨즈 링크와 이웃하는 더미 스트립을 제1 절연층 내에 형성하는 단계; 상기 퓨즈 링크에 접하는 에어 채널을 상기 퓨즈 링크와 상기 더미 스트립 사이에 형성하는 단계; 및 상기 에어 채널이 유지되도록 제2 절연층을 상기 퓨즈 링크, 상기 더미 스트립 및 상기 에어 채널 상부에 형성하는 단계;를 포함한다.

[0010] 본 발명의 다른 실시예에 따른 반도체 장치의 퓨즈 형성 방법은, 퓨즈 링크와 상기 퓨즈 링크와 이웃하는 더미 스트립을 제1 절연층 내에 형성하는 단계; 상기 퓨즈 링크의 수직 방향으로 주기적인 패턴을 가지는 다수의 에어 홀들을 상기 퓨즈 링크와 상기 더미 스트립 사이에 형성하는 단계; 및 상기 에어 홀들이 유지되도록 제2 절연층을 상기 퓨즈 링크, 상기 더미 스트립 및 상기 에어 홀들 상부에 형성하는 단계;를 포함한다.

발명의 효과

[0011] 본 발명의 실시예들에 따르면, 퓨즈 블로워(blow)가 보다 낮은 전류에서 가능하며, 결과적으로 프로그램 트랜지스터의 면적을 크게 감소시켜 퓨즈 비트당 면적을 감소할 수 있고 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 퓨즈를 설명하기 위한 평면도이다.

도 2은 도 1의 A-A'를 따라 절단한 단면도이다.

도 3은 본 발명의 다른 실시예에 따른 반도체 장치의 퓨즈를 설명하기 위한 평면도이다.

도 4는 도 3의 B-B'를 따라 절단한 단면도이다.

도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 반도체 장치의 퓨즈의 형성 방법을 설명하기 위한 도 1의 A-A'를 따라 절단한 단면도이다

도 6a 내지 도 6h는 본 발명의 다른 실시예에 따른 반도체 장치의 퓨즈의 형성 방법을 설명하기 위한 도 3의 B-B'를 따라 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 첨부한 도면들을 참고하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명하기로 한다. 각 도면에 제시된 참조부호들 중 동일한 참조부호는 동일한 부재를 나타낸다.
- [0014] 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0015] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0016] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 퓨즈를 설명하기 위한 평면도이다.
- [0017] 도 1을 참고하면, 본 발명의 일 실시예에 따른 반도체 장치의 퓨즈(100)는 절연층(10) 내에 형성되는 제1 및 제2 전극(22, 24), 퓨즈 링크(20), 더미 스트립(30) 및 에어 채널(40)을 포함할 수 있다.
- [0018] 퓨즈 링크(20)는 제1 및 제2 전극(22, 24) 사이에서 제1 및 제2 전극(22, 24)을 전기적으로 연결하도록 일 방향으로 연장되는 구조를 가지며, 전기적으로 프로그램이 가능한 물질로 구성된다. 퓨즈 링크(20)는 구리와 같은 금속성 물질로 형성될 수 있다. 여기서, 제1 전극(22)은 캐소드(Cathode)로 지칭될 수 있고, 제2 전극(24)은 애노드(Anode)로 지칭될 수 있으며, 제1 전극(22)에는 프로그램 트랜지스터(도시되지 않음)를 통해서 음의 전압(또는 접지전압)이 인가되고 제2 전극(24)에는 양의 전압이 인가될 수 있다. 퓨즈 링크(20)는 제1 전극(22) 및 제2 전극(24)과 일체형으로 형성될 수 있으며, 동일 물질로 형성될 수 있다. 퓨즈를 프로그램하는 것은 제1 및 제2 전극(22, 24)에 전압을 인가하여 퓨즈 링크(20)에 프로그램 전류를 흘리는 과정을 포함한다.
- [0019] 프로그램 트랜지스터의 게이트에 퓨징 신호가 인가되면 제1 및 제2 전극(22, 24) 사이의 전위차에 의해 퓨즈 링크(20)에 프로그램 전류가 흐른다. 프로그램 전류는 퓨즈 링크(20)에 전자적-이동(electro-migration) 현상 및 열적 이동(thermos-migration) 현상을 유발한다. 이를 통해 퓨즈 링크(20)가 블로워(blow)될 수 있다.
- [0020] 제1 전극(22)에 음의 전압이 인가되고 제2 전극(24)에 양의 전압이 인가되는 경우, 퓨즈 링크(20) 내에서 캐소드인 제1 전극(22)에서 애노드인 제2 전극(24) 방향으로 전자 흐름이 발생할 수 있다. 퓨즈 링크(20) 내에서 전자들이 이동할 때, 전자들과 퓨즈 링크(20)를 구성하는 원자들이 충돌하여 원자들이 이동하는 전자적-이동 현상이 발생할 수 있다.
- [0021] 퓨즈 링크 내 전자적 이동에 의한 구동력은 퓨즈 링크의 단면적을 변화시킴으로써 퓨즈 링크 내에서 변화될 수 있다. 도 1에서, 퓨즈 링크(20)는 제1 및 제2 전극(22, 24) 사이에서 동일한 단면적을 가지고 일 방향으로 연장되는 것을 도시하고 있으나, 설명의 편의성을 위한 것일 뿐, 이에 제한되는 것은 아니다. 퓨즈 링크(20)는 제1 및 제2 전극(22, 24)의 위치에 대응하여 굵은 부분을 포함하고 단면적을 다르게 형성할 수 있다.
- [0022] 그리고, 퓨즈 링크(20)에 프로그램 전류가 흐르면 퓨즈 링크(20)에 줄 열(joule's heat)이 발생할 수 있다. 프로그램 전류에 의해 발생하는 줄 열은 퓨즈 링크(20) 내에서 불균일한 온도 분포를 가질 수 있다. 퓨즈 링크(20) 내에서 불균일한 온도 분포는 퓨즈 링크의 중심 부분에서 온도가 가장 높을 수 있다.
- [0023] 불균일한 온도 분포는 퓨즈 링크(20) 내에서 원자들의 열적 이동 현상을 발생시킬 수 있다. 열적 이동 현상은 원자들이 퓨즈 링크의 중심 부분에서 애노드 방향으로 이동하는 열적 이동과 퓨즈 링크 중심 부분에서 캐소드 방향으로 이동하는 열적 이동을 포함할 수 있다. 이러한 퓨즈 링크(20) 내 전자적-이동 현상 및 열적 이동 현상

에 의한 전자적 구동력과 열적 구동력이 합쳐져 퓨즈 링크(20)가 블로워될 수 있다.

- [0024] 더미 스트립(30)은 퓨즈 링크(20)에 이웃하도록 형성되며, 퓨즈 링크(20)에 일정 간격을 두고 퓨즈 링크(20)가 연장되는 방향과 평행하게 형성될 수 있다. 여기서, 평행은 완전히 나란하게 정렬되는 것에 미세한 각도의 차이를 가지는 것도 포함할 수 있다. 더미 스트립(30)은 퓨즈 링크(20)의 양측에 일정 간격을 두고 퓨즈 링크(20)가 연장되는 방향과 평행하게 형성되는 제1 더미 스트립 및 제2 더미 스트립을 포함할 수 있다.
- [0025] 이러한 더미 스트립(30)은 제1 및 제2 전극(22, 24), 퓨즈 링크(20)와 동일한 물질로 형성될 수 있다. 일례로, 더미 스트립(30)은 구리와 같은 금속성 물질로 형성될 수 있다.
- [0026] 에어 채널(40)는 퓨즈 링크(20)와 더미 스트립(30) 사이에 형성될 수 있다. 에어 채널(40)는 퓨즈 링크(20)의 측면에 접(contact)하도록 형성될 수 있다. 에어 채널(40)는 퓨즈 링크(20)의 양측 및 더미 스트립(30)의 일측에 각각 접하도록 형성될 수 있다. 에어 채널(40)는 절연층(10)보다 낮은 유전율을 가진다. 여기서, 절연층(10)은 저유전체로 형성될 수 있다. 여기서, 저유전체는 반도체 층간 절연 물질로 이용되는 산화 실리콘(SiO₂)보다 낮은 유전율을 가지는 물질을 포함할 수 있다.
- [0027] 이러한 에어 채널(40)는 퓨즈 프로그램 시 열 절연(thermal insulation)과 크랙 스톱퍼(crack stopper) 역할을 할 수 있다. 퓨즈 프로그램 시 퓨즈 링크(20)에 발생하는 줄 열이 에어 채널(40)를 통해서 절연되므로 열적 이동 현상에 의한 열적 구동력과 전자적 이동 현상에 의한 전자적 구동력을 향상시킬 수 있다. 따라서, 에어 채널(40)는 더 낮은 프로그램 전류에서 퓨즈 블로워가 가능하게 한다. 그리고, 에어 채널(40)는 퓨즈 블로워 시 주변 구조물이 손상되는 것을 방지한다. 결과적으로 프로그램 트랜지스터의 면적을 크게 감소시켜 퓨즈 비트당 면적을 감소할 수 있고 신뢰성을 향상시킬 수 있다.
- [0028] 절연층(10)은 제1 및 제2 전극(22, 24), 퓨즈 링크(20), 더미 스트립(30) 및 에어 채널(40)를 감싸도록 형성될 수 있다. 여기서, 절연층(10)은 반도체 층간 절연 물질로 이용되는 산화 실리콘(SiO₂)보다 낮은 유전율을 가지는 저유전체로 형성될 수 있다.
- [0029] 도 2은 도 1의 A-A'를 따라 절단한 단면도이다.
- [0030] 도 2를 참고하면, 에어 채널(40)는 퓨즈 링크(20)와 동일한 레벨(level)에 형성될 수 있다. 그리고, 에어 채널(40)는 퓨즈 링크(20) 및 더미 스트립(30)과 동일한 레벨에 형성될 수 있다. 여기서, 동일한 미세한 단차를 포함하고 레벨은 퓨즈 링크(20)의 수직 방향으로 형성되는 위치로 정의될 수 있다. 그리고, 에어 채널(40)는 퓨즈 링크(20)와 더미 스트립(30) 사이에서 퓨즈 링크(20)의 양측과 더미 스트립(30)의 일측에 각각 접하도록 형성될 수 있다.
- [0031] 도 2에서, 에어 채널(40), 퓨즈 링크(20) 및 더미 스트립(30)은 동일한 레벨에 형성되는 것으로 도시하고 있으나, 이에 한정되는 것은 아니다. 에어 채널(40)는 퓨즈 링크(20)의 양측과 더미 스트립(30)의 일측에 각각 접하도록 형성되고 퓨즈 링크(20)의 수직 방향으로 퓨즈 링크(20)의 상위 레벨, 하위 레벨, 또는 상위 레벨과 하위 레벨까지 확장되어 형성될 수 있다.
- [0032] 이러한 에어 채널(40)는 퓨즈 프로그램 시 퓨즈 링크(20)에 발생하는 줄 열을 절연하므로 열적 이동 현상에 의한 열적 구동력과 전자적 이동 현상에 의한 전자적 구동력을 향상시킬 수 있다. 그리고, 에어 채널(40)는 퓨즈 프로그램 시 주변 구조물이 손상되는 것을 방지한다. 이와 같이 본 실시예에 따르면, 낮은 프로그램 전류에서 퓨즈 블로워를 가능하게 하고 안정적으로 퓨즈 링크(20)를 블로워하므로, 프로그램 트랜지스터의 면적을 크게 감소시켜 퓨즈 비트당 면적을 감소할 수 있고 신뢰성을 향상시킬 수 있다.
- [0033] 도 3은 본 발명의 다른 실시예에 따른 퓨즈를 설명하기 위한 평면도이다.
- [0034] 도 3을 참고하면, 본 발명의 일 실시예에 따른 퓨즈(100)는 절연층(10) 내에 제1 및 제2 전극(22, 24), 퓨즈 링크(20), 더미 스트립(30) 및 에어 홀들(50)를 포함할 수 있다.
- [0035] 퓨즈 링크(20)는 제1 및 제2 전극(22, 24) 사이에서 제1 및 제2 전극(22, 24)을 전기적으로 연결하도록 일 방향으로 연장되는 구조를 가지며, 전기적으로 프로그램이 가능한 물질로 구성된다. 퓨즈 링크(20)는 구리와 같은 금속성 물질로 형성될 수 있다. 제1 전극(22) 제2 전극(24) 및 퓨즈 링크(20)는 일체형으로 형성될 수 있으며, 동일 물질로 형성될 수 있다.
- [0036] 퓨즈 프로그램 시 퓨즈 링크(20)에 프로그램 전류가 흐르고, 프로그램 전류는 퓨즈 링크(20)에 전자적-이동 현상 및 열적 이동 현상을 발생시킨다. 이를 통해서 퓨즈 링크(20)가 블로워될 수 있다.

- [0037] 더미 스트립(30)은 퓨즈 링크(20)에 이웃하도록 형성되며, 퓨즈 링크(20)에 일정 간격을 두고 퓨즈 링크(20)가 연장되는 방향과 평행하게 형성될 수 있다. 더미 스트립(30)은 퓨즈 링크(20)의 양측에 일정 간격을 두고 퓨즈 링크(20)가 연장되는 방향과 평행하게 형성되는 제1 더미 스트립 및 제2 더미 스트립을 포함할 수 있다. 이러한 더미 스트립(30)은 제1 및 제2 전극(22, 24), 퓨즈 링크(20)와 동일한 물질로 형성될 수 있다. 일례로, 더미 스트립(30)은 구리와 같은 금속성 물질로 형성될 수 있다.
- [0038] 에어 홀들(50)은 퓨즈 링크(20)와 더미 스트립(30) 사이에 형성될 수 있다. 에어 홀들(50)은 절연층(10) 내에서 퓨즈 링크(20)와 더미 스트립(30) 사이에서 퓨즈 링크(20)의 수직 방향으로 형성될 수 있다. 에어 홀들(50)은 주기적인 패턴(periodic pattern)을 가지고 퓨즈 링크(20)와 더미 스트립(30) 사이에 배열될 수 있다. 에어 홀들(50) 각각은 나노 크기로 형성될 수 있다. 에어 홀들(50)은 절연층(10)보다 낮은 유전율을 가진다. 여기서, 절연층(10)은 저유전체로 형성될 수 있다. 저유전체는 반도체 층간 절연 물질로 이용되는 산화 실리콘(SiO_2)보다 낮은 유전율을 가지는 물질을 포함할 수 있다.
- [0039] 이러한 에어 홀들(50)은 퓨즈 프로그램 시 열 절연(thermal insulation)과 크랙 스톱퍼(crack stopper) 역할을 할 수 있다. 퓨즈 프로그램 시 퓨즈 링크(20)에 발생하는 줄 열이 에어 홀들(50)를 통해서 절연되므로 열적 이동 현상에 의한 열적 구동력과 전자적 이동 현상에 의한 전자적 구동력을 향상시킬 수 있다. 따라서, 에어 채널(40)은 더 낮은 프로그램 전류에서 퓨즈 블로워가 가능하게 한다. 그리고, 에어 채널(40)은 퓨즈 블로워 시 주변 구조물이 손상되는 것을 방지한다. 이와 같은 본 실시예에 따르면, 프로그램 트랜지스터의 면적을 크게 감소시켜 퓨즈 비트당 면적을 감소할 수 있고 안정적으로 퓨즈 링크(20)를 블로워할 수 있게 한다.
- [0040] 도 4는 도 3의 B-B'를 따라 절단한 단면도이다.
- [0041] 도 4를 참고하면, 에어 홀들(50)은 퓨즈 링크(20)와 동일한 레벨(level)에 형성될 수 있다. 그리고, 에어 홀들(50)은 퓨즈 링크(20) 및 더미 스트립(30)과 동일한 레벨에 형성될 수 있다. 여기서, 동일한 미세한 단차를 포함하고 레벨은 퓨즈 링크(20)의 수직 방향으로 형성되는 위치로 정의될 수 있다. 그리고, 에어 홀들(50)은 절연층(10) 내에서 퓨즈 링크(20)와 더미 스트립(30) 사이에서 퓨즈 링크(20)의 수직 방향으로 형성될 수 있다. 에어 홀들(50)은 주기적인 패턴을 가지며 퓨즈 링크(20)와 더미 스트립(30) 사이에 배열될 수 있다.
- [0042] 도 4에서, 에어 홀들(50), 퓨즈 링크(20) 및 더미 스트립(30)은 동일한 레벨에 형성되는 것으로 도시하고 있으나, 이에 한정되는 것은 아니다. 에어 홀들(50)은 퓨즈 링크(20)의 수직 방향으로 퓨즈 링크(20)의 상위 레벨, 하위 레벨, 또는 상위 레벨과 하위 레벨까지 확장되어 형성될 수 있다.
- [0043] 이러한 에어 홀들(50)은 퓨즈 프로그램 시 퓨즈 링크(20)에 발생하는 줄 열을 절연하므로 열적 이동 현상에 의한 열적 구동력과 전자적 이동 현상에 의한 전자적 구동력을 향상시킬 수 있다. 그리고, 에어 홀들(50)은 퓨즈 프로그램 시 주변 구조물이 손상되는 것을 방지한다. 이와 같이 본 실시예에 따르면, 낮은 프로그램 전류에서 퓨즈 블로워를 가능하게 하고 안정적으로 퓨즈 링크(20)를 블로워하므로, 프로그램 트랜지스터의 면적을 크게 감소시켜 퓨즈 비트당 면적을 감소할 수 있고 신뢰성을 향상시킬 수 있다.
- [0044] 도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 퓨즈의 형성 방법을 설명하기 위한 도 1의 A-A'를 따라 절단한 단면도이다.
- [0045] 먼저, 도 5a를 참고하면, 퓨즈 링크(20) 및 더미 스트립(30)을 절연층(10) 내에 형성한다. 절연층(10)은 반도체 기판 상에 형성될 수 있다. 절연층(10)은 저유전체를 포함할 수 있다. 여기서, 저유전체는 반도체 층간 절연 물질로 이용되는 산화 실리콘(SiO_2)보다 낮은 유전율을 가지는 물질을 포함할 수 있다.
- [0046] 절연층(10)은 퓨즈 링크(20) 및 더미 스트립(30)을 형성하기 위한 충분한 두께를 가질 수 있다. 절연층(10)은 퓨즈 링크(20) 및 더미 스트립(30)을 형성하기 위해 일부가 식각될 수 있다.
- [0047] 퓨즈 링크(20)는 제1 및 제2 전극을 전기적으로 연결하도록 제1 및 제2 전극(22, 24, 도 1) 사이에서 연장되며, 더미 스트립(30)은 퓨즈 링크(20)와 일정 간격을 두고 연장 방향과 평행하게 형성될 수 있다. 퓨즈 링크(20) 및 더미 스트립(30)은 구리와 같은 금속성 물질로 형성될 수 있다. 퓨즈 링크(20)는 제1 전극(22) 제2 전극(24)과 일체형으로 형성될 수 있으며, 동일 물질로 형성될 수 있다.
- [0048] 이어서, 도 5b를 참고하면, 에어 채널(40)을 형성한다. 에어 채널(40)은 퓨즈 링크(20)와 더미 스트립(30) 사이의 절연층(10)의 일부를 식각하여 퓨즈 링크(20)의 양측 및 더미 스트립(30)의 일측에 각각 접하도록 형성될 수 있다.

- [0049] 에어 채널(40)을 형성하는 과정은 다음과 같다.
- [0050] 먼저 절연층(10) 내에 형성하고자 하는 에어 채널(40)의 위치를 포토 레지스트(photo resist, 12) 코팅, 노광(exposure), 현상(develop) 공정을 통해서 정의(define)한다. 이를 위해 퓨즈 링크(20) 및 더미 스트립(30)의 상부 표면과 절연층(10)의 상부에 포토 레지스트(12)를 코팅한다. 포토 레지스트(12)는 반도체 공정의 하나인 리소그래피에서 에어 채널(40)을 형성하기 위해 절연층(10)에 코팅되는 감광성 수지를 포함할 수 있다.
- [0051] 그리고, 절연층(10)의 일부가 식각된다. 여기서, 절연층(10)의 일부는 포토 레지스트(12)에 의해 정의된 위치가 될 수 있다. 그리고, 퓨즈 링크(20)와 동일한 레벨에 에어 채널(40)이 형성되도록 절연층(10)의 일부를 식각할 수 있다. 도 5b에서, 에어 채널(40), 퓨즈 링크(20) 및 더미 스트립(30)은 동일한 레벨에 형성되는 것으로 도시하고 있으나, 이에 한정되는 것은 아니다. 에어 채널(40)은 퓨즈 링크(20)의 수직 방향으로 퓨즈 링크(20)의 상위 레벨, 하위 레벨, 또는 상위 레벨과 하위 레벨까지 확장되어 형성될 수 있다.
- [0052] 이어서, 도 5c를 참고하면, 식각 후 포토 레지스트(12)가 제거된다.
- [0053] 이어서, 도 5d를 참고하면, 에어 채널(40)이 유지되도록 퓨즈 링크(20), 더미 스트립(30) 및 에어 채널(40) 상부에 절연층(40)이 형성된다. 일례로, 핀치 오프(pinch off)가 가능한 CVD(chemical vapor deposition) 공정을 통해서 에어 홀들(50)이 밀봉(sealing)되도록 절연층(10)이 증착될 수 있다. 퓨즈 링크(20)의 양측 및 더미 스트립(30)의 일측에 각각 접하도록 형성된 에어 채널(40)은 퓨즈 프로그램 시 퓨즈 링크(20)에 발생하는 줄 열을 절연하고 주변 구조물이 손상되는 것을 방지한다.
- [0054] 도 6a 내지 도 6h는 본 발명의 다른 실시예에 따른 퓨즈의 형성 방법을 설명하기 위한 도 3의 B-B'를 따라 절단한 단면도이다.
- [0055] 먼저, 도 6a를 참고하면, 퓨즈 링크(20) 및 더미 스트립(30)을 절연층(10) 내에 형성한다. 절연층(10)은 반도체 층간 절연 물질로 이용되는 산화 실리콘(SiO_2)보다 낮은 유전율을 가지는 저유전체를 포함할 수 있다. 절연층(10)은 내부에 퓨즈 링크(20) 및 더미 스트립(30)을 형성하기 위한 충분한 두께를 가지며, 퓨즈 링크(20) 및 더미 스트립(30)을 형성하기 위해 일부가 식각될 수 있다.
- [0056] 퓨즈 링크(20)는 제1 및 제2 전극을 전기적으로 연결하도록 제1 및 제2 전극(22, 24, 도 3) 사이에서 연장되며, 더미 스트립(30)은 퓨즈 링크(20)와 일정 간격을 두고 연장 방향과 평행하게 형성될 수 있다. 퓨즈 링크(20) 및 더미 스트립(30)은 구리와 같은 금속성 물질로 형성될 수 있다. 퓨즈 링크(20)는 제1 전극(22) 제2 전극(24)과 일체형으로 형성될 수 있으며, 동일 물질로 형성될 수 있다.
- [0057] 그리고, 에어 홀들(50)을 형성하기 위해 하드 마스크(14)가 퓨즈 링크(20), 더미 스트립(30) 및 절연층 상부에 형성될 수 있다.
- [0058] 이어서, 도 6b를 참고하면, 절연층(10) 내에 형성되는 에어 홀들(50)의 위치를 정의하기 위해 포토 레지스트(photo resist, 12)가 하드 마스크(14)의 상부 표면에 코팅되고, 노광(exposure), 현상(develop) 공정을 통하여 에어 홀들(50)이 형성되는 퓨즈 링크(20)와 더미 스트립 사이가 노출된다. 포토 레지스트(12)는 반도체 공정의 하나인 리소그래피에서 에어 홀들(50)을 형성하기 위해 하드 마스크(14)의 표면에 코팅되는 감광성 수지를 포함할 수 있다.
- [0059] 이어서, 도 6c 및 도 6d를 참고하면, 퓨즈 링크(20)의 수직 방향으로 주기적인 패턴을 가지는 에어 홀들(50)을 형성하기 위해 셀프-어셈블리 폴리머(self-assembly polymer, 16)가 포토 레지스트(12)와 에어 홀들(50)이 형성되는 위치에 대응하는 하드 마스크(14)의 상부 표면에 증착될 수 있다.
- [0060] 그리고, 셀프-어셈블리 폴리머(16)와 하드 마스크(14)에 주기적인 패턴을 가지는 에어 홀들(50)을 형성하기 위해 셀프-어셈블리 폴리머(16)와 하드 마스크(14)의 일부가 식각될 수 있다. 셀프-어셈블리 폴리머(16)는 폴리스티렌(polystyrene) 및 폴리(메틸(methyl)-메타크릴레이트(methacrylate))를 합성한 물질을 포함할 수 있다. 일례로, 셀프-어셈블리 폴리머(16)는 어닐링(anneal) 후에 주기적인 패턴을 형성되도록 폴리스티렌이 재 배열된다. 그리고, 셀프-어셈블리 폴리머(16)의 폴리스티렌은 습식 또는 건식 식각에 의해 선택적으로 제거되어 주기적인 패턴을 가지는 에어 홀들(50)이 형성될 수 있다.
- [0061] 이어서, 도 6e를 참고하면, 포토 레지스트(12) 및 셀프-어셈블리 폴리머(16)가 제거된다.
- [0062] 이어서, 도 6f를 참고하면, 하드 마스크(14)에 형성된 주기적인 패턴을 가지는 에어 홀들(50)이 절연층(10) 내에 형성되도록 절연층(10)의 일부가 식각된다. 여기서, 에어 홀들(50)이 퓨즈 링크(20)와 동일한 레벨에 형성되

도록 절연층(10)의 일부가 식각될 수 있다. 도 6f에서, 에어 홀들(50), 퓨즈 링크(20) 및 더미 스트립(30)은 동일한 레벨에 형성되는 것으로 도시하고 있으나, 이에 한정되는 것은 아니다. 에어 홀들(50)은 퓨즈 링크(20)의 수직 방향으로 퓨즈 링크(20)의 상위 레벨, 하위 레벨, 또는 상위 레벨과 하위 레벨까지 확장되어 형성될 수 있다.

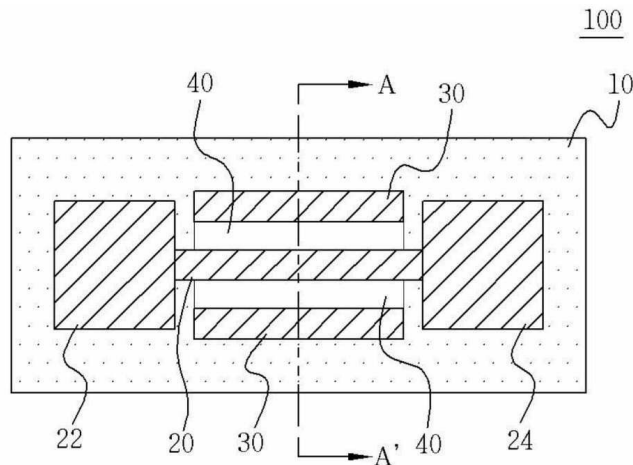
[0063] 이어서, 도 6g를 참고하면, 절연층(10) 식각 후 하드 마스크(14)가 제거된다.

[0064] 이어서, 도 6h를 참고하면, 에어 홀들(50)이 커버링되도록 퓨즈 링크(20), 더미 스트립(30) 및 에어 홀들(50) 상부에 절연층(10)가 증착된다. 일례로, 핀치 오프(pinch off)가 가능한 CVD(chemical vapor deposition) 공정을 통해서 에어 홀들(50)이 밀봉(sealing)되도록 절연층(10)가 증착될 수 있다. 상기와 같은 과정을 통해서 형성된 에어 홀들(50)은 퓨즈 프로그램 시 퓨즈 링크(20)에 발생하는 줄 열을 절연하고 주변 구조물이 손상되는 것을 방지한다.

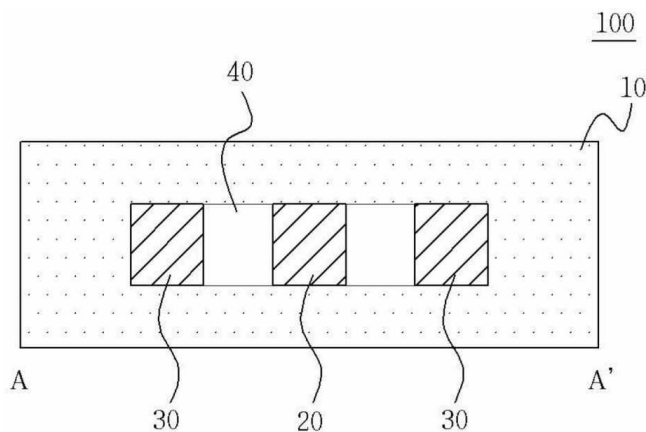
[0065] 본 발명은 도면들에 도시된 실시예들을 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

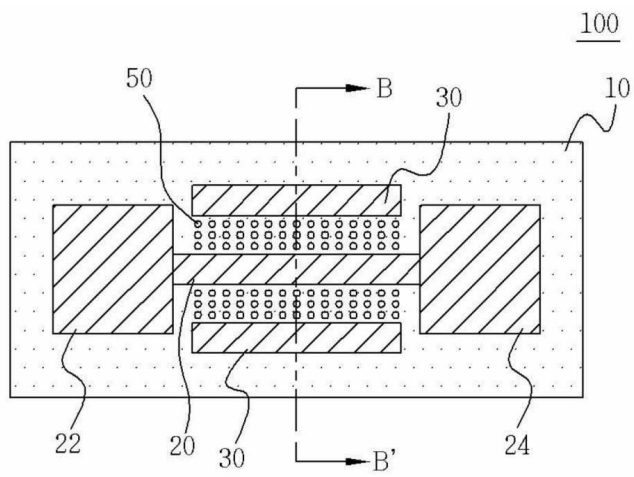
도면1



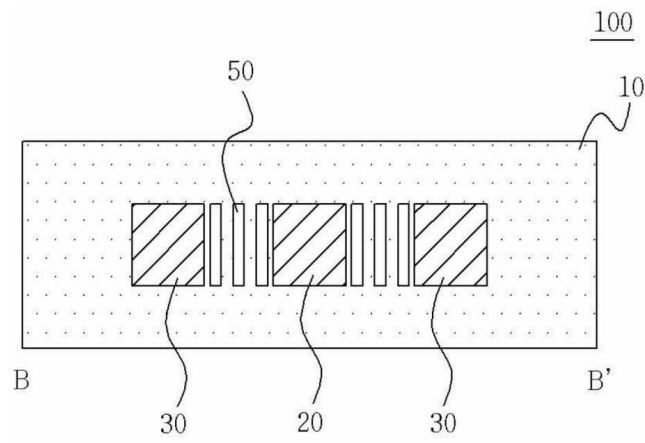
도면2



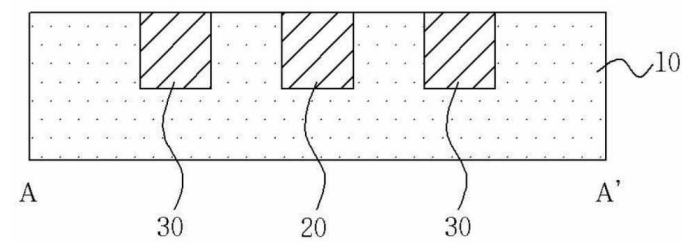
도면3



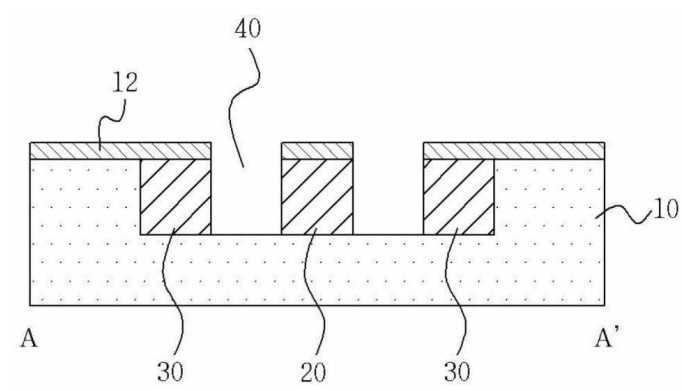
도면4



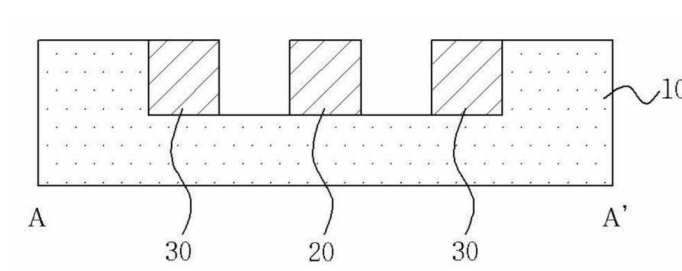
도면5a



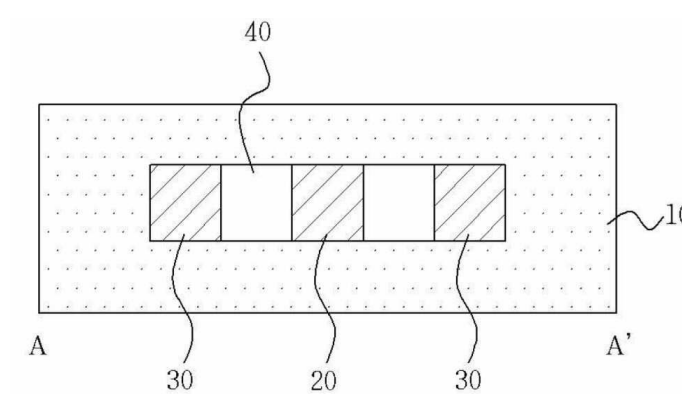
도면5b



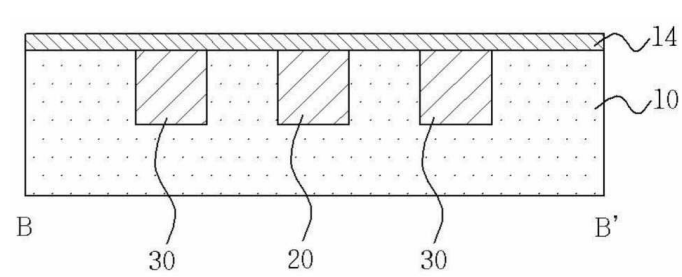
도면5c



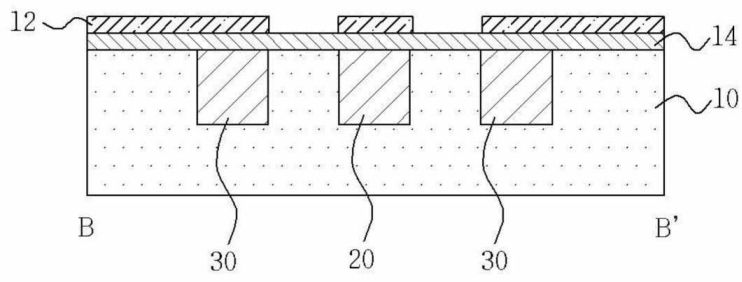
도면5d



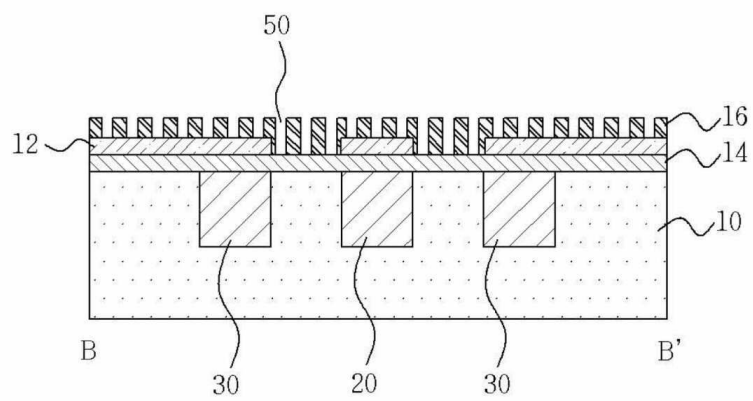
도면6a



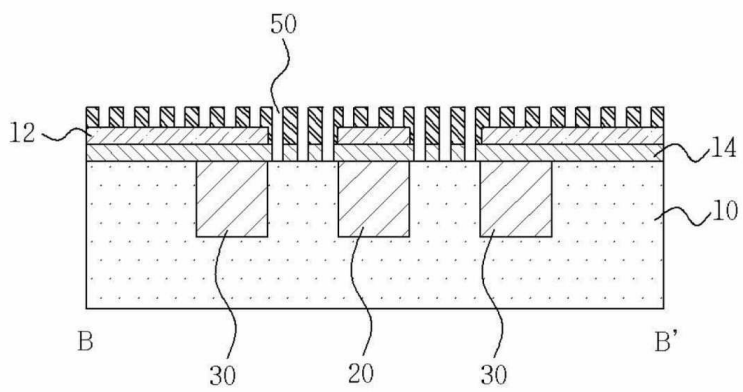
도면 6b



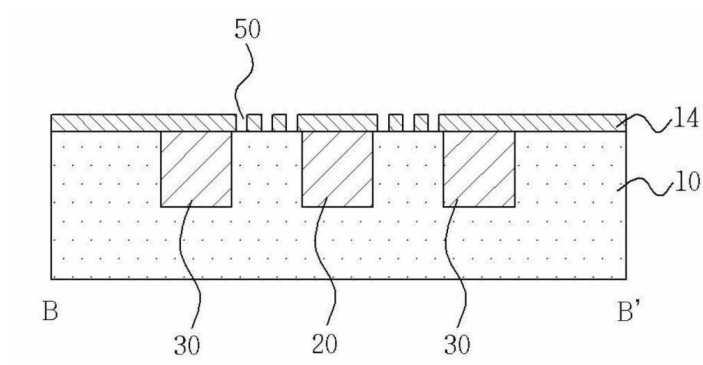
도면6c



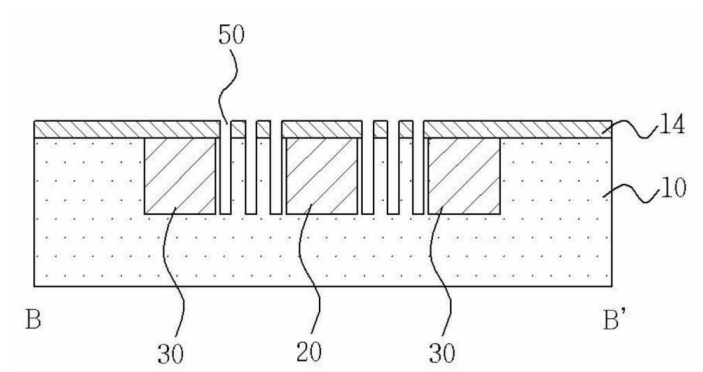
도면6d



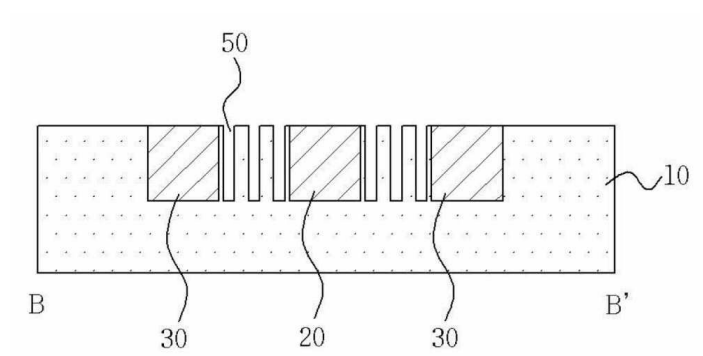
도면6e



도면6f



도면6g



도면6h

