



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2008년03월11일
 (11) 등록번호 10-0812954
 (24) 등록일자 2008년03월05일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0021941

(22) 출원일자 2006년03월08일

심사청구일자 2006년03월08일

(65) 공개번호 10-2006-0097648

(43) 공개일자 2006년09월14일

(30) 우선권주장

1020050020523 2005년03월11일 대한민국(KR)

(56) 선행기술조사문현

JP2002091338 A

(뒷면에 계속)

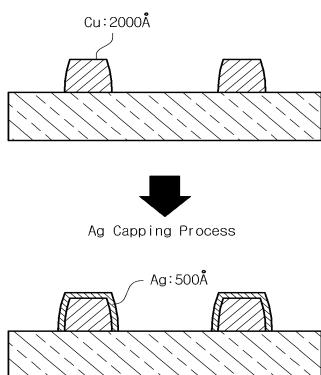
전체 청구항 수 : 총 8 항

심사관 : 양성지

(54) 은 박막에 의하여 보호된 구리 배선 또는 구리 전극 및 상기 전극 또는 배선을 갖는 액정 표시장치

(57) 요약

본 발명은 구리의 표면에 은 박막을 도입함으로써 구리가 보호되도록 한 구리 배선 또는 구리 전극 및 그 제조방법에 관한 것이다. 또한 본 발명은 기판에 구리 배선 또는 구리 전극을 형성한 후 상기 구리 표면에 은 박막을 형성함으로써 상기 구리를 보호하여 산화 또는 기타 불필요한 반응에 대한 저항성이 강해지도록 함으로써, 전극 및 배선의 성능을 양호하게 유지할 수 있는 액정 표시장치 및 그 제조방법에 대한 것이다.

대표도 - 도3

(56) 선행기술조사문현
KR1020000023524 A
KR1020010095037 A
KR1020030072978 A
KR100193979 B1
KR1020030095005 A
JP2002289863 A
KR1020030001756 A

특허청구의 범위

청구항 1

액정 표시장치용 유리기판의 표면에 구리 박막을 형성하는 단계;

상기 구리 박막을 패터닝하여 배선 또는 전극을 형성하는 단계; 및

상기 배선 또는 전극이 형성된 기판을 은 치환 용액에 침지시켜 상기 패터닝된 구리 박막의 표면에 은 박막을 형성하는 단계; 및

상기 은 박막이 형성된 배선 또는 전극에 실리콘계 절연막을 회복하는 단계;

를 포함하는 것을 특징으로 하는 액정 표시장치의 배선 또는 전극의 제조방법.

청구항 2

삭제

청구항 3

제 1항에서 있어서, 상기 은 박막을 형성하는 단계에서 상기 은 치환 용액은 18°C 내지 100°C의 온도로 유지되는 것을 특징으로 하는 액정 표시장치의 배선 또는 전극의 제조방법.

청구항 4

제 1항에서 있어서, 상기 은 치환 용액의 은 이온 농도는 1 내지 5M인 것을 특징으로 하는 액정 표시장치의 배선 또는 전극의 제조방법.

청구항 5

제 1항에서 있어서, 상기 은 치환 용액은 AgNO_3 및 $\text{KAg}(\text{CN})_2$ 로 이루어진 군에서 선택된 1종 이상의 은 이온 공급체를 사용하여 제조된 것임을 특징으로 하는 액정 표시장치의 배선 또는 전극의 제조방법.

청구항 6

제 1항에서 있어서, 상기 구리 기판을 은 치환 용액에 침지시키는 시간은 10~ 30초인 것을 특징으로 액정 표시장치의 배선 또는 전극의 제조방법.

청구항 7

제 1항 및 제 3항 내지 제 6항 중 어느 한 항에 의한 방법으로 제조된, 유리기판에 형성된 액정표시장치의 배선 또는 전극.

청구항 8

삭제

청구항 9

삭제

청구항 10

유리기판;

상기 유리기판에 형성된 게이트 전극;

게이트 전극을 포함한 전면에 형성된 게이트 절연막;

상기 절연막 상에 형성된 반도체 층;

상기 반도체 층 위에서 분리된 형태로 형성된 소스 전극 및 드레인 전극;

상기 소스 전극 및 드레인 전극과 상기 반도체층 사이에 개재된 오믹콘택층; 및

상기 드레인 전극과 전기적으로 연결되는 화소전극 포함하는 액정 표시장치에 있어서,

상기 게이트 전극, 소스 전극 및 드레인 전극 중 적어도 하나의 전극의 표면에는 은 박막이 형성되어 있으며, 은 박막은 상기 게이트 전극, 소스 전극 및 드레인 전극 중 적어도 하나의 전극이 형성된 상기 기판을 은 치환 용액에 침지시켜 형성된 것이며,

상기 절연막은 실리콘계 절연막임을 특징으로 하는 액정 표시장치.

청구항 11

유리기판에 구리를 이용하여 게이트 배선 및 게이트 전극을 형성하는 단계;

상기 게이트 배선 및 게이트 전극이 형성된 기판을 은 치환 용액에 침지시켜_상기 게이트 배선 및 게이트 전극에 은 박막을 형성하는 단계;

상기 은 박막 상에 실리콘계 절연막을 형성하는 단계;

상기 절연막 상의 소정 영역에 채널층을 형성하는 단계;

상기 채널층의 양측과 연결되는 소스 및 드레인 전극을 형성하는 단계;

상기 소스 및 드레인 전극을 포함한 전면에 보호막을 형성하는 단계; 및

상기 드레인 전극과 연결되도록 상기 보호막상에 화소전극을 형성하는 단계;

를 포함하는 것을 특징으로 하는 액정 표시장치 제조방법.

청구항 12

삭제

청구항 13

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<19>

본 발명은 구리 배선 또는 구리 전극 표면에 은 박막을 도입하여 구리가 보호되도록 한 구리 배선 또는 구리 전극에 관한 것이다. 본 발명은 또한 상기 구리 배선 또는 구리 전극을 사용하는 액정 표시장치에 관한 것이다. 기판에 구리 배선 또는 구리 전극을 형성한 후 상기 구리 표면에 은 박막을 형성할 경우, 상기 은 박막이 구리를 보호하여 산화 또는 기타 불필요한 반응에 대한 구리의 저항성이 강해지도록 함으로써, 전극 및 배선의 성능을 양호하게 유지할 수 있다.

<20>

현재 대부분의 액정 표시장치(LCD; Liquid Crystal Display)는 제조공정이 쉽고 TFT(박막트랜지스터; Thin Film Transistor)용 광차단막이 따로 필요 없는 인버티드 스탠더드(Invited Staggered) 구조의 TFT를 채용하고 있는 추세이다(도 1 참조).

<21>

상기 인버티드 스탠더드 구조의 TFT를 포함하는 액정 표시장치는 일반적으로 복수개의 구조물이 형성된 두 개의 기판을 서로 대향하여 합착하고 그 사이에 액정을 주입하여 이루어진다. 상기 기판 중 아래 쪽에 있는 기판에는 게이트버스 라인과 데이터버스라인이 매트릭스 형태로 교차로 형성함으로써, 그 교차 영역 내에 화소 전극이 형성되어 이들이 서로 전기적으로 연결되도록 하는 인버티드 스탠더드 형태의 구조를 갖는다. 즉, 상기 인버티드 스탠더드 구조의 TFT는 일반적으로 유리 기판 위에 형성된 게이트 전극, 상기 게이트 전극을 포함한 전면에 형성된 게이트 절연막, 상기 게이트 전극 상부의 게이트 절연막 위에 형성된 반도체층, 상기 반도체층 위에서 분리 형성된 소스 전극 및 드레인 전극, 상기 소스 및 드레인 전극과 상기 반도체층 사이에 개재되는 오믹 콘택층

으로 구성된다. 한편, 액정 표시장치는 상기와 같이 구성된 TFT, 상기 TFT를 포함하는 기판의 전면에 형성된 보호막, 상기 드레인 전극이 노출 되도록 형성된 콘택홀 및 상기 콘택홀을 통해 드레인 전극과 전기적으로 연결되는 화소 전극에 의하여 구성된다.

- <22> 도 2는 종래 기술에 따른 액정표시장치 제조방법을 설명하기 위한 공정의 단면도이다.
- <23> 일반적으로, 도 2의 (a)에서와 같이 유리 기판(110) 위에 스퍼터링법으로 구리를 사용하여 막을 형성하고, 사진식각 공정 등을 이용한 패터닝 공정으로 상기 구리막을 선택적으로 제거하여 복수개의 게이트 배선과 게이트 전극(101)을 형성한다.
- <24> 그리고, 도 2의 (b)에서와 같이, 게이트 배선과 게이트 전극(101)이 형성된 유리기판(110) 위에, 다결정실리콘(a-Si)과의 계면특성이 좋고 상기 게이트전극(101)과 밀착성이 좋으며 절연 내압이 높은 실리콘질화물(SiNx), 실리콘산화물(SiOx) 등으로 게이트 절연막(102)을 형성한다. 이어, (c)에서와 같이, 상기 게이트 절연막(102) 위에 다결정 실리콘(a-Si)을 이용하여 반도체층(103)을 형성한다.
- <25> 이후, 상기 반도체층(103) 위에, 후 공정에서 형성되는 소스 및 드레인 전극과의 양호한 오믹 콘택을 위해 오믹 콘택층(104)을 형성한다. 그리고, (d)에서와 같이, 상기 오믹콘택층(104)을 포함한 전면에 구리 막을 형성한 후, 패터닝하여 상기 게이트 배선과 교차하는 방향으로 데이터배선을 형성하고, 소스 전극(105)과 드레인 전극(106)을 형성한다. 상기 소스/드레인 전극(105/106)을 포함한 전면에 보호막(107)을 도포하고, 상기 드레인 전극(106)이 노출되도록 상기 보호막(107)의 소정 부위를 제거하여 콘택홀(108)을 형성한다.
- <26> 이어, 전면에 전도성 있는 투명도전막을 증착한 후 패터닝하여 상기 콘택홀(108)을 통해 드레인 전극(106)과 전기적으로 연결되는 화소 전극을 형성하면 종래기술에 따른 액정표시장치의 제조공정이 완료된다.
- <27> 이와 같은 구조의 액정표시장치에 있어서, 상기 전극 및 배선의 재료로서 구리를 사용하는데, 이러한 구리 배선은 종래의 알루미늄 배선을 대체할 차세대 배선으로서 그 성능을 인정 받고 있다고 할 수 있다. 구리는 알루미늄에 비해 비저항이 낮기 때문에 저항-축전지연(RC delay)을 감소시켜 직접회로가 보다 빠르게 동작하는 것이 가능하게 한다. 또한, 전기 이동에 대한 저항성(Electromigration resistance)이 좋기 때문에 소자 내에서의 금속 회로의 단락을 줄일 수 있는 장점이 있다. 그러나, 구리는 알루미늄과 달리 쉽게 산화되는 문제점을 가지고 있다. 이로 인하여 구리 전극 및 구리 배선은 쉽게 오염이 되고, 또한 전극 및 배선에 도포되는 절연막과 반응하려는 경향이 있어 문제가 된다. 이에, 반도체 공정에서는, 배선공정 후 공정으로서 구리 박막의 표면에 이온을 주입하는 이온 주입법(ion implantation), 구리합금 박막을 이용하는 방법, 구리와 다른 금속으로 이루어진 적층체를 형성하고 이를 열처리하는 방법 등이 연구되고 있다.
- <28> 한편, 상기 액정 표시장치에 있어서, 상기 전극 또는 배선의 절연막 또는 보호막은 실리콘계 화합물로 이루어지는 것이 일반적이다. 상기 실리콘계 화합물을 증착에 의하여 전극과 배선을 포함하는 기판에 형성되는데, 상기 실리콘화합물 형성에 사용되는 SiH₄와 구리가 반응하여 배선 및 전극의 성능에 장애를 유발할 수 있다.
- <29> 보다 상세히 설명하면, 액정 표시장치에는 기판 상에 다양한 박막이 증착되는데, 이러한 박막의 증착 방법으로서, 금속막 및 투명전극의 경우에는 스퍼터링(Sputtering)법을, 실리콘 및 절연막은 플라즈마 화학기상증착법(Plasma Enhanced Chemical Vapor Deposition: PECVD)법을 주로 이용한다.
- <30> 상기 PECVD법은 플라즈마에 의해 여기된 전자가 중성 상태로 유입된 기체 화합물과 충돌하여 기체 화합물을 분해하고, 이때 형성된 가스 이온들의 상호반응 및 기판인 유리 등에서 제공되는 열에너지의 도움으로 재결합하여 박막이 형성되는 원리이다. 이때, 유입되는 기체의 종류는 형성하고자 막의 종류에 따라 달라지는데, 일반적으로 수소화 비정질 실리콘(a-Si:H)을 형성하고자 할 경우에는 SiH₄, H₂를 사용하며, 실리콘 질화막(SiNx)을 형성하고자 할 경우에는 SiH₄, H₂, NH₃, N₂의 혼합가스가 사용된다. N형 불순물인 인(phosphorous)을 도핑한 n+Si:H을 형성하고자 할 경우에는 PH가 첨가된다.
- <31> 상기와 같은 방법에 의하여 실리콘화합물을 증착할 때 구리 전극 또는 구리 배선이 보호되지 않는다면, 증착에 사용되는 SiH₄와 구리가 반응하여 실리사이드를 형성하게 되며, 이러한 실리사이드로 인하여 누설 전류(leakage current) 및 브레이크 다운(break down)이 발생하여 배선 및 전극의 성능에 장애를 유발하고 소자의 신뢰성을 저하시킨다는 문제점이 있다.
- <32> 또한, 구리 박막의 표면은 소수성이기 때문에 패턴을 형성한 후 스트립 공정에서 포토레지스트(PR) 잔사가 존재하는 단점이 있기 때문에, 패턴 후 상기 잔사를 제거하여야 한다.

발명이 이루고자 하는 기술적 과제

- <33> 이에, 본 발명에서는 구리로 된 전극 또는 배선을 보호하여, 증착에 사용되는 SiH₄와 구리가 반응하여 실리사이드를 형성하는 것을 방지하여, 상기 실리사이드로 인하여 누설 전류(leakage current) 및 브레이크 다운(break down)이 발생하여 배선 및 전극의 성능에 장애를 유발하고 소자의 신뢰성을 저하시키는 문제점을 해결하고자 한다. 또한, 구리 박막의 표면은 소수성이기 때문에 패턴을 형성한 후 스트립 공정에서 포토레지스트(PR) 잔사가 존재하는 단점이 있는데, 본 발명에서는 패턴 후 상기 잔사를 용이하게 제거할 수 있는 방법을 제공하고자 한다.
- <34> 본 발명자들은 상기와 같은 문제점을 해결하기 위하여 연구한 결과, 구리를 사용하여 형성된 전극 또는 배선의 표면에 은 박막을 형성함으로써 구리 전극 또는 구리 배선에 실리사이드가 형성되는 것을 억제할 수 있고, 또한, 상기 은 박막을 형성하기 위하여 은 치환 용액을 사용할 경우, 상기 포토레지스트(PR) 잔사까지도 효과적으로 제거할 수 있고 또한 공정의 단순화를 가져와 생산성 증가가 가능함을 발견하고 본 발명을 완성하였다.
- <35> 따라서, 본 발명은 은 박막에 의하여 보호된 구리 전극 또는 구리 배선 및 구리 전극 또는 구리 배선에 은 박막을 형성하는 방법을 제공하는 것을 목적으로 한다. 또한 본 발명은 상기와 같은 전극과 배선을 사용하여 소자의 신뢰성을 향상시킨 액정 표시장치와 그 제조방법을 제공하는데 목적이 있다.
- <36> 또한, 본 발명은 구리 박막의 패터닝 후 남는 포토레지스트(PR) 잔사를 효과적으로 제거하는 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <37> 본 발명은 전극 또는 배선으로 사용되는 구리 위에 은 박막이 형성되어 보호된 구리 전극 또는 구리 배선을 제공한다.
- <38> 또한, 본 발명은 구리 위에 은 박막을 형성하는 단계를 포함하는 구리 전극 또는 구리 배선 형성 방법을 제공한다. 또한 본 발명은 구리 위에 은 박막을 형성하여 구리 전극 또는 구리 배선을 보호하는 방법을 제공한다.
- <39> 본 발명은, 또한 기판에 구리 박막을 형성하는 단계, 상기 구리 박막을 패터닝하여 구리 배선 또는 전극을 형성하는 단계 및 상기 구리 배선 또는 전극이 형성된 기판을 은 치환 용액에 침지시켜 구리 박막 표면에 은 박막을 형성단계를 포함하는 구리 배선 또는 구리 전극의 제조방법을 제공한다. 상기 방법에 의할 경우, 구리 배선 또는 구리 전극을 형성하기 위하여 구리 박막을 패터닝한 후에 남는 포토레지스트(PR) 잔사를 효과적으로 제거할 수 있다.
- <40> 본 발명은 또한 은 박막에 의하여 구리 전극 및 구리 배선이 보호된 액정표시장치를 제공한다. 즉, 기판, 게이트 전극, 소스 전극, 드레인 전극, 상기 전극에 형성된 절연막, 반도체 층, 오믹콘택층 및 화소전극 포함하는 액정 표시장치에 있어서, 상기 게이트 전극, 소스 전극 및 드레인 전극 중 적어도 하나의 전극은 그 표면에 은 박막이 형성되어 있는 액정 표시장치를 제공한다.
- <41> 본 발명은 또한, 기판 위에 구리를 이용하여 게이트 배선 및 게이트 전극을 형성하는 단계, 상기 게이트 배선 및 게이트 전극에 은 박막을 형성하는 단계, 상기 은 박막 상에 절연막을 형성하는 단계, 상기 절연막 상의 소정 영역에 채널층을 형성하는 단계, 상기 채널층(반도체층)의 양측과 연결되는 소스 및 드레인 전극을 형성하는 단계, 상기 소스 및 드레인 전극을 포함한 전면에 보호막을 형성하는 단계 및 상기 드레인 전극과 연결되도록 상기 보호막 상에 화소 전극을 형성하는 단계를 포함하는 액정 표시장치의 제조방법을 제공한다.
- <42> 이하 본 발명을 보다 상세히 설명한다.
- <43> 본 발명에 따라 구리 위에 은 박막이 형성된 구리 전극 및 구리 배선에 있어서, 상기 은 박막의 두께는 통상 10~30nm이며 보다 바람직하게는 20~30nm이다. 상기 은 박막의 두께가 10nm 미만일 경우 충분한 보호 효과를 나타내는 데 어려움이 있다. 한편, 상기 은 박막은 환원 전위차를 이용하여 형성되기 때문에 30nm 이상의 두께로 증착되기는 용이하지 않은 바, 일반적으로 배리어 박막의 두께는 30nm 이하이다.
- <44> 본 발명에 의하여 보호되는 전극은 바람직하게는, 반도체의 게이트 전극 또는 액정 표시장치의 게이트 전극과 소스/드레인 전극이다.
- <45> 본 발명에 따라 구리 전극 위에 은 박막을 형성하는 방법은 구리 위에 은 박막을 상기의 두께, 즉 10~30nm의 두께로 형성할 수 있는 방법이라면 제한없이 적용가능하다. 바람직하게는 은 치환용액 침지법(은거울 반응)을

사용할 수 있다. 즉, 먼저 기판에 구리 배선 및 구리 전극을 형성한 후 이를 은 치환 용액에 침지하여 구리 전극 또는 구리 배선 표면의 구리가 은으로 치환되도록 함으로써 구리의 표면에 은 박막이 형성되도록 할 수 있다.

<46> 은 치환 용액은 구리 표면을 은으로 치환시킬 수 있기만 하면 그 종류 및 제조방법이 특별히 한정되지는 않는다. 일반적으로, 용액 중의 은 이온 농도가 약 1~5M 정도이며, 바람직하게는 1~2M 정도, 보다 바람직하게는 1.5~1.6 M 정도가 적당하다. 용매는 제한이 없지만, 바람직하게는 이온 제거수를 사용할 수 있다. 상기 은 치환 용액의 은 이온 공급체로서는 AgNO_3 , $\text{KAg}(\text{CN})_2$, 등이 있으며 그 종류가 이들에 한정되는 것은 아니다. 예를 들어, 이온 제거수에 AgNO_3 , $(\text{NH}_4)_2\text{SO}_4$, NH_4OH 를 혼합하여 은 치환 용액을 제조하거나, 이온 제거수에 $\text{KAg}(\text{CN})_2$, KCN 를 혼합하여 은 치환 용액을 제조할 수도 있다.

<47> 박막의 치환속도 및 표면 개발효과 정도를 고려하여 상기 은 치환 용액의 온도를 조절할 수 있는데, 온도가 18 °C 미만일 경우는 저온으로 인하여 치환반응이 용이하지 않으며, 온도가 100°C를 초과할 경우 물이 증발되는 문제점이 있기 때문에 일반적으로 상기 은 치환 용액은 18°C 내지 100°C의 온도로 유지하는 것이 바람직하다.

<48> 기판에 구리 배선 또는 구리 전극을 형성한 후, 이를 18°C 내지 100°C의 은 치환 용액 중에 약 10~30초 정도 침지시키고, 물에 의한 세정 및 건조를 거쳐 구리 배선 또는 구리 전극이 은 박막에 의해 보호된 기판을 제조할 수 있다.

<49> 이러한 은 치환 용액을 사용하는 경우, 구리 박막을 패터닝하여 구리 전극 또는 구리 배선을 형성하고 이를 은 치환 용액에 침지시키는 것에 의하여 구리에 은 박막이 형성될 수 있기 때문에, 전극 또는 배선의 형성과 은 박막의 형성이 하나의 연속 공정(wet process)에 의하여 구현할 수 있다.

<50> 일반적으로, 액정 표시 장치에서 게이트 전극 및 소스/드레인 전극은 예칭용 용액에 넣어서 금속막을 깎아서 패턴을 형성한 후, 습식 공정인 포토레지스트 스트리퍼(PR stripper) 공정을 통하여 금속 배선막을 형성한다. 구리의 경우 구리의 소수성 때문에, PR Stripper 공정 후 구리 표면에 PR 잔사가 많이 남아있게 된다. 특히, XPS 분석 등에 의하면 구리의 표면에는 유기화합물도 존재한다는 것을 알 수 있다.

<51> 종래에는 상기 PR 잔사를 제거하기 위해 건식 세정 공정인 UV 세정 방법을 적용하였는데, 이 방법은 UV를 이용하여 상기 잔사를 태워 없애는 것이다. 그러나 본 발명에서와 같이 강한 반응성을 나타내는 은 치환용액을 사용할 경우, 전극 표면의 구리가 은 치환 용액으로 용해되면서 그 부분이 은으로 치환될 때, 상기 PR 잔사가 전극 표면의 구리와 함께 전극으로부터 제거되는 것이다.

<52> 그렇기 때문에, 본 발명에 의한 경우 상기 패터닝 후 남은 포토레지스트(PR) 잔사를 효과적으로 제거할 수 있다 (도 7b 참조).

<53> 상기와 같이 구리의 표면에 은 박막이 형성된 전극 또는 배선의 경우, 그 위에 절연막이 형성되더라도 상기 절연막과 구리가 반응하지 않아 구리의 전기적 특성이 회생되지 않기 때문에 구리 전극 및 배선이 보호될 수 있다.

<54> 즉, 구리 박막의 표면을 은으로 치환하여 은 박막을 형성하는 것만으로도 산화에 대한 저항성이 강해져서 전극 및 배선의 표면에서 산화에 의한 불순물의 발생이 억제된다. 그 결과, 전극 또는 배선의 상층막으로서 형성되는 실리콘계 절연막과의 접착력이 강해지고, 불필요한 반응이 억제되어, 저항 특성이 우수한 고품질의 배선 및 전극을 얻을 수 있다. 특히, 전극 또는 배선에 실리콘화합물 중착시 유입되는 SiH_4 와의 반응으로 인한 실리사이드의 형성이 억제되어 누설전류(leakage current) 및 브레이크 다운(break down)의 발생이 억제됨으로써 소자의 신뢰성 회복에도 큰 효과가 있다.

<55> 첨부된 도면을 참조하여 본 발명에 따른 배선 및 전극이 적용되는 액정 표시장치 및 그 제조방법을 예시적으로 설명한다.

<56> 도 4a 내지 4e는 본 발명에 따른 액정표시장치 제조방법을 설명하기 위한 공정 단면도이다.

<57> 도 4a에서와 같이, 유리 기판(210) 위에 스퍼터링법에 의해 구리 금속막을 중착한 후, 패터닝하여 복수의 게이트 배선과 게이트전극(201)을 형성한다.

<58> 도 4b에서와 같이, 상기 게이트 배선과 게이트 전극(201)에 은 박막(202a)을 형성하고 절연 내압 특성이 좋은 무기물인 실리콘계 화합물로 절연막(202b)을 형성한다. 상기 은 박막은 바람직하게는 은 치환 용액 침지법에 의하여 형성될 수 있다. 즉, 상기 상기 게이트 배선과 게이트 전극(201)이 형성된 유리 기판(210)을 은 치환 용액

에 침지하는 것에 의하여 구리 전극 및 구리 배선 표면의 구리가 은으로 치환됨으로써 은 박막이 용이하게 형성될 수 있다. 이 경우, 구리 전극 및 배선이 형성된 기판을 바로 은 치환 용액에 침지시키는 하나의 연속 공정에 의하여 은 박막을 형성할 수 있다. 이 경우, 패터닝 후 남은 포토레지스트 잔사도 더불어 제거될 수 있기 때문에, 공정의 단순화 측면에서 매우 유용하다.

<59> 절연막(202b)의 증착은 일반적으로 PECVD법에 의한다. 이때, 은 박막(202a)은 실리콘질화물 증착시 사용하는 SiH₄와 구리의 반응을 억제하여 실리사이드 형성을 방지하는 역할을 한다.

<60> 이어, 도 4c에서와 같이, 상기 절연막(202b)상에 박막트랜지스터의 채널로 사용되는 반도체층(203), 오믹콘택층(204)을 형성한다. 바람직하게는, 상기 반도체층(203)은 다결정 실리콘(a-Si)을 사용하고, 상기 오믹콘택층(204)은 인(Phosphorous)을 도핑한 n+a-Si:H을 사용한다.

<61> 이어서, 도 4d에서와 같이, 상기 오믹콘택층(204)을 포함한 전면에 구리 금속막을 증착하고, 패터닝하여 상기 게이트 배선과 교차하는 방향으로 데이터배선을 형성하고, 소스 전극(205)과 드레인 전극(206)을 형성한다. 상기 구리 금속막을 증착하는 방법으로는, 바람직하게는 스퍼터링법을 적용한다. 상기 소스 및 드레인 전극도 은 박막에 의하여 보호될 수 있다.

<62> 상기 소스/드레인 전극(205/206)을 포함한 전면에 보호막(207)을 형성하고, 상기 드레인 전극(206)이 노출되도록 상기 보호막(207)의 소정 부위를 부분적으로 제거하여 콘택홀(208)을 형성한다. 바람직하게는, 상기 보호막은 PECVD법에 의하여 형성되며, 보호막의 재료로는 유전율이 낮은 유기물인 BCB (Benzocyclobutene)를 주로 사용한다.

<63> 그리고, 도 4e에서와 같이, 전면에 전도성 있는 투명도전막을 증착한 후 패터닝하여 상기 콘택홀(208)을 통해 드레인 전극(206)과 전기적으로 연결되어 액정에 전압을 가해주는 화소 전극(209)을 형성하면 본 발명에 따른 액정표시장치의 제조가 완료될 수 있다. 바람직하게는, 상기 투명 도전막은 산화주석을 혼합한 산화인듐(ITO: Indium Tin Oxide)을 주로 사용하여, 주로 스퍼터링법에 의하여 형성된다.

<64> 이하 실시예 및 비교예를 참조하여 본 발명을 보다 구체적으로 설명한다. 이러한 실시예 및 비교예는 본 발명을 예시적으로 설명하기 위한 것을 뿐, 이들에 의하여 본 발명의 권리범위가 제한되지는 않는다.

<실시예 1>

<66> 11cm x 11cm의 유리 기판 위에 스퍼터링법에 의해 구리 금속막을 200nm의 두께로 증착한 후, 포토레지스트리 방법에 의하여 패터닝을 하여 복수개의 배선과 전극을 형성한다(도 5 참조). 이때, 게이트 전극 및 소스/드레인 전극의 두께는 200nm이다.

<67> 168m1의 이온 제거수에 0.26g의 AgNO₃, 6g의 (NH₄)₂SO₄, 1m1의 NH₄OH를 혼합하여 은 치환 용액을 제조하였다. 상기 은 치환 용액을 25°C의 온도로 유지하면서 상기 배선과 전극이 형성된 기판을 10초 동안 침지시켰다.

<68> 상기 침지 후 기판을 물로 세정하고 드라이 건을 이용한 수분 건조 공정을 거쳐 은 박막에 의하여 보호된 구리 전극 및 구리 배선을 형성하였다. 상기 제조된 배선 및 박막은 도 6 및 7에서 확인할 수 있다.

<69> 본 실시예에서는 은 치환 용액에 의하여 포토레지스트 잔사가 제거된다는 것을 확인할 수 있었다. 즉, 전극 및 배선에 남아있던 포토레지스트 잔사는, 강한 반응성을 지닌 은 치환 용액에 의하여 전극 표면의 구리가 은으로 치환될 때 함께 제거됨을 알 수 있다. 이는 도 7에 의하여 확인될 수 있다.

<실시예 2>

<71> 은 치환 용액으로서, 이온 제거수에 KAg(CN)₂와 KCN를 혼합하여 제조한 것을 사용한 것을 제외하고는 실시예 1과 동일한 방법으로 은 박막에 의하여 보호된 구리 전극 및 구리 배선을 형성하였다.

<실시예 3>

<73> 상기 실시예 1에서 제조된 전극 및 배선에 절연막으로서 PECVD 법을 이용하여 실리콘질화물을 증착하여 절연막으로 보호된 전극 및 배선을 갖는 기판을 제조하였다. 상기 증착된 실리콘 질화물의 두께는 200nm 였다.

<실시예 4>

<75> 전극 및 배선의 제조에 이어 액정 표시장치를 제조하였다.

- <76> 구체적으로 도 4a에서와 같이, 유리기판(210) 위에 스퍼터링법에 의해 구리 금속막을 증착한 후, 패터닝하여 복수의 게이트 배선과 게이트전극(201)을 형성하였다.
- <77> 168m1의 이온 제거수에 0.26g의 AgNO_3 , 6g의 $(\text{NH}_4)_2\text{SO}_4$, 1m1의 NH_4OH 를 혼합하여 은 치환 용액을 제조하고 상기 은 치환 용액을 25°C의 온도로 유지하면서 상기 게이트 배선과 게이트 전극(201)이 형성된 기판을 10초 동안 침지시켜 은 박막(202a)을 형성하고, 절연 내압 특성이 좋은 무기물인 실리콘질화물로 절연막(202b)을 형성하였다 (도 4b). 상기 절연막(202b)의 증착은 PECVD법을 이용하였다.
- <78> 이어, 도 4c에서와 같이, 상기 절연막(202b)상에 박막트랜지스터의 채널로 사용되는 반도체층(203), 오믹콘택층(204)을 형성하였다. 반도체층(203)은 다결정 실리콘(a-Si)을 사용하였고, 오믹콘택층(204)은 인(Phosphorous)을 도핑한 n+a-Si:H을 사용하였다.
- <79> 이어서, 도 4d에서와 같이, 상기 오믹콘택층(204)을 포함한 전면에 스퍼터링법으로 구리 금속막을 증착하고, 패터닝하여 상기 게이트 배선과 교차하는 방향으로 데이터배선을 형성하고, 소스 전극(205)과 드레인 전극(206)을 형성하였다.
- <80> 상기 소스/드레인 전극(205/206)을 포함한 전면에 PECVD법으로 보호막(207)을 형성하고, 상기 드레인 전극(206)이 노출되도록 상기 보호막(207)의 소정 부위를 부분적으로 제거하여 콘택홀(208)을 형성하였다. 이 때, 보호막은 유전율이 낮은 유기물인 BCB(Benzocyclobutene)를 사용하였다.
- <81> 그리고, 도 4e에서와 같이, 전면에 전도성 있는 투명도전막을 증착한 후 패터닝하여 상기 콘택홀(208)을 통해 드레인 전극(206)과 전기적으로 연결되어 액정에 전압을 가해주는 화소 전극(209)을 형성하여 본 발명에 따른 액정표시장치를 제조하였다. 이 때, 상기 투명 도전막은 ITO를 사용하였다.
- <82> <비교예 1>
- <83> 구리 배선 및 구리 전극에 은 박막을 형성하지 않는다는 것을 제외하고는 실시예 3과 동일한 방법으로 구리 배선 및 구리 전극 위에 절연막으로서 실리콘질화물을 형성하였다.
- <84> <비교예 2>
- <85> 구리 배선과 구리 전극을 형성하고, 은 치환 용액으로 처리하는 과정 없이, 그 위에 BCB(benzocyclobutene)을 이용하여 유기 절연막(제 1 절연막)을 형성하고, 그 위에 실시예 4에서와 같은 실리콘 질화물을 형성하였다. 이하 실시예 4와 동일하게 액정 표시장치를 제조하였다.
- <86> <배선 및 전극의 표면 관찰 및 보이드 검사>
- <87> 상기 실시예 3 및 비교예 1에 따라 제조된 전극의 외부 형태, 거칠기(roughness), 보이드(void) 형성 여부 등을 확인하기 위하여 전자현미경 사진 촬영을 하였다. 절연막 형성 전, 비교예 1에서 제조된 전극을 촬영한 사진은 도 7a 및 7b에 나타나 있으며, 실시예 3에서 제조된 전극을 촬영한 사진은 도 8a 및 8b에 나타나 있다.
- <88> 상기 도 7a 및 7b의 구리 표면에는 포토레지스트(PR) 후 그 잔사가 미세하게 남아있는 반면, 본 발명에 따라 실시예 3에서와 같이 은 치환 용액에 침지 시키는 공정을 거치면 도 8a 및 8b에서 보는 바와 같이 상기 PR 잔사가 제거된다.
- <89> 한편, 도 8b에 도시된 실시예 3에 의한 전극의 경우 측면부가 매끈한 반면, 도 7b에 도시된 비교예 1에 의한 전극의 경우 전극 측면부가 매끈하지 못하고 매우 불규칙하다(line roughness 발생).
- <90> 도 7b에서와 같이 구리 전극의 외부가 불규칙면하면, 그 위에 절연막(실리콘 질화물)을 형성하는 과정에서 보이드(void; 빈 공간)가 생길 가능성이 매우 커진다. 한편, 이러한 보이드(void)는 박막의 스트레스(Stress)로 작용하여 전극 성분인 구리가 절연막으로 확산되어 실리사이드의 형성을 촉진할 수 있다.
- <91> 도 9a는 구리 표면에 절연막으로서 실리콘 질화물을 증착한 모습(비교예 1)을 보여주는 사진이며, 9b는 구리 표면을 은 박막으로 치환한 후 실리콘 질화막을 증착한 모습(실시예 3)을 보여주는 사진이다. 도 9a의 경우, 상기 언급한 line roughness의 증가로 인하여 구리 표면위에 실리콘 질화물(Si_N_x)을 증착할 때 보이드(void)가 발생할 가능성이 커지게 되는데, 박막의 스트레스에 의하여 이러한 보이드(빈공간)가 상기 실리콘 질화막 쪽으로 확산되면, 그 부분에서는 구리의 산화가 일어나기가 용이해진다.
- <92> 도 10은 절연막으로의 구리성분의 확산 및 구리의 산화로 인하여 소자에 단락현상이 발생한 모습을 보여주는 도

면이다. 상기 도면에서와 같이 구리성분이 절연막으로 확산되어 구리 배선 또는 전극이 산화되면 소자의 신뢰성 및 생산수율이 저하되는데, 예를 들어, 전자소자에서 일명 GDS(gate drain short)라고 불리는 문제점이 발생하여 구리배선 공정에서 수율을 낮추는 원인이 된다.

<93> 구리는 실리콘질화물에서의 확산속도가 빨라 실리사이드 형성이 쉽게 일어나지만, 은이 실리콘 질화물과 반응하는 속도는 구리의 반응속도의 1/100에 지나지 않기 때문에, 구리 전극 및 배선의 표면을 은 박막으로 치환할 경우 실리사이드의 형성이 현저하게 줄어들게 할 수 있다. 본 발명에 의하면 간단한 방법으로 구리 표면에 은 박막을 형성할 수 있다.

<94> <시험 예 1>

<95> 전극과 배선 위에 절연막을 형성한 후, 전극과 배선의 전기적 특성을 측정하였다. 구체적으로 상기 비교예 1 및 실시예 3에서 제조된 기판상의 전극에 대하여(도 5b 및 도 6b 참고) 면저항(sheet resistance)을 측정하였다. 면저항 측정에 널리 사용되는 4-point probe장비를 이용하여 5회에 걸쳐 면저항을 측정한 후 그 평균값을 각 전극의 면저항으로 하였다. 그 결과를 하기 표 1에 기재하였다.

표 1

<96>

측정 회차	비교예 1 ($\text{m}\Omega/\square$)	실시예 3 ($\text{m}\Omega/\square$)
1차	116.1	95.6
2차	113.8	96.1
3차	113.9	95.3
4차	114.4	95.7
5차	114.5	96.2
평균	114.54	95.78

<97> 또한, 상기 면저항에 기초하여 비저항을 계산하였다.

<98> 그 결과, 비교예 1에 의한 구리전극의 경우 비저항이 $2.29 \mu\Omega \cdot \text{cm}$ 였지만, 실시예에 3서는 $2.10 \mu\Omega \cdot \text{cm}$ 로 감소하였다. 상기 시험에 의하여 전극 및 배선의 전기적 특성이 향상되었음을 확인할 수 있었다.

<99> 상기에서 보는 바와 같이, 구리 전극 표면을 은으로 치환하면 면저항 및 비저항감소 효과가 뛰어나다. 상기와 같이 비저항이 작아지면 회로에서의 응답속도를 높일 수 있기 때문에, 예를 들어, 이를 액정표시장치에 적용할 경우 액정표시장치의 휘도 및 응답속도를 높일 수 있다.

<100>

<시험 예 2>

<101>

전극과 절연막(실리콘 질화막)과의 결합력을 평가하기 위하여 X-선 회절시험을 하였다. 그 결과는 도 11에 도시되어 있다.

<102>

ASTM 자료에 의하면 일반적으로 구리는 $2\theta=43.295$ 에서 (111) 피크를 갖는다. 그런데, 구리 위에 직접적으로 절연막이 형성된 비교예 1에 의한 전극에서는 $2\theta=43.50$ 에서 피크를 가지며, 구리에 은 치환 박막이 형성된 실시예 3의 경우 $2\theta=43.46$ 에서 피크를 가진다. 즉, 비교예 1의 경우 $\Delta 2\theta=0.205$ 이며, 실시예 3의 경우 $\Delta 2\theta=0.165$ 이다.

<103>

상기 실시예 3의 결과에서 은 치환 후 실리콘 절연막 중착시 Cu의 (111) 피크 위치 변화가 작은 것은, 전극과 실리콘 절연막과의 결합력이 좋아서 스트레스가 적게 받기 때문이라고 할 수 있다. 이러한 양호한 결합력에 의하여 은 치환된 전극의 표면은 구리만으로 된 전극의 표면과 차이를 나타낸다.

발명의 효과

<104>

상술한 바와 같이, 배선 또는 전극 재료로서 구리를 이용하는 경우 상기 구리의 표면을 은으로 치환하여 미세한 은 박막을 형성하는 것만으로도 구리의 산화에 대한 저항성이 증가되어 상층막인 절연막과의 접착력이 강해지고 저항 특성이 우수한 고품질의 배선 및 전극을 얻을 수 있다. 특히, 구리에 실리콘화합물 중착시 사용되는 SiH_4 와의 반응으로 인하여 실리사이드 형성이 억제되어 실리사이드에 의한 누설전류(leakage current) 및 브레이크 다운(break down)이 발생을 억제함으로써 소자의 신뢰성 증진에 도움이 된다.

<105>

또한 본 발명에 의한 전극 및 배선은 비저항이 우수하여, 액정 표시장치의 전극으로 사용될 경우 휘도 및 응답

속도를 높일 수 있다. 따라서 본 발명에 의한 기술은 구리의 확산방지 뿐만 아니라 차세대 배선기술로도 발전될 수 있을 것으로 판단된다.

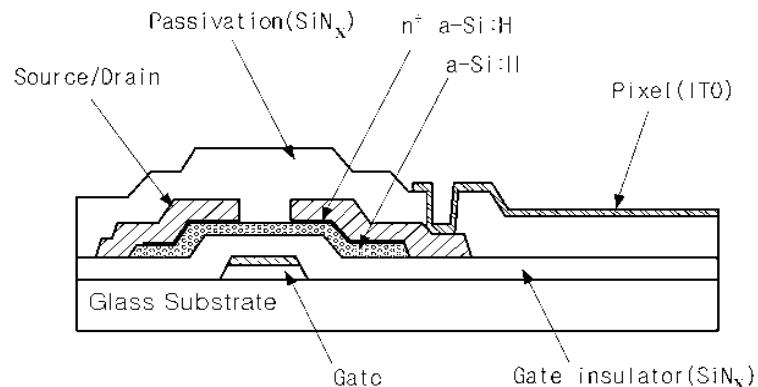
도면의 간단한 설명

- <1> 도 1은 종래기술에 따른 액정 표시장치의 개략적인 단면도이다.
- <2> 도 2는 종래 기술에 따른 액정 표시장치 제조방법을 설명하기 위한 공정의 단면도이다.
- <3> 도 3은 본 발명에서 따라, 구리 박막 위에 은 박막이 형성된 구조를 나타내는 단면도이다.
- <4> 도 4a 내지 4e는 본 발명에 따른 액정 표시장치의 제조방법을 설명하기 위한 공정의 단면도이다.
- <5> 도 5는 구리 박막으로 된 전극 및 배선을 형성한 후, 은 친화를 실시하지 않은 구리전극의 표면(5a) 및 단면(5b)을 전자현미경으로 찍은 사진이다.
- <6> 도 6은 본 발명에 따라 기판에 구리 전극 및 배선을 형성한 후 이를 은 친화 용액에 침지시켜 형성된 은 박막의 표면(6a) 및 단면(6b)을 전자현미경으로 찍은 사진이다.
- <7> 도 7a 및 7b는 구리 박막 패터닝에 의하여 전극을 형성한 후, 은 친화를 실시하지 않은 구리전극의 모습을 보여주는 표면사진이다.
- <8> 도 8a 및 8b는 구리 박막 패터닝 후 이를 은 친화 용액에 침지시켜 형성된 전극의 모습을 보여주는 표면사진이다.
- <9> 도 9a는 구리 표면에 절연막으로서 실리콘 질화물을 증착한 모습을 보여주는 사진이며, 9b는 구리 표면을 은 박막으로 친화한 후 실리콘 질화막을 증착한 모습을 보여주는 사진이다.
- <10> 도 10은 절연막으로의 구리성분의 확산 및 구리의 산화로 인하여 소자에 단락현상이 발생한 모습을 보여주는 도면이다.
- <11> 도 11은 전극과 절연막(실리콘 질화막)과의 결합력을 평가하기 위하여 X-선 회절시험을 한 결과를 나타낸다.
- <12> <부호의 간단한 설명>

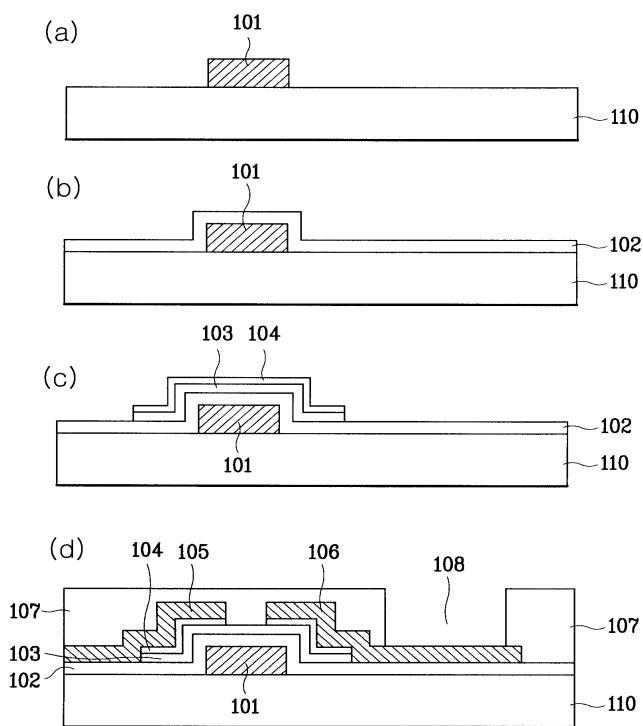
 - <13> 101, 201 : 게이트 전극 102 : 절연막
 - <14> 202a : 은 박막 202b : 절연막
 - <15> 103, 203 : 반도체층 104, 204 : 오믹콘택층
 - <16> 105, 205 : 소스 전극 106, 206 : 드레인 전극
 - <17> 107, 207 : 보호막 108, 208 : 콘택홀
 - <18> 209 : 화소 전극 110, 210 : 유리 기판

도면

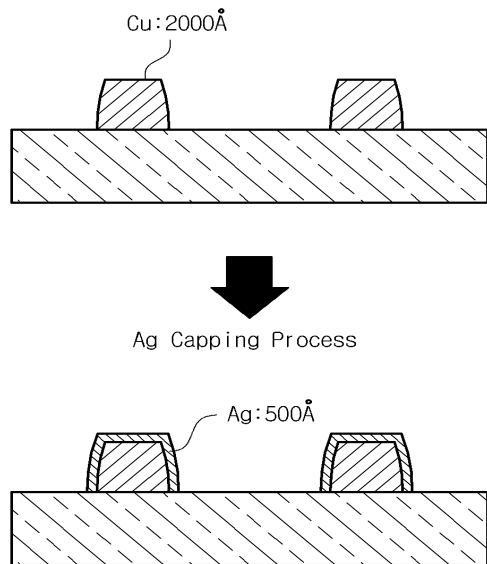
도면1



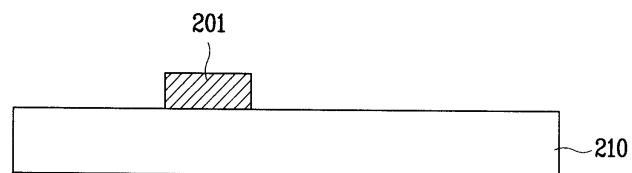
도면2



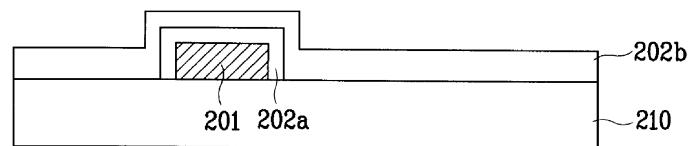
도면3



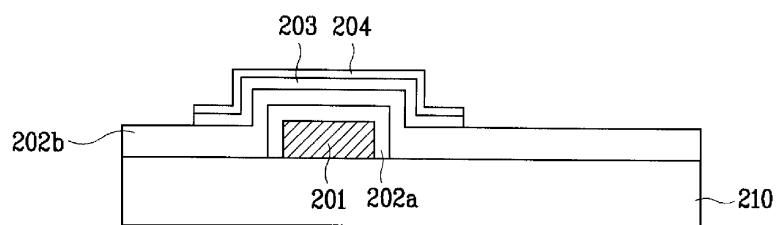
도면4a



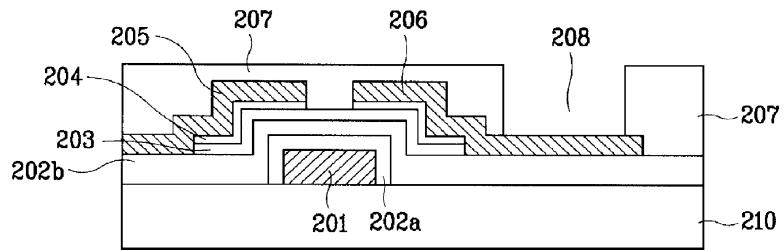
도면4b



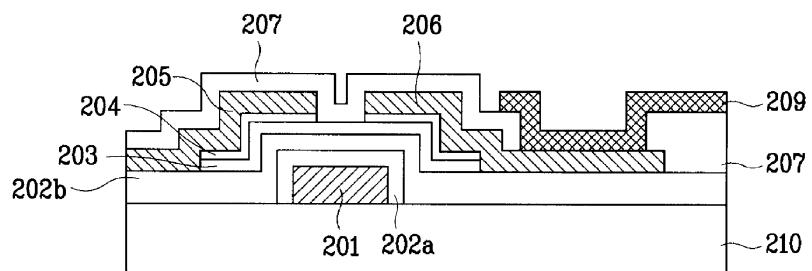
도면4c



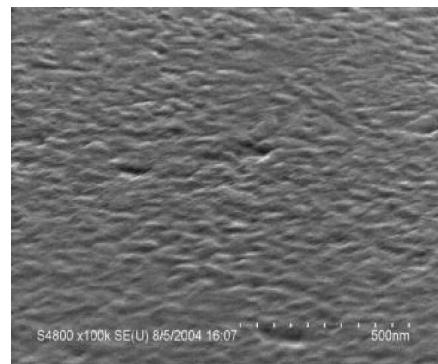
도면4d



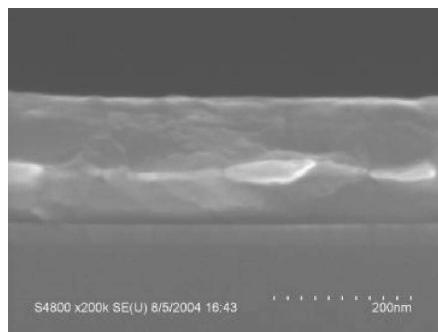
도면4e



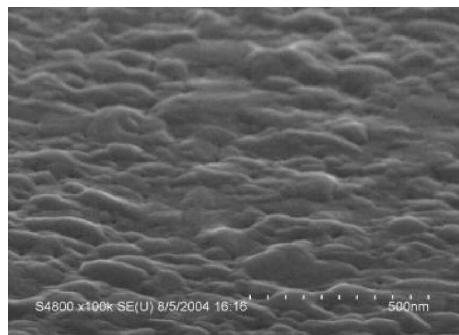
도면5a



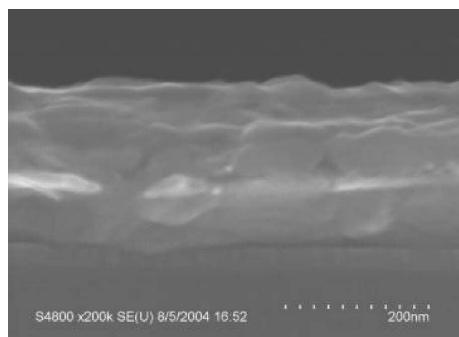
도면5b



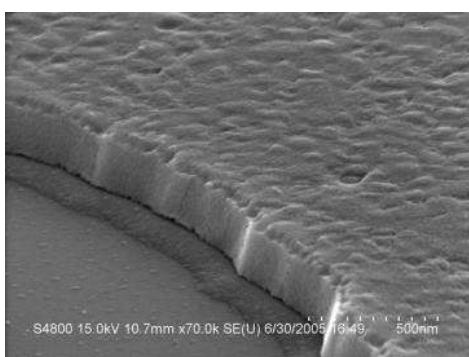
도면6a



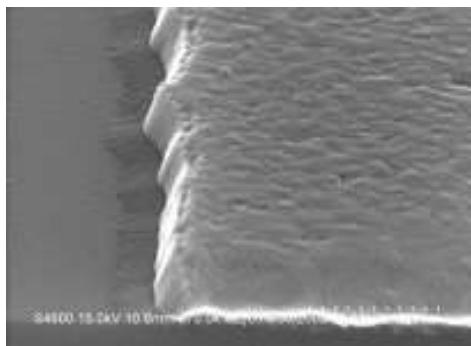
도면6b



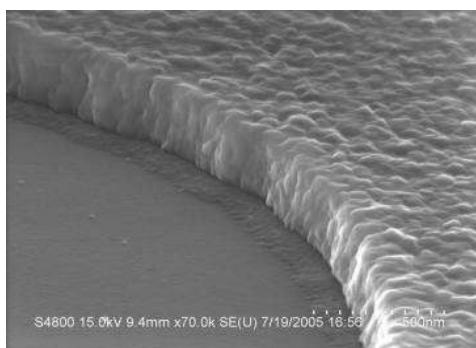
도면7a



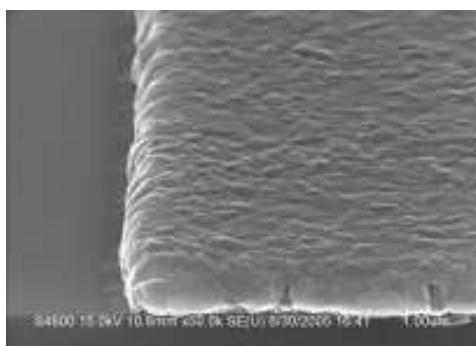
도면7b



도면8a



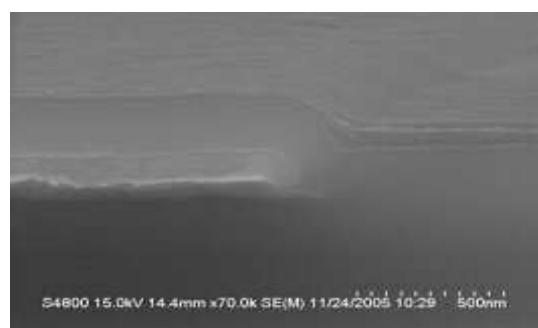
도면8b



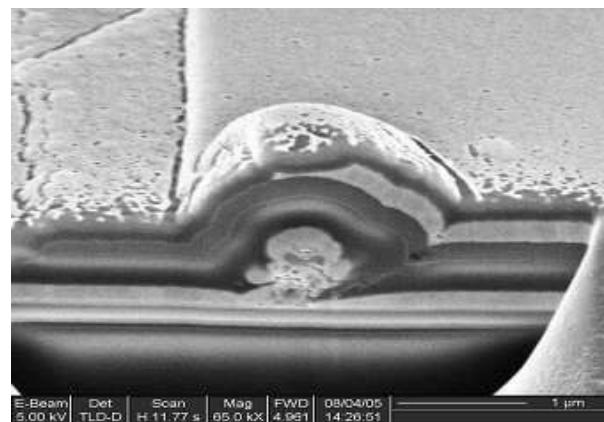
도면9a



도면9b



도면10



도면11

