

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-34347

(P2010-34347A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.

H01L 25/07 (2006.01)

H01L 25/18 (2006.01)

F I

H01L 25/04

C

テーマコード (参考)

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2008-195783 (P2008-195783)

(22) 出願日 平成20年7月30日 (2008.7.30)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(71) 出願人 506227884

三洋半導体株式会社

群馬県邑楽郡大泉町坂田一丁目1番1号

(74) 代理人 100091605

弁理士 岡田 敬

(72) 発明者 工藤 清昭

群馬県邑楽郡大泉町坂田一丁目1番1号

三洋半導体株式会社内

(72) 発明者 岩淵 明

群馬県邑楽郡大泉町坂田一丁目1番1号

三洋半導体株式会社内

最終頁に続く

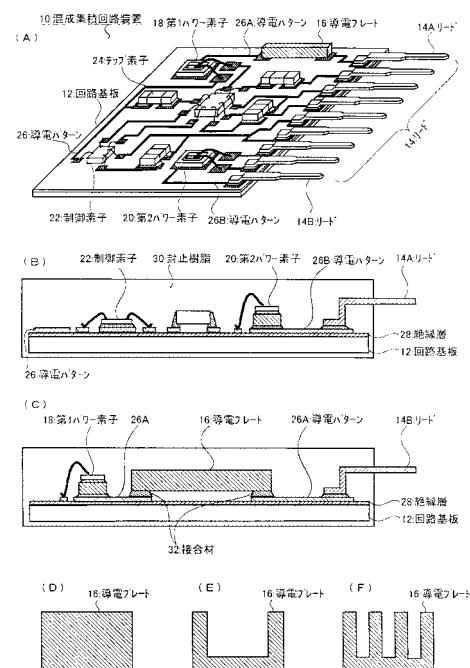
(54) 【発明の名称】 回路装置

(57) 【要約】

【課題】導電パターンによる電力損失が低減された回路装置を提供する。

【解決手段】本発明の混成集積回路装置10は、導電パターン26および第1パワー素子18から成る混成集積回路が上面に組み込まれた回路基板12と、回路基板12を被覆して混成集積回路を封止する封止樹脂30と、導電パターン26から成るパッドに固着されて外部に延在するリード14とを有する構成となっている。そして、第1パワー素子18と接続される経路の途中には、厚い導電プレート16が配置されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

回路基板と、
前記回路基板の上面に形成された導電パターンと、
前記導電パターンと電氣的に接続されたパワー素子と、
前記導電パターンを経由して前記パワー素子と接続されて入出力端子として機能するリードと、を備え、
前記パワー素子と接続される経路の一部分は、前記導電パターンよりも厚い導電プレートから構成されることを特徴とする回路装置。

【請求項 2】

前記リードは、前記回路基板の一側辺に沿って複数個が配置され、
前記パワー素子には、第 1 パワー素子と、前記第 1 パワー素子よりも前記リードに接近して配置された第 2 パワー素子とが含まれ、
前記第 1 パワー素子は、前記導電プレートおよび前記導電パターンを経由して前記リードと接続され、
前記第 2 パワー素子は、前記導電プレートを経由せずに前記導電パターンを経由して前記リードと接続されることを特徴とする請求項 1 記載の回路装置。

【請求項 3】

前記第 1 パワー素子と前記リードとを接続する経路に於いて、前記導電プレートが配置される領域では、前記導電パターンは分断されることを特徴とする請求項 2 記載の回路装置。

【請求項 4】

前記回路基板には、前記パワー素子を含むインバータ回路が組み込まれ、
前記パワー素子には、前記インバータ回路のハイサイド側の 3 つのトランジスタと、ローサイド側の 3 つのトランジスタとが含まれ、
前記第 1 パワー素子は、前記インバータ回路を構成する前記トランジスタのいずれかであることを特徴とする請求項 3 に記載の回路装置。

【請求項 5】

前記導電プレートの断面形状は四角形状であることを特徴とする請求項 4 記載の回路装置。

【請求項 6】

前記導電プレートの断面形状は、異形状であることを特徴とする請求項 4 記載の回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は回路装置に関し、特に、パターン抵抗を低減させる回路装置に関するものである。

【背景技術】

【0002】

図 3 を参照して、従来型の回路装置の一例として混成集積回路装置 100 の構成を説明する。まず、矩形の基板 101 の表面には、絶縁層 102 を介して導電パターン 103 が形成され、この導電パターン 103 の所望の箇所に回路素子が固着されて、所定の電気回路が形成される。ここでは、回路素子として半導体素子 105 A とチップ素子 105 B が採用されている。半導体素子 105 A は、例えばトランジスタまたはダイオードであり、

上面の電極が金属細線 107 を経由して所定の導電パターン 103 と接続され、裏面の電極は導電パターン 103 A に接続されている。一方、コンデンサまたは抵抗器であるチップ素子 105 B は、両端の電極が半田等の接合材 106 を介して接合されている。また、封止樹脂 108 は、基板 101 の表面に形成された電気回路を封止する機能を有する。

【特許文献 1】特開 2007-036014 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、上記した構成の混成集積回路装置 100 では、導電パターン 103 による電力損失（パターンロス）が大きくなる問題があった。

10

【0004】

具体的には、基板 101 の上面に形成される導電パターン 103 は、厚さが数十 μm の導電箔を選択的にウェットエッチングすることにより形成されるので、極めて薄く形成される。従って、微細化の為に導電パターン 103 を細長く形成すると、導電パターン 103 の断面積が極めて小さくなり、抵抗値が増大して電力損失が大きくなる問題がある。例えば、半導体素子 105 A としてパワー系のバイポーラトランジスタが採用されると、導電パターン 103 A は、大電流が通過するバイポーラトランジスタのコレクタ電極と接続されることとなり、導電パターン 103 A による電力損失が特に大きくなる。

【0005】

また、導電パターン 103 A を幅広に形成して断面積を大きくすると、電力損失を小さくすることは可能となるが、幅広に形成された導電パターン 103 A により広い面積が専有されることとなり、導電パターン 103 の微細化および装置全体の小型化が阻害される。

20

【0006】

更にまた、半導体素子 105 A がリード 109 と離間して配置され、両者を接続させる導電パターン 103 A の経路が長くなると、上記した問題が顕在化する恐れがある。

【0007】

本発明は上記した問題を鑑みて成されたものであり、本発明の主たる目的は、導電パターンによる電力損失を低減させる回路装置を提供することにある。

【課題を解決するための手段】

30

【0008】

本発明の回路装置は、回路基板と、前記回路基板の上面に形成された導電パターンと、前記導電パターンと電気的に接続されたパワー素子と、前記導電パターンを経由して前記パワー素子と接続されて入出力端子として機能するリードと、を備え、前記パワー素子と接続される経路の一部分は、前記導電パターンよりも厚い導電プレートから構成されることを特徴とする。

【発明の効果】

【0009】

本発明によれば、回路素子と導電パターンとの間の経路の一部を、導電パターンよりも厚い導電プレートから構成している。従って、厚い導電プレートを採用することにより、この経路の電力損失が低減されるので、回路装置から所定の出力が得られる。

40

【発明を実施するための最良の形態】

【0010】

図 1 を参照して、本発明の回路装置の一例として混成集積回路装置 10 の構成を説明する。図 1 (A) は混成集積回路装置 10 を示す斜視図であり、図 1 (B) および図 1 (C) は混成集積回路装置 10 の断面図であり、図 1 (D) - 図 1 (F) は導電プレート 16 の断面を示す断面図である。

【0011】

図 1 (A) および図 1 (B) を参照して、混成集積回路装置 10 は、導電パターン 26 および第 1 パワー素子 18 等（回路素子）から成る混成集積回路が上面に組み込まれた回

50

路基板 12 と、回路基板 12 を被覆して混成集積回路を封止する封止樹脂 30 と、導電パターン 26 から成るパッドに固着されて外部に延在するリード 14 とを主要に有する構成となっている。

【0012】

具体的には、回路基板 12 は、アルミニウム (Al) や銅 (Cu) 等を主材料とする金属基板である。回路基板 12 の具体的な大きさは、例えば、縦×横＝61mm×88mm 程度であり、厚みは1.5mm～2.0mm 程度である。回路基板 12 としてアルミニウムより成る基板を採用した場合は、回路基板 12 の両主面は陽極酸化膜により被覆される。ここで、樹脂材料や、セラミックに代表される無機材料等の絶縁材料から回路基板 12 が構成されても良い。また、回路基板 12 は、絶縁層 28 を部分的に開口させて導電パター

10

【0013】

絶縁層 28 は、回路基板 12 の上面全域を覆うように形成されている。絶縁層 28 は、 Al_2O_3 等のフィラーが例えば60重量%～80重量%程度に高充填されたエポキシ樹脂等から成る。フィラーが混入されることにより、絶縁層 28 の熱抵抗が低減されるので、内蔵される回路素子から発生した熱を、絶縁層 28 および回路基板 12 を経由して良好に外部に放出することができる。絶縁層 28 の具体的な厚みは、例えば50μm 程度である。

【0014】

導電パターン 26 は厚みが35μm～70μm 程度の銅等の金属から成り、所定の電気回路が形成されるように絶縁層 28 の表面に形成される。また、リード 14 が固着される部分に、導電パターン 26 からなるパッドが設けられる。ここでは単層の導電パターン 26 が図示されているが、絶縁層を介して積層された多層の導電パターン 26 が回路基板 12 の上面に形成されても良い。

20

【0015】

導電パターン 26 に電氣的に接続される回路素子としては、能動素子や受動素子を全般的に採用することができる。具体的には、トランジスタ、LSI チップ、ダイオード、チップ抵抗、チップコンデンサ、インダクタンス、サーミスタ、アンテナ、発振器などを回路素子として採用することができる。更にまた、樹脂封止型のパッケージ等も、回路素子として導電パターン 26 に固着することができる。図1(A)を参照すると、回路基板 12 の上面には、第1パワー素子 18、第2パワー素子 20、制御素子 22 (IC チップ)、チップ素子 24 が実装されて導電パターン 26 と接続されている。また、発熱量が大きい第1パワー素子 18 および第2パワー素子 20 は、銅等の金属片から成るヒートシンクを介して、アイランド状の導電パターンの上面に実装される。

30

【0016】

上記した第1パワー素子 18 および第2パワー素子 20 としては、MOSFET、IGBT、バイポーラトランジスタ等が採用される。例えば、第1パワー素子 18 および第2パワー素子 20 としてMOSFET が採用されると、上面のゲート電極およびソース電極は金属細線を経由して導電パターン 26 と接続され、下面のドレイン電極は半田等の接合材を介してアイランド状の導電パターン 26 に接続される。

40

【0017】

封止樹脂 30 は、回路基板 12 に構築された混成集積回路を封止する機能を有し、具体的には、回路基板 12 の上面に形成された導電パターン 26、回路素子、リード 14 およびその接合箇所を封止している。封止樹脂 30 の材料としては、熱硬化性樹脂または熱可塑性樹脂が採用される。更に、封止樹脂 30 には、熱伝導性の向上等を目的として、酸化シリコン等の粒状のフィラーが例えば10重量%～20重量%程度混入されても良い。また、ここでは回路基板 12 の上面、側面、及び下面が封止樹脂 30 により被覆されているが、放熱性を向上させるために回路基板 12 の下面を封止樹脂 30 から露出させても良い。更には、封止樹脂 30 による封止の他にもケース材による封止が行われても良い。

50

【0018】

リード14は、回路基板12の対向する側辺に沿って、パッドに固着されており、混成集積回路装置10の入出力端子として機能している。図1(A)を参照すると、紙面上にて右側の回路基板12の側辺に多数個のリード14が設けられているが、対向する2つの側辺に沿ってリード14が固着されても良い。これらのリード14は、銅(Cu)、アルミニウム(Al)またはFe-Niの合金等を主成分とした金属から成る。

【0019】

本実施の形態では、パワー系の半導体素子とリード14との経路の途中に、導電プレート16を配置することにより、この経路の電気抵抗を低減して電力の損失を抑えている。

【0020】

具体的には、上記したように、回路基板12の上面に形成される導電パターン26は、厚みが数十 μm 程度の銅箔を、選択的にエッチングして形成されている。これは、導電パターン26を微細に形成して、回路基板12全体の実装密度を高めるためである。しかしながら、例えば20A以上の大電流のスイッチングを行うパワー素子が回路基板12の上面に固着された場合、導電パターン26の断面積が小さいので損失が大きくなってしまう。本実施形態では、導電パターン26よりも厚い導電プレート16を、導電パターン26の経路の途中に配置することで、この電力損失(パターンロス)を低減させている。

【0021】

導電プレート16は、例えば直方体形状を呈した銅等から成る金属片であり、縦 $\times$ 横=1.0~2.0mm $\times$ 3.0mm~10.0mm程度の四角形状の断面形状を有する。従って、導電プレート16は、断面積が大きい分導電パターン26よりも抵抗値が小さくなっている。このことから、第1パワー素子18からリード14に到る経路の途中を、導電プレート16とすることにより、この経路の電気抵抗を引き下げて損失が少なくなる。また、ここでは、直方体形状の導電プレート16が図示されているが、導電プレート16の形状としては、直線的または曲線的に湾曲する形状でも良い。

【0022】

また、回路基板12の上面に複数のパワー素子が配置された場合、全てのパワー素子を、導電プレート16を経由してリード14と接続しても良いし、一部のパワー素子のみ導電プレート16を介してリード14と接続しても良い。この場合は、リード14に離間するパワー素子のみ導電プレート16を介して接続される。

【0023】

具体的には、図1(A)を参照して、回路基板12の上面には、第1パワー素子18および第2パワー素子20が実装されている。そして、第1パワー素子18はリード14に対して離間して配置されており、第2パワー素子20は第1パワー素子18よりもリード14に接近して配置されている。そして、第1パワー素子18は導電パターン26Aを経由してリード14Aと接続され、第2パワー素子20は導電パターン26Bを経由してリード14Bと接続されている。この場合は、第1パワー素子18のみが導電プレート16を介してリード14Aと接続され、第2パワー素子20は導電プレート16を介さずにリード14Bと接続される。

【0024】

図1(B)を参照して、第2パワー素子20の裏面電極(例えばコレクタ電極やドレイン電極)は、導電パターン26Bを経由してリード14Aと接続されている。ここで、第2パワー素子20はリード14Aに接近して配置されており、両者が離間する距離は例えば数mm~1cm程度である。従って、薄い導電パターン26Bの断面積が小さくても、両者を接続する経路が短いので、電力の損失は小さいものとなっている。またここでは、第2パワー素子20の裏面電極が、リード14Aと接続されているが、第2パワー素子20の上面の電極(例えばエミッタ電極やソース電極)が金属細線を経由して導電パターン26Bに接続されても良い。このことは、第1パワー素子18に関しても同様である。

【0025】

図1(C)を参照して、リード14Bから離間して配置される第1パワー素子18は、

10

20

30

40

50

導電プレート 16 を経由してリード 14 B と接続される。具体的には、第 1 パワー素子 18 の下面電極と接続された導電パターン 26 A は、中間部が部分的に切断されて、この切断された部分に導電プレート 16 が配置されている。導電プレート 16 の両端部は、導電パターン 26 A をパッド状に形成した部分に、半田や導電性ペーストから成る接合材 32 を介して固着されている。この様に導電プレート 16 を配置することで、この部分の抵抗値が低くなり、その分電力の損失が抑制される。

【0026】

また、導電プレート 16 が配置される部分では、導電パターン 26 A は分断されており連続していない。これは、導電プレート 16 を電流の経路として有効的に活用するためである。具体的には、導電プレート 16 の下方に位置する導電パターン 26 A を除去せずにそのまま残存させておくことも可能ではある。しかしながら、この部分の導電パターン 26 A を残存させると、接合材 32 の電気抵抗が導電パターン 26 A よりも高いので、導電パターン 26 A に優先的に電流が流れてしまい、導電プレート 16 には電流が十分には流れなくなり、導電プレート 16 による抵抗値低減の効果が小さくなってしまう恐れがある。このようなことを防止するために、本実施の形態では、導電プレート 16 が設けられた箇所では、導電パターン 26 A を除去して分断している。この様にすることで、導電プレート 16 を設けた箇所では、断面積が広い導電プレート 16 のみを大電流が通過することになり、電力損失が少なくなる効果が大きくなる。

【0027】

上記した導電プレート 16 の好適な断面形状は、流れる電流の種類により異なる。流れる電流が直流電流又は低周波の交流電流（10 kHz 未満）の場合は、断面全体を電流が流れるので、導電プレート 16 の断面形状は四角形状が好適である（図 1（D）参照）。

【0028】

一方、流れる電流が高周波の交流電流（例えば 10 kHz 以上）の場合は、表皮効果により、導電プレート 16 の表面付近のみを電流が通過するようになる。従って、導電プレート 16 の断面形状としては、表面積が小さい四角形状よりも、表面積が大きくなる異形状が良い。この異形状とは、四角形状の断面を部分的に内側に窪ませた形状である。例えば、導電プレート 16 の断面としては、図 1（E）に示すように、カタカナの「コ」の様な形状でも良いし、図 1（F）に示すように、櫛刃状の形状でも良い。また、回路基板 12 の上面に安定して実装するためには、下面が平坦面となる断面の形状が好適である。

【0029】

また、回路基板 12 の上面に直流の大電流が通過する導電パターン 26 と、交流の大電流が通過する導電パターン 26 とが混在する場合は、直流の導電パターン 26 に対して断面が四角形状の導電プレート 16 を適用し、交流の導電パターン 26 に対して断面が異形状の導電プレート 16 を適用しても良い。

【0030】

更に上記の説明では、1つの経路の導電パターン 26 A に対して1つの導電プレート 16 が配置されているが、複数の導電プレート 16 が直列で接続されても良い。この様にすることで、電力損失が更に低減される。

【0031】

更には、導電プレート 16 は、回路素子とリード 14 との間の経路だけではなく、回路素子（パワー素子）同士の間経路に配置されても良い。

【0032】

次に、図 2 および図 1（A）を参照して、回路基板 12 の上面にモーターを制御するインバータ回路が構成された場合を説明する。

【0033】

図 2（A）には、回路基板 12 の上面に形成される電気回路の一例として、外部から入力される交流電力を直流電力に変換する整流回路 34 と、直流電力を所定の周波数の交流

10

20

30

40

50

電圧に変換するインバータ回路 36 とが示されている。

【0034】

整流回路 34 は、ブリッジ接続された 4 つのダイオードから成り、外部から入力された交流電力を直流電力に変換する。また、コンデンサ C は、変換後の直流電力を安定化させるためのものである。整流回路 34 にて変換された直流電力は、インバータ回路 36 に出力される。

【0035】

インバータ回路 36 は、6 個のスイッチング素子（トランジスタ）Q1－Q6 とから構成され、Q1－Q3 がハイサイド側のトランジスタであり、Q4－Q6 がローサイド側のトランジスタである。ここではスイッチング素子として IGBT が採用されているが、MOSFET 等の他の種類のトランジスタが採用されても良い。また、スイッチング素子 Q1 とスイッチング素子 Q4 とは直列に接続されており、排他的にオン／オフ制御されて両素子の中間点から U 相の交流電力がリードを経由して外部に出力される。また、スイッチング素子 Q2 とスイッチング素子 Q5 とは直列に接続されており、排他的にオン／オフする両素子の中間点から V 相の交流電力が外部に出力される。更に、直列接続されるスイッチング素子 Q3 とスイッチング素子 Q6 は排他的にオン／オフし、両者の中間点から W 相の交流電力が外部に出力される。そして、各相の出力は、リード 14 を経由してモータ M の励磁巻線へ供給されて、モータ M が駆動される。各スイッチング素子のスイッチングは、不図示の制御素子により制御されている。

【0036】

また、上記した各スイッチング素子やモータは、図 1（A）に示す導電パターン 26 により電氣的に接続されるが、この導電パターン 26 による抵抗が発生する。インバータ回路 36 とモータ M とを接続する経路を考えると、U 相、V 相、W 相の経路の構成する導電パターン 26 の抵抗として、R1、R2、R3 が発生する。これらの経路は、モータ M を駆動させるための大電流が通過するので、経路の途中に本実施形態の導電プレート 16 を使用すると、抵抗値が低下して電力損失を小さくすることができる。また、例えば、U 相の経路が、V 相や W 相の経路と比較して長い場合には、U 相の経路のみに導電プレート 16 を使用しても良い。また、これらの経路にはインバータ回路 36 により変換された高周波の交流電力が通過するので、使用される導電プレート 16 の断面形状としては、図 1（E）や図 1（F）に示すような異形状が好適である。

【0037】

また、整流回路 34 にて変換された直流電流が通過する経路（導電パターン 26）にも、本実施形態の導電プレート 16 を用いても良い。これらの経路の抵抗 R4、R5 が大きいと電力損失が大きくなる問題が考えられるが、導電プレート 16 をこの経路に介在させることにより、損失を抑えることができる。また、この経路を流れる電流は、整流回路 34 にて変換された直流電流であるので、採用される導電プレート 16 としては図 1（D）に示すような四角形状が好適である。

【0038】

図 2（B）は、図 2（A）に示すインバータ回路が組み込まれた混成集積回路装置の平面図である。この図では、パワー系のトランジスタであるスイッチング素子（Q1－Q6）が実装されるパターンを主に示し、制御素子やチップ形素子が接続されるパターンの図示は省略されている。

【0039】

ここでは、回路基板 12 の長手方向の側辺（紙面上では上側側辺および下側側辺）に沿って設けられたパッドにリード 14 が固着されている。回路基板 12 の上側の側辺に沿って制御信号の授受が行われるリード 14 が配置される。一方、入力される直流の電力および UVW 各層の出力は、下側の側辺に沿って配置されたリード 14 を通過する。具体的には、下型のリード 14 C は直流電源のプラス側に接続され、リード 14 D は直流電源のマイナス側に接続される。リード 14 E、14 F および 14 G からは、U 相、V 相および W 相の 3 相の交流電力が出力される。

【0040】

また、ここでは各スイッチング素子は、導電パターンに固着されたヒートシンクの上面に配置されている。

【0041】

ハイサイド側のスイッチング素子Q1-Q3は、導電パターン26C上にヒートシンクを介して固着されている。即ち、スイッチング素子Q1-Q3の裏面に設けられたコレクタ電極は、導電パターン26Cに共通に接続されている。そして、スイッチング素子Q1-Q3のゲート電極は、金属細線を経由して個別に、回路基板12の上側側辺に設けたリード14に接続している。また、スイッチング素子Q1の上面に設けたエミッタ電極は金属細線を経由して導電パターン26Dに接続されている。同様に、スイッチング素子Q2のエミッタ電極は導電パターン26Eに接続されており、スイッチング素子Q3のエミッタ電極は導電パターン26Fに接続されている。

10

【0042】

インバータ回路のローサイドを構成するスイッチング素子Q4-Q6裏面のコレクタ電極は、各相の出力を個別に取り出すために、各々が異なる導電パターン26D、26E、26Fに接続されている。導電パターン26Dと導電パターン26Eとは同様の形状を備え、導電パターン26Fはこれらとは異なる形状を呈している。また、図では、スイッチング素子Q4-Q6の制御電極が接続される経路は図示されていないが、これらの素子是不図示の金属細線および導電パターンを経由して、回路基板12の上側側辺に配置されたリード14に接続されている。

20

【0043】

スイッチング素子Q4、Q5、Q6の上面に設けられたエミッタ電極は、金属細線を経由して、同一の導電パターン26Gに接続されている。

【0044】

スイッチング素子Q4-Q6が接続される導電パターン26D、26E、26Fを比較すると、金属細線が接続される箇所から素子までの距離が異なる。即ち、導電パターン26Dと26Eとは、実装されるスイッチング素子と金属細線の接続箇所までの距離が短い。一方、導電パターン26Fでは、実装される素子Q6と金属細線の接続箇所までの距離が長いので電流が流れる経路が長くなり、損失が大きくなる。

【0045】

30

この様に導電パターン26Fにて電流の流れる経路が長くなる理由は、例えば、リード14の位置が固定されていること、制御素子等の信号ブロックにより回路基板12の一部が占有されること、パワー素子同士の配置の兼ね合い等による。更には、他の回路素子が配置される領域を、導電パターン26Gが迂回することも理由の一つである。

【0046】

導電パターン26Fの経路が長くなることによる電力損失を低減させるために、導電パターン26Fの一部分に、図1(C)に示したような導電プレート16を配置している。ここでは、導電プレート16が配置される部分を点線で囲まれる領域A1にて示している。この様に、領域A1に導電プレート16を配置することにより、導電パターン26Fの経路が他よりも長くなることによる電力損失の増大を抑制している。

40

【0047】

また、この図では、ローサイドのスイッチング素子Q6が実装される導電パターン26Fの途中に導電プレートを設けているが、他のスイッチング素子が実装される導電パターンに導電プレートを設けても良い。

【図面の簡単な説明】

【0048】

【図1】本発明の回路装置を示す図であり、(A)は斜視図であり、(B)は断面図であり、(C)は断面図であり、(D)-(F)は導電プレートの断面図である。である。

【図2】(A)は本発明の回路装置に組み込まれる回路の一例を示す回路図であり、(B)はこの回路が組み込まれた装置の一例を示す平面図である。

50

【図 3】従来の混成集積回路装置を示す断面図である。

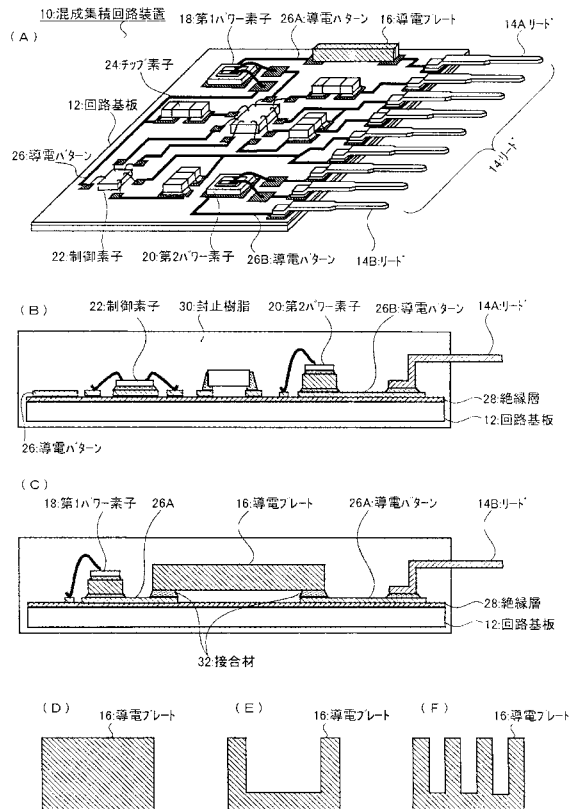
【符号の説明】

【0049】

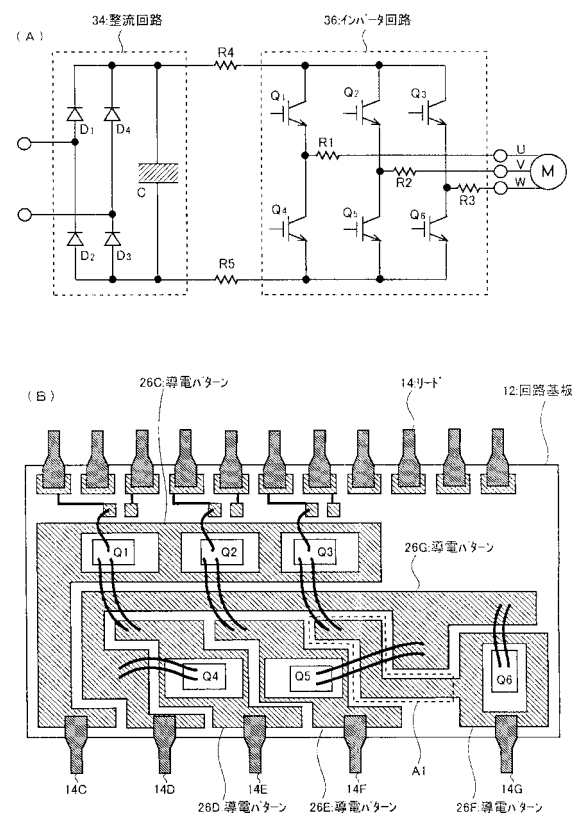
- 10 回路装置
 12 回路基板
 14, 14A, 14B, 14C, 14D, 14E, 14F, 14G リード
 16 導電プレート
 18 第1パワー素子
 20 第2パワー素子
 22 制御素子
 24 チップ素子
 26, 26A, 26B, 26C, 26D, 26E, 26F, 26G 導電パターン
 28 絶縁層
 30 封止樹脂
 32 接合材
 34 整流回路
 36 インバータ回路

10

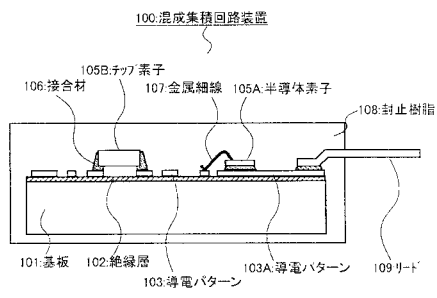
【図 1】



【図 2】



【図 3】



フロントページの続き

(72)発明者 稲垣 裕紀

群馬県邑楽郡大泉町坂田一丁目1番1号 三洋エルエスアイデザイン・システムソフト株式会社内