(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 111052237 A
(43)申请公布日 2020.04.21

(21)申请号 201880056038.7

(22)申请日 2018.08.21

(30)优先权数据
15/691,055 2017.08.30 US

(85)PCT国际申请进入国家阶段日
2020.02.27

(86)PCT国际申请的申请数据
PCT/US2018/047377 2018.08.21

(87)PCT国际申请的公布数据
WO2019/046051 EN 2019.03.07

(71)申请人 美光科技公司
地址 美国爱达荷州

(72)发明人 F·贝代斯基 U·迪温琴佐 D·维梅尔卡蒂

(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
代理人 王龙

(51)Int.Cl.
G11C 5/06(2006.01)
G11C 7/18(2006.01)

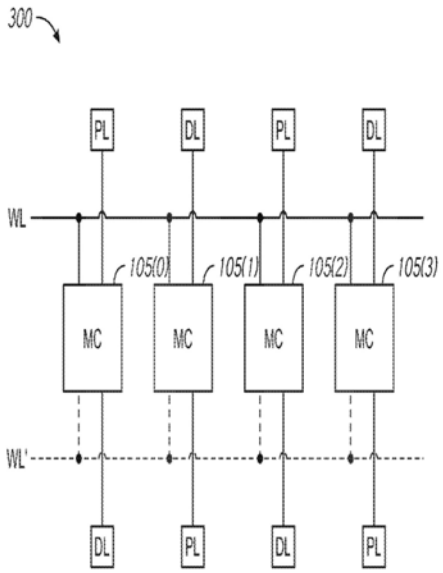
权利要求书3页 说明书16页 附图19页

(54)发明名称

用于屏蔽的存储器架构的设备和方法

(57)摘要

用于存储器的设备和方法，所述存储器包含：第一存储器单元，其包含具有耦合到板线的第一末端和耦合到数字线的第二末端的存储组件；和第二存储器单元，其包含具有耦合到数字线的第一末端和耦合到板线的第二末端的存储组件，其中所述第二存储器单元的所述数字线邻近于所述第一存储器单元的所述板线。



CN 111052237 A

1.一种设备,其包括:

第一存储器单元,其包括具有耦合到板线的第一末端和耦合到数字线的第二末端的存储组件;和

第二存储器单元,其包括具有耦合到数字线的第一末端和耦合到板线的第二末端的存储组件;

其中所述第二存储器单元的所述数字线邻近于所述第一存储器单元的所述板线。

2.根据权利要求1所述的设备,其中所述第一存储器单元的所述数字线邻近于所述第二存储器单元的所述板线。

3.根据权利要求1所述的设备,其进一步包括:

第三存储器单元,其包括具有耦合到板线的第一末端和耦合到数字线的第二末端的存储组件;

其中所述第二存储器单元的所述数字线邻近于所述第三存储器单元的所述板线。

4.根据权利要求3所述的设备,其进一步包括:

第一存储器单元层;和

第二存储器单元层,其包含所述第一存储器单元、所述第二存储器单元和所述第三存储器单元。

5.根据权利要求4所述的设备,其进一步包括:

第四存储器单元,其包含在所述第一存储器单元层中,所述第四存储器单元包括具有耦合到板线的第一末端和耦合到数字线的第二末端的存储组件;

其中所述第四存储器单元的所述数字线和所述第二存储器单元的所述数字线组合成共享数字线。

6.根据权利要求4所述的设备,其进一步包括:

第四存储器单元,其包含在所述第一存储器单元层中,所述第四存储器单元包括具有耦合到数字线的第一末端和耦合到板线的第二末端的存储组件;

其中所述第二存储器单元的所述数字线邻近于所述第四存储器单元的所述板线。

7.根据权利要求1所述的设备,其中所述第一存储器单元的所述第一存储组件的所述第一末端通过第一选择组件耦合到所述板线。

8.根据权利要求7所述的设备,其中所述第一存储器单元的所述第一存储组件的所述第二末端通过第二选择组件耦合到所述数字线。

9.根据权利要求1所述的设备,其中所述第一存储组件和第二存储组件为电介质电容器。

10.根据权利要求1所述的设备,其中所述第一存储组件和所述第二存储组件为铁电电容器。

11.一种设备,其包括:

第一存储器单元层;

第二存储器单元层,其位于所述第一存储器单元层之下;

第一存储器单元,其包含在所述第一存储器单元层中,所述第一存储器单元包括具有耦合到板线的第一末端和耦合到数字线的第二末端的存储组件;和

第二存储器单元,其包含在所述第二存储器单元层中,所述第二存储器单元包括具有

耦合到数字线的第一末端和耦合到板线的第二末端的存储组件；

其中所述第一存储器单元的所述数字线和所述第二存储器单元的所述数字线组合成共享数字线。

12.根据权利要求11所述的设备，其包括：

第三存储器单元，其包含在所述第一存储器单元层中，所述第三存储器单元包括具有耦合到数字线的第一末端和耦合到板线的第二末端的存储组件；和

第四存储器单元，其包含在所述第二存储器单元层中，所述第四存储器单元包括具有耦合到板线的第一末端和耦合到数字线的第二末端的存储组件；其中

所述第三存储器单元的所述板线和所述第四存储器单元的所述板线组合成共享板线；且

所述第一存储器单元和所述第二存储器单元的所述共享数字线邻近于所述第三板线和所述第四板线的所述共享板线。

13.根据权利要求12所述的设备，其包括：

第五存储器单元，其包含在所述第一存储器单元层中，所述第五存储器单元包括具有耦合到数字线的第一末端和耦合到板线的第二末端的存储组件；和

第六存储器单元，其包含在所述第二存储器单元层中，所述第六存储器单元包括具有耦合到板线的第一末端和耦合到数字线的第二末端的存储组件；其中

所述第五存储器单元的所述板线和所述第六存储器单元的所述板线组合成共享板线；且

所述第一存储器单元和所述第二存储器单元的所述共享数字线邻近于所述第五板线和所述第六板线的所述共享板线。

14.根据权利要求11所述的设备，其中：

所述第一存储器单元的所述存储组件的第二末端通过第一选择组件耦合到所述数字线；和

所述第二存储器单元的所述存储组件的第二末端通过第二选择组件耦合到所述板线。

15.根据权利要求14所述的设备，其中：

所述第一存储器单元的所述存储组件的第一末端通过第三选择组件耦合到所述板线；且

所述第二存储器单元的所述存储组件的第一末端通过第四选择组件耦合到所述数字线。

16.一种设备，其包括：

第一存储器层；

第二存储器层，其位于所述第一存储器层之下；

存储器单元，其包含所述第一存储器层中的第一存储组件和所述第二存储器层中的第二存储组件；其中

所述第一存储组件包含耦合到板线的第一末端和耦合到数字线的第二末端；

所述第二存储组件包含耦合到板线的第一末端和耦合到数字线的第二末端；且

所述第一存储组件的所述数字线邻近于所述第二存储组件的所述板线。

17.根据权利要求16所述的设备，其中所述存储器单元是第一存储器单元，所述设备进

一步包括：

第二存储器单元，其包含所述第一存储器层中的第一存储组件和所述第二存储器层中的第二存储组件；其中

所述第二存储器单元的所述第一存储组件包含耦合到数字线的第一末端和耦合到板线的第二末端；

所述第二存储器单元的所述第二存储组件包含耦合到数字线的第一末端和耦合到板线的第二末端；且

所述第一存储器单元的所述第一存储组件的所述数字线邻近于所述第二存储器单元的所述第一存储组件的所述板线。

18.根据权利要求17所述的设备，其进一步包括：

第三存储器单元，其包含所述第一存储器层中的第一存储组件和所述第二存储器层中的第二存储组件；其中

所述第三存储器单元的所述第一存储组件包含耦合到数字线的第一末端和耦合到板线的第二末端；

所述第三存储器单元的所述第二存储组件包含耦合到数字线的第一末端和耦合到板线的第二末端；且

所述第一存储器单元的所述第一存储组件的所述数字线邻近于所述第三存储器单元的所述第一存储组件的所述板线。

19.根据权利要求16所述的设备，其中：

所述第一存储组件的第二末端通过第一选择组件耦合到所述数字线；且

所述第二组件的第二末端通过第二选择组件耦合到所述数字线。

20.根据权利要求19所述的设备，其中：

所述第二存储组件的第一末端通过第三选择组件耦合到所述板线；且

所述第二存储组件的第一末端通过第四选择组件耦合到所述板线。

用于屏蔽的存储器架构的设备和方法

背景技术

[0001] 存储器装置广泛用于将信息存储在例如计算机、无线通信装置、相机、数字显示器等各种电子装置中。通过编程存储器装置的不同状态来存储信息。举例来说，二进制装置具有两个状态，通常表示为逻辑“1”或逻辑“0”。在其它系统中，可存储两个以上状态。为了存取所存储的信息，电子装置可读取或感测存储器装置中的所存储信息。为了存储信息，电子装置可写入或编程存储器装置中的状态。

[0002] 存在各种类型的存储器装置，包含随机存取存储器(RAM)、只读存储器(ROM)、动态RAM(DRAM)、同步动态RAM(SDRAM)、铁电RAM(FeRAM)、磁阻式RAM(MRAM)、电阻式RAM(RRAM)、快闪存储器等。存储器装置可为易失性或非易失性的。非易失性存储器(例如快闪存储器)即使在不存在外部电源的情况下仍可将数据存储很长一段时间。易失性存储器装置(例如DRAM)除非被外部电源定期刷新，否则可能随时间推移而丢失其存储的状态。二进制存储器装置可例如包含带电或放电电容器。然而，带电电容器可随时间由于泄漏电流而放电，造成所存储信息丢失。易失性存储器的某些特征可提供性能优点，例如较快速读取或写入速度，而非易失性存储器的特征例如存储数据而无需定期刷新的能力可为有利的。

[0003] 存储器装置通常包含例如板线和感测线的电压线，所述电压线促进对存储器装置的单元的存取。板线大体上提供电压到与例如电容器的存储器单元相关联的存储组件。在存储器存取操作期间，板线上的电压或多或少为恒定的。感测线也耦合到存储组件，且大体上配置成存储表示正从存储器单元读取或写入到存储器单元的逻辑值的电压。与板线相比，感测线上的电压大体上根据由存取的存储器单元存储的数据在存储器存取操作期间变化。

[0004] 常规存储器阵列可由于感测线中存在的变化的电压而在线之间产生电气干扰。干扰在本文中可被称为“边缘(fringing)”且可导致信号失真和后续的数据错误。所属领域中需要避免这种边缘效应以及相关的信号失真和数据错误。

发明内容

[0005] 公开用于屏蔽的存储器架构的设备和方法。在本公开的一方面中，设备：包含第一存储器单元，其包含具有耦合到板线的第一末端和耦合到数字线的第二末端的存储组件；且包含第二存储器单元，其包含具有耦合到数字线的第一末端和耦合到板线的第二末端的存储组件。第二存储器单元的数字线邻近于第一存储器单元的板线。

[0006] 在本公开的另一方面中，设备包含第一存储器单元层和位于第一存储器单元层之下的第二存储器单元层。设备进一步包含第一存储器单元和第二存储器单元，所述第一存储器单元包含在第一存储器单元层中，所述第二存储器单元包含在第二存储器单元层中。第一存储器单元包含具有耦合到板线的第一末端和耦合到数字线的第二末端的存储组件。第二存储器单元包含具有耦合到数字线的第一末端和耦合到板线的第二末端的存储组件。第一存储器单元的数字线和第二存储器单元的数字线组合成共享数字线。

[0007] 在本公开的另一方面中，设备包含第一存储器层和位于第一存储器层之下的第二

存储器层。设备进一步包含存储器单元，所述存储器单元包含第一存储器层中的第一存储组件和第二存储器层中的第二存储组件。第一存储组件包含耦合到板线的第一末端和耦合到数字线的第二末端，且第二存储组件包含耦合到板线的第一末端和耦合到数字线的第二末端。第一存储组件的数字线邻近于第二存储组件的板线。

附图说明

[0008] 图1为根据本公开的各种实施例的实例存储器阵列的框图。

[0009] 图2A为根据本公开的实施例的包含存储器单元列的实例电路的示意图。

[0010] 图2B为根据本公开的实施例的感测组件的示意图。

[0011] 图3为根据本公开的实施例的包含存储器单元的单行的实例电路的通用电路配置的示意图。

[0012] 图4A和图4B为图3的通用电路配置的更具体电路实施方案的说明。

[0013] 图4C和图4D为描绘根据本公开的实施例的展示存储器单元的存储器阵列的一部分的横截面侧视图的图。

[0014] 图5为根据本公开的实施例的包含两个存储器单元行的堆叠配置的实例电路的通用电路配置的示意图。

[0015] 图6A到C为图5的通用电路配置的更具体电路实施方案的说明。

[0016] 图7为根据本公开的实施例的存储器的框图。

[0017] 图8为根据本公开的实施例的包含两个单元行的堆叠配置的实例电路的通用电路配置的示意图。

[0018] 图9A到C为图8的通用电路配置的更具体电路实施方案的说明。

[0019] 图10说明根据本公开的各种实施例的包含支持存储器的存储器阵列的存储器的一部分的框图。

[0020] 图11说明根据本公开的各种实施例的支持铁电存储器的系统。

具体实施方式

[0021] 本公开大体上涉及一种包含在线之间提供有利屏蔽的信号线布置的存储器架构。本文中所公开的信号线布置大体上包含存储器中的板和感测线的交替图案。如本文中更详细描述，板线大体上提供电压到与例如电容器的存储器单元相关联的存储组件。在存储器存取操作期间，板线上的电压或多或少为恒定的。感测线也耦合到存储组件，且大体上配置成存储表示正从存储器单元读取或写入到存储器单元的逻辑值的电压。与板线相比，感测线上的电压大体上根据由存取的存储器单元存储的数据在存储器存取操作期间变化。

[0022] 根据本公开的实施例的板和感测线的交替图案大体上避免了感测线彼此相邻的常规布置。这类常规布置的实例包含均具有沿着单元的相同侧或区域布线的感测线的相邻存储器单元。感测线的这种相邻可能导致因感测线中存在的变化的电压引起的线之间的电气干扰。这种电气干扰是由极为接近的相邻线之间的耦合造成的。干扰在本文中可被称为“边缘(fringing)”且可导致信号失真和后续的数据错误。通过使板线与感测线交替，本发明实施例将具有或多或少恒定电压的线(板线)相邻于或以其它方式邻近于运载可易受边缘效应影响的数据的线(感测线)布线。板线的恒定电压提供对感测线的屏蔽以减少或避免

非所需边缘效应。

[0023] 本公开描述不同存储器电路配置和拓扑的情形下的板和信号线的交替图案。参考配置成存储用以表示一个逻辑值的一个电压的“单端”存储器单元描述一些实施例。参考配置成存储用以表示一个逻辑值的两个互补电压的“差分”存储器单元描述其它实施例。参考其中所有存储器单元均或多或少安置于相同几何平面中的“平面”存储器架构描述一些实施例。参考其中存储器单元布置成堆叠在彼此的顶部上的不同平面的“三维”存储器架构描述其它实施例。

[0024] 下文阐述某些细节以提供对本公开的实施例的充分理解。然而，所属领域的技术人员将明白，可在没有这些特定细节的情况下实践本公开的实施例。此外，本文中描述的本公开的特定实施例是借助于实例提供，且不应用以将本公开的范围限制于这些特定实施例。在其它情况下，尚未详细展示众所周知的电路、控制信号、时序协议和软件操作，以便避免不必要地混淆本公开。

[0025] 图1说明根据本公开的各种实施例的支持屏蔽的存储器架构的实例存储器阵列100。存储器阵列100也可被称为电子存储器设备。存储器阵列100包含可编程以存储不同状态的存储器单元105。每一状态可表示不同逻辑值。举例来说，对于存储两个状态的存储器，逻辑值可表示为逻辑0和逻辑1。在一些情况下，存储器单元105配置成存储超过两个逻辑值。存储器单元105可包含用以存储表示可编程状态的电荷的多个电容器。举例来说，带电和不带电电容器可分别表示两个逻辑值。

[0026] 通过激活或选择适当存取线110和感测线115，可对存储器单元105执行例如读取和写入的操作。存取线110也可被称为字线110，且感测线也可被称为数字线。激活或选择字线110或数字线115可包含将电压施加到相应线。字线110和数字线115由导电材料制成。举例来说，字线110和数字线115可由金属(例如铜、铝、金、钨等)、金属合金、掺杂的半导体、其它导电材料或类似物制成。根据图1的实例，每一存储器单元行105耦合到至少一个字线110，其也被称为字线WL。在一些实施例中，存储器单元105耦合到第二字线100，其也被称为字线WL’。每一存储器单元105的列耦合到至少一个数字线115，其也被称为数字线DL。每一存储器单元105的列还可耦合到第二数字线115，其也被称为数字线DL’。通过激活相应字线110和数字线115(例如将电压施加到字线110或数字线115)，存储器单元105可在其相交点处存取。存取存储器单元105可包含读取或写入存储器单元105。字线110与数字线115的相交点可被称为存储器单元的地址。

[0027] 在一些架构中，单元的逻辑存储装置，例如电容器，可通过选择组件与数字线电气隔离。字线110可耦合到选择组件且可控制所述选择组件。举例来说，选择组件可以是晶体管，且字线110可耦合到晶体管的栅极。在一些实施例中，单元可包含耦合到一个字线WL的一个晶体管。在其它实施例中，单元可包含耦合到第一字线WL的第一晶体管和耦合到第二字线WL’的第二晶体管。激活字线110在存储器单元105的电容器与对应数字线115之间产生电耦合或闭合电路。可随后存取数字线以读取或写入存储器单元105。

[0028] 可通过行解码器120和列解码器130控制对存储器单元105进行存取。在一些实例中，行解码器120从存储器控制器140接收行地址，且基于接收到的行地址激活适当的字线110。类似地，列解码器130从存储器控制器140接收列地址且激活适当的数字线115。举例来说，存储器阵列100可包含多个字线110和多个数字线115。因此，通过激活字线110和数字线

115,可在存储器单元105的相交点处对其进行存取。

[0029] 在存取后,可由感测组件125读取或感测存储器单元105,以确定存储器单元105的存储状态。举例来说,在存取存储器单元105之后,存储器单元105的电容器可放电到对应数字线115上。使电容器放电可基于对电容器施加偏压或施加电压。在具有一个选择组件(晶体管)的实施例中,单元电容器的放电可导致数字线DL的电压改变,感测组件125可将所述电压与参考电压(未展示)进行比较以便确定存储器单元105的存储状态。举例来说,如果数字线DL具有比参考电压更高的电压,那么感测组件125可确定存储器单元105中的存储状态为逻辑1,且反之亦然。在具有两个选择组件(晶体管)的实施例中,单元电容器的放电可导致数字线DL和DL'的电压改变,所述电压可随后通过感测组件125彼此进行比较以便确定存储器单元105的存储状态。举例来说,如果第一数字线DL具有比第二数字线DL'更高的电压,那么感测组件125可确定存储器单元105中的存储状态为逻辑1,且反之亦然。

[0030] 感测组件125可包含各种晶体管或放大器,以便检测(例如比较)并放大信号中的差,这可包含锁存经放大的差。可为每一第一数字线DL提供单独感测组件125。在每存储器单元具有两个选择组件的实施例中,在耦合到单独感测组件的情况下,每一第一数字线DL与第二DL'配对。存储器单元105的检测到的逻辑状态可随后作为输出135通过列解码器130输出。

[0031] 可通过激活相关字线110和数字线115来编程或写入存储器单元105。如上文所论述,激活字线110使对应存储器单元行105耦合到其相应数字线115。通过在激活字线110的同时控制相关数字线115,可写入存储器单元105,例如逻辑值可存储于存储器单元105中。列解码器130可接受待写入到存储器单元105的数据,例如输入135。可通过将电压施加在电容器上来写入存储器单元105。下文更详细地论述这一过程。

[0032] 在一些存储器架构中,存取存储器单元105可劣化或毁坏所存储逻辑状态,且可执行重新写入(例如恢复)操作以使存储器单元105返回原始逻辑状态。举例来说,电容器在感测操作期间可部分或完全地放电,从而破坏所存储的逻辑状态。因此,可在感测操作之后重新写入逻辑状态。另外,激活字线110可引起行中的所有存储器单元的放电。因此,可能需要重新写入行中的若干或所有存储器单元105。

[0033] 存储器控制器140可通过各种组件控制存储器单元105的操作(例如读取、写入、恢复等),所述各种组件例如行解码器120、列解码器130和感测组件125。存储器控制器140可生成行和列地址信号,以便激活所需的字线110和数字线115。存储器控制器140还可生成并控制在存储器阵列100的操作期间使用的各种电压电势。一般来说,本文中所论述的所施加电压的幅值、形状或持续时间可经调整或变化,且对于用于操作存储器阵列100的各种操作可以是不同的。此外,可同时存取存储器阵列100内的一个、多个或所有存储器单元105。举例来说,可在重置操作期间同时存取存储器阵列100的多个或所有单元,在所述重置操作中,将所有存储器单元105或存储器单元105的组设置成单一逻辑状态。

[0034] 存储器阵列的存储器单元105可以是铁电存储器单元或电介质存储器单元。铁电存储器单元可配置为非易失性随机存取存储器(NVRAM)单元,其在电力断开时保留信息。电介质存储器单元可配置为动态随机存取存储器单元(DRAM),其只要通电便可维持数据。铁电存储器单元,在本文中也被称为NVRAM存储器单元,可包含具有安置于相对电容器板之间的铁电材料的一或多个电容器。铁电电容器的不同电荷电平可表示不同逻辑值。电介质存

储器单元，在本文中也被称为DRAM存储器单元，可包含具有安置于相对电容器板之间的电介质材料的一或多个电容器。电介质电容器的不同电荷电平可表示不同逻辑值。铁电存储器单元可具有相对于其它存储器架构可带来改进的性能的有利性质，例如永久性存储逻辑值而不需要定期刷新操作。电介质存储器单元可具有相对于其它存储器架构可带来改进的性能的有利性质，例如存储器存取操作的速度更快。

[0035] 图2A说明根据本公开的实施例的包含存储器单元列的实例电路200。图2A说明根据本公开的各种实施例的包含存储器单元105的实例电路200。电路200包含存储器单元105MC(0)到MC(n)，其中“n”取决于阵列大小。电路200进一步包含字线WL(0)到WL(n)、数字线DL和感测组件125。数字线DL耦合到感测组件125的感测节点A。在每存储器单元具有一个选择组件的实施例中，感测组件的感测节点B可耦合到参考电压。在每存储器单元具有两个选择组件的实施例中，电路200可进一步包含字线WL’(0)到WL’(n)和数字线DL’。在本文中，数字线DL’耦合到感测组件125的感测节点B。字线、数字线和感测组件可分别是存储器单元105、字线110、数字线115和感测组件125的实例，如参考图1所描述。尽管图2A中展示存储器单元105的一个列和n个行，但存储器阵列可包含存储器单元的许多列和行，如所展示的列和行。

[0036] 存储器单元105可包含逻辑存储组件，例如电容器和选择组件(图2A中未展示)。在其中存储器单元MC(0)到MC(n)是NVRAM存储器单元的实施例中，存储器单元105的电容器可以是铁电电容器。在其中存储器单元MC(0)到MC(n)是DRAM存储器单元的实施例中，存储器单元105的电容器可以是电介质电容器。电容器可在耦合到数字线DL和DL’后放电。如先前所描述，各种状态可通过为存储器单元105的电容器充电或使其放电来存储。存储器单元105的选择组件可由相应字线激活。在每存储器单元具有一个选择组件的实施例中，存储器单元MC(0)到MC(n)可由相应字线WL(0)到WL(n)激活。在每存储器单元具有两个选择组件的实施例中，存储器单元MC(0)到MC(n)可由相应字线WL(0)到WL(n)和WL’(0)到WL’(n)激活。

[0037] 存储器单元MC(0)到MC(n)可耦合到可在存储器单元的存取期间使用的板线PL。在一些实施例中，板线PL被固定到恒定电压，然而在其它实施例中，板线PL耦合到以不同电压驱动板线PL的电压驱动器。在存储器单元MC(0)到MC(n)实施为DRAM存储器单元时，板线PL可被固定到恒定电压。在存储器单元MC(0)到MC(n)实施为NVRAM存储器单元时，板线PL可耦合到以不同电压驱动板线PL的电压驱动器。

[0038] 可通过操作电路200中表示的各种元件来读取或感测存储器单元105的存储状态。存储器单元105可与数字线DL(或与数字线DL和DL’)电子连通。举例来说，如将在下文更详细地描述，在停用存储器单元105的选择组件时，存储器单元105的电容器可与数字线DL(或与数字线DL和DL’)隔离，且在激活选择组件时，电容器可耦合到数字线DL(或耦合到数字线DL和DL’)。激活存储器单元105的选择组件可被称为选择存储器单元105。在一些情况下，选择组件是晶体管且操作通过将电压施加到晶体管栅极来控制，其中电压幅值大于晶体管的阈值电压。字线WL(或字线WL和WL’)可激活选择组件。举例来说，施加于字线WL或WL’的电压施加于存储器单元105的选择组件的晶体管栅极。因此，选定存储器单元105的电容器分别耦合到数字线DL(或数字线DL和DL’)和DL’。

[0039] 字线WL(0)到WL(n)(或字线WL(0)到WL(n)以及WL’(0)和WL’(n))分别与存储器单元105MC(0)到MC(n)的选择组件电子连通。因此，激活相应存储器单元105MC的字线WL(或字

线WL和WL')可激活存储器单元105MC。举例来说,激活WL(0)激活了存储器单元MC(0),激活WL(1)激活了存储器单元MC(1),等等。

[0040] 为了感测由存储器单元105存储的逻辑值,字线WL(或字线WL和WL')可经偏压以激活相应存储器单元105,且电压可施加于数字线DL(或数字线DL和DL')以改变数字线DL(或数字线DL和DL')的电压。存储器单元105的激活可引起数字线DL(或数字线DL和DL')的电压改变,其基于存储在存储器单元105的电容器上的电荷。数字线DL(或数字线DL和DL')的电压的改变可分别引起感测组件25的感测节点A和B的改变。数字线DL和DL'的所得电压可通过感测组件125彼此进行比较,以便确定由每一存储器单元105的存储状态表示的逻辑值。

[0041] 关于NVRAM存储器单元,使激活的存储器单元105的板线PL偏压可产生在激活的存储器单元105的电容器上的电压差,这可导致电容器上的存储电荷改变。存储电荷中的改变的幅值可取决于每一电容器的初始状态,例如所存储的初始状态是对应于逻辑1还是逻辑0。在由字线WL(或由字线WL和WL')激活存储器单元105的选择组件时,因使板线PL偏压导致的存储电荷的改变可基于存储在激活的存储器单元105的电容器上的电荷而引起数字线DL的电压(或数字线DL和DL'的电压)的改变。关于DRAM存储器单元,激活存储器单元105可使得存储在电容器上的电荷改变数字线DL的电压(或数字线DL和DL'的电压)。如先前所描述,数字线DL的所得电压(的数字线DL和DL'的电压)可用于确定存储器单元105的存储状态的逻辑值。

[0042] 感测组件125可包含各种晶体管或放大器以检测并放大信号中的差,这可包含锁存经放大的差。感测组件125可包含感测放大器,所述感测放大器接收其感测节点(例如感测节点A和B)的电压并将所述电压进行比较。在每存储器单元具有一个选择组件的实施例中,感测节点A的电压可受第一数字线DL的电压影响,而感测节点B的电压可受参考电压影响。在每存储器单元具有两个选择组件的实施例中,感测节点A和B的电压可分别受数字线DL和DL'的电压影响。可基于所述比较而将感测放大器输出(例如感测节点A)驱动到高于(例如正)或低于(例如负或接地)供应电压。可将另一感测节点(例如感测节点B)驱动到互补电压(例如正供应电压与负或接地电压互补,且负或接地电压与正供应电压互补)。举例来说,如果感测节点A具有比感测节点B更高的电压,那么感测放大器可将感测节点A驱动到正供应电压且将感测节点B驱动到负或接地电压。感测组件125可锁存感测放大器的状态(例如感测节点A和/或感测节点B的电压和/或数字线DL和DL'的电压),所述状态可用于确定存储器单元105的存储状态和逻辑值,例如逻辑1。替代地,如果感测节点A具有比感测节点B更低的电压,那么感测放大器可将感测节点A驱动到负或接地电压且将感测节点B驱动到正供应电压。感测组件125也可锁存感测放大器状态以供用于确定存储器单元105的存储状态和逻辑值,例如逻辑0。

[0043] 存储状态可表示存储器单元105的逻辑值,所述逻辑值可随后参考图1例如由列解码器130输出为输出135。在其中感测组件125也将数字线DL和DL'驱动到互补电压的实施例中,互补电压可施加于存储器单元105以恢复原始数据状态读取。通过恢复数据,不需要单独的恢复操作。

[0044] 特定存储器单元105可以晶体管(T)和电容器(C)的各种组合予以实施。可根据本公开使用任何适当配置。举例来说,特定存储器单元105可以例如1T1C、2T1C、2T2C、3T2C、4T2C等配置予以实施。

[0045] 图2B说明根据本公开的实施例的感测组件125。感测组件125包含p型场效应晶体管252和256以及n型场效应晶体管262和266。晶体管252和晶体管262的栅极耦合到感测节点A。晶体管256和晶体管266的栅极耦合到感测节点B。晶体管252和256以及晶体管262和266表示感测放大器。p型场效晶体管258配置成耦合到电源(例如VREAD电压电源)且耦合到晶体管252和256的共同节点。晶体管258由有源PSA信号(例如低电平有效逻辑)激活。n型场效应晶体管268配置成耦合到感测放大器参考电压(例如接地)且耦合到晶体管262和266的共同节点。晶体管268由有源NSA信号(例如高电平有效逻辑)激活。

[0046] 在操作中,通过激活PSA和NSA信号以将感测放大器耦合到电源的电压和感测放大器参考电压来激活感测放大器。在激活时,感测放大器将感测节点A和B的电压进行比较,且通过将感测节点A和B驱动到互补电压电平(例如将感测节点A驱动到VREAD并将感测节点B驱动到接地,或将感测节点A驱动到接地并将感测节点B驱动到VREAD)来放大电压差。在感测节点A和B已驱动到互补电压电平时,由感测放大器锁存感测节点A和B的电压且保持锁存直到停用感测放大器为止。

[0047] 参考图2A,为了写入存储器单元105,可将电压施加在存储器单元105的电容器上。可使用各种方法。在一些实例中,选择组件可分别通过字线WL(或字线WL和WL')激活,以便使电容器耦合到数字线DL(或数字线DL和DL')。举例来说,可通过控制数字线DL和DL'的电压以将正或负电压施加在电容器上来将电压施加在存储器单元105的电容器上。在一些实施例中,将互补电压施加到存储器单元105的电容器以例如使用数字线DL和DL'以及板线CP写入存储器单元105。作为一非限制性实例,在一些实施例中,为了将第一逻辑值写入到存储器单元105,将第一电压施加到电容器的一个板且将与第一电压互补的第二电压施加到电容器的另一板,且为了将第二逻辑值写入到存储器单元105,将第二电压施加到电容器的一个板且将第一电压施加到电容器的另一板。

[0048] 在一些实例中,可在感测之后执行恢复操作。如先前所论述,感测操作可劣化或毁坏存储器单元105的原始存储状态。在感测之后,可将状态写回到存储器单元105。举例来说,感测组件25可确定存储器单元105的存储状态且可随后例如通过数字线DL(或数字线DL和DL')写回相同状态。

[0049] 如所提及,特定存储器单元105可以晶体管(T)和电容器(C)的各种组合予以实施,且可根据本公开使用任何适当配置。举例来说,特定存储器单元105可以例如1T1C、2T1C、2T2C、3T2C、4T2C等配置予以实施。此外,不同存储器单元可以任何组合或配置和单元类型彼此堆叠或配对。为了更具体地描述根据本公开的实施例的存储器单元105的操作,以下论述借助于实例而非限制方式参考2T2C和1T1C存储器单元。应了解,下文论述的操作是可更大体地施加于用于实施存储器单元105实施例的任何存储器单元配置的概念的特定实例。

[0050] 图3为根据本公开的实施例的包含存储器单元105的单行的实例电路300的通用电路配置的示意图。图3的实例电路300包含单端存储器单元。在本文中,实例电路300将单一逻辑值存储为存储在一个存储器单元105中的单一电压。存储器单元105各自耦合到至少一个字线WL,所述至少一个字线WL可耦合到与存储器单元105相关联的选择组件并可控制所述选择组件。借助于实例而非限制,图3说明包含四个存储器单元105(0)到105(3)的存储器单元的单行的一部分。

[0051] 在一些实施例中,存储器单元105还可耦合到第二字线WL',所述第二字线WL'可耦

合到与存储器单元105相关联的选择组件并可控制所述选择组件。选择组件可以是晶体管，且字线可耦合到晶体管的栅极。在一些实施例中，存储器单元105可包含耦合到一个字线WL的一个晶体管。在其它实施例中，存储器单元105可包含耦合到第一字线WL的第一晶体管和耦合到第二晶体管WL'的第二晶体管。

[0052] 每一存储器单元105可耦合到一个数字线DL。虽然图3中并未明确地说明，但特定存储器单元105可以是存储器单元105的列的成员，其中所述列的每一成员耦合到同一数字线DL。每一存储器单元105可另外耦合到在存储器单元105的存取期间使用的板线PL。虽然图3中并未明确地说明，但特定存储器单元105可以是存储器单元105的列的成员，其中所述列的每一成员耦合到同一板线PL。

[0053] 图3的实例电路300包含根据本公开的实施例的板线PL与数字线DL的交替图案。更具体来说，电路300的板线PL和数字线DL布置成使得给定数字线DL邻近于板线PL而非其它数字线DL。举例来说，与第三存储器单元105(2)相关联的数字线DL邻近于两个板线PL，且并不邻近于任何其它数字线。与第二存储器单元105(1)相关联的板线PL位于与第三存储器单元105(2)相关联的数字线DL的左侧。与第四存储器单元105(3)相关联的板线PL位于与第三存储器单元105(2)相关联的数字线DL的右侧。通过将板线与数字线交替，图3的实例电路300(以及图4A和图4B的电路)将具有或多或少恒定电压的线(板线)相邻于或以其它方式邻近于运载可易受边缘效应影响的数据的线(数字线)布线。板线的恒定电压提供对数字线的屏蔽以减少或避免非所需边缘效应。

[0054] 图4A和图4B为图3的通用电路配置的更具体电路实施方案404、408的说明。虚线划分存储器单元105的近似边界。在图4A的实施方案中，存储器单元105中的每一个包含一个选择组件T1和一个电容器C1(例如1T1C)。在图4B的实施方案中，存储器单元105中的每一个包含两个选择组件T1和T2以及一个电容器C1(例如2T1C)。取决于实施方案，每一存储器单元105的电容器C1可以是铁电电容器或电介质电容器。存储器单元105的选择组件T1可以是晶体管，例如n型场效应晶体管。如果存在，那么存储器单元105的选择组件T2可以是晶体管，例如p型场效应晶体管。

[0055] 通过将电压施加到晶体管栅极来控制选择组件T1(或选择组件T1和T2)的操作。相应字线可激活选择组件。字线WL可激活存储器单元105的选择组件T1。如果存在，那么字线WL'可激活存储器单元105的选择组件T2。

[0056] 电容器C1具有第一板和第二板。用于每一存储器单元105的电容器C1的第一和第二板可以交替方式耦合到板线PL和数字线DL。下文借助于实例而非限制方式描述用于第一存储器单元105(0)和第二存储器单元105(1)的电容器C1的配置和操作。

[0057] 在第一存储器单元105(0)中，电容器C1的第一板通过T1选择组件耦合到板线PL。另外，电容器C1的第二板耦合到数字线DL。如果存在字线WL'，那么电容器C1的第二板通过T2选择组件耦合到数字线DL。如果不存在，那么电容器C1的第二板可直接耦合到数字线DL。

[0058] 在第二存储器单元105(1)中，电容器C1的第一板通过T1选择组件耦合到数字线DL。另外，电容器C1的第二板耦合到板线PL。如果存在字线WL'，那么电容器C1的第二板通过T2选择组件耦合到板线PL。如果不存在，那么电容器C1的第二板可直接耦合到板线PL。

[0059] 在例如由字线WL(或由WL和WL')激活第一存储器单元105(0)时，电容器C1的第二板耦合到数字线DL。在例如由字线WL(或由WL和WL')激活第二存储器单元105(1)时，电容器

C1的第一板耦合到数字线DL。

[0060] 如先前所论述，在耦合到数字线DL时，存储器单元105可经存取。举例来说，存储器单元105的存储状态可经读取且/或存储器单元105可经写入以存储新状态或相同状态。举例来说，可经由数字线DL和板线PL将各种电压施加到电容器C1的板以存取(例如读取和/或写入)存储器单元105。在DRAM实施例中，板线PL可被固定到恒定电压。在NVRAM实施例中，板线PL可耦合到以不同电压驱动板线PL的电压驱动器。在NVRAM写入操作的不同阶段期间可以不同电压驱动板线PL。

[0061] 图4C和图4D为根据本公开的实施例的电路实施方案的布局图。图4C包含图4A的电路实施方案404的布局图。图4D包含图4D的电路实施方案408的布局图。图4C和图4D说明包含根据本公开的存储器单元105的实例实施例的存储器阵列100的一部分。

[0062] 存储器阵列100的所说明区包含数字线DL和板线PL。数字线DL和板线PL相对于彼此竖直地偏移。数字线DL和板线PL以交替图案布置，使得给定数字线DL邻近于板线PL而非其它数字线DL。数字线DL可连接到感测组件(如图1中所展示)。展示四个相邻存储器单元105(0)到105(3)，其中这些相邻存储器单元在存储器阵列内彼此处于同一行(例如沿着由字线WL和/或字线WL'表示的同一行)。绝缘材料409展示为包围存储器单元105的各种组件。在一些实施例中，交替的存储器单元105可被称为沿着存储器阵列行的基本一致存储器单元，其中术语“基本一致”意谓存储器单元在制造和测量的合理容差内彼此一致。举例来说，存储器单元105(0)可与存储器单元105(2)基本一致，存储器单元105(1)可与存储器单元105(3)基本一致，等等。

[0063] 数字线DL和板线PL展示为在基部410上方且由基部410支撑。基部410可以是半导体材料。如图4C和图4D中所展示，存储器单元105各自包括至少一个选择组件424和电容器405。选择组件424可对应于图4A和图4B的选择组件T1。电容器405可对应于图4A和图4B的电容器C1。如图4D中所展示，存储器单元105可另外包含第二选择组件420。第二选择组件420可对应于图4B的选择组件T2。

[0064] 电容器405可以第一末端耦合到第一选择组件424的竖直配置布置。如果存在，那么第二选择组件420可耦合到电容器405的第二末端。电容器405包含第一板、单元顶部430和第二板、单元底部415，且电介质材料432安置于单元顶部430与单元底部415之间。虽然单元顶部430展示为容器状且单元底部415展示为在这些容器形状内延伸，但在其它实施例中，单元顶部和底部可具有其它配置。举例来说，单元顶部和底部可具有平面配置。柱412从板线PL(存储器单元105(0)和105(2))或数字线DL(存储器单元105(1)和105(3))延伸到电容器405的单元顶部430。柱402从数字线DL(存储器单元105(0)和105(2))或板线PL(存储器单元105(1)和105(3))延伸到电容器405的单元底部415。

[0065] 选择组件424具有延伸到电容器405的单元顶部430的源极/漏极区414，且具有延伸到板线PL的源极/漏极区416。选择组件424还具有在源极/漏极区414与416之间的沟道区418。栅极411沿着沟道区418，且通过栅极电介质材料413与沟道区偏移。栅极411可包含在字线WL中。

[0066] 如果存在，那么选择组件420具有延伸到电容器405的单元底部415的源极/漏极区444，且具有延伸到数字线DL的源极/漏极区406。选择组件420还具有在源极/漏极区444与406之间的沟道区408。栅极401沿着沟道区408，且通过栅极电介质材料403与沟道区偏移。

栅极401可包含在字线WL中。

[0067] 如图4C和图4D的实施例中所展示，存储器单元105的选择组件420和424以及电容器405竖直堆叠，这可使得存储器单元105被封装到高集成度。

[0068] 图4C和图4D在本文中提供为图4A和图4B的电路实施方案的实例横截面图。以下论述包含根据本公开的额外电路实施方案。出于简洁起见，从其它电路实施方案的论述中省略额外图。然而，应了解，额外电路实施方案可实施于与图4A和图4B中说明的电路类似的电路中。

[0069] 图5为根据本公开的实施例的包含两个存储器单元行的堆叠配置的实例电路500的通用电路配置的示意图。图5的实例电路500包含单端存储器单元。在本文中，实例电路500将单一逻辑值存储为存储在一个存储器单元中的单一电压。第一行包含存储器单元105且第二行包含存储器单元106。存储器单元105、106各自耦合到至少一个字线WL，所述至少一个字线WL可耦合到与存储器单元105、106相关联的选择组件并可控制所述选择组件。借助于实例而非限制，图5说明包含四个存储器单元105(0)到105(3)的第一存储器单元行的一部分和包含四个存储器单元106(0)到106(3)的第二存储器单元行的一部分。

[0070] 在一些实施例中，存储器单元105、106还可耦合到第二字线WL'，所述第二字线WL'可耦合到与存储器单元105、106相关联的选择组件并可控制所述选择组件。选择组件可以是晶体管，且字线可耦合到晶体管的栅极。在一些实施例中，存储器单元105、106可包含耦合到一个字线WL的一个晶体管。在其它实施例中，存储器单元105、106可包含耦合到第一字线WL的第一晶体管和耦合到第二晶体管WL'的第二晶体管。

[0071] 第一行的每一存储器单元105可耦合到一个数字线DL。类似地，第二行的每一存储器单元106可耦合到一个数字线DL。虽然图5中并未明确地说明，但特定存储器单元105、106可以是存储器单元105、106的列的成员，其中所述列的每一成员耦合到同一数字线DL。每一存储器单元105、106可另外耦合到在存储器单元105、106的存取期间使用的板线PL。虽然图5中并未明确地说明，但特定存储器单元105、106可以是存储器单元105、106的列的成员，其中所述列的每一成员耦合到同一板线PL。

[0072] 在图5的实例电路500中，两个相邻存储器单元之间可共享一些板线PL和一些数字线DL。举例来说，存储器单元105(0)和存储器单元106(0)共享数字线DL。在本文中，共享数字线可包含将数字线布线到给出哪个存储器单元105(0)或106(0)正经存取的适当感测放大器的开关。借助于其它实例，存储器单元105(1)和存储器单元106(1)共享板线PL。在本文中，由于共享板线PL在存取存储器单元105(1)或106(1)时提供可能相同的恒定电压，因此可省略与共享板线PL相关联的开关。

[0073] 图5的实例电路500包含根据本公开的实施例的板线PL与数字线DL的交替图案。更具体来说，电路500的板线PL和数字线DL布置成使得给定数字线DL邻近于板线PL而非其它数字线DL。举例来说，与第三存储器单元105(2)和106(2)相关联的共享数字线DL邻近于两个板线PL，且并不邻近于任何其它数字线。与第二存储器单元105(1)和106(1)相关联的共享板线PL位于与第三存储器单元105(2)和106(2)相关联的共享数字线DL的左侧。与第四存储器单元105(3)和106(3)相关联的共享板线PL位于与第三存储器单元105(2)和106(2)相关联的共享数字线DL的右侧。通过将板线与数字线交替，图5的实例电路500(和图6A到C的电路)将具有或多或少恒定电压的线(板线)相邻于或以其它方式邻近于运载可易受边缘效

应影响的数据的线(数字线)布线。板线的恒定电压提供对数字线的屏蔽以减少或避免非所需边缘效应。

[0074] 图6A到C为图5的通用电路配置500的更具体电路实施方案的说明。虚线划分存储器单元105、106的近似边界。在图6A到B的实施方案中,存储器单元105、106中的每一个包含一个选择组件T1和一个电容器C1(例如1T1C)。在图6C的实施方案中,存储器单元105、106中的每一个包含两个选择组件T1和T2以及一个电容器C1(例如2T1C)。取决于实施方案,每一存储器单元105、106的电容器C1可以是铁电电容器或电介质电容器。存储器单元105、106的选择组件T1可以是晶体管,例如n型场效应晶体管。如果存在,那么存储器单元105、106的选择组件T2可以是晶体管,例如p型场效应晶体管。

[0075] 通过将电压施加晶体管栅极来控制选择组件T1(或选择组件T1和T2)的操作。相应字线可激活选择组件。字线WL可激活存储器单元105、106的选择组件T1。如果存在,那么字线WL'可激活存储器单元105、106的选择组件T2。

[0076] 电容器C1具有第一板和第二板。用于每一存储器单元105、106的电容器C1的第一和第二板可以交替方式耦合到板线PL和数字线DL。下文借助于实例而非限制方式描述用于第一存储器单元105(0)、106(0)和第二存储器单元105(1)、106(1)的电容器C1的配置和操作。

[0077] 在第一行的第一存储器单元105(0)中,电容器C1的第一板耦合到板线PL。另外,电容器C1的第二板通过T1选择组件耦合到共享数字线DL。如果存在字线WL',那么电容器C1的第一板通过T2选择组件耦合到板线PL。如果不存在,那么电容器C1的第一板可直接耦合到板线PL。

[0078] 在第一行的第二存储器单元105(1)中,电容器C1的第一板耦合到数字线DL。另外,电容器C1的第二板通过T1选择组件耦合到共享板线PL。如果存在字线WL',那么电容器C1的第一板通过T2选择组件耦合到数字线DL。如果不存在,那么电容器C1的第一板可直接耦合到数字线DL。

[0079] 在第二行的第一存储器单元106(0)中,电容器C1的第一板耦合到共享数字线DL。另外,电容器C1的第二板通过T1选择组件耦合到板线PL。如果存在字线WL',那么电容器C1的第一板通过T2选择组件耦合到共享数字线DL。如果不存在,那么电容器C1的第一板可直接耦合到数字线DL。在替代实施例(图6B)中,电容器C1的第一板通过T1选择组件耦合到共享数字线DL,且电容器C1的第二板直接耦合到板线PL。

[0080] 在第二行的第二存储器单元106(1)中,电容器C1的第一板耦合到共享板线PL。另外,电容器C1的第二板通过T1选择组件耦合到数字线DL。如果存在字线WL',那么电容器C1的第一板通过T2选择组件耦合到共享板线PL。如果不存在,那么电容器C1的第一板可直接耦合到共享板线PL。在替代实施例(图6B)中,电容器C1的第一板通过T1选择组件耦合到共享板线PL,且电容器C1的第二板直接耦合到数字线DL。

[0081] 在例如由字线WL(或由WL和WL')激活第一行的第一存储器单元105(0)时,电容器C1的第二板耦合到数字线DL。在例如由字线WL(或由WL和WL')激活第一行的第二存储器单元105(1)时,电容器C1的第一板耦合到数字线DL。在例如由字线WL(或由WL和WL')激活第二行的第一存储器单元106(0)时,电容器C1的第一板耦合到数字线DL。在例如由字线WL(或由WL和WL')激活第一行的第二存储器单元105(1)时,电容器C1的第二板耦合到数字线DL。

[0082] 如先前所论述，在耦合到数字线DL时，存储器单元105可经存取。举例来说，存储器单元105的存储状态可经读取且/或存储器单元105可经写入以存储新状态或相同状态。举例来说，可经由数字线DL和板线PL将各种电压施加到电容器C1的板以存取(例如读取和/或写入)存储器单元105。在DRAM实施例中，板线PL可被固定到恒定电压。在NVRAM实施例中，板线PL可耦合到以不同电压驱动板线PL的电压驱动器。在NVRAM写入操作的不同阶段期间可以不同电压驱动板线PL。

[0083] 上文结合图3到图6C描述的存储器配置通常支持至少在存储器单元的单一列内的单端存储器单元布置。根据本公开的实施例，可使用图3到图6C的存储器单元布置中的一或多个来实施差分存储器单元配置。如图7中所展示，存储器可组织成两个“MAT”，所述两个“MAT”各自提供数字线DL信号到感测放大器712。更具体来说，第一MAT704提供第一数字线DL 1信号到感测放大器712。第二MAT 708提供第二数字线DL 2信号到感测放大器。第一MAT 704和第二MAT 708可包含上文结合图3到图6C描述的存储器架构中的任一个。数字线D1和D2可运载一起表示存储的逻辑值的互补电压。由数字线D1和D2提供的电压可分别对应于存储在与第一MAT 704和第二MAT 708相关联的存储器单元中的电压。因此，如图7中可看出，一起提供差分信号的互补电压不一定存储在相邻存储器单元中。实际上，有可能以分散方式存储互补电压，其中所述两个电压存储在存储器的不同区域中。

[0084] 图8为根据本公开的实施例的包含两个单元行的堆叠配置的实例电路800的通用电路配置的示意图。图8的实例电路800可用于实施全差分存储器单元配置。在本文中，实例电路800的差分存储器单元(“MC”)将单一逻辑值存储为两个互补电压，所述两个互补电压存储在两个不同存储单元(“SC”)中。第一行包含第一存储单元804，且第二行包含第二存储单元808。第一行的存储单元804可用于存储用于给定存储器单元105的第一互补逻辑值。第二的存储单元808可用于存储用于给定存储器单元105的第二互补逻辑值。因此，给定存储器单元105可包含来自第一行的第一存储单元804和来自第二行的第二存储单元808。存储器单元105各自耦合到至少一个字线WL，所述至少一个字线WL可耦合到与个别存储单元804、808相关联的选择组件并可控制所述选择组件。借助于实例而非限制，图8说明包含四个存储单元804(0)到804(3)的第一存储单元行的一部分和包含四个存储单元804(0)到808(3)的第二存储单元行的一部分。

[0085] 在一些实施例中，存储器单元105还可耦合到第二字线WL’，所述第二字线WL’可耦合到与个别存储单元804、808相关联的选择组件并可控制所述选择组件。选择组件可以是晶体管，且字线可耦合到晶体管的栅极。在一些实施例中，存储单元804、808可包含耦合到一个字线WL的一个晶体管。在其它实施例中，存储单元804、808可包含耦合到第一字线WL的第一晶体管和耦合到第二晶体管WL’的第二晶体管。

[0086] 第一行的每一存储单元105可耦合到一个数字线DL。类似地，第二行的每一存储单元106可耦合到一个数字线DL’。两个对应数字线DL和DL’一起形成给定存储器单元105的数字线。虽然图8中并未明确地说明，但特定存储单元804、808可以是存储单元804、808的列的成员，其中所述列的每一成员耦合到同一数字线DL、DL’。每一存储单元804、808可另外耦合到在存储单元804、808的存取期间使用的板线PL。虽然图8中并未明确地说明，但特定存储单元804、808可以是存储单元804、808的成员列，其中所述列的每一成员耦合到同一板线PL。

[0087] 图8的实例电路800包含根据本公开的实施例的板线PL与数字线DL的交替图案。更具体来说，电路800的板线PL和数字线DL布置成使得给定数字线DL邻近于板线PL而非其它数字线DL。举例来说，与第二行的第二存储单元808(1)相关联的数字线DL'邻近于三个板线PL，且不邻近于任何其它数字线。与第二行的第一存储单元808(0)相关联的板线PL位于与第二行的第二存储单元808(1)相关联的数字线DL'的左侧。与第二行的第三存储单元808(2)相关联的板线PL位于与第二行的第二存储单元808(1)相关联的数字线DL'的右侧。此外，与第一行的第二存储单元804(1)相关联的板线PL位于与第二行的第二存储单元808(1)相关联的数字线DL'上方。通过将板线与数字线交替，图8的实例电路800(和图9A到C的电路)将具有或多或少恒定电压的线(板线)相邻于或以其它方式邻近于运载可易受边缘效应影响的数据的线(数字线)布线。板线的恒定电压提供对数字线的屏蔽以减少或避免非所需边缘效应。

[0088] 图9A到C为图8的通用电路配置800的更具体电路实施方案的说明。虚线划分存储单元804、808的近似边界。额外虚线划分包含存储单元804、808的存储器单元105的近似边界。在图6A到B的实施方案中，存储单元105包含一个选择组件T1和一个电容器C1，且存储单元106包含一个选择组件T2和一个电容器C2。相应地，存储器单元105包含两个选择组件T1、T2和两个电容器C1、C2(例如2T2C)。在图6C的实施方案中，存储单元105包含两个选择组件T1、T3和一个电容器C1，且存储单元106包含两个选择组件T2、T4和一个电容器C2。相应地，存储器单元105包含四个选择组件T1、T2、T3、T4和两个电容器C1、C2(例如4T2C)。取决于实施方案，每一存储单元804、808的电容器C1、C2可以是铁电电容器或电介质电容器。存储单元804、808的选择组件T1、T2可以是晶体管，例如n型场效应晶体管。如果存在，那么存储单元804、808的选择组件T3、T4可以是晶体管，例如p型场效应晶体管。

[0089] 通过将电压施加到晶体管栅极来控制选择组件T1和T2(或选择组件T3和T4)的操作。相应字线可激活选择组件。字线WL可激活存储单元804、808的选择组件T1和T2。如果存在，那么字线WL'可激活存储单元804、808的选择组件T3和T4。

[0090] 电容器C1和C2具有第一和第二板。用于每一存储单元804的电容器C1的第一和第二板可以交替方式耦合到板线PL和数字线DL。类似地，用于每一存储单元808的电容器C2的第一和第二板可以交替方式耦合到板线PL和数字线DL下文借助于实例而非限制方式描述用于第一存储器单元105(0)(包含第一存储单元804(0)和第二存储单元808(0))和第二存储器单元105(1)(包含第一存储单元804(1)和第二存储单元808(1))的电容器C1和C2的配置和操作。

[0091] 在第一存储器单元105(0)的第一存储单元804(0)中，电容器C1的第一板耦合到板线PL。另外，电容器C1的第二板通过T1选择组件耦合到数字线DL。如果存在字线WL'，那么电容器C1的第一板通过T3选择组件耦合到板线PL。如果不存在，那么电容器C1的第一板可直接耦合到板线PL。

[0092] 在第一存储器单元105(0)的第二存储单元808(0)中，电容器C2的第一板耦合到板线PL。另外，电容器C2的第二板通过T2选择组件耦合到数字线DL'。如果存在字线WL'，那么电容器C2的第一板通过T4选择组件耦合到板线PL。如果不存在，那么电容器C2的第一板可直接耦合到板线PL。在替代实施例(图9B)中，电容器C2的第一板通过T2选择组件耦合到板线PL，且电容器C2的第二板直接耦合到数字线DL。

[0093] 在第二存储器单元105(1)的第一存储单元804(1)中，电容器C1的第一板耦合到数字线DL。另外，电容器C1的第二板通过T1选择组件耦合到板线PL。如果存在字线WL'，那么电容器C1的第一板通过T3选择组件耦合到数字线DL。如果不存在，那么电容器C1的第一板可直接耦合到数字线DL。

[0094] 在第二存储器单元105(1)的第二存储单元808(1)中，电容器C2的第一板耦合到数字线DL。另外，电容器C2的第二板通过T2选择组件耦合到板线PL。如果存在字线WL'，那么电容器C2的第一板通过T4选择组件耦合到数字线DL。如果不存在，那么电容器C2的第一板可直接耦合到数字线DL。在替代实施例(图9B)中，电容器C1的第一板通过T2选择组件耦合到数字线DL，且电容器C2的第二板直接耦合到板线PL。

[0095] 在例如由字线WL(或由WL和WL')激活第一存储器单元105(0)时，电容器C1的第二板耦合到数字线DL且电容器C2的第二板耦合到数字线DL'。在例如由字线WL(或由WL和WL')激活第二存储器单元105(0)时，电容器C1的第一板耦合到数字线DL且电容器C2的第一板耦合到数字线DL'。

[0096] 如先前所论述，在耦合到数字线DL时，存储器单元105可经存取。举例来说，存储器单元105的存储状态可经读取且/或存储器单元105可经写入以存储新状态或相同状态。举例来说，可经由数字线DL和板线PL将各种电压施加到电容器C1的板以存取(例如读取和/或写入)存储器单元105。在DRAM实施例中，板线PL可被固定到恒定电压。在NVRAM实施例中，板线PL可耦合到以不同电压驱动板线PL的电压驱动器。在NVRAM写入操作的不同阶段期间可以不同电压驱动板线PL。

[0097] 已参考图1到9C公开具有一个到四个晶体管和一个到两个电容器的存储器单元的各种实施例。在存储器单元的一些实施例中的晶体管可以是各自由相应半导体柱形成的竖直晶体管。电容器C1和C2的第一和第二板的导电材料可以是任何合适的导电材料，包含例如以下中的一或多个：各种金属(例如钨、钛等)、含金属的组合物(例如金属氮化物、金属碳化物、金属硅化物等)、导电掺杂的半导体材料(例如导电掺杂的硅、导电掺杂的锗等)等。电容器C1和C2的板中的一些或全部可包括彼此相同的组合物，或可包括相对于彼此不同的组合物。

[0098] 在本文中所论述的NVRAM存储器单元中，电容器C1和C2是铁电电容器。电容器C1和C2的铁电材料可包括任何合适的组合物或组合物的组合。在一些实施例中，电容器电介质材料可包括铁电材料。举例来说，电容器电介质材料可包括一或多种材料、主要由一或多种材料组成或由一或多种材料组成，所述一或多种材料选自由以下组成的群组：过渡金属氧化物、锆、氧化锆、铪、氧化铪、钛酸铅锆、氧化钽和钛酸钡锶；且在所述一或多种材料中具有包括以下中的一或多个的掺杂剂：硅、铝、镧、钇、铒、钙、镁、铌、锶和稀土元素。在一些实施例中，铁电材料可包括彼此相同的组合物，且在其它实施例中可包括相对于彼此不同的组合物。

[0099] 板线结构PL可包括任何合适的导电材料，包含例如以下中的一或多个：各种金属(例如钨、钛等)、含金属的组合物(例如金属氮化物、金属碳化物、金属硅化物等)、导电掺杂的半导体材料(例如导电掺杂的硅、导电掺杂的锗等)等。

[0100] 半导体柱可包括任何合适的半导体材料，包含例如硅和锗中的一种或两种。源极/漏极区和沟道区可掺杂有任何合适的掺杂剂。在一些实施例中，源极/漏极区可为n型多掺

杂的，并且在其它实施例中，可为p型多掺杂的。

[0101] 字线(WL和WL')和数字线(DL和DL')可包括任何合适的导电材料，包含例如以下中的一或多个：各种金属(例如钨、钛等)、含金属的组合物(例如金属氮化物、金属碳化物、金属硅化物等)、导电掺杂的半导体材料(例如导电掺杂的硅、导电掺杂的锗等)等。字线和数字线可包括彼此相同的组合物或可包括相对于彼此不同的组合物。

[0102] 绝缘材料可包围本文中所公开的存储器单元的各种组件。这类绝缘材料可包括任何合适的组合物或组合物的组合；举例来说，包含二氧化硅、氮化硅、硼磷硅玻璃、旋涂式电介质等中的一或多个。虽然在一些实施例中绝缘材料可以是单一均质材料，但在其它实施例中，绝缘材料可包含两种或更多种离散绝缘组合物。

[0103] 图10说明根据如本文所论述的实施例的包含存储器阵列1002的存储器1000。存储器1000包含存储器单元的阵列1002，所述存储器单元可以是例如易失性存储器单元(例如DRAM存储器单元、SRAM存储器单元)、非易失性存储器单元(例如快闪存储器单元或铁磁存储器单元)或一些其它类型的存储器单元。如本文中所描述，存储器阵列1002的单元可包含数字线DL和板线PL，所述数字线DL和所述板线PL以交替图案布置使得给定数字线DL邻近于板线PL而非其它数字线DL。存储器系统另外包含感测组件125，数字线DL可耦合到所述感测组件125(图1)。

[0104] 存储器系统1000包含命令解码器1006，其通过命令总线1018接收存储器命令并在存储器系统1000内生成对应控制信号以执行各种存储器操作。命令解码器1006响应于施加到命令总线1018的存储器命令以对存储器阵列1002执行各种操作。举例来说，命令解码器1006用于生成内部控制信号，所述内部控制信号用以从存储器阵列1002读取数据并将数据写入到所述存储器阵列1002。行和列地址信号通过地址总线1020施加到存储器系统1000且经提供到地址锁存器1010。地址锁存器随后输出单独列地址和单独行地址。

[0105] 行和列地址由地址锁存器1010分别提供到行地址解码器1022和列地址解码器1028。列地址解码器1028选择延伸通过阵列1002的对应于相应列地址的位线。行地址解码器1022连接到激活阵列1002中的相应存储器单元行的对应于接收到的行地址的字线驱动器1024。对应于接收到的列地址的选定数据线(例如一或多个位线)耦合到读取/写入电路1030以经由输入-输出数据总线1040将读取数据提供到数据输出缓冲器1034。通过数据输入缓冲器1044和存储器阵列读取/写入电路1030将写入数据施加到存储器阵列1002。

[0106] 图11说明根据本公开的各种实施例的支持存储器的系统1100。系统1100包含装置1105，其可以是或包含印刷电路板，以连接或以物理方式支撑各种组件。装置1105可以是计算机、笔记本计算机、笔记本电脑、平板计算机、移动电话或类似物。装置1105包含存储器阵列100，其可以是参考图1和10所描述的存储器阵列100的实例。存储器阵列100可含有存储器控制器140和存储器单元105，其可以是参考图1到10所描述的存储器控制器140和存储器单元105的实例。装置1105还可包含处理器1110、BIOS组件1115、外围组件1120和输入/输出控制组件1125。装置1105的组件可通过总线1130彼此电子连通。

[0107] 处理器1110可配置成通过存储器控制器140操作存储器阵列100。在一些情况下，处理器1110可执行参考图1和10所描述的存储器控制器140的功能。在其它情况下，存储器控制器140可整合到处理器1110中。处理器1110可以是通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑装置、离散门或晶体管

逻辑、离散硬件组件，或其可以是这些类型的组件的组合。处理器1110可执行各种功能并如本文中所描述操作存储器阵列100。处理器1110可例如配置成执行存储在存储器阵列100中的计算机可读指令，以使得装置1105执行各种功能或任务。

[0108] BIOS组件1115可以是包含操作为固件的基本输入/输出系统(BIOS)的软件组件，其可初始化并运行系统1100的各种硬件组件。BIOS组件1115还可管理处理器1110与例如外围组件1120、输入/输出控制组件1125等各种组件之间的数据流。BIOS组件1115可包含存储在只读存储器(ROM)、快闪存储器或任何其它非易失性存储器中的程序或软件。

[0109] 外围组件1120可以是整合到装置1105中的任何输入或输出装置，或用于这类装置的接口。实例可包含磁盘控制器、声音控制器、图形控制器、以太网控制器、调制解调器、通用串行总线(USB)控制器、串行或并行端口，或外围卡槽，例如外围组件互连(PCI)或加速图形端口(AGP)插槽。

[0110] 输入/输出控制组件1125可管理处理器1410与外围组件1120、输入装置1135或输出装置1140之间的数据通信。输入/输出控制组件1125还可管理并不整合到装置1105中的外围设备。在一些情况下，输入/输出控制组件1125可表示到外部外围设备的物理连接或端口。

[0111] 输入1135可表示在装置1105外部的装置或信号，其将输入提供到装置1105或其组件。这可包含用户接口或与其它装置的接口或其它装置之间的接口。在一些情况下，输入1135可以是经由外围组件1120与装置1105介接的外围设备，或可由输入/输出控制组件1125管理。

[0112] 输出1140可表示在装置1105外部的装置或信号，其配置成从装置1105或任何其组件接收输出。输出1140的实例可包含显示器、音频扬声器、印刷装置装置、其它处理器或印刷电路板等。在一些情况下，输入1140可以是经由外围组件1120与装置1105介接的外围设备，或可由输入/输出控制组件1125管理。

[0113] 存储器控制器40、装置1405和存储器阵列10的组件可由设计成执行其功能的电路构成。这可包含配置成执行本文中所描述的功能的各种电路元件，例如导电线、晶体管、电容器、电感器、电阻器、放大器或其它有源或无源元件。

[0114] 上述说明书、图式、实例和数据提供对如在权利要求书中定义的本发明的示例性实施例的结构和使用的完整描述。虽然上文已经以特定精确度或参考一或多个个别实施例描述所要求的发明的各种实施例，但所属领域的技术人员可在不脱离所要求的发明的精神或范围的情况下对所公开的实施例做出众多更改。因而预期其它实施例。希望含于以上描述中并在附图中示出的所有主题应仅解释为对特定实施例的说明而非限制。在不脱离如在所附权利要求书中定义的本发明的基础元件的情况下可做出细节或结构改变。

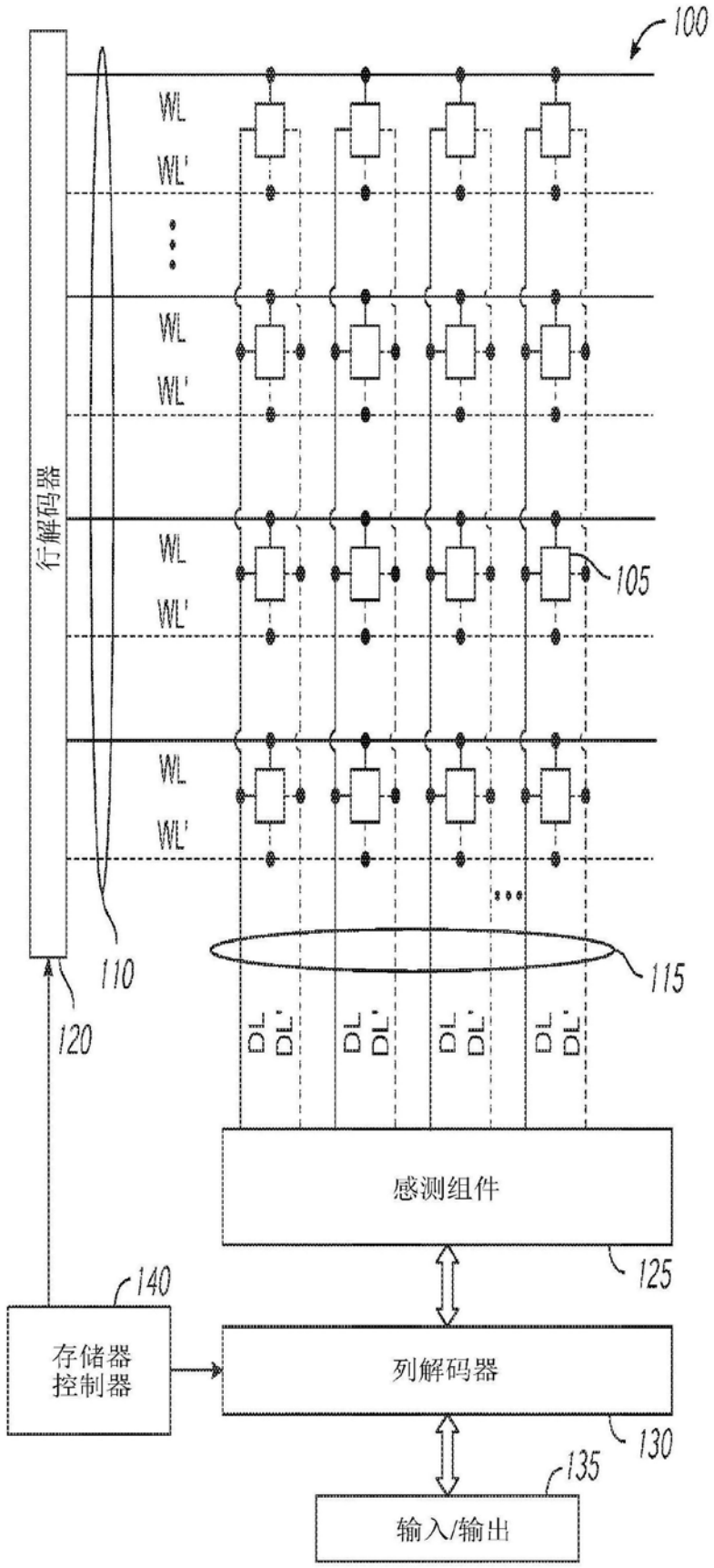

100
WL
WL'
WL
WL'
WL
WL'
WL
WL'
行解码器
105
110
115
120
DL
DL'
感测组件
125
140
存储器
控制器
列解码器
130
135
输入/输出

图1

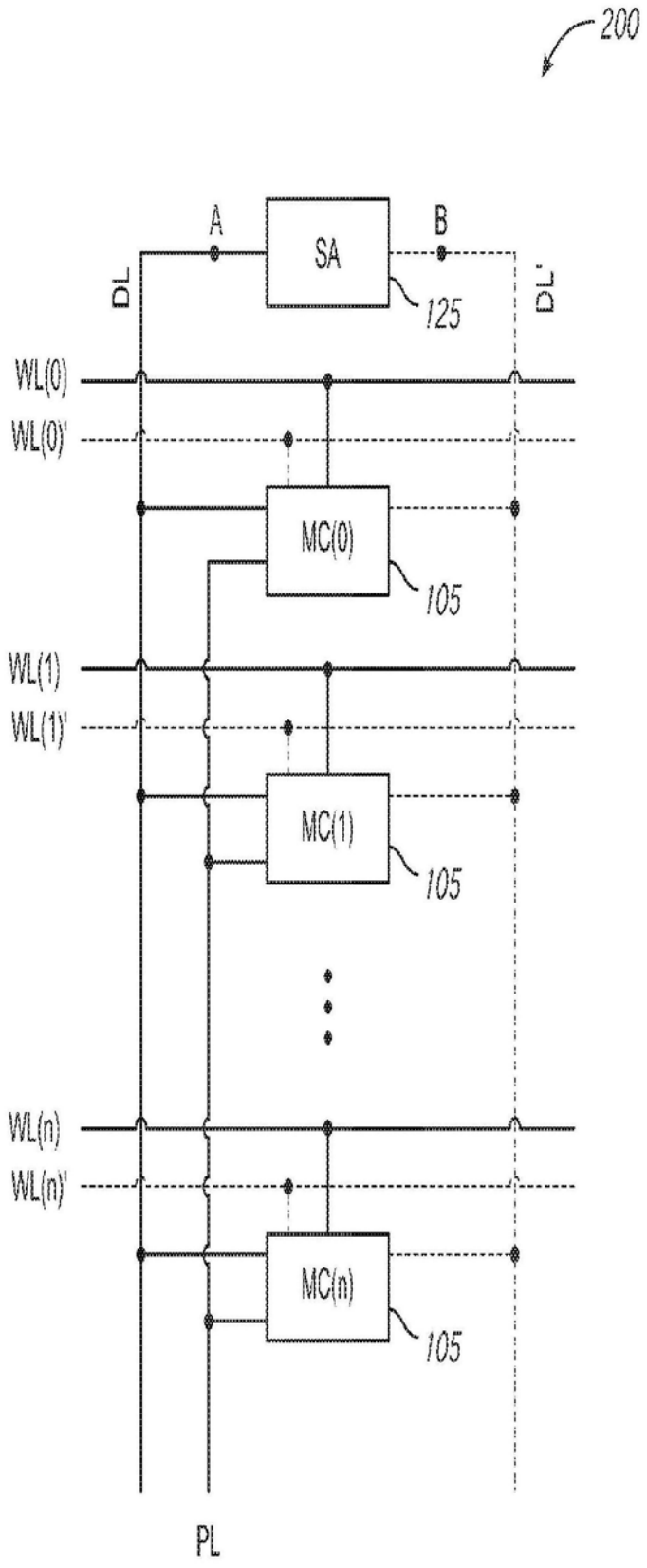

200
A
SA
B
DL
DL'
125
WL(0)
WL(0)'
MC(0)
105
WL(1)
WL(1)'
MC(1)
105
WL(n)
WL(n)'
MC(n)
105
PL

图2A

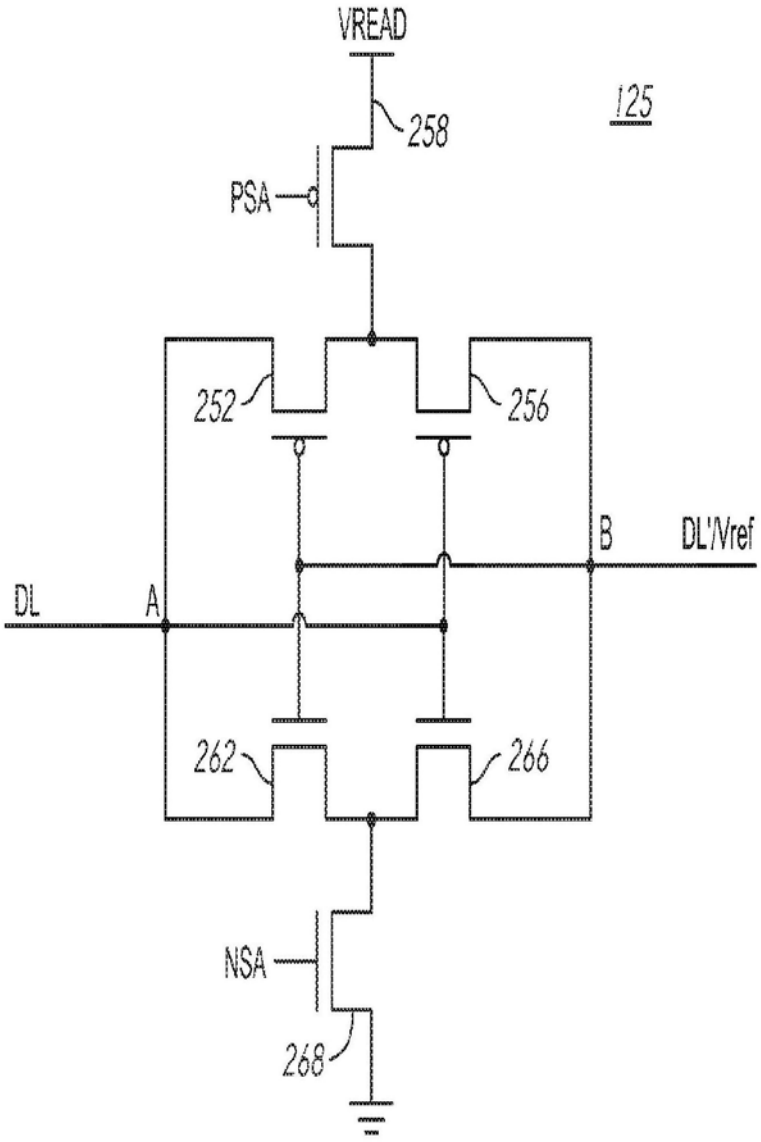


图2B

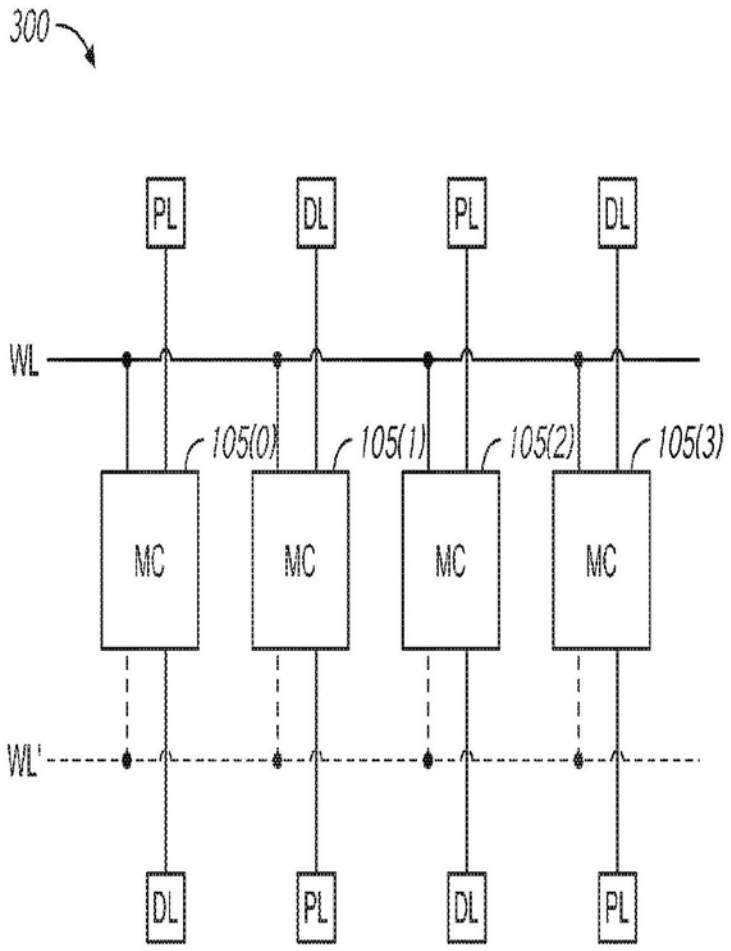


图3

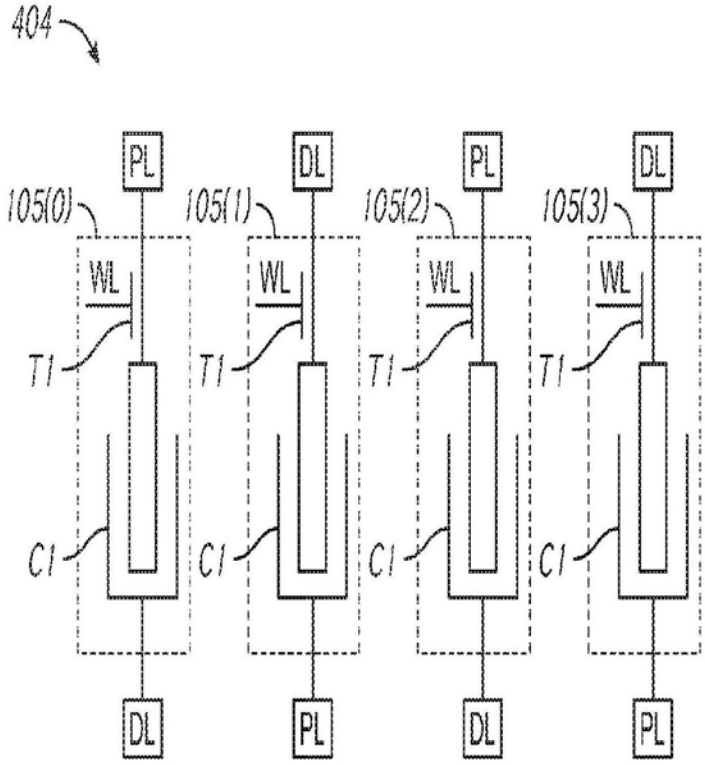

404
PL
DL
PL
DL
105(0)
105(1)
105(2)
105(3)
WL
WL
WL
WL
T1
T1
T1
T1
C1
C1
C1
C1
DL
PL
DL
PL

图4A

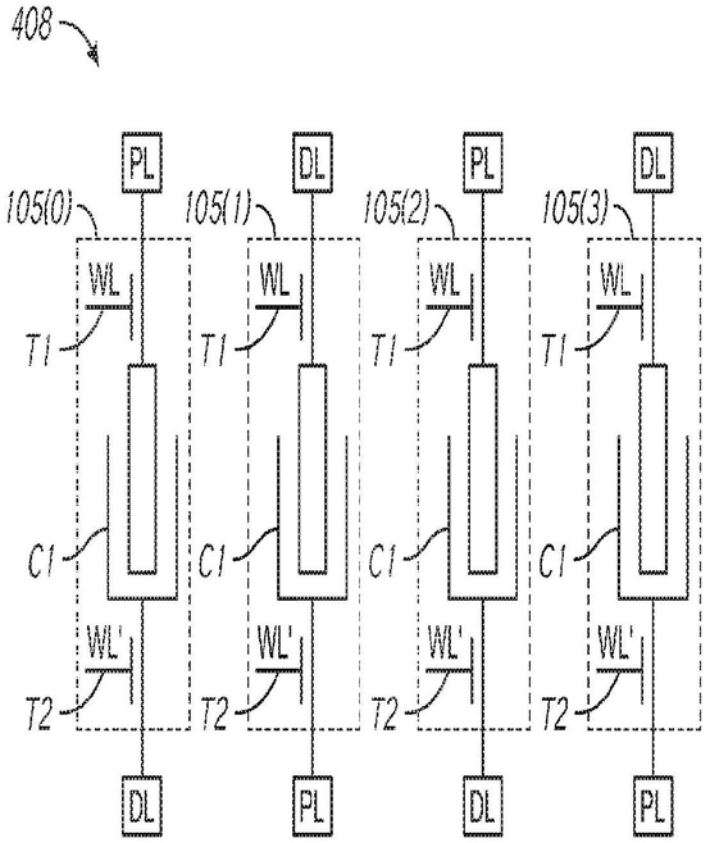


图4B

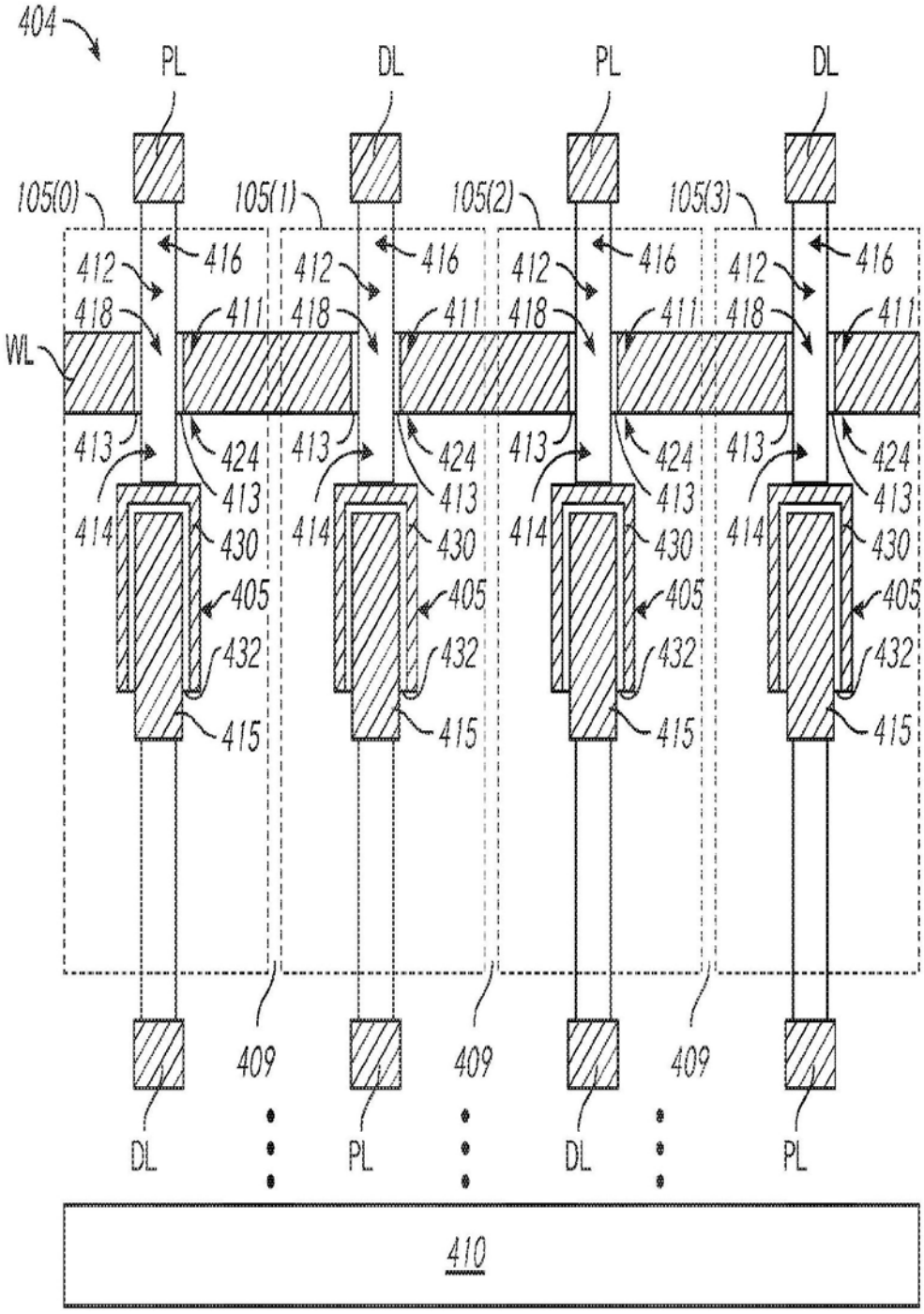

404
PL
DL
PL
DL
105(0)
105(1)
105(2)
105(3)
412
416
418
411
WL
413
424
414
430
405
432
415
409
DL
PL
DL
PL
410

图4C

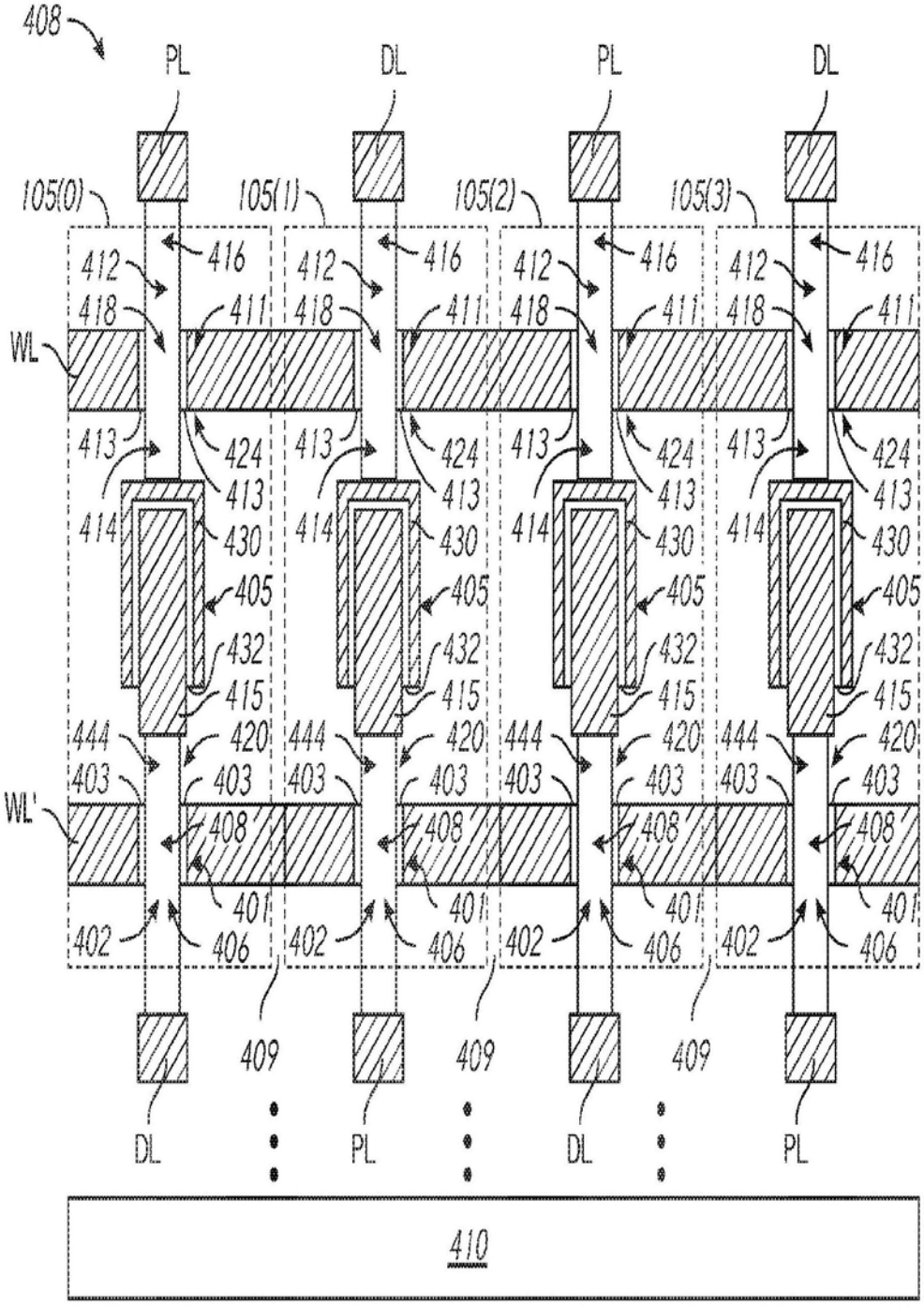

408
PL
DL
PL
DL
105(0)
105(1)
105(2)
105(3)
412
416
418
411
WL
413
424
414
430
405
432
415
444
420
403
WL'
408
401
402
406
409
DL
PL
DL
PL
410

图4D

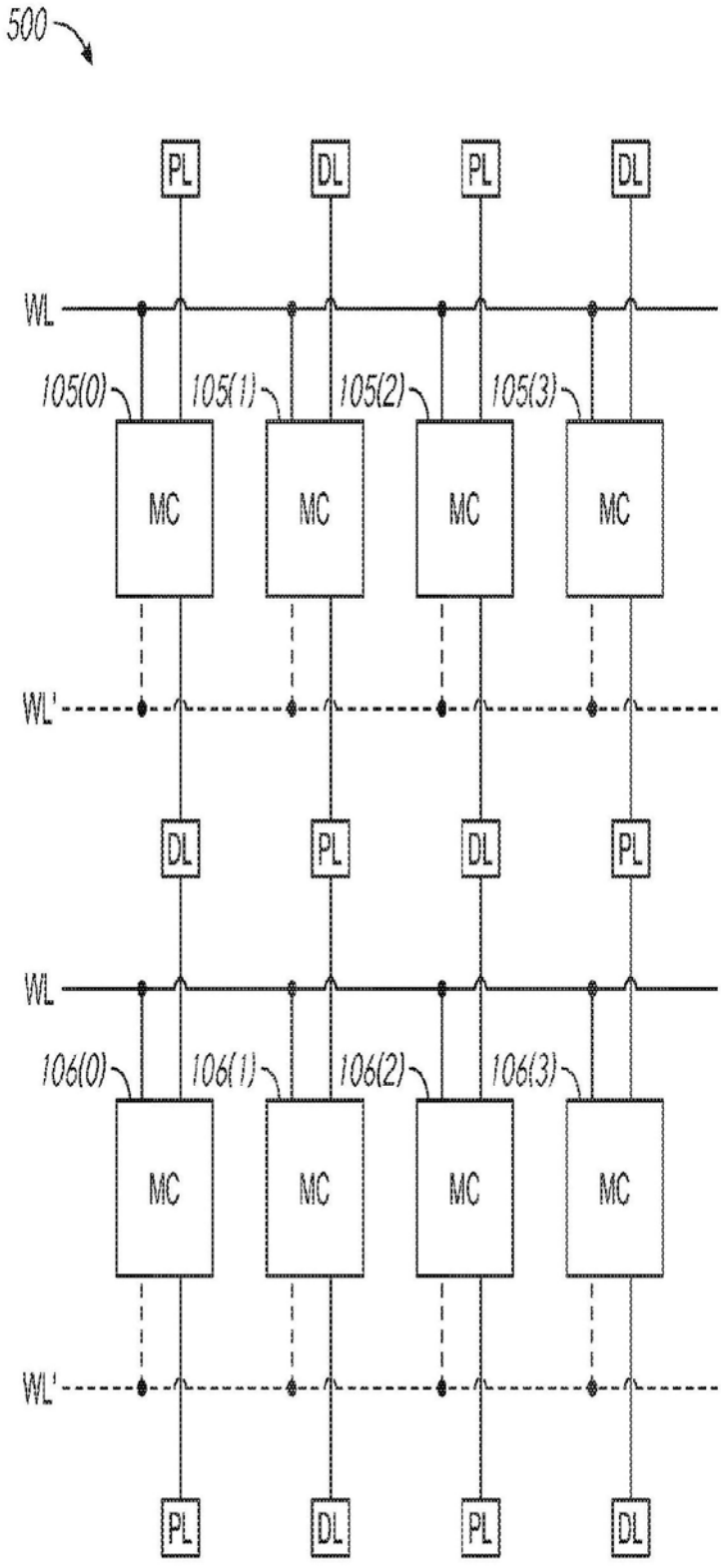

500
PL
DL
PL
DL
WL
105(0)
105(1)
105(2)
105(3)
MC
MC
MC
MC
WL'
DL
PL
DL
PL
WL
106(0)
106(1)
106(2)
106(3)
MC
MC
MC
MC
WL'
PL
DL
PL
DL

图5

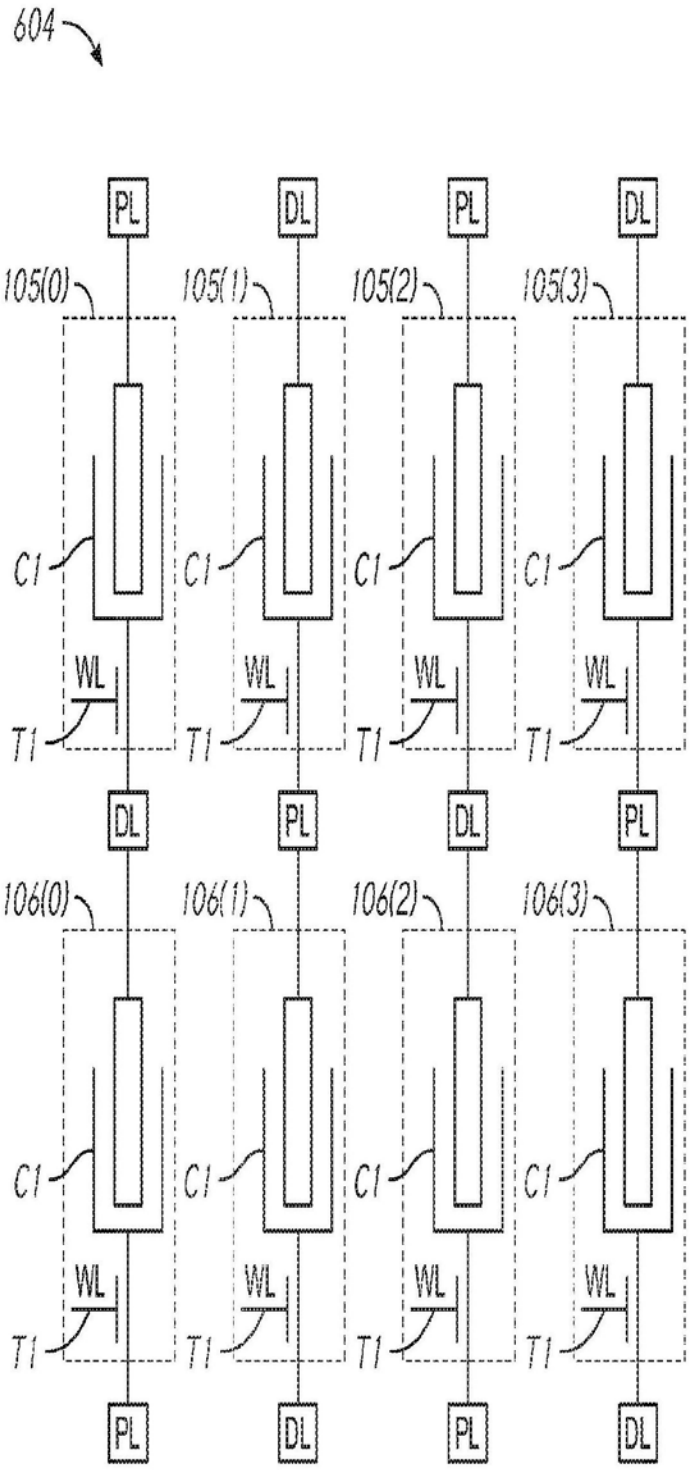


图6A

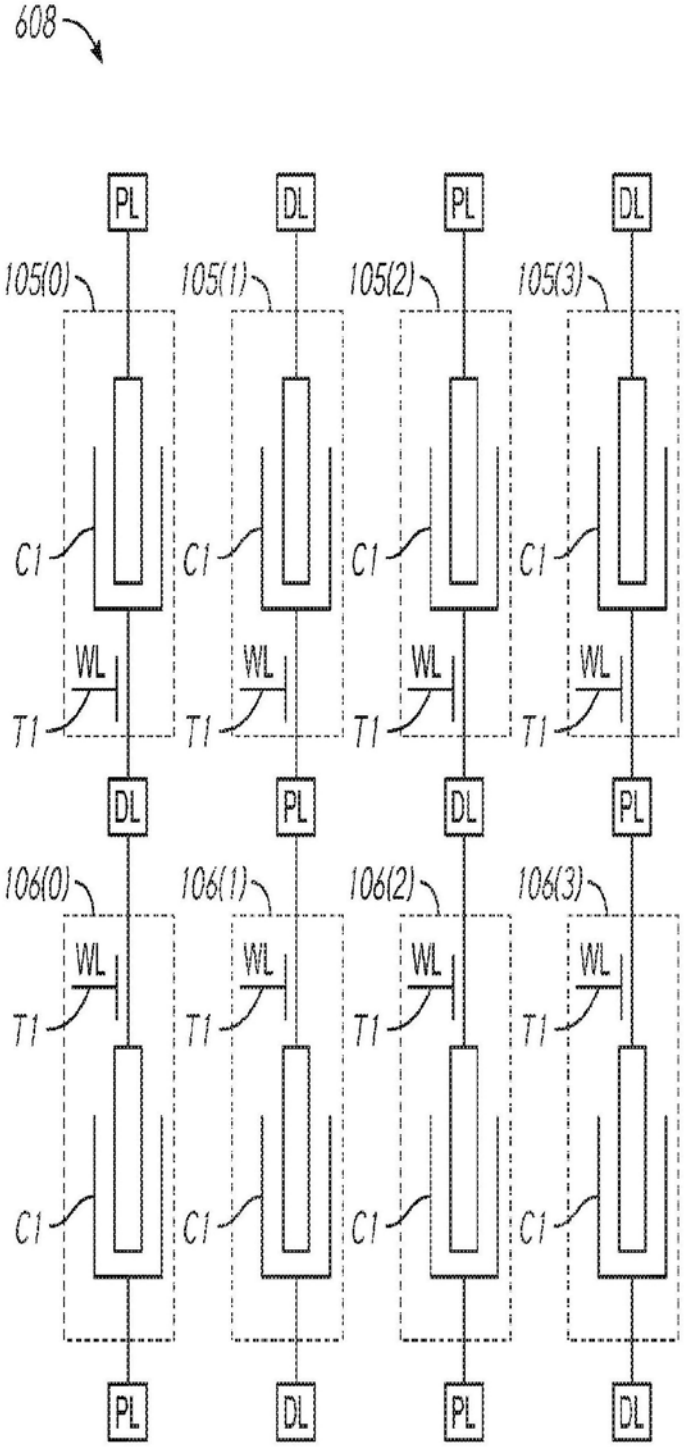

608
PL
DL
PL
DL
105(0)
105(1)
105(2)
105(3)
C1
C1
C1
C1
WL
WL
WL
WL
T1
T1
T1
T1
DL
PL
DL
PL
106(0)
106(1)
106(2)
106(3)
WL
WL
WL
WL
T1
T1
T1
T1
C1
C1
C1
C1
PL
DL
PL
DL

图6B

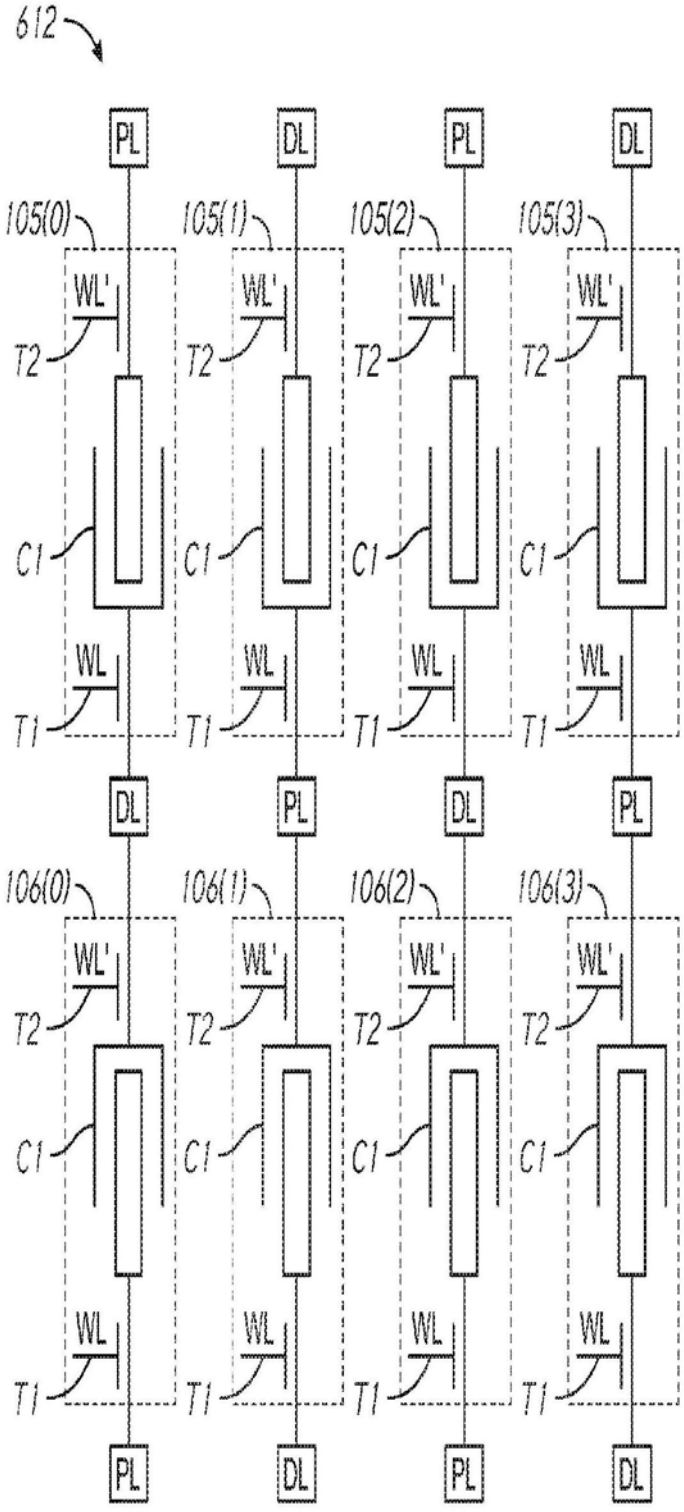


图6C

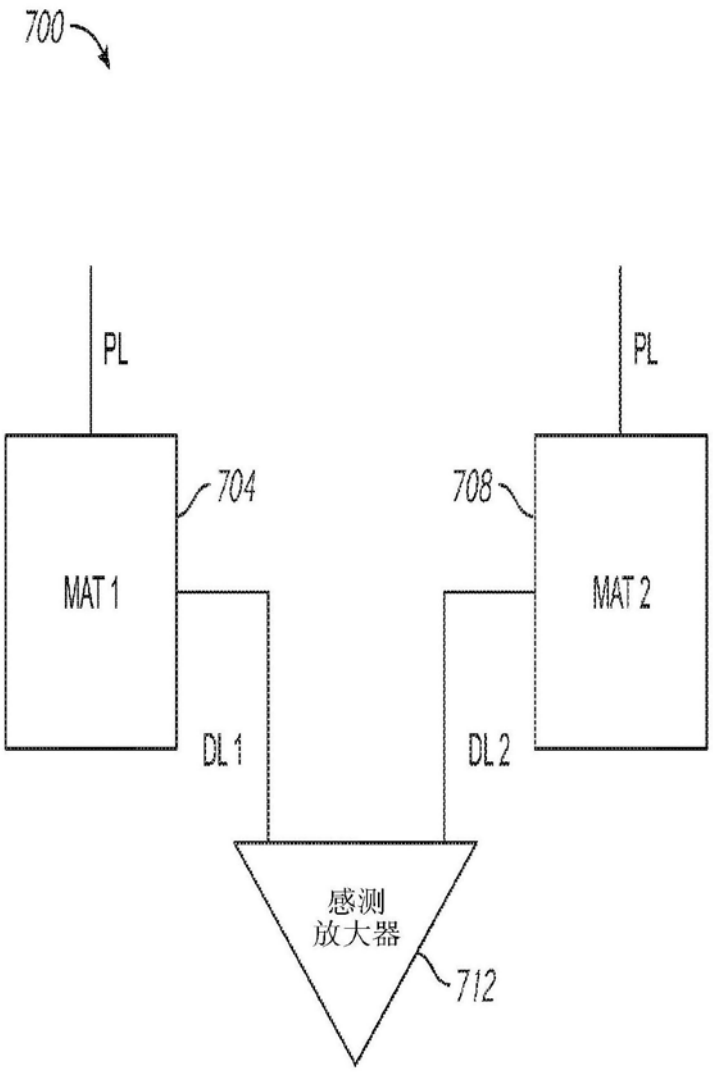


图7

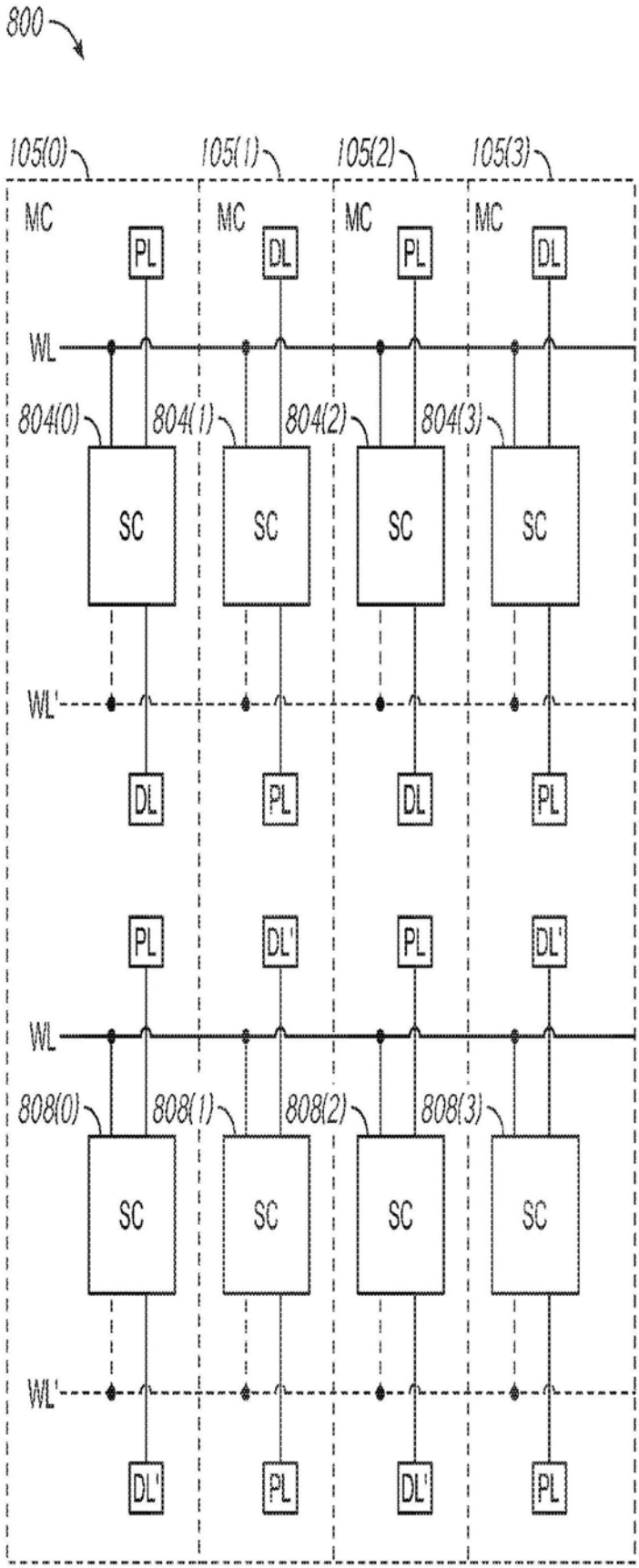

800
105(0)
105(1)
105(2)
105(3)
MC
PL
DL
WL
804(0)
804(1)
804(2)
804(3)
SC
WL'
DL'
808(0)
808(1)
808(2)
808(3)

图8

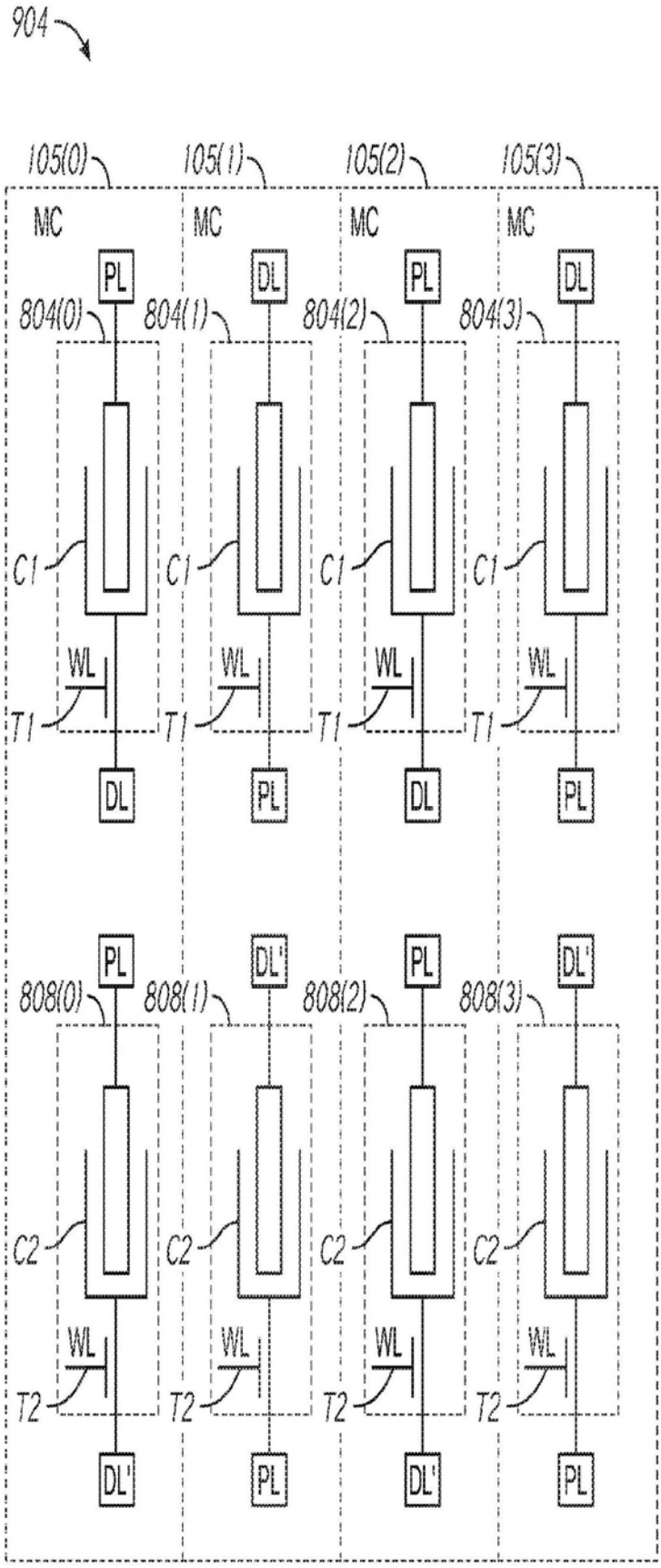

904
105(0)
105(1)
105(2)
105(3)
MC
PL
DL
804(0)
804(1)
804(2)
804(3)
C1
WL
T1
808(0)
808(1)
808(2)
808(3)
DL'
C2
T2

图9A

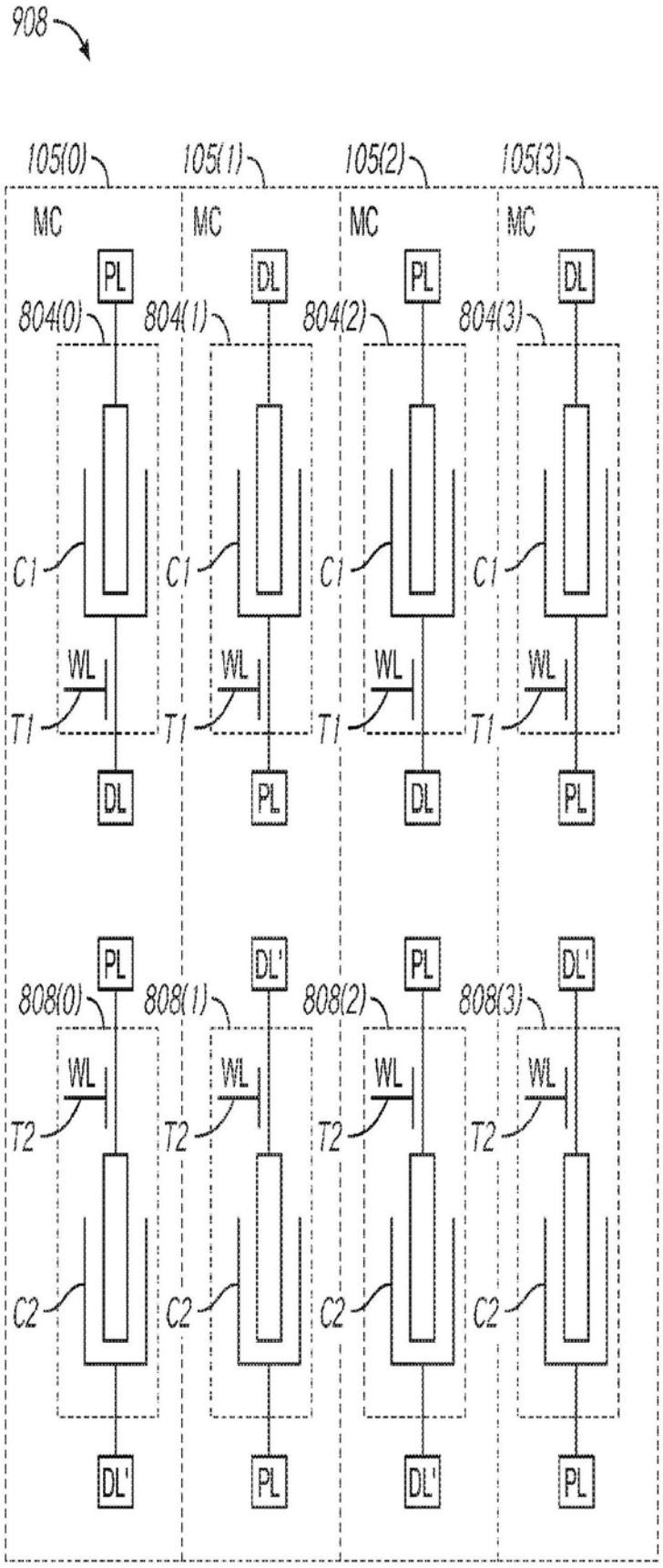

908
105(0)
105(1)
105(2)
105(3)
MC
PL
DL
804(0)
804(1)
804(2)
804(3)
C1
WL
T1
808(0)
808(1)
808(2)
808(3)
DL'
T2
C2

图9B

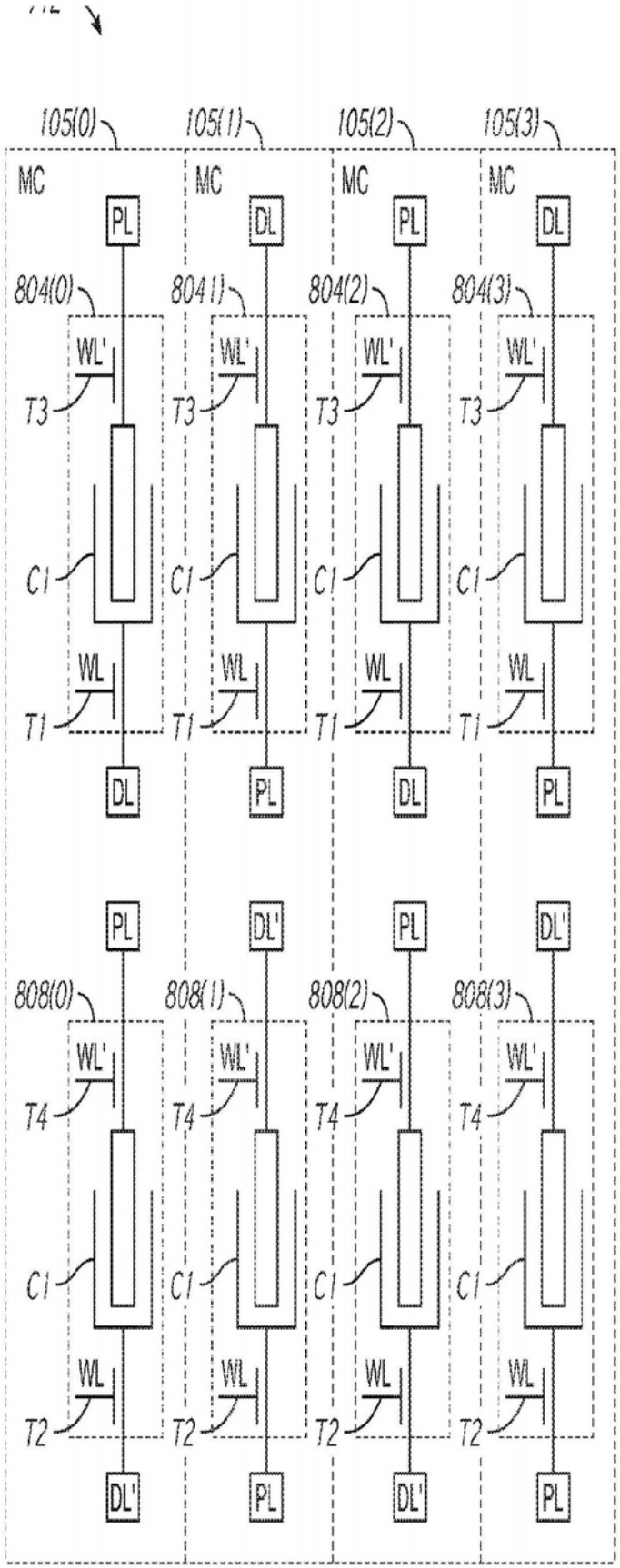

105(0)
105(1)
105(2)
105(3)
MC
PL
DL
804(0)
804(1)
804(2)
804(3)
WL'
T3
C1
WL
T1
DL'
808(0)
808(1)
808(2)
808(3)
T4
T2

图9C

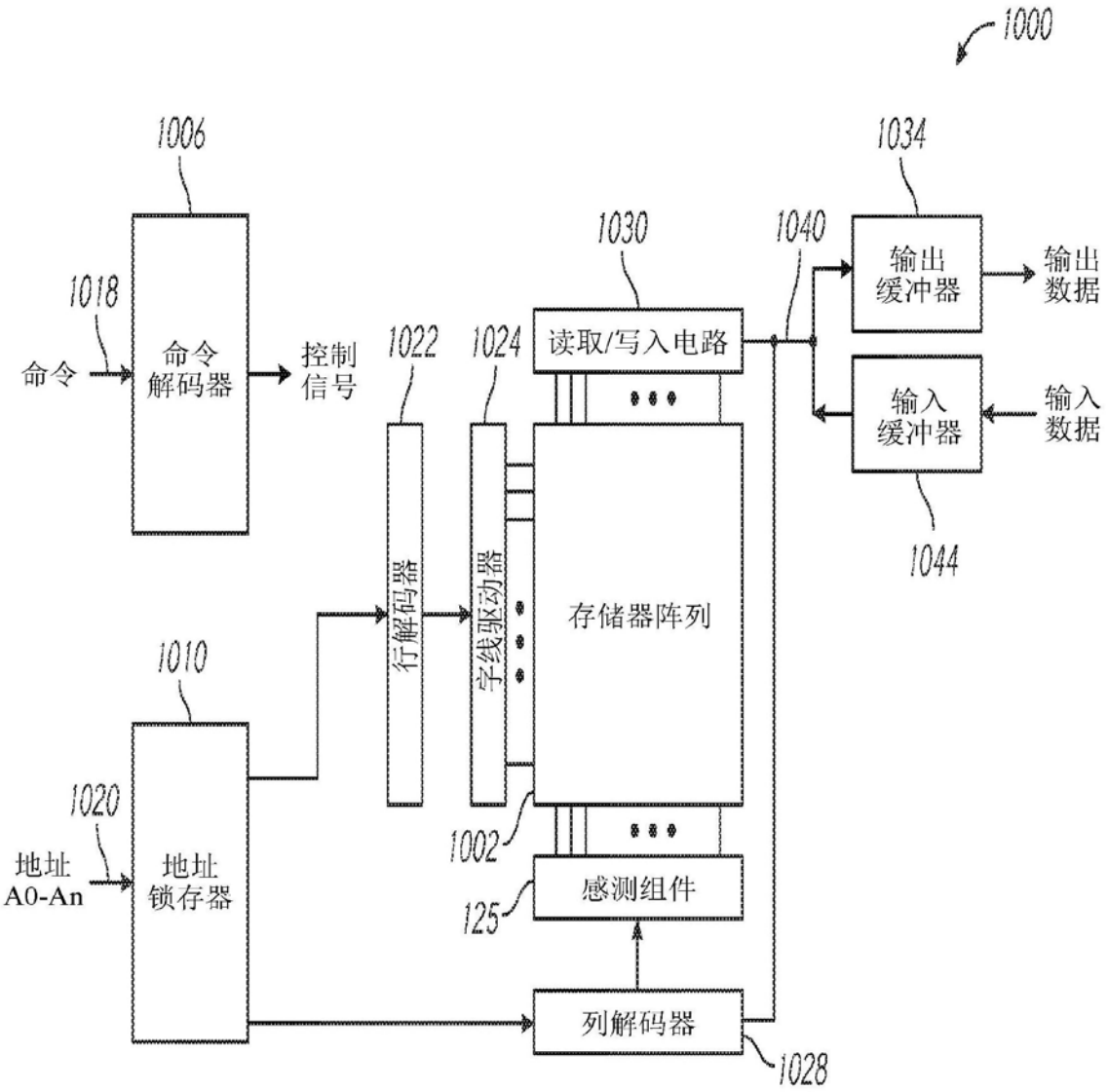

1000
1006
1034
1030
1040
1018
命令
命令解码器
控制信号
1022
1024
读取/写入电路
输出缓冲器
输出数据
输入缓冲器
输入数据
1044
行解码器
字线驱动器
存储器阵列
1010
1020
地址A0-An
地址锁存器
1002
感测组件
125
列解码器
1028

图10

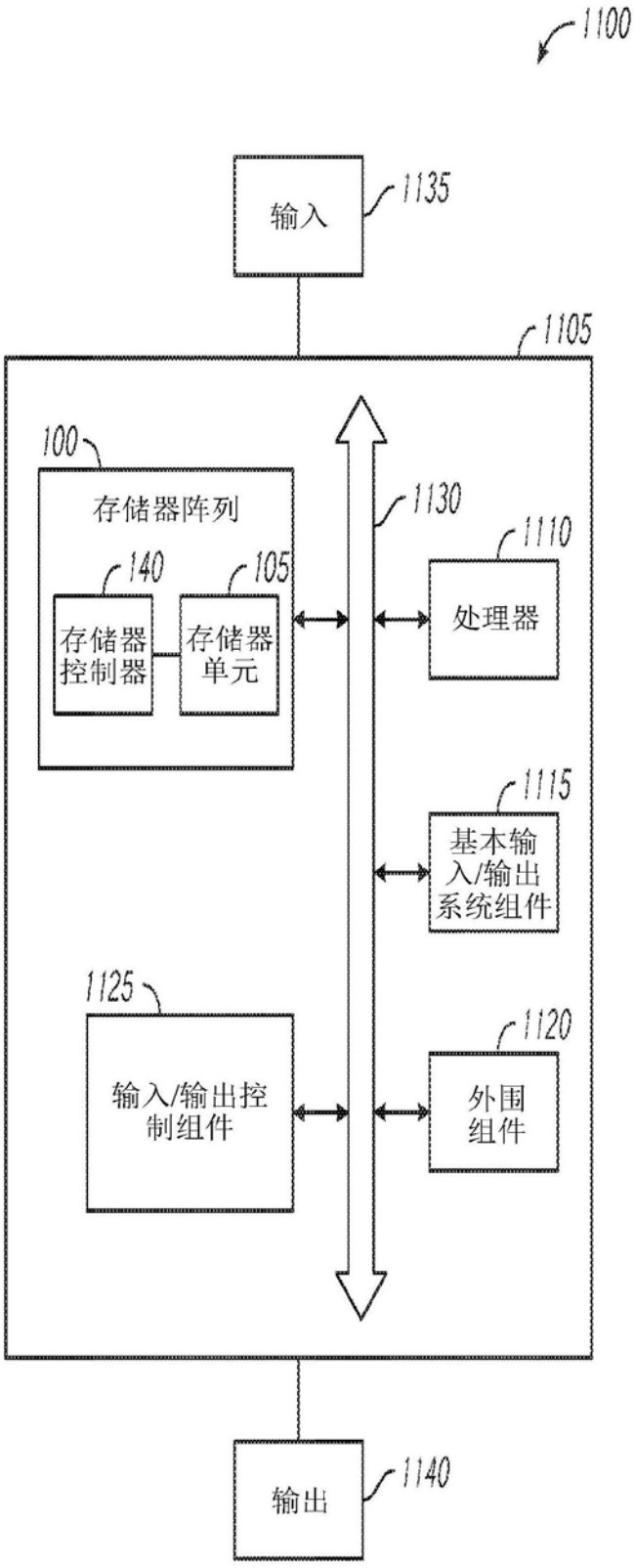

1100
输入
1135
1105
100
存储器阵列
140
存储器控制器
105
存储器单元
1130
1110
处理器
1115
基本输入/输出系统组件
1125
输入/输出控制组件
1120
外围组件
输出
1140

图11