



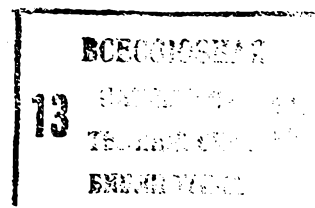
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1149243 A

4(5D) G 06 F 5/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3660847/24-24

(22) 02.11.83

(46) 07.04.85 Бюл. № 13

(72) В.Г.Чулошников и Ю.А.Иванов

(53) 681.325(088.8)

(56) 1. Авторское свидетельство СССР  
по заявке № 3540134/24,  
кл. G 06 F 5/02, 1983.

Авторское свидетельство СССР  
№ 732853. кл. G 06 F 5/02, 1979.  
(54) (57) РЕВЕРСИВНЫЙ ПРЕОБРАЗОВАТЕЛЬ  
ДВОИЧНОГО КОДА В ДВОИЧНО-ДЕСЯТИЧНЫЙ,  
содержащий двоичный регистр, шифра-  
тор десятичных эквивалентов, двоично-  
десятичный сумматор, двоично-десятич-  
ный регистр, генератор импульсов,  
распределитель импульсов, элемент  
ИЛИ, первый и второй элементы И, эле-  
мент НЕ, схему сравнения, четыре  
группы элементов И, первые входы эле-  
ментов И первой, второй и третьей  
групп соединены с соответствующими  
выходами распределителя импульсов,  
вторые входы элементов И первой груп-  
пы соединены с выходами двоичного  
регистра, входы которого соединены  
с выходами элементов И второй группы  
и с входами двоичного числа преобра-  
зователя, вторые входы элементов И  
второй группы соединены с выходом  
первого элемента И, с первым входом  
элемента ИЛИ, второй вход которого  
через элемент НЕ соединен с первым  
входом задания режима преобразовате-  
ля, с первыми входами первого и вто-  
рого элементов И и с вторыми входами  
элементов И третьей группы, выходы  
которых соединены с входами шифратора  
десятичных эквивалентов, выходы кото-  
рого соединены с первой группой вхо-

дов двоично-десятичного сумматора,  
вторая группа входов которого соеди-  
нена с выходами двоично-десятичного  
регистра, а выходы двоично-десятич-  
ного сумматора соединены с первой  
группой входов схемы сравнения и пер-  
выми входами элементов И четвертой  
группы, вторые входы которых соедине-  
ны с выходом элемента ИЛИ, а выходы  
элементов И четвертой группы соедине-  
ны с входами двоично-десятичного ре-  
гистра, вход распределителя импульсов  
соединен с выходом генератора импуль-  
сов, вход сброса которого соединен  
с выходом старшего разряда распреде-  
лителя импульсов, а вход запуска -  
с выходом второго элемента И, вторые  
входы первого и второго элементов И  
соединены соответственно с выходами  
"Больше" и "Равно" схемы сравнения,  
выходы элементов И первой группы сое-  
динены с входами шифратора десятичных  
эквивалентов, о т л и ч а ю щ и й -  
с я тем, что, с целью расширения  
функциональных возможностей путем  
обеспечения вычисления процентного  
отношения двоичных чисел, в него вве-  
дены буферный регистр, пятая и шес-  
тая группы элементов И, группа эле-  
ментов ИЛИ и третий элемент И, пер-  
вый вход которого соединен с вторым  
входом задания режима преобразова-  
теля, вход двоично-десятичных чисел  
которого соединен с первыми входами  
элементов И пятой группы, вторые  
входы которых соединены с первым  
входом задания режима преобразова-  
теля и с вторым входом третьего элемен-  
та И, выход которого соединен с пер-  
выми входами элементов И шестой груп-

(19) SU (11) 1149243 A

пы, вторые входы которых соединены с выходами двоично-десятичного сумматора, выходы элементов И пятой и шестой групп соединены соответственно с первыми и вторыми входами эле-

ментов ИЛИ группы, выходы которых соединены с входами буферного регистра, выходы которого соединены с второй группой входов схемы сравнения.

## 1

Изобретение относится к автоматике и цифровой вычислительной технике и может быть использовано при построении преобразователей кодов чисел, а также в аппаратуре допускового контроля и автоматического слежения за двоично-кодированными параметрами сигналов.

Целью изобретения является расширение функциональных возможностей устройства путем обеспечения вычисления процентного отношения двоичных чисел.

Сущность изобретения заключается в том, что помимо преобразований двоичного кода в двоично-десятичный и обратно, которые состоят в том, что последовательно суммируются двоично-десятичные эквиваленты тех разрядов двоичного кода, где имеет место код "единица", обеспечивается еще и вычисление процентного отношения кодов двоичных чисел согласно равенству

$$\theta = \frac{A \cdot 100}{2^k - 1} \approx \frac{A \cdot 100}{2^k} \quad (1)$$

На чертеже представлена функциональная схема предлагаемого реверсивного преобразователя двоичного кода в двоично-десятичный.

Преобразователь содержит двоичный регистр 1, шифратор 2 десятичных эквивалентов, двоично-десятичный сумматор 3, двоично-десятичный регистр 4, распределитель 5 импульсов, схему 6 сравнения, входы 7 двоично-десятичного числа, первый вход 8 задания режима, генератор 9 импульсов, первый элемент И 10, второй элемент И 11, элемент ИЛИ 12, элемент НЕ 13, входы 14 двоичного числа, первую, вторую, третью и четвертую груп-

## 2

пы элементов И 15-18, буферный регистр 19, пятую группу элементов И 20, третий элемент И 21 и второй вход 22 задания режима, шестую группу элементов И 23, группу элементов ИЛИ 24.

Преобразователь работает в трех режимах. В режиме 1 обеспечивается преобразование двоичного кода в двоично-десятичный, в режиме 2 - преобразование двоично-десятичного кода в двоичный и в режиме 3 - вычисление процентного отношения двоичных чисел.

В режиме 1 на первый и второй входы 8 и 22 подается нулевой потенциал.

Через входы 14 в двоичный регистр 1 записывается код преобразуемого двоичного числа. Затем включается генератор 9 импульсов. Первый импульс с первого выхода распределителя 5 импульсов опрашивает старший разряд двоичного регистра 1. При единичном значении разряда сигнал поступает на вход шифратора 2 десятичных эквивалентов, с выходов которого десятичный эквивалент старшего разряда заносится в двоично-десятичный сумматор 3. Следующий импульс с второго выхода распределителя 5 импульсов опрашивает следующий разряд регистра 1 и при наличии в нем единицы сигнал с выхода элемента И из группы 15 поступает на вход шифратора 2 десятичных эквивалентов. С выходов последнего десятичный эквивалент второго разряда поступает в сумматор 3, где суммируется с предыдущим значением и т.д. После опроса всех разрядов импульс с выхода распределителя 5 выключает генератор импульсов. Результат преобразования двоичного кода в двоично-десятичный хранится в сумматоре 3.

В режиме 2 на вход 8 подается единичный потенциал, а на вход 22 - нулевой потенциал. На входы 7 подается

потенциальный двоично-десятичный код преобразуемого числа, триггеры регистра 1 устанавливаются в нуль.

Затем включается генератор 9 импульсов и импульс с первого выхода распределителя 5 импульсов через открытый элемент И из группы 17 поступает на шифратор 2 эквивалентов, с выхода которого на сумматор 3 поступает двоично-десятичный эквивалент старшего двоичного разряда. Если код на входах 7 равен коду, поступающему с сумматора 3, сигнал с выхода равенства схемы 6 сравнения выключает генератор 9 импульсов. Если код на входах 7 больше кода, поступающего с сумматора 3, то открыты элементы И 18 четвертой группы, элемент И старшего разряда в группе 16. По окончании первого тактового импульса в двоично-десятичный регистр 4 записывается десятичный эквивалент старшего двоичного разряда и единица в старший разряд двоичного регистра 1. Если код на входах 7 меньше кода, поступающего с выходов сумматора 3, то регистр 4 и регистр 1 после первого такта не изменяют своих значений. Второй тактовый импульс через открытый элемент И из группы 17 поступает на следующий вход шифратора 2 эквивалентов, с выходом которого на сумматор 3 поступает десятичный эквивалент следующего двоичного разряда. С выходов сумматора 3 на схему 6 сравнения поступает сумма эквивалента второго разряда и содержимого регистра 4. Если код суммы равен коду на шинах 7, то сигнал со схемы 6 сравнения выключает генератор 9 импульсов. Если код на входах 7 больше кода, поступающего с выходов сумматора 3, то открыты элементы И из группы 18 и элементы И из группы 16. По окончании второго тактового импульса в двоично-десятичный регистр 4 записывается упомянутая сумма и единица во второй разряд регистра 1. В противном случае содержимое регистра 4, сумматора 3 и регистра 1 не изменится и т.д. Таким образом, после выключения генератора 9 выходным сигналом распределителя 5 импульсов (или ранее) в регистре 1 будет содержаться двоичный эквивалент преобразуемого двоично-десятичного числа. Результат преобразования двоично-десятичного кода в двоичный хранится в регистре [1].

Быстродействие устройства при прямом и обратном преобразовании остается одинаковым, поскольку число тактов работы устройства в обоих режимах равно числу разрядов преобразуемых чисел.

В режиме 3 на входы 8 и 22 подается нулевой потенциал. Через входы 14 в двоичный регистр 1 записывается двоичный код числа А, преобразуемого в процентное отношение. Затем включается генератор 9 импульсов. Первый импульс с первого выхода распределителя импульсов опрашивает старший разряд преобразуемого кода двоичного регистра 1. При единичном значении разряда сигнал поступает на вход шифратора 2 десятичных эквивалентов, с выходов которого десятичный эквивалент старшего разряда заносится в двоично-десятичный сумматор 3. Следующий импульс с второго выхода распределителя 5 импульсов опрашивает следующий разряд регистра 1 и при наличии в нем единицы сигнал с выхода элемента И группы 15 поступает на вход шифратора 2 десятичных эквивалентов. С выхода последнего десятичного эквивалента второго разряда поступает в сумматор 3, где суммируется с предыдущим значением и выключает генератор импульсов. На этом заканчивается преобразование двоичного кода числа А в двоично-десятичный код. Результат преобразования хранится в сумматоре 3. Затем на вход 8 подается единичный потенциал, а на вход 22 — положительный импульс, и двоично-десятичный код числа А из сумматора 3 через открытые элементы группы 23 записывается в буферный регистр 19 со сдвигом на восемь разрядов в сторону старших, обеспечивая таким образом операцию умножения числа А на 100. Операция записи содержимого сумматора 3 в буферный регистр 19 со сдвигом обеспечивается тем, что выход первого разряда сумматора 3 соединен с тем же элементом И группы 23, к второму входу которого подключен вход девятого разряда, аналогично выход второго разряда сумматора 3 соединен с тем же элементом И из группы 23, к второму входу которого подключен вход десятичного разряда и т.д. Таким образом, на входе схемы 6 сравнения устанавливается потенциальный двоично-десятичный код величины

А.100. После чего триггеры регистра 1 устанавливаются в нуль и включается генератор 9 импульсов. Начиная с этого момента, устройство работает так, как это было описано в режиме 2. Результат  $B$  преобразования двоичного кода числа  $A$  согласно равенству (1) хранится в регистре 1. Операция деления на число  $2^k$  согласно (1) обеспечивается тем, что при считывании результата  $B$  из регистра 1

выход  $k$ -го разряда регистра 1 соответствует первому разряду выходного кода процентного отношения, выход  $(k+1)$ -го разряда регистра 1 - второму разряду и т.д.

Таким образом, для вычисления процентного отношения двоичных чисел достаточно выполнить прямое и обратное преобразования без дополнительных затрат времени на выполнение согласно (1) операций умножения и деления.

