

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 16/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월22일 10-0614066 2006년08월11일
---	-------------------------------------	--

(21) 출원번호	10-1999-0020638	(65) 공개번호	10-2000-0047411
(22) 출원일자	1999년06월04일	(43) 공개일자	2000년07월25일

(30) 우선권주장	98-358731	1998년12월17일	일본(JP)
(73) 특허권자	후지쯔 가부시끼가이샤 일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1		
(72) 발명자	후쿠오카이꾸토 일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4-1-1 후지쓰가부 시키가이샤내		
(74) 대리인	문기상 문두현		

심사관 : 조명관

(54) 불휘발성 반도체 기억 장치

요약

본 발명은 초기 데이터가 저장되어 있는 영역에 다른 데이터가 덮어 쓰여져도 초기 데이터를 부활시킬 수 있도록 하는 것이다.

본 발명은 플로팅 게이트(FG)에 전자 등의 전하를 축적하는, 또는 하지 않는 것에 의해 데이터를 기억하는 메모리셀을 갖는 반도체 기억 장치에 있어서, 그 메모리셀을 제1 전하 교환 능력을 갖는 제1 메모리셀(Q2)과 제2 전하 교환 능력을 갖는 제2 메모리셀(Q3)로 함으로써, 부활시키고자 하는 데이터를 기억시키는 것을 특징으로 한다. 메모리셀로의 전면 소거를 행함으로써 메모리셀이 다른 전하 교환 능력에 따라서 다른 임계 전압 상태로 할 수 있어, 부활시키고자 하는 초기 데이터의 판독이 가능해진다.

대표도

도 2

색인어

플래시 메모리, 플로팅 게이트

명세서

도면의 간단한 설명

도1은 본 실시예의 전하 교환 능력이 다른 메모리셀의 예를 나타내는 단면도.

도2는 전하 교환 능력이 다른 메모리셀과 통상의 프로그램 상태 또는 소거 상태의 메모리셀의 임계 분포를 나타내는 도면.

도3은 전자의 주입 능력의 차를 이용한 경우의 임계 전압의 분포를 나타내는 도면.

도4는 본 실시예의 플래시 메모리의 구성도.

도5는 초기 데이터를 부활시키는 경우의 임계 분포의 변화를 나타내는 도면.

도6은 본 실시예의 플래시 메모리의 응용례를 나타내는 도면.

도7은 도 6의 응용례에 있어서 부팅 프로그램을 부활시킬 때의 플로차트.

(부호의 설명)

MC 메모리셀

CG 컨트롤 게이트

G 플로팅 게이트

Q2, Q3 전하 교환 능력이 다른 메모리셀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플로팅 게이트에 전하를 축적하는, 또는 축적하지 않는 것에 의해 데이터의 기억을 하는 불휘발성 반도체 기억 장치에 관한 것으로, 특히 통상의 기입이나 소거 동작을 해도 소정의 초기 데이터를 재차 판독할 수 있는 불휘발성 반도체 기억 장치에 관한 것이다.

플로팅 게이트를 갖는 EEPROM은 전원이 단절되어도 기억을 잃지 않기 때문에, 불휘발성 반도체 기억 장치로서 장기간에 걸쳐서 보존해야 할 데이터나 프로그램 등의 기억에 이용된다. 이와 같은 EEPROM은 소정의 블록 마다의 소거를 하는 플래시 메모리로서도 이용되고, 이와 같은 플래시 메모리는, 예를 들면 마이크로 프로세서에 내장되는 프로그램용의 메모리로서 이용된다.

마이크로 프로세서 등에 내장되는 불휘발성 반도체 기억 장치(이하 간단히 예시적으로 플래시 메모리로 칭함)에, 데이터나 프로그램을 기입하려면 첫 번째로, 외부의 기입 장치를 사용하여 기입하는 방법, 두 번째로, 외부의 기입 장치를 이용해 일단 부팅 프로그램을 기입하고, 그 후에 부팅 프로그램을 이용해 본래의 데이터나 프로그램을 기입하는(다운로드) 방법, 세 번째로, 상기의 부팅 프로그램을 기록한 ROM을 별도 설치하고, 그 ROM 내의 부팅 프로그램을 이용해 본래의 데이터나 프로그램을 기입하는(다운로드) 방법 등이 있다.

상기의 첫 번째 방법은 기입에 필요로 하는 공정수가 많아서 현실적이지 않다. 또 세 번째 방법은 데이터나 프로그램의 다운로드용의 부팅 프로그램을 저장한 ROM을 별도 설치할 필요가 있어 바람직하지 않다. 따라서 상기의 두 번째 방법이 가장 효율적이고 저비용이다.

발명이 이루고자 하는 기술적 과제

그러나 플래시 메모리의 기억 용량을 최대한 이용해 대용량의 데이터나 프로그램을 다운로드하기 위해서는 미리 저장되어 있는 부팅 프로그램을 기억하고 있는 영역에 덮어쓰기를 할 필요가 있다. 이 부팅 프로그램은 1차 데이터나 프로그램이 다운로드되면 그 후에는 이용되지 않는 프로그램이므로, 이와 같은 덮어쓰기를 해도 아무런 지장은 없을 것이다.

단, 예를 들면 부팅 프로그램을 기억하고 있는 영역에 덮어쓰기를 한 후에, 그 기입한 데이터나 프로그램의 변경이 필요해지는 경우가 있다. 또는 다운로드의 도중에 무언가의 동작의 이상이 발생하여, 부팅 프로그램은 소실했지만 정상으로 다운로드를 완료할 수 없는 경우가 있다. 이와 같은 경우, 이미 부팅 프로그램은 소실해 버렸으므로, 재차 데이터나 프로그램을 다운로드하려고 하여도 이를 위한 부팅 프로그램이 존재하지 않아, 마이크로 프로세서에로의 데이터나 프로그램의 기입을 할 수 없게 되는 과제가 있다.

그래서 본 발명의 목적은 잘못하여 부팅 프로그램 등의 초기 데이터를 소거해 버려도, 나중에 그 초기 데이터를 관독할 수 있는 불휘발성 반도체 기억 장치를 제공하는 것에 있다.

또한 본 발명의 목적은 소정의 데이터 등이 덮어쓰여진 후에, 메모리셀을 덮어쓰기 전의 상태로 복귀시킬 수 있고, 덮어쓰기 전의 기억 데이터의 관독이 가능한 불휘발성 반도체 기억 장치를 제공하는 것에 있다.

또한 본 발명의 목적은 상기의 목적의 불휘발성 반도체 기억 장치를 갖는 마이크로 프로세서를 제공하는 것에 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위해서 본 발명은 플로팅 게이트에 전자 등의 전하를 축적하는, 또는 하지 않는 것에 의해 데이터를 기억하는 메모리셀을 갖는 반도체 기억 장치에 있어서, 또한 그 메모리셀을 제1 전하 교환 능력을 갖는 제1 메모리셀과 제2 전하 교환 능력을 갖는 제2 메모리셀로 함으로써, 부활시키고자 하는 데이터를 기억시키는 것을 특징으로 한다. 메모리셀에로의 전면 소거 또는 전면 기입(프로그램)을 함으로써, 메모리셀이 다른 전하 교환 능력에 따라서 다른 임계 전압 상태로 할 수 있고, 부활시키고자 하는 데이터의 관독이 가능해진다.

상기의 목적을 달성하기 위해서 본 발명은 플로팅 게이트에 전하를 축적함으로써 데이터를 기억하는 복수의 메모리셀을 갖는 불휘발성 반도체 기억 장치에 있어서,

상기 플로팅 게이트의 전하의 교환에 대해서 제1 전하 교환 능력을 갖는 제1 메모리셀군과,

상기 제1 교환 능력보다 높은 제2 전하 교환 능력을 갖는 제2 메모리셀군을 갖는 것을 특징으로 한다.

상기의 발명에 있어서, 상기 메모리셀은 제1 도전형의 반도체 기판 표면에 형성되고, 상기 반도체 기판 표면에 형성된 제2 도전형의 소스 영역 및 드레인 영역과, 상기 소스, 드레인 영역 간의 상기 제1 도전형의 채널 영역 상에 형성된 상기 플로팅 게이트와, 상기 플로팅 게이트 상에 형성된 컨트롤 게이트를 가지며,

상기 제1 메모리셀군의 상기 채널 영역은 상기 제2 메모리셀군의 상기 채널 영역과 불순물 농도가 다른 것을 특징으로 한다.

또한 상기의 발명에 있어서,

상기 메모리셀은 상기 플로팅 게이트 상에 컨트롤 게이트를 가지며,

또한 제1 관독시에, 상기 컨트롤 게이트에 제1 관독 전위를 인가하고, 상기 제1 관독시와 다른 제2 관독시에 상기 컨트롤 게이트에 상기 제1 관독 전위와 다른 제2 관독 전위를 인가하는 관독 레벨 생성 회로를 갖는 것을 특징으로 한다.

상기의 목적을 달성하기 위해서 본 발명은 플로팅 게이트에 전하를 축적함으로써 데이터를 기억하는 복수의 메모리셀을 갖는 불휘발성 반도체 기억 장치에 있어서,

상기 플로팅 게이트의 전하의 교환에 대해서 제1 전하 교환 능력을 갖는 제1 메모리셀과, 상기 제1 교환 능력보다 높은 제2 전하 교환 능력을 갖는 제2 메모리셀을 갖는 제1 메모리 영역과,

상기 제1 또는 제2 전하 교환 능력의 어느 한쪽을 갖는 메모리셀을 갖는 제2 메모리 영역을 갖는 것을 특징으로 한다.

상기의 발명에 있어서,

상기 메모리셀은 상기 플로팅 게이트 상에 컨트롤 게이트를 가지며,

제1 판독시에 상기 컨트롤 게이트에 제1 판독 전위를 인가해 상기 제1 데이터를 판독하고, 상기 제1 판독시와 다른 제2 판독시에, 상기 컨트롤 게이트에 상기 제1 판독 전위와 다른 제2 판독 전위를 인가하여, 상기 플로팅 게이트의 전하 축적 상태에 따른 제2 데이터를 판독하는 것을 특징으로 한다.

또한 상기의 발명에 있어서, 상기 제1 데이터는 에러 검출 코드를 가지며, 상기 제1 데이터의 판독시에 있어서, 상기 에러 검출 코드를 이용해 상기 제1 데이터가 판독되는 것을 특징으로 한다.

상기의 목적을 달성하기 위해서 본 발명은 플로팅 게이트에 전하를 축적함으로써 데이터를 기억하는 복수의 메모리셀을 갖는 불휘발성 메모리 영역을 갖는 마이크로 프로세서에 있어서,

상기 불휘발성 메모리 영역은 상기 플로팅 게이트의 전하의 교환에 대해서 제1 전하 교환 능력을 갖는 제1 메모리셀과, 상기 제1 교환 능력보다 높은 제2 전하 교환 능력을 갖는 제2 메모리셀을 갖는 제1 메모리 영역과, 상기 제1 또는 제2 전하 교환 능력을 갖는 메모리셀을 갖는 제2 메모리 영역을 가지며,

상기 제1 메모리 영역 내에 상기 제1 및 제2 메모리셀의 조합에 의해 부팅용 프로그램이 기록되는 것을 특징으로 한다.

상기의 발명에 의하면, 덮어쓰여져도 부팅용 프로그램을 부활시킬 수 있다.

(실시예)

이하 도면을 참조해서 본 발명의 실시예를 설명한다. 그러나 이러한 실시예가 본 발명의 기술적 범위를 한정하는 것은 아니다.

도1은 본 실시예의 전하 교환 능력이 다른 메모리 셀의 예를 나타내는 단면도다. 도1에 병기된 메모리 셀(Q2, Q3)은, 모두 P형의 반도체 기판(10)의 표면에 N형의 소스 영역(2)과 드레인 영역(3)이 설치된다. 그리고 이들 영역 간의 채널 영역(4) 상에 절연막을 개재해서 플로팅 게이트(FG)가 설치되고, 또한 그 위에 다른 절연막을 개재해서 컨트롤 게이트(CG)가 설치된다.

이들 메모리 셀(Q2, Q3)의 플로팅 게이트(FG)에는 예를 들면 전자가 주입됨으로써 메모리 셀의 트랜지스터로서의 임계 전압이 높아지고, 주입된 전자가 인출됨으로써 임계 전압이 낮아진다. 전자를 주입하는 경우는 드레인 영역(3)을 높은 전압으로 하고, 소스 영역(2)을 접지 전위로 하고, 컨트롤 게이트(CG)를 높은 전압으로 함으로써, 채널 영역에서 플로팅 게이트(FG) 내에 전자를 주입한다. 이러한 동작은 기입 동작 또는 프로그램 동작으로서, 메모리 셀은 전자가 주입됨으로써 그 임계 전압이 높아지는 데이터 "0"의 상태가 된다. 또 전자를 인출하는 경우는 드레인 영역(3)을 플로팅 상태로 하고, 소스 영역(2)을 높은 전위로 하여, 컨트롤 게이트(CG)를 낮은 전위 또는 부의 전위로 한다. 그 결과, 플로팅 게이트(FG)에 축적된 전자가 소스 영역(2) 측으로 인출되어 임계가 낮아진다. 이 동작은 소거 동작으로서, 메모리셀은 전자가 인출됨으로써 데이터 "1"의 상태가 된다.

도1에 나타난 메모리 셀(Q2, Q3)은 그 전하 교환 능력에 차가 있다. 즉 플로팅 게이트로부터 전하를 인출하는 능력 또는 전하를 주입하는 능력에 차가 있다. 도1의 예에서는 메모리 셀(Q2)의 채널 영역(4)에 P형의 불순물이 추가적으로 이온 주입되고, 예를 들면 소스 영역(2)과 플로팅 게이트(FG)의 중첩 면적이 메모리 셀(Q3)보다도 작게 형성된다. 이러한 불순물 농도의 차이에 따른 구성의 차이로부터, 예를 들면 플로팅 게이트(FG) 내의 전하인 전자가 소스 영역(2)측으로 인출되는 속도, 즉 전하 교환 능력에 차가 발생하게 된다. 즉 상기한 소스 영역을 높은 전위로 하고, 컨트롤 게이트(CG)를 낮은 또는 부의 전위로 하는 소거 펄스를, 데이터 "0"의 상태에서부터 양방의 메모리 셀에 인가한 경우, 동일한 회수의 소거 펄스를 인가한 결과, 양 메모리셀(Q2, Q3) 간에서 인출된 전자의 양에 차가 발생한다. 따라서 이 플로팅 게이트(FG) 내의 전자의 양의 차를 임계의 차로 판독하는 것이 가능해진다.

도1에 나타난 메모리셀(Q2, Q3)은 그 전하 교환 능력에 차가 있다. 즉 플로팅 게이트로부터 전하를 인출하는 능력 또는 전하를 주입하는 능력에 차가 있다. 도1의 예에서는 메모리셀(Q2)의 채널 영역(4)에 P형의 불순물이 추가적으로 이온 주입되고, 예를 들면 소스 영역(2)과 플로팅 게이트(FG)와의 중첩 면적이 메모리셀(Q3)보다도 작게 형성된다. 이와 같은 불순물 농도의 차에 따른 구성의 차로부터, 예를 들면 플로팅 게이트(FG) 내의 전하인 전자가 소스 영역(2) 측에 인출되는 속도, 즉 전하 교환 능력에 차이가 발생하게 된다. 즉 상기한 소스 영역을 높은 전위로 하고, 컨트롤 게이트(CG)를 낮은 또는 부의 전위로 하는 소거 펄스를 데이터 "0"의 상태에서부터 양방의 메모리셀에 인가한 경우, 동일한 회수의 소거 펄스를 인가한 결과, 양 메모리셀(Q2, Q3) 간에서 인출된 전자의 양에 차가 발생한다. 따라서 그 플로팅 게이트(FG) 내의 전자의 양의 차를 임계의 차로써 판독할 수 있게 된다.

도2는 전하 교환 능력이 다른 메모리셀과 통상의 프로그램 상태 또는 소거 상태의 메모리셀의 임계 분포를 나타내는 도면이다. 도2의 횡축은 메모리셀의 임계 전압을 나타내고, 세로축은 메모리셀의 수를 나타낸다. 도2에는 통상의 판독 전압(VR), 기입 베리파이 레벨(VF0), 소거 베리파이 레벨(VF1) 및 전하 교환 능력에 의한 초기 데이터에 대한 판독 전압(BR), "0" 베리파이 레벨(BV0), "1" 베리파이 레벨(BV1)이 나타난다.

도1에 나타난 메모리셀은 모두, 프로그램됨으로써 플로팅 게이트에 전자가 주입되어 임계 전압이 높은 데이터 "0"의 상태와, 소거됨으로써 플로팅 게이트의 전자가 인출되어 임계 전압이 낮은 데이터 "1"의 상태를 가진다. 즉 분포(Q1)의 메모리셀은 그 임계 전압이 "0" 기입의 베리파이 레벨(VF0)보다 높은 상태이다. 또한 분포(Q2, Q3)의 메모리셀은 그 임계 전압이 "1" 소거의 베리파이 레벨(VF1)보다도 낮은 상태이다. 따라서 통상의 판독 전압(VR)을 컨트롤 게이트(CG)에 인가함으로써, 기억된 데이터에 따라서 메모리셀을 도통과 비도통 상태로 구별할 수 있다.

또한 메모리셀(Q2, Q3)에 일단 "0" 기입을 하고, 그 후 플로팅 게이트로부터 전자를 인출하는 소거 펄스를 동일한 만큼 인가하면, 양 메모리셀의 전하 인출 능력의 차이에 의해서, 메모리셀(Q2)은 도2중의 임계 전압이 높은 분포에 포함되고, 메모리셀(Q3)은 도2중의 임계 전압이 낮은 분포에 포함된다. 이들 임계의 차를 이용하여 다른 판독 전압(BR)을 컨트롤 게이트에 인가함으로써, 전하 교환 능력의 차에 의해 기억된 데이터에 따라서 메모리셀을 도통과 비도통 상태로 구별할 수 있다.

즉 전면 기입 후에 전면 소거한 상태에서는 전하 교환 능력에 따른 기억 데이터를 판독할 수 있고, 통상의 프로그램 또는 소거된 상태의 기억 데이터도 통상의 판독 전압(VR)을 인가함으로써 판독할 수 있다. 그리고 통상의 프로그램 동작을 한 후에도 전면 기입 후에 전면 소거를 함으로써, 전하 교환 능력에 따른 기억 데이터를 부활시킬 수 있다.

도1의 메모리셀(Q2, Q3)은 플로팅 게이트의 전자의 주입 능력의 차를 이용하여 영구하게 보존해 두고 싶은 데이터를 기억시키는 것도 가능하다.

도3은 전자의 주입 능력의 차를 이용한 경우의 임계 전압의 분포를 나타내는 도면이다. 이 예에서는 통상의 기입에 의해 데이터 "0"이 기억된 상태가 분포(Q2, Q3)의 메모리셀이고, 통상의 소거에 의해 데이터 "1"이 기억된 상태가 분포(Q1)의 메모리셀이다. 이들 데이터는 통상의 판독 전압(VR)을 컨트롤 게이트에 인가함으로써 판독 가능하다.

그리고 덮어쓰기된 초기 데이터를 부활시키기 위해서는 양 메모리셀(Q2, Q3)에 대해 마찬가지로 소거를 하고, 도3의 Q1의 분포의 상태에서부터, 양 메모리셀(Q2, Q3)에 대해 동일한 만큼의 기입 펄스를 인가한다. 그 경우, 메모리셀(Q2)은 전자의 주입 능력이 낮아서 임계 전압의 변화가 작으며 대하여, 메모리셀(Q3)은 전자의 주입 능력이 높아서 임계 전압의 변화가 크다. 그 임계 전압의 변화의 차를 이용하여 판독 전압(BR)을 컨트롤 게이트에 인가함으로써, 초기 데이터를 판독할 수 있다.

이와 같이 전하 교환 능력이라고 칭할 경우, 본 실시예에 있어서는 플로팅 게이트로부터 전자를 인출하는 능력, 또는 전자를 주입하는 능력이라는 의미가 포함된다. 그리고 예를 들면 채널 영역의 불순물 농도를 다르게 함으로써, 전자를 인출하는 능력, 또는 주입하는 능력을 다르게 할 수 있다.

도4는 본 실시예의 플래시 메모리의 구성도이다. 이 플래시 메모리는 플로팅 게이트를 갖는 EEPROM으로 구성된다. 복수의 워드선(WL0~WL2)과 복수의 비트선(BL0, BL1)과의 교차 위치에, 플로팅 게이트를 갖는 메모리셀(MC00~MC21)이 설치된다. 메모리셀의 컨트롤 게이트는 워드선(WL0~WL2)에 접속되고, 드레인 비트선(BL0, BL1)에 접속되며, 소스는 공통의 소스선(SL)에 접속된다.

워드선(WL)은 워드 디코더(10)에 의해 선택되고, 레벨 생성 회로(18)로부터 주어지는 전위로 구동된다. 또 비트선(BL)은 칼럼 게이트 트랜지스터(N0, N1)를 통해서 센스 앰프(14)에 접속된다. 칼럼 디코더(12)에 의해 선택되는 칼럼 선택 신호(CL0, CL1)에 응답하여 칼럼 게이트 트랜지스터(N0, N1)중 어느 하나가 도통하고, 비트선(BL)에 흐르는 전류 상태가 센스 앰프(14)에 의해 검출된다. 소스선(SL)은 소스선 제어 회로(20)에 의해 소정의 전위로 제어된다.

시퀀서 회로(16)는 플래시 메모리의 기입(프로그램), 소거, 판독 동작의 제어를 레벨 생성 회로(18)와 소스선 제어 회로(20) 등에 대하여 한다. 또 시퀀서 회로(16)는 초기 데이터 부활을 위한 전면 기입, 소거, 판독 동작의 제어를 한다. 이 경우의 판독 동작에서의 워드선(WL)의 전위(BR)는 통상의 판독시의 판독 전압(VR)과는 다르다. 또한 워드선에 인가되는 기입 베리파이 레벨이나 소거 베리파이 레벨도 도2 및 도3에 나타난 바와 같이 다르다.

도5는 초기 데이터를 부활시키는 경우의 임계 분포의 변화를 나타내는 도면이다. 도5의 예는 상기의 도2의 경우에 적용된다. 도4에 나타난 플래시 메모리에 있어서, 예를 들면 메모리셀(MC00)을 도2의 셀(Q2)과 같은 전하 교환 능력이 낮은 상태로 하고, 메모리셀(MC01)을 도2의 셀(Q3)과 같은 전하 교환 능력이 높은 상태로 한다. 즉 메모리셀(MC00, MC01)에는 초기 데이터 "0, 1"가 기억된다. 그 이외의 메모리셀(MC10~ MC21)은 셀(Q3)의 상태로 한다. 따라서 상기한 예에서는 메모리셀(MC00)의 채널 영역에 P형의 불순물을 이온 주입한다. 나머지의 메모리셀은 종래와 마찬가지로의 구성으로 한다.

통상의 기입 또는 소거는 플로팅 게이트(FG)에 전자를 주입하여 임계 전압을 높게 하고, 또는 전자를 인출해 임계 전압을 낮게 한다. 그 경우의 베리파이 레벨은 도2에 나타내는 "0" 베리파이 레벨(VF0)과, "1" 베리파이 레벨(VF1)이 이용된다.

메모리셀(MC00, MC01)에 대해서도 기입 동작을 하여, 최초의 초기 데이터가 소실되었다고 한다. 이 초기 데이터 "0, 1"를 부활시키기 위해서, 도5a에 나타나는 바와 같이, 먼저 전면에 기입을 하고, 임계 전압을 기입 베리파이 레벨(VF0) 이상으로 한다. 다음에 도5b에 나타내는 바와 같이, 부활시키고자 하는 초기 데이터가 기억된 메모리셀(MC00, MC01)에 대해서, 동일한 소거 펄스를 인가한다. 그 결과, 양 메모리셀은 전자의 인출 능력의 차로부터, 메모리셀(MC01)은 보다 낮은 임계 전압으로 변화하고, 메모리셀(MC00)은 그것보다 높은 임계 전압으로 변화한다.

또한 소거 펄스를 계속 인가하면, 도5c에 나타낸 바와 같이 임계 전압의 차는 커지면서 저하하고, 마지막으로, 도5d에 나타낸 바와 같이, 메모리셀(MC01)의 임계 전압은 베리파이 레벨(BV1)보다도 낮고, 메모리셀(MC00)의 임계 전압은 베리파이 레벨(BV0)보다도 높아진다.

그런데 워드선(WL0)에 판독 전압(BR)을 인가하면, 메모리셀(MC00)은 도통하지 않고, 메모리셀(MC01)은 도통한다. 이 도통, 비도통에 의한 비트선의 전류에 의해서, 센스 앰프(14)는 초기 데이터를 검출할 수 있다.

상기의 예에서는 도5d의 상태에서 초기 데이터를 판독한다. 따라서 초기 데이터를 판독하기 위해서는 통상의 판독 레벨(VR)이나 베리파이 레벨(VF0, VF1)과는 다른 레벨(BR, BV0, BV1) 등을 생성할 필요가 있다. 이를 위해서는 센스 앰프(14) 내의 도시하지 않는 레퍼런스용의 트랜지스터도 늘릴 필요가 있다.

초기 데이터의 다른 판독 방법으로서, 도5b에 나타나는 상태에서, 소거 베리파이 레벨(VF1)을 이용하여 판독을 하는 것도 가능하다. 단, 이 경우는 초기 데이터가 기입된 메모리셀의 임계 전압의 분포의 중첩이 존재하므로, 판독된 데이터에 에러가 포함될 가능성이 높다. 그런데 이 경우는 초기 데이터의 기억에 추가로 오류 정정 코드(ECC)도 기억시킴으로써, 이와 같은 에러의 발생을 방지할 수 있다. 단순히 오류 검출을 하는 패리티 코드뿐만 아니라, 잘못을 정정할 수 있는 코드를 추가해 기억시키는 것이 바람직하다.

또 도5d의 상태에서 양분포에 중첩이 존재하는 경우도, 상기와 마찬가지로 오류 정정 코드를 이용하여 판독 데이터의 에러의 발생을 방지할 수 있다.

도6은 본 실시예의 플래시 메모리의 응용례를 나타내는 도면이다. 이 응용례는 하드 디스크 등의 대용량 기록 매체(30)의 제어용의 마이크로 프로세서(34) 내에 플래시 메모리(EEPROM)를 내장시킨 예이다. 하드 디스크(30)의 제어기관(32) 상에 제어용의 마이크로 프로세서(34)가 탑재된다. 이 마이크로 프로세서(34) 내에는 CPU, RAM, ROM에 더해 플래시 메모리(EEPROM)가 내장된다. 그리고 플래시 메모리 내에는 제어 프로그램을 다운로드할 때에 기동하는 부팅 프로그램(Boot)이 저장된다. 이 부팅 프로그램은 덮어쓰기된 후에도 복귀 가능한 메모리셀 영역에 기입되어 있다. 또 플래시 메모리에는 통상의 메모리셀 영역(MC)도 포함된다.

그리고 이와 같은 제어용의 마이크로 프로세서(34)에, 개발된 제어용 프로그램(38)이 플래시 메모리(EEPROM) 내에 다운로드된다. 다운로드를 위해서 CPU가 플래시 메모리 내에 저장된 부팅 프로그램을 기동하여 부팅 프로그램을 실행한다. 이 부팅 프로그램의 실행에 응답하여, 개발된 제어 프로그램(38)이 플래시 메모리에 다운로드된다. 이 경우, 제어 프로그램(38)은 플래시 메모리의 용량 정도의 데이터량을 가지며, 다운로드 때에도 부팅 프로그램(Boot) 영역 상에도 덮어쓰여진다.

그런데 다운로드제의 제어 프로그램에 변경을 줄 필요가 있는 경우에는 초기 데이터인 부팅 프로그램의 정보를 부활시킬 필요가 있다. 통상 마이크로 프로세서(34)를 인쇄 기판(32)에 탑재한 후에는 외부의 라이터를 이용해 기입할 수 없기 때문이다.

도7은 도6의 응용례에 있어서, 부팅 프로그램을 부활시킬 때의 플로차트이다. 플래시 메모리는 도5d의 상태에 있고, 초기 데이터로서 부팅 프로그램이 저장되어 있다. 최초는 플래시 메모리 내의 부팅 프로그램을 판독하기 위해서, 부팅 데이터의 판독을 위한 판독 레벨(BR)로 설정한다(S1). 다음에 CPU는 부팅 프로그램을 판독하여 제어 프로그램(38)을 다운로드한다(S2). 이 다운로드가 성공하지 않을 경우(S3), 또는 성공해도 후에 프로그램의 변경이 필요해지는 경우(S4), 플래시 메모리의 부팅 프로그램 기억 영역에 대해서 전면 기입을 실행한다(S5). 그 결과, 도5a의 상태가 된다.

그리고 그 영역에 소거 펄스를 조금씩 인가하고(S6), 소정의 베리파이 레벨 이하가 될 때까지 소거를 실행한다(S7). 그 결과, 도5d의 상태로 부활시킬 수 있다. 그리고 재차 부팅 프로그램을 판독해 실행함으로써, 변경해야 할 제어 프로그램 또는 다운로드를 실패한 제어 프로그램(38)을 재차 다운로드한다.

제어 프로그램의 다운로드가 성공하고, 제어 프로그램의 변경이 불요가 되면, 플래시 메모리는 통상의 판독 동작을 행한다. 이 때문에 통상의 판독 레벨로 설정하고(S8), 통상의 판독이 이루어진다(S9).

이상과 같이, 본 실시예의 플래시 메모리를 이용함으로써, 겹쳐쓰기된 초기 데이터를 간단하게 부활할 수 있다. 따라서 부팅 프로그램 등의 최초의 단계에서만 사용된 후에 덮어쓰여진 프로그램이나 데이터를 기록하는 경우에 유효하다.

발명의 효과

이상과 같이 본 발명에 의하면, 초기 데이터가 저장되어 있는 영역에 다른 데이터가 덮어쓰여져도, 간단하게 초기 데이터를 부활시킬 수 있는 불휘발성 반도체 기억 장치가 제공된다.

(57) 청구의 범위

청구항 1.

전하가 축적되는 플로팅 게이트를 포함하는 복수의 불휘발성 메모리셀을 갖는 불휘발성 반도체 기억 장치에 있어서,

상기 복수의 불휘발성 메모리셀은,

플로팅 게이트에의 전하 교환에 대하여 제1 전하 교환 능력을 갖는 제1 메모리셀군(memory cell type)과,

상기 제1 전하 교환 능력보다 높은 제2 교환 능력을 갖는 제2 메모리셀군을 포함하고,

전하를 플로팅 게이트에 축적하는지의 여부에 기초하여, 제1 데이터가 상기 불휘발성 메모리셀 중 하나에 기억되고, 상기 불휘발성 메모리셀이 상기 제1 메모리셀군 또는 제2 메모리셀군에 기초하여, 상기 제1 데이터와 상이한 제2 데이터가 상기 불휘발성 메모리셀 중 하나에 기억되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 2.

제1항에 있어서,

상기 복수의 불휘발성 메모리셀 각각은 제1 도전형의 반도체 기관의 표면에 형성되고, 각 불휘발성 메모리셀은 상기 반도체 기관의 상기 표면에 형성된 제2 도전형의 소스 및 드레인 영역, 상기 소스와 드레인 사이의 제1 도전형의 채널 영역에 형성된 대응하는 플로팅 게이트, 및 상기 대응하는 플로팅 게이트 상에 형성된 컨트롤 게이트를 가지며,

상기 제1 메모리셀군의 상기 채널 영역은 상기 제2 메모리셀군의 채널 영역과 불순물 농도가 다른 것을 특징으로 하는 불휘발성 반도체 기억 장치

청구항 3.

제1항에 있어서,

상기 복수의 불휘발성 메모리셀 각각은 대응하는 플로팅 게이트 상에 컨트롤 게이트를 포함하고,

각 불휘발성 반도체 기억 장치는 제1 데이터 판독 동작 동안 대응하는 컨트롤 게이트에 제1 판독 전위를 인가하고, 상기 제1 데이터 판독 동작과 다른 제2 데이터 판독 동작 동안 상기 대응하는 컨트롤 게이트에 상기 제1 판독 전위와 다른 제2 판독 전위를 인가하는 판독 레벨 생성기를 더 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 4.

전하가 축적될 수 있는 플로팅 게이트를 각각 포함하는 복수의 불휘발성 메모리셀을 가진 불휘발성 반도체 기억 장치로서,

대응하는 플로팅 게이트의 전하의 교환에 대해서 제1 전하 교환 능력을 가진 제1 메모리셀군과, 상기 제1 교환 능력보다 높은 제2 전하 교환 능력을 가진 제2 메모리셀군을 포함하고, 전하가 상기 대응하는 플로팅 게이트에 축적되는지의 여부에 기초하여 제1 데이터가 상기 제1 불휘발성 메모리 영역에 저장되고, 상기 불휘발성 메모리셀이 상기 제1 메모리셀군 또는 제2 메모리셀군 중 어느 하나인지의 여부에 기초하여 상기 제1 데이터와 상이한 제2 데이터가 상기 제1 불휘발성 메모리 영역에 저장되는 제1 불휘발성 메모리 영역; 및

상기 제1 메모리셀군 또는 제2 메모리셀군 중 어느 하나를 포함하고 상기 전하가 대응하는 플로팅 게이트에 축적되는지의 여부에 기초하여 제3 데이터가 상기 제2 불휘발성 메모리 영역에 저장되는 제2 불휘발성 메모리 영역;

을 포함하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 5.

삭제

청구항 6.

제4항에 있어서,

상기 각 불휘발성 메모리셀은 대응하는 플로팅 게이트 상에 컨트롤 게이트를 포함하고,

상기 제1 불휘발성 메모리 영역에서, 상기 제1 데이터는 제1 판독 동작 동안 대응하는 컨트롤 게이트에 제1 판독 전위를 인가함으로써 판독되고, 상기 제2 데이터는 상기 제1 판독 동작과 상이한 제2 판독 동작 동안 상기 대응하는 컨트롤 게이트에 상기 제1 판독 전위와 상이한 제2 판독 전위를 인가함으로써 판독되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 7.

제6항에 있어서,

상기 제1 불휘발성 메모리 영역의 상기 제1 메모리셀군 및 제2 메모리셀군은 상기 제1 불휘발성 메모리 영역에서 상기 불휘발성 메모리셀 모두를 소거 또는 프로그래밍함으로써 각각 제1 전하 교환 능력 및 제2 전하 교환 능력에 따른 임계 전압을 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 8.

삭제

청구항 9.

각 불휘발성 메모리셀의 대응하는 플로팅 게이트에 전하를 축적함으로써 데이터를 저장하는 복수의 불휘발성 메모리셀을 포함하는 불휘발성 메모리 영역을 갖은 마이크로 프로세서로서, 상기 불휘발성 메모리 영역은

상기 대응하는 플로팅 게이트의 전하의 교환에 대하여 제1 전하 교환 능력을 가진 제1 메모리셀군과, 상기 제1 교환 능력보다 높은 제2 전하 교환 능력을 가진 제2 메모리셀군을 포함하고, 전하가 상기 대응하는 플로팅 게이트에 축적되는지의 여부에 기초하여 제1 데이터가 상기 제1 불휘발성 메모리 영역에 저장되고, 상기 불휘발성 메모리셀이 상기 제1 메모리셀군 또는 제2 메모리셀군 중 어느 하나인지의 여부에 기초하여 상기 제1 데이터와 상이한 제2 데이터가 상기 제1 불휘발성 메모리 영역에 저장되는 제1 불휘발성 메모리 영역; 및

상기 제1 메모리셀군 또는 제2 메모리셀군 중 어느 하나를 포함하고 상기 전하가 대응하는 플로팅 게이트에 축적되는지의 여부에 기초하여 제3 데이터가 상기 제2 불휘발성 메모리 영역에 저장되는 제2 불휘발성 메모리 영역을 포함하고,

상기 제2 데이터는 상기 제1 불휘발성 메모리 영역 또는 제2 불휘발성 메모리 영역에 데이터를 다운로드하는 부트 프로그램(boot program)을 포함하는 것을 특징으로 하는 마이크로 프로세서.

청구항 10.

제1항에 있어서,

상기 각 불휘발성 메모리셀은 대응하는 플로팅 게이트 상에 컨트롤 게이트를 포함하고,

상기 제1 데이터는 제1 판독 동작 동안 대응하는 컨트롤 게이트에 제1 판독 전위를 인가함으로써 판독되고, 상기 제2 데이터는 상기 제1 판독 동작과 상이한 제2 판독 동작 동안 상기 대응하는 컨트롤 게이트에 상기 제1 판독 전위와 상이한 제2 판독 전위를 인가함으로써 판독되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 11.

제9항에 있어서,

상기 제1 불휘발성 메모리 영역의 상기 제1 메모리셀군 및 제2 메모리셀군은 상기 불휘발성 메모리셀 모두를 소거 또는 프로그래밍함으로써 각각 제1 전하 교환 능력 및 제2 전하 교환 능력에 따른 임계 전압을 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 12.

각 불휘발성 메모리셀의 대응하는 플로팅 게이트에 전하를 축적함으로써 데이터를 저장하는 복수의 불휘발성 메모리셀을 포함하는 불휘발성 메모리 영역을 가진 마이크로 프로세서로서, 상기 불휘발성 메모리 영역은

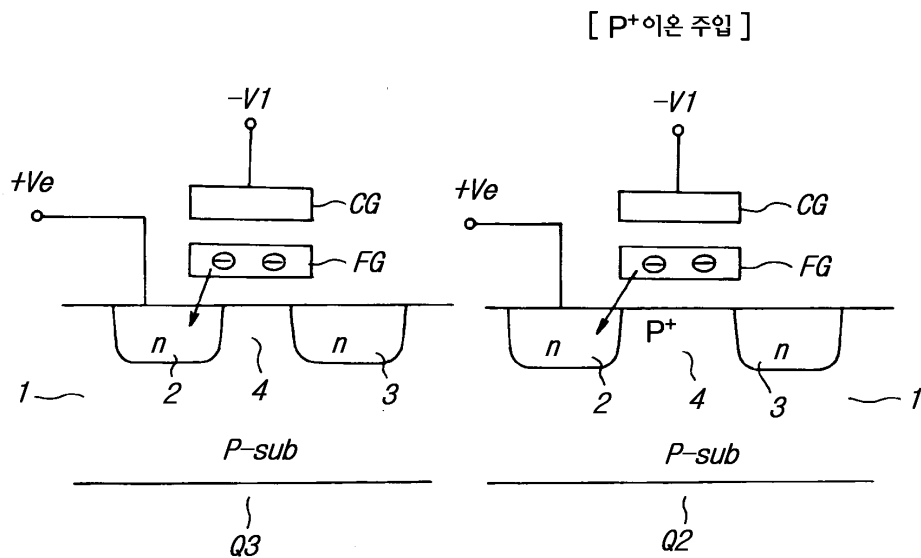
상기 대응하는 플로팅 게이트의 전하의 변화에 대하여 제1 전하 교환 능력을 가진 제1 메모리셀군과, 상기 제1 전하 교환 능력보다 높은 제2 전하 변환 능력을 가진 제2 메모리셀군을 포함하고,

제1 데이터가, 전하가 상기 대응하는 플로팅 게이트에 축적되는지의 여부에 기초하여, 상기 제1 불휘발성 메모리 영역에 저장되고, 제2 데이터는, 상기 불휘발성 메모리 영역이 상기 제1 메모리셀군 또는 제2 메모리셀군 중 어느 하나인지의 여부에 기초하여 상기 제1 불휘발성 메모리 영역에 저장되고,

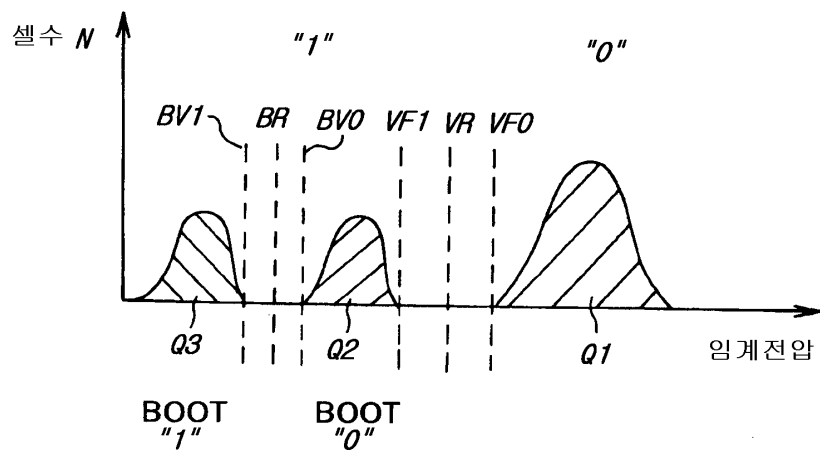
상기 제2 데이터는 상기 불휘발성 메모리 영역에 데이터를 다운로드하는 부트 프로그램을 포함하는 것을 특징으로 하는 마이크로 프로세서.

도면

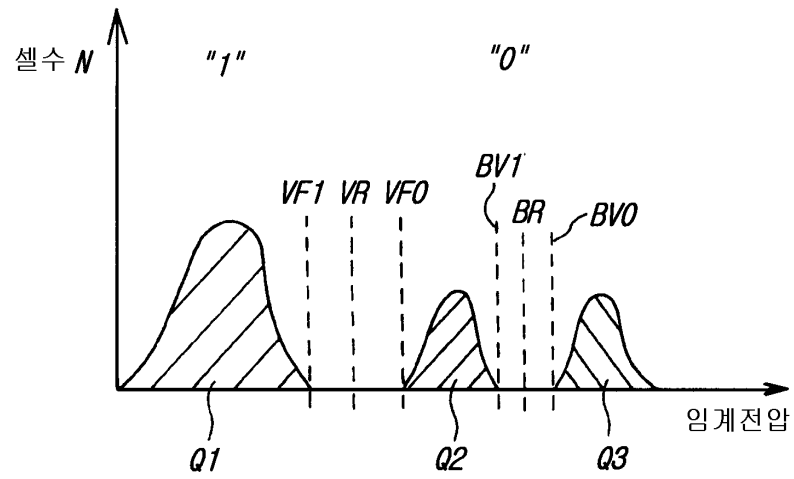
도면1



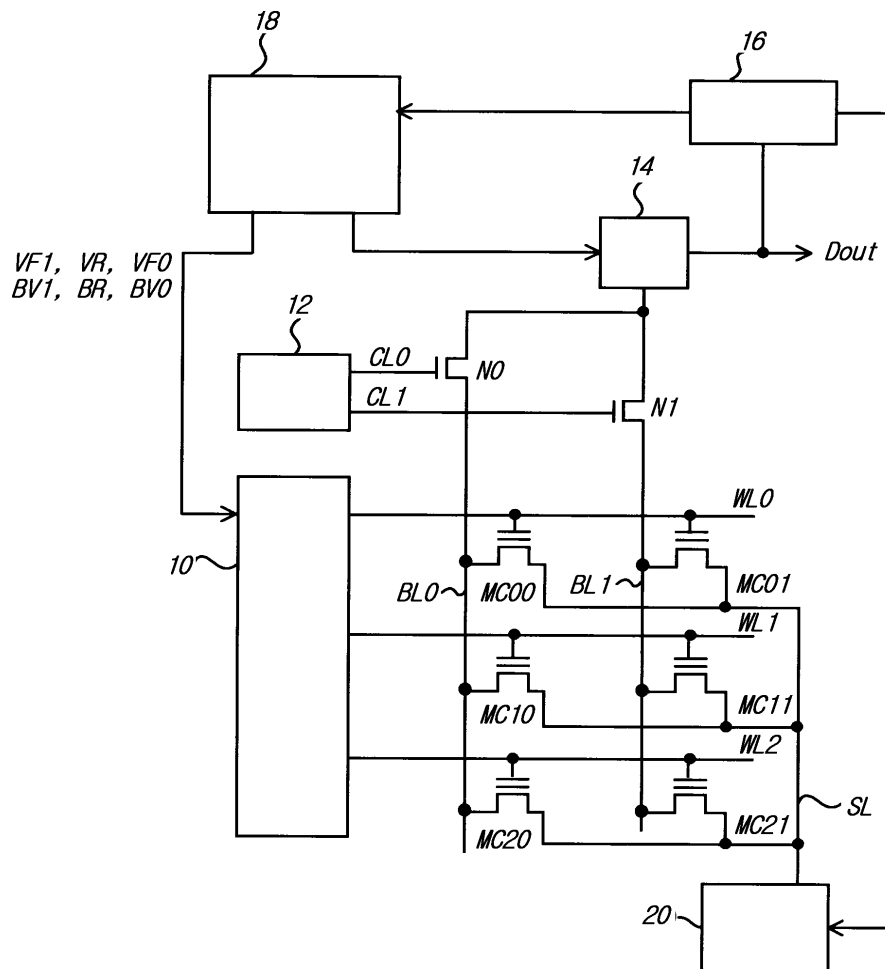
도면2



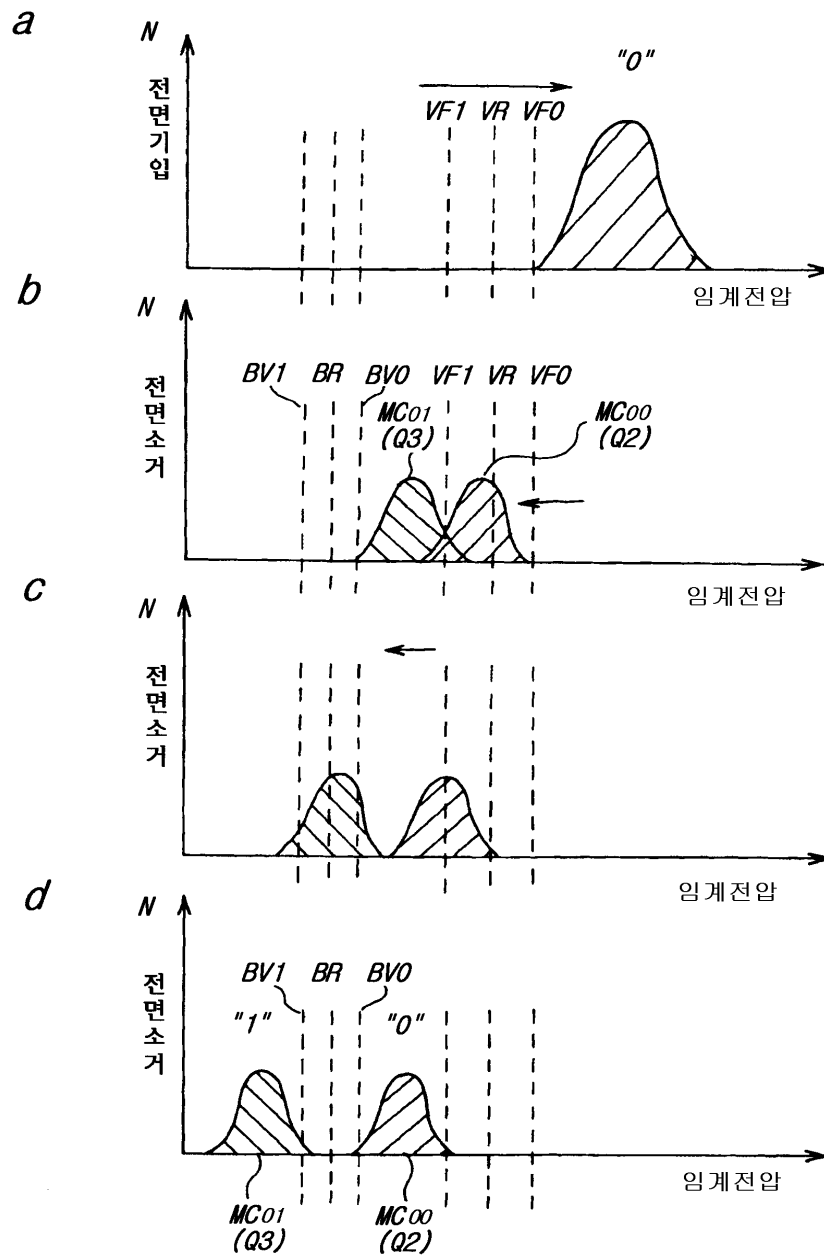
도면3



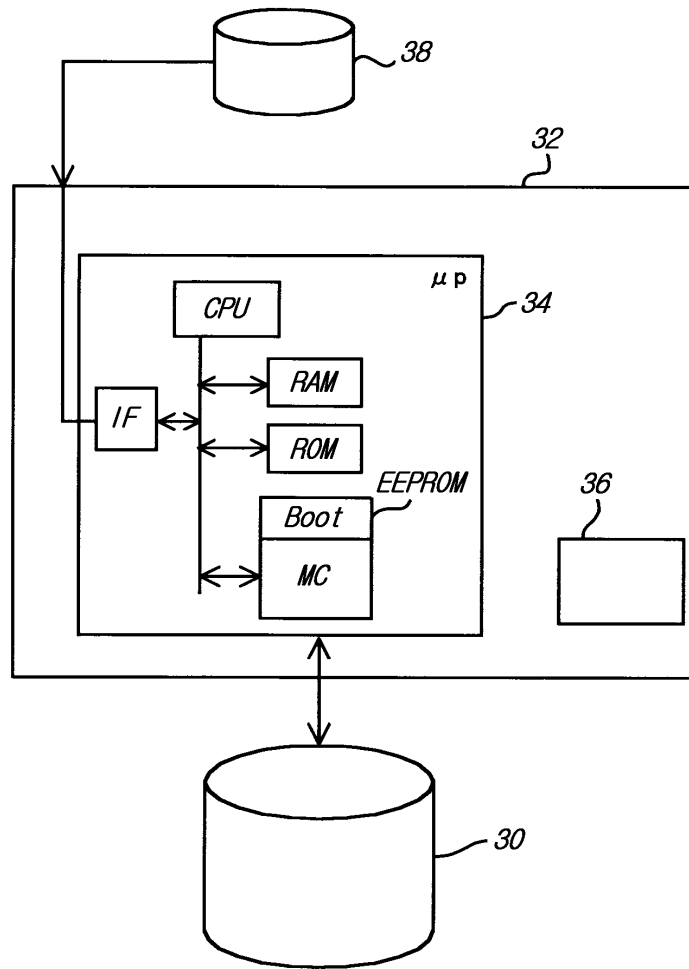
도면4



도면5



도면6



도면7

