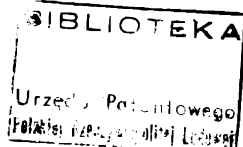


G06c 13/00



POLSKIEJ RZECZYPOSPOLITEJ LUDOWEJ

OPIS PATENTOWY

Nr 46362

42m¹ 13/00Kl. ~~42 m, 36~~

Kl. internat. G 06 c

Akademia Górniczo-Hutnicza*)

Kraków, Polska

Sposób sterowania procesami rachunkowymi w matematycznych maszynach cyfrowych

Patent trwa od dnia 24 czerwca 1961 r.

Przedmiot wynalazku stanowi sposób sterowania procesami rachunkowymi w matematycznych maszynach cyfrowych.

W dotychczas znanych maszynach matematycznych nie występują żadne bity sterujące w związku z czym, przy wykonywaniu procesów rachunkowych, zachodzi konieczność stosowania specjalnych rozkazów sterujących zwanych rozkazami warunkowymi. Stosownie rozkazów warunkowych jest nieekonomiczne gdyż znacznie przedłuża czas wykonania rachunku co przykładowo przedstawiają na rysunku fig. 2 i fig. 3.

Istota sposobu według wynalazku polega na tym, że każde słowo, zawierające pamiętaną przez matematyczną maszynę cyfrową liczbę składa się z cyfr tej liczby, jej znaku oraz specjalnych bitów sterujących, które mogą być wybierane z pamięci maszyny za pomocą tego samego adresu. Taka budowa słowa, zawierającego liczbę umożliwia między innymi realizację dowolnego programu bez potrzeby wprowadzania rozkazów warunkowych, które występując w dotychczas znanych maszynach cyfrowych, znacznie przedłużają czas potrzebny do wykonania rachunku.

Na rysunku fig. 1 przedstawia elementy schematu blokowego matematycznej maszyny cyfrowej, fig. 2 — przykładowy program sumowania N liczb dotychczas używanym sposobem, a fig. 3 — przykładowy program sumowania N liczb sposobem według wynalazku.

*) Właściciel patentu oświadczył, że współtwórcami wynalazku są prof. dr inż. Tadeusz Kochmański, mgr Jerzy Kordylewski i mgr Gerard Kudelski.

Każde zawierające liczbę słowo x w pamięci p składa się z dwóch zasadniczych części (fig. 1). Pierwszą część stanowią cyfry pamiętanej liczby oraz jej znak, która to część jest przesyłana do rejestru r arytmometru a . Część druga natomiast, zawierająca specjalne bity sterujące, jest wprowadzona do licznika rozkazów l , znajdującego się w urządzeniu sterującym s .

W trakcie wykonywania każdego rozkazu zawartość licznika rozkazów l zwiększa się o jedną, jeżeli wszystkie bity sterujące, pobieranej z pamięci p liczby reprezentowanej przez słowo x są równe zeru. Natomiast gdy choć jeden bit sterujący jest różny od zera, wówczas licznik rozkazów l zostaje samoczynnie wyzerowany i do jego części wprowadzone są specjalne bity sterujące. Następny rozkaz jest pobierany z pamięci p o numerze równym zawartości licznika rozkazów l . W ten sposób następny rozkaz będzie pobrany albo z pamięci p o numerze o jeden większym niż numer pamięci p , w której znajdował się rozkaz poprzedni albo z pamięci p

$$\text{o numerze } \sum_{k=1}^{n+m} b_k 2^k$$

gdzie b_k — oznacza specjalne bity sterujące, $n+m$ — oznacza ilość pozycji w liczniku rozkazów, n — jest ilością pozycji w części licznika rozkazów l , przenoszonej na bity sterujące, m — jest ilością pozycji w pozostałej części licznika rozkazów l . Pozwala to na otrzymanie 2^n ciągów rozkazów, które mogą po sobie następować w dowolnej kolejności.

W programie, w którym jest znana liczba przebiegów po poszczególnych pętliach, specjalne bity sterujące dołącza się wprost do danych wejściowych. Ma to miejsce na przykład przy mnożeniu macierzy. Natomiast przy procesach iteracyjnych, w których na ogół liczba przebiegów po jednej pętli programu jest uzależniona od znaku wyniku, należy uzupełnić tym znakiem bity sterujące.

Sposób sterowania procesami rachunkowymi według wynalazku za pomocą bitów sterujących znajdujących się razem z liczbą w jednym słowie, pozwala na realizację programów bez konieczności stosowania rozkazów warunkowych. Nie jest również potrzebne zliczanie ilości przebiegów po pętli co znacznie skraca czas pracy maszyny.

Sposób według wynalazku charakteryzuje się głównie tym, że za pomocą adresu okreś-

lającego zawartą w pamięci maszyny liczbę można wybrać również specjalne bity sterujące, które nie będą ani cyframi ani znakami tej liczby służą do modyfikacji wykonywanych rozkazów i funkcji sterującej. Skutkiem tego powodują one zmianę kolejności wykonywanych operacji oraz zmianę kolejności argumentów.

Przedmiot wynalazku zostanie bliżej objaśniony na przykładzie. Programu sumowania N liczb dokonuje się na matematycznej maszynie cyfrowej na przykład typu UMCI. Program ten (fig. 2) zawiera 14 rozkazów od 0 do 13, z czego 5 rozkazów można wyeliminować przez użycie bitów sterujących. Kolejne rozkazy oznaczone symbolicznie mają poniżej wymienione znaczenie: QT oznacza wyzerowanie rejestru mnożnej, $S-N.POV+5$ — wprowadza wartość $-N$ do części adresowej słowa zawartego w pamięci $+5$, $R-63$ przesyła do arytmometru pierwszą z dodawanych liczb znajdującą się w -63 pamięci, YWT. powoduje dodanie do zawartości arytmometru zawartości rejestru mnożnej i przesłanie wyniku do rejestru mnożnej, $SCX.POV+5$ powoduje zwiększenie części adresowej rozkazu SCX , w którym znajduje się wartość $-N$ o jedną i zapamiętanie znaku wyniku. Jeśli ten znak jest plusem, to rozkaz $CB+11$. powoduje pobranie następnego rozkazu, w przeciwnym przypadku (znak minus) pobrany zostanie rozkaz z pamięci $+11$. $RW.PO-1.H$. — powodują przesłanie końcowej sumy z rejestru mnożnej do pamięci -1 i zatrzymanie maszyny, $RCV+3.POV+3.C+3$. powodują zwiększenie o jedną wartość zawartą w części adresowej rozkazu 3 i przejście do rozkazu 3, który pobiera z pamięci następną z sumowanych liczb.

Program sumowania N liczb można zrealizować sposobem według wynalazku, stosując bity sterujące za pomocą jedynie 9 rozkazów (fig. 3). Dla podkreślenia roli bitów sterujących numery pamięci p przedstawione są w tym przypadku w systemie dwójkowym. Program rozpoczyna się od rozkazu 00000 (QT). Bit sterujący ostatniej z dodawanych liczb powoduje przejście do rozkazu 10000 (YW), zaś bity sterujące liczb pozostałych powodują przejście do rozkazu 01000 (YWT). Pozwala to na wyeliminowanie rozkazów $S-N$. i $POV+5$. oraz rozkazów SCX , $POV+5$. i $CB+11$ (fig. 2). Rozkaz YW. (fig. 3) jest odpowiednikiem rozkazu RW. (fig. 2) i powoduje dodawanie ostatniej z su-

nowanych liczb i przesłanie końcowej sumy do pamięci —1.

Sposób sterowania procesami rachunkowymi według wynalazku upraszcza na przykład program sumowania N liczb co wydatnie, nawet do 50% skraca czas wykonania rachunku i może znaleźć zastosowanie w różnych typach matematycznych maszyn cyfrowych.

Zastrzeżenia patentowe

1. Sposób sterowania procesami rachunkowymi w matematycznych maszynach cyfrowych, znamienny tym, że za pomocą adresu określającego zawartą w pamięci maszyny liczbę wybiera się również specjalne bity sterujące nie będące ani cyframi ani znakiem tej liczby, które służą do modyfikacji wykonywanych rozkazów i funkcji sterującej, powodując zmianę kolejności wykonywanych operacji oraz zmianę kolejności argumentów.
2. Sposób sterowania według zastrz. 1, znamienny tym, że każde zawierające liczbę słowo (x) w pamięci (p) składa się z dwóch zasadniczych części, z których pierwszą

część stanowią cyfry pamiętanej liczby oraz jej znak, przy czym część ta jest przesyłana do rejestru (r) arytmometru (a), druga zaś część zawiera specjalne bity sterujące, które są wprowadzane do licznika rozkazów (l), umieszczonego w urządzeniu sterującym (s).

3. Sposób sterowania według zastrz. 1 i 2, znamienny tym, że specjalne bity sterujące dołącza się wprost do danych wejściowych, na przykład przy mnożeniu macierzy, natomiast przy procesach iteracyjnych, w których na ogół ilość przebiegów po jednej pętli programu jest uzależniona od znaku wyniku, specjalne bity sterujące uzupełniają się tym znakiem.
4. Sposób sterowania według zastrz. 1—3, znamienny tym, że specjalne bity sterujące, znajdujące się razem z liczbą w jednym słowie (x) realizują program bez konieczności stosowania rozkazów warunkowych.

Akademia Górniczo-Hutnicza

Zastępca: mgr inż. Mieczysław Słomski
rzecznik patentowy

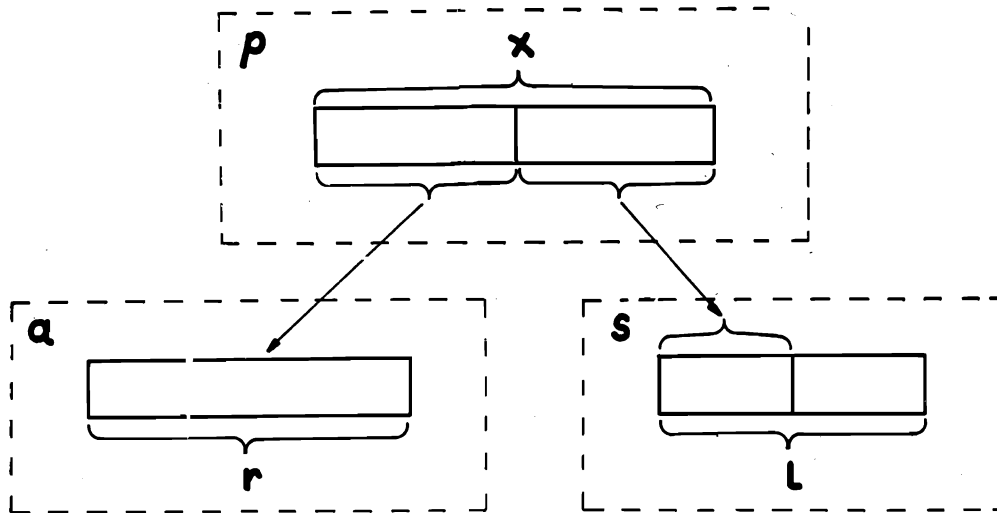


Fig. 1

0. OT.
1. S-N.
2. POV+5.
3. R-63.
4. YWT.
5. SOZ.
6. POV+5.
7. CE+11.
8. RW.
9. PO-1
10. H.
11. ROV+3.
12. POV+3.
13. C+3.

fig.2

000000.	OT.
000001.	C+010011.
010000.	YWT.
010001.	ROV+010011.
010010.	POV+010011.
010011.	R-111111.
100000.	YW.
100001.	PO-000001.
100010.	H.

fig.3