

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-21978

(P2009-21978A)

(43) 公開日 平成21年1月29日(2009.1.29)

(51) Int.Cl.	F I	テーマコード (参考)
H 0 4 L 25/02 (2006.01)	H 0 4 L 25/02 J	5 G 3 1 9
H 0 1 B 11/04 (2006.01)	H 0 1 B 11/04	5 K 0 2 9

審査請求 未請求 請求項の数 9 O L (全 28 頁)

(21) 出願番号	特願2008-94987 (P2008-94987)	(71) 出願人	000005821
(22) 出願日	平成20年4月1日 (2008.4.1)		パナソニック株式会社
(31) 優先権主張番号	特願2007-153976 (P2007-153976)		大阪府門真市大字門真1006番地
(32) 優先日	平成19年6月11日 (2007.6.11)	(74) 代理人	110000202
(33) 優先権主張国	日本国 (JP)		新樹グローバル・アイビー特許業務法人
		(72) 発明者	松原 亮
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		(72) 発明者	房安 浩嗣
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		(72) 発明者	谷本 真一
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内

最終頁に続く

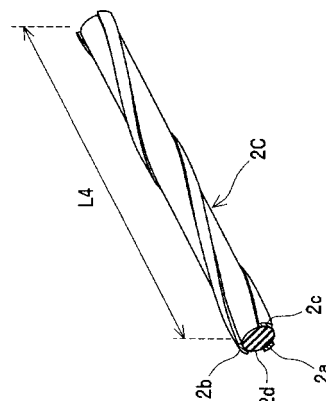
(54) 【発明の名称】 伝送ケーブル

(57) 【要約】

【課題】 3本の信号線を有する伝送ケーブルであって、不要輻射ノイズの少ない伝送ケーブルを提供する。

【解決手段】 差動伝送ケーブル2の長手方向に垂直な断面において、信号線2a、2b、2cのうちの任意の一对の信号線間の距離は所定値に等しい。差動伝送ケーブル2Aは、当該差動伝送ケーブル2Aの長手方向にわたってツイストされている。差動伝送ケーブル2Bは、誘電体芯線2dをさらに備え、信号線2a、2b、2cは誘電体芯線2dの表面上に形成される。差動伝送ケーブル2Cにおいて、信号線2a、2b、2cは、誘電体芯線2dの長手方向に沿って螺旋状に形成される。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

信号送信機と、信号受信機と、を備え、

前記信号送信機は、

第 1、第 2 及び第 3 の信号線を有する前記差動伝送路に接続され、

第 1 のビット情報信号に応答して、第 1 出力信号と、上記第 1 出力信号の位相反転信号である反転第 1 出力信号とを送信する第 1 の差動ドライバと、

第 2 のビット情報信号に応答して、第 2 出力信号と、上記第 2 出力信号の位相反転信号である反転第 2 出力信号とを送信する第 2 の差動ドライバと、

第 3 のビット情報信号に応答して、第 3 出力信号と、上記第 3 出力信号の位相反転信号である反転第 3 出力信号とを送信する第 3 の差動ドライバと、

を備え、

上記第 1 出力信号と上記反転第 3 出力信号とを合成して第 1 の信号線に送信し、上記第 2 出力信号と上記反転第 1 出力信号とを合成して第 2 の信号線に送信し、上記第 3 出力信号と上記反転第 2 出力信号とを合成して第 3 の信号線に送信し、

上記第 1 出力信号の 2 値信号電圧の絶対値と上記第 2 出力信号の 2 値信号電圧の絶対値とは同一であり、上記第 3 出力信号の 2 値信号電圧の絶対値と上記第 1 出力信号の 2 値信号電圧の絶対値は異なるものであり、

前記信号受信機は、

前記第 1、第 2 及び第 3 の信号線を有する前記差動伝送路に接続され、

上記第 1 の信号線と上記第 2 の信号線との間に接続された第 1 の終端抵抗に発生する終端電圧の極性を検出して、当該検出結果を第 1 のビット情報信号として出力する第 1 の差動レシーバと、

上記第 2 の信号線と上記第 3 の信号線との間に接続された第 2 の終端抵抗に発生する終端電圧の極性を検出して、当該検出結果を第 2 のビット情報信号として出力する第 2 の差動レシーバと、

上記第 3 の信号線と上記第 1 の信号線との間に接続された第 3 の終端抵抗に発生する終端電圧の極性を検出して、当該検出結果を第 3 のビット情報信号として出力する第 3 の差動レシーバと、

上記第 3 の終端抵抗に発生する第 3 の終端電圧の絶対値が所定のしきい値電圧を超えるか否かを判断する比較手段と、

上記第 3 の終端電圧の絶対値が所定のしきい値電圧を超えると、上記第 1、第 2 及び第 3 の差動レシーバからそれぞれ出力される第 1、第 2 及び第 3 のビット情報信号を出力する一方、上記第 3 の終端電圧の絶対値が所定のしきい値電圧を超えないとき、上記第 3 の差動レシーバから出力される第 3 のビット情報信号に基づいて第 1、第 2 及び第 3 のすべてのビット情報信号を 0 または 1 として出力する制御手段と、

を備え、

上記しきい値電圧は、上記第 1 出力信号の 2 値信号電圧の絶対値と上記第 3 出力信号の 2 値信号電圧の絶対値との差の絶対値よりも大きくなるように設定される、

多重差動伝送システムに用いられ、3 組の差動信号を多重伝送する伝送ケーブルであって

3 本の信号線を備え、

前記伝送ケーブルの長手方向に垂直な断面において、前記 3 本の信号線のうちの任意の一对の信号線間の距離は、所定値に等しい、

伝送ケーブル。

【請求項 2】

前記 3 本の信号線は、前記 3 本の信号線の長手方向に互いにツイストされている、

請求項 1 記載の伝送ケーブル。

【請求項 3】

誘電体にてなる芯線と、

10

20

30

40

50

前記芯線の表面上に形成された 3 本の信号線と、
を備えた伝送ケーブルであって、

前記伝送ケーブルの長手方向に垂直な断面において、前記 3 本の信号線のうちの任意の
一对の信号線間の距離は、所定値に等しい、
伝送ケーブル。

【請求項 4】

信号送信機と、信号受信機と、を備え、

前記信号送信機は、

第 1、第 2 及び第 3 の信号線を有する前記差動伝送路に接続され、

第 1 のビット情報信号に応答して、第 1 出力信号と、上記第 1 出力信号の位相反転信号
である反転第 1 出力信号とを送信する第 1 の差動ドライバと、 10

第 2 のビット情報信号に応答して、第 2 出力信号と、上記第 2 出力信号の位相反転信号
である反転第 2 出力信号とを送信する第 2 の差動ドライバと、

第 3 のビット情報信号に応答して、第 3 出力信号と、上記第 3 出力信号の位相反転信号
である反転第 3 出力信号とを送信する第 3 の差動ドライバと、
を備え、

上記第 1 出力信号と上記反転第 3 出力信号とを合成して第 1 の信号線に送信し、上記第
2 出力信号と上記反転第 1 出力信号とを合成して第 2 の信号線に送信し、上記第 3 出力信
号と上記反転第 2 出力信号とを合成して第 3 の信号線に送信し、

上記第 1 出力信号の 2 値信号電圧の絶対値と上記第 2 出力信号の 2 値信号電圧の絶対値
とは同一であり、上記第 3 出力信号の 2 値信号電圧の絶対値と上記第 1 出力信号の 2 値信
号電圧の絶対値は異なるものであり、 20

前記信号受信機は、

前記第 1、第 2 及び第 3 の信号線を有する前記差動伝送路に接続され、

上記第 1 の信号線と上記第 2 の信号線との間に接続された第 1 の終端抵抗に発生する終
端電圧の極性を検出して、当該検出結果を第 1 のビット情報信号として出力する第 1 の差
動レシーバと、

上記第 2 の信号線と上記第 3 の信号線との間に接続された第 2 の終端抵抗に発生する終
端電圧の極性を検出して、当該検出結果を第 2 のビット情報信号として出力する第 2 の差
動レシーバと、 30

上記第 3 の信号線と上記第 1 の信号線との間に接続された第 3 の終端抵抗に発生する終
端電圧の極性を検出して、当該検出結果を第 3 のビット情報信号として出力する第 3 の差
動レシーバと、

上記第 3 の終端抵抗に発生する第 3 の終端電圧の絶対値が所定のしきい値電圧を超える
か否かを判断する比較手段と、

上記第 3 の終端電圧の絶対値が所定のしきい値電圧を超えると、上記第 1、第 2 及び
第 3 の差動レシーバからそれぞれ出力される第 1、第 2 及び第 3 のビット情報信号を出力
する一方、上記第 3 の終端電圧の絶対値が所定のしきい値電圧を超えないとき、上記第 3
の差動レシーバから出力される第 3 のビット情報信号に基づいて第 1、第 2 及び第 3 のす
べてのビット情報信号を 0 または 1 として出力する制御手段と、 40

を備え、
上記しきい値電圧は、上記第 1 出力信号の 2 値信号電圧の絶対値と上記第 3 出力信号の
2 値信号電圧の絶対値との差の絶対値よりも大きくなるように設定される、
多重差動伝送システムに用いられ、3 組の差動信号を多重伝送する、

請求項 3 に記載の伝送ケーブル。

【請求項 5】

前記 3 本の信号線は、前記芯線の表面上に印刷された導体パターンとして形成されてい
る、

請求項 3 又は 4 に記載の伝送ケーブル。

【請求項 6】

上記 3 本の信号線は、上記芯線の表面上に形成された導体層をエッチングすることにより形成されたことを特徴とする、

請求項 3 又は 4 記載の伝送ケーブル。

【請求項 7】

上記 3 本の信号線は、上記芯線の長手方向に沿って螺旋状に形成されている、

請求項 3 乃至 6 のうちのいずれか 1 つに記載の伝送ケーブル。

【請求項 8】

上記 3 本の信号線は、上記伝送ケーブルの長手方向に垂直な断面において、上記伝送ケーブルの中心に関して 120 度の回転対称性を有する、

請求項 1 乃至 7 のうちのいずれか 1 つに記載の伝送ケーブル。

10

【請求項 9】

上記伝送ケーブルは、当該伝送ケーブルの長手方向に垂直な断面において、当該伝送ケーブルの中心に関して 120 度の回転対称性を有する、

請求項 1 乃至 7 のうちのいずれか 1 つに記載の伝送ケーブル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の信号を伝送するための伝送ケーブルに関し、特に、高速信号伝送方式の 1 つである差動伝送において、複数のデータビットの伝送を少ない本数の信号線を備えた差動伝送線路で実現する多重差動伝送を行うための伝送ケーブルに関するものである。

20

【背景技術】

【0002】

従来、高速信号の伝送には、電源電圧で論理振幅するシングルエンド信号が用いられてきたが、近年の高速データ転送の要求に伴う駆動周波数の高周波数化、バス幅の増大に対して、不要輻射ノイズ抑制と外来ノイズに対する耐性の観点から、低電圧差動信号伝送 (Low Voltage Differential Signaling: LVDS) 技術が利用されるケースが増えている。一般に、LVDS では、差動信号が流れる 2 本の伝送線路間には逆相のディファレンシャルモード電流だけが流れるように差動ドライバ IC は設計されている。

【0003】

30

図 25 は、第 1 の従来技術に係る差動伝送回路の回路図であり、図 26 は、図 25 の差動伝送回路の概略構成を示す斜視図である。図 25 の差動伝送回路は、従来の LVDS インターフェースの構成の一例を示す。図 26 に示すように、差動ドライバ IC 911 はプリント配線基板 914a 上に設けられ、差動レシーバ IC 913 は、プリント配線基板 914a から遠隔した他のプリント配線基板 914b 上に設けられ、差動ドライバ IC 911 と差動レシーバ IC 913 とは、+側の信号線 912a 及び-側の信号線 912b を備えた差動伝送線路として構成された差動伝送ケーブル 912 により接続される (プリント配線基板 914a, 914b 上の他の回路要素については、図示を省略する。)。これにより、差動ドライバ IC 911 に入力されたビット情報信号は、差動伝送ケーブル 912 を介して差動レシーバ IC 913 に伝送されて出力される。

40

【0004】

図 25 において、差動ドライバ IC 911 の+側の出力端子 (図 25 では、点 p1 により表す。) は、信号線 912a を介して、差動レシーバ IC 913 の+側の入力端子に接続され、同様に、差動ドライバ IC 911 の-側の出力端子 (図 25 では、点 p2 により表す。) は、信号線 912b を介して、差動レシーバ IC 913 の-側の入力端子に接続される。差動伝送ケーブル 912 を終端するために、信号線 912a 上において差動レシーバ IC 913 に近接した点 p3 と、信号線 912b 上において差動レシーバ IC 913 に近接した点 p4 とは、100Ω の終端抵抗 R により接続される。差動伝送ケーブル 912 は 50Ω の奇モードインピーダンスを有する。差動伝送ケーブル 912 の+側信号線 912a と-側信号線 912b の電気的特性は等しく、これらは平衡な伝送線路を形成して

50

おり、LVDSではこの2本の信号線912a, 912bにより1つのビット情報信号の伝送を行う。差動ドライバIC911は、その入力端子から入力されたビット情報信号に基づいて、差動伝送ケーブル912の+側と-側の間に電位差を生じるような差動信号を生成する。詳しくは、差動ドライバIC911は約3.5mAの電流を駆動し、100Ωの終端抵抗Rの両端点p3, p4間に約350mVの電圧を発生させる。差動レシーバIC913は、終端抵抗Rの両端点p3, p4間に生じる約350mVの差動信号を検出してCMOSレベル(電源電圧の20~40%程度の電圧レベル。以下同様。)に変換し、変換後のビット情報信号を出力端子から出力する。

【0005】

LVDSでは、差動伝送ケーブル912の+側の信号線912aと-側の信号線912bとをそれぞれ流れる信号電流Isが同じ大きさを有し、かつ互いに逆の向きを有するので、それぞれに流れる電流によって発生する磁界は互いに打ち消しあうことに加えて、その信号レベルが小さいことから、不要輻射ノイズや、クロストークノイズの発生を抑制する。また、外来のノイズに対しても、影響の受け方が差動伝送ケーブル912の+側と-側とで相対的に同じであれば信号の論理値に影響しないので、LVDSはノイズ耐性にも優れている。しかしながら、LVDSに限らず、プリント配線基板、伝送ケーブル等の差動伝送線路や終端回路等の差動インピーダンスのミスマッチや、差動伝送ケーブル912の信号線912a, 912b間のスキューなどによっても、差動伝送ケーブル912にはわずかな同相のコモンモード電流が流れてしまう。図25の差動伝送ケーブル912において、ディファレンシャルモード電流成分は、終端抵抗Rによって整合して終端されるものの、コモンモード電流成分については回路上流れる経路がなく、プリント配線基板914a, 914bの持つ浮遊容量等を介してリターンする。そのため、差動伝送ケーブル912に発生するコモンモード電流成分が、LVDS伝送系から放射される不要輻射ノイズの主な原因となっていた。この点を解決するために、図26に示すように、2本の信号線912a, 912bを平行にかつ直近の位置関係にレイアウトし、差動インピーダンスのミスマッチを防いでいる(例えば、特許文献1を参照)。上述の方法では、2本の信号線912a, 912bから構成された差動伝送ケーブル912に流れるコモンモード電流が抑制され、伝送ノイズ及び不要輻射ノイズを抑制できる。

【0006】

しかしながら、図25及び図26の差動伝送回路では、通常のシングルエンド伝送方式に比べて、上述したような高速伝送における多くのメリットを有するが、1つのデータビットを伝送するために2本の信号線912a, 912bを必要とするので、多ビット伝送を実現するには信号線の数が多くなり、差動伝送ケーブル912が太くなること、また、プリント配線基板914a, 914b上の配線領域が大きくなることなどの問題点があった。この問題を解決する1つの方法として、3本の信号線を用いてその中の1つの信号線を相補データ線として利用することで、従来の差動伝送では4本の信号線が必要であった2つのデータビットの伝送を、3本の信号線で実現する方法が考えられている(例えば、特許文献2を参照)。

【0007】

図27は、第2の従来技術に係る差動伝送回路の概略構成を示す斜視図であり、図28は、図27の差動伝送ケーブル912Aの横断面図である。差動ドライバIC911Aと差動レシーバIC913Aとは、3本の信号線912a, 912b, 912cから構成された差動伝送ケーブル912Aにより接続される。差動ドライバIC911Aに入力された第1のビット情報信号は、信号線912a, 912bを介して差動レシーバIC913Aに伝送され、同様に、差動ドライバIC911Aに入力された第2のビット情報信号は、信号線912b, 912cを介して差動レシーバIC913Aに伝送される。信号線912a, 912bを終端するための終端抵抗と、信号線912b, 912cを終端するための終端抵抗とが、差動レシーバIC913A内に設けられる。差動伝送ケーブル912Aの3本の信号線912a, 912b, 912cを図28に示すように配置した場合、互いに近接する2本の信号線912a, 912b間及び912b, 912c間と、両サイド

の信号線 9 1 2 a, 9 1 2 c 間とでは、距離が異なり ($L 1 \neq L 3$ 、 $L 2 \neq L 3$)、差動インピーダンスを一定に保つことができないので互いの電磁界を打ち消すことができず、不要輻射ノイズを削減することができないという新しい課題が生じた。

【特許文献 1】特開 2 0 0 1 - 2 6 7 7 0 1 号。

【特許文献 2】特許第 3 5 0 7 6 8 7 号。

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 8】

本発明は以上の課題を解決し、3本の信号線を備えて複数の信号を伝送するための伝送ケーブルであって、不要輻射ノイズの少ない伝送ケーブルを提供することを目的とする。

10

【課題を解決するための手段】

【0 0 0 9】

第 1 の発明は、多重差動伝送システムに用いられ、3組の差動信号を多重伝送する伝送ケーブルであって、3本の信号線を備える伝送ケーブルである。伝送ケーブルの長手方向に垂直な断面において、3本の信号線のうちの任意の一对の信号線間の距離は、所定値に等しい。

そして、多重差動伝送システムは、信号送信機と、信号受信機と、を備える。信号送信機は、第 1、第 2 及び第 3 の信号線を有する差動伝送路に接続され、第 1 の差動ドライバと、第 2 の差動ドライバと、第 3 の差動ドライバと、を備える。第 1 の差動ドライバは、第 1 のビット情報信号に応答して、第 1 出力信号と、第 1 出力信号の位相反転信号である反転第 1 出力信号とを送信する。第 2 の差動ドライバは、第 2 のビット情報信号に応答して、第 2 出力信号と、第 2 出力信号の位相反転信号である反転第 2 出力信号とを送信する。第 3 の差動ドライバは、第 3 のビット情報信号に応答して、第 3 出力信号と、第 3 出力信号の位相反転信号である反転第 3 出力信号とを送信する。

20

【0 0 1 0】

そして、信号送信機は、第 1 出力信号と反転第 3 出力信号とを合成して第 1 の信号線に送信し、第 2 出力信号と反転第 1 出力信号とを合成して第 2 の信号線に送信し、第 3 出力信号と反転第 2 出力信号とを合成して第 3 の信号線に送信する。第 1 出力信号の 2 値信号電圧の絶対値と第 2 出力信号の 2 値信号電圧の絶対値とは同一であり、第 3 出力信号の 2 値信号電圧の絶対値と第 1 出力信号の 2 値信号電圧の絶対値は異なるものである。

30

【0 0 1 1】

信号受信機は、第 1、第 2 及び第 3 の信号線を有する差動伝送路に接続され、第 1 の差動レシーバと、第 2 の差動レシーバと、第 3 の差動レシーバと、比較手段と、制御手段と、を備える。

第 1 の差動レシーバは、第 1 の信号線と第 2 の信号線との間に接続された第 1 の終端抵抗に発生する終端電圧の極性を検出して、当該検出結果を第 1 のビット情報信号として出力する。第 2 の差動レシーバは、第 2 の信号線と第 3 の信号線との間に接続された第 2 の終端抵抗に発生する終端電圧の極性を検出して、当該検出結果を第 2 のビット情報信号として出力する。第 3 の差動レシーバは、第 3 の信号線と第 1 の信号線との間に接続された第 3 の終端抵抗に発生する終端電圧の極性を検出して、当該検出結果を第 3 のビット情報信号として出力する。比較手段は、第 3 の終端抵抗に発生する第 3 の終端電圧の絶対値が所定のしきい値電圧を超えるか否かを判断する。制御手段は、第 3 の終端電圧の絶対値が所定のしきい値電圧を超えるとき、第 1、第 2 及び第 3 の差動レシーバからそれぞれ出力される第 1、第 2 及び第 3 のビット情報信号を出力する一方、第 3 の終端電圧の絶対値が所定のしきい値電圧を超えないとき、第 3 の差動レシーバから出力される第 3 のビット情報信号に基づいて第 1、第 2 及び第 3 のすべてのビット情報信号を 0 または 1 として出力する。

40

【0 0 1 2】

そして、信号受信機において、しきい値電圧は、第 1 出力信号の 2 値信号電圧の絶対値と第 3 出力信号の 2 値信号電圧の絶対値との差の絶対値よりも大きくなるように設定され

50

る。

第2の発明は、第1の発明であって、3本の信号線は、3本の信号線の長手方向に互いにツイストされている。

【0013】

第3の発明は、誘電体にてなる芯線と、芯線の表面上に形成された3本の信号線と、を備えた伝送ケーブルであって、伝送ケーブルの長手方向に垂直な断面において、3本の信号線のうちの任意の一对の信号線間の距離は、所定値に等しい。

第4の発明は、第3の発明であって、多重差動伝送システムに用いられ、3組の差動信号を多重伝送する、伝送ケーブルである。多重差動伝送システムは、信号送信機と、信号受信機と、を備える。

【0014】

信号送信機は、第1、第2及び第3の信号線を有する差動伝送路に接続され、第1の差動ドライバと、第2の差動ドライバと、第3の差動ドライバと、を備える。第1の差動ドライバは、第1のビット情報信号に応答して、第1出力信号と、第1出力信号の位相反転信号である反転第1出力信号とを送信する。第2の差動ドライバは、第2のビット情報信号に応答して、第2出力信号と、第2出力信号の位相反転信号である反転第2出力信号とを送信する。第3の差動ドライバは、第3のビット情報信号に応答して、第3出力信号と、第3出力信号の位相反転信号である反転第3出力信号とを送信する。

【0015】

そして、信号送信機は、第1出力信号と反転第3出力信号とを合成して第1の信号線に送信し、第2出力信号と反転第1出力信号とを合成して第2の信号線に送信し、第3出力信号と反転第2出力信号とを合成して第3の信号線に送信する。第1出力信号の2値信号電圧の絶対値と第2出力信号の2値信号電圧の絶対値とは同一であり、第3出力信号の2値信号電圧の絶対値と第1出力信号の2値信号電圧の絶対値は異なるものである。

【0016】

信号受信機は、第1、第2及び第3の信号線を有する差動伝送路に接続され、第1の差動レシーバと、第2の差動レシーバと、第3の差動レシーバと、比較手段と、制御手段と、を備える。第1の差動レシーバは、第1の信号線と第2の信号線との間に接続された第1の終端抵抗に発生する終端電圧の極性を検出して、当該検出結果を第1のビット情報信号として出力する。第2の差動レシーバは、第2の信号線と第3の信号線との間に接続された第2の終端抵抗に発生する終端電圧の極性を検出して、当該検出結果を第2のビット情報信号として出力する。第3の差動レシーバは、第3の信号線と第1の信号線との間に接続された第3の終端抵抗に発生する終端電圧の極性を検出して、当該検出結果を第3のビット情報信号として出力する。比較手段は、第3の終端抵抗に発生する第3の終端電圧の絶対値が所定のしきい値電圧を超えるか否かを判断する。制御手段は、第3の終端電圧の絶対値が所定のしきい値電圧を超えるとき、第1、第2及び第3の差動レシーバからそれぞれ出力される第1、第2及び第3のビット情報信号を出力する一方、第3の終端電圧の絶対値が所定のしきい値電圧を超えないとき、第3の差動レシーバから出力される第3のビット情報信号に基づいて第1、第2及び第3のすべてのビット情報信号を0または1として出力する。そして、しきい値電圧は、第1出力信号の2値信号電圧の絶対値と第3出力信号の2値信号電圧の絶対値との差の絶対値よりも大きくなるように設定される。

【0017】

第5の発明は、第3または第4の発明であって、3本の信号線は、芯線の表面上に印刷された導体パターンとして形成されている。

第6の発明は、第3または第4の発明であって、3本の信号線は、芯線の表面上に形成された導体層をエッチングすることにより形成されたことを特徴とする。

第7の発明は、第3から第6のいずれかの発明であって、3本の信号線は、芯線の長手方向に沿って螺旋状に形成されている。

【0018】

第8の発明は、第1から第7のいずれかの発明であって、3本の信号線は、伝送ケーブ

10

20

30

40

50

ルの長手方向に垂直な断面において、伝送ケーブルの中心に関して120度の回転対称性を有する。

第9の発明は、第1から第7のいずれかの発明であって、伝送ケーブルは、当該伝送ケーブルの長手方向に垂直な断面において、当該伝送ケーブルの中心に関して120度の回転対称性を有する。

【発明の効果】

【0019】

本発明によれば、3本の信号線を有する伝送ケーブルにおいて、各信号線間の距離と差動インピーダンスを一定に保つことができるので、伝送される信号間の互いの電磁界を打ち消し、不要輻射ノイズの少ない多重差動伝送ケーブルを提供することができる。

10

特に、多重差動伝送システムにおいて、本発明の多重差動伝送ケーブルを用いることで、その効果は顕著となる。

【発明を実施するための最良の形態】

【0020】

以下、本発明に係る実施形態について図面を参照して説明する。なお、以下の各実施形態において、同様の構成要素については同一の符号を付している。

〔第1の実施形態〕

<1. 1：差動伝送ケーブル>

図1は、本発明の第1の実施形態に係る差動伝送回路の回路図であり、図2は、図1の差動伝送ケーブル2の構成を一部破断により示した斜視図であり、図3は、図1の差動伝送ケーブル2の横断面図である。本実施形態の差動伝送回路では、3本の信号線2a, 2b, 2cから構成された差動伝送ケーブル2を介して、3つのビット情報信号をLVDSにより差動伝送する。

20

【0021】

図1において、差動ドライバIC1と差動レシーバIC3とは、3本の信号線2a, 2b, 2cを備えて差動伝送線路として構成された差動伝送ケーブル2により接続され、差動ドライバIC1に入力された3つのビット情報信号は、差動伝送ケーブル2を介して差動レシーバIC3に伝送されて出力される。差動ドライバIC1及び差動レシーバIC3の内部の詳細構成と、信号伝送の詳細とについては後述する。図2及び図3を参照すると、信号線2a, 2b, 2cは、ゴム又はビニル等の絶縁被覆2aa, 2ba, 2caをそれぞれ備えた導線として構成され、また、互いに同じ断面形状を有するように構成される。信号線2a, 2b, 2cはさらに、その横断面を見たときに、信号線2a, 2bの中心O1, O2間の距離L1と、信号線2b, 2cの中心O2, O3間の距離L2と、信号線2c, 2aの中心O3, O1間の距離L3とが互いに等しくなるように配置される。従って、信号線2a, 2b, 2cのうちの任意の一对の信号線間の距離は所定値に等しく、さらに、図3に示すように、信号線2a, 2b, 2cから構成される差動伝送ケーブル2は、横断面において120度の回転対称性を有する。本実施形態の差動伝送ケーブル2は、上記の形状を備えたことにより、その効果として、3本の信号線2a, 2b, 2cを容易に等間隔に維持できるので、差動インピーダンスを一定に保つことができるとともに、信号電流で発生する電磁界を互いに打ち消すことができ、従って、不要輻射ノイズの少ない多重差動伝送ケーブル実現することができる。

30

40

【0022】

以下、差動伝送ケーブル2を用いて3つのビット情報信号を伝送する方法について詳述する。図1の差動伝送回路において、差動ドライバIC1は差動ドライバ回路1a, 1b, 1cを備えて構成され、差動レシーバIC3は、差動増幅器である差動レシーバ回路3a, 3b, 3cと終端抵抗R1, Rb, Rcとを備えて構成される。差動ドライバIC1及び差動レシーバIC3は、図26及び図27の差動伝送回路と同様に、別個のプリント配線基板（図示せず。）上にそれぞれ設けられる。

【0023】

差動ドライバIC1において、差動ドライバ回路1aの+側の出力端子a1は信号線2

50

aに接続され、その一側の出力端子a 2は信号線2 bに接続され、差動ドライバ回路1 bの+側の出力端子b 1は信号線2 bに接続され、その一側の出力端子b 2は信号線2 cに接続され、差動ドライバ回路1 cの+側の出力端子c 1は信号線2 cに接続され、その一側の出力端子c 2は信号線2 aに接続される。差動ドライバ回路1 a, 1 b, 1 cはそれぞれ約3. 5 mAの電流を駆動し、差動ドライバIC 1に到来するビット情報信号に応答して差動信号を発生させる。詳しくは、差動ドライバ回路1 aは、差動ドライバIC 1に到来する第1ビット情報信号に応答して、信号線2 a, 2 b間に電位差を生じるような差動信号(すなわち、所定振幅の信号と、その反転信号)を発生させる。例えば、ビット情報信号が「0」であるときには、差動ドライバ回路1 aは、+側の出力端子a 1から負の電位の信号を出力し、一側の出力端子a 2から正の電位の信号を出力する一方、ビット情報信号が「1」であるときには、差動ドライバ回路1 aは、+側の出力端子a 1から正の電位の信号を出力し、一側の出力端子a 2から負の電位の信号を出力する。同様に、差動ドライバ回路1 bは、差動ドライバIC 1に到来する第2ビット情報信号に応答して、信号線2 b, 2 c間に電位差を生じるような差動信号を発生させ、差動ドライバ回路1 cは、差動ドライバIC 1に到来する第3ビット情報信号に応答して、信号線2 c, 2 a間に電位差を生じるような差動信号を発生させる。差動伝送ケーブル2は、各信号線2 a, 2 b, 2 c間において、例えば50 Ω の奇モードインピーダンスを有する。信号線2 a, 2 b, 2 cの電気的特性は互いに等しく平衡な伝送線路を形成し、この3本の信号線2 a, 2 b, 2 cにより3つのビット情報信号の伝送を行う。また、差動レシーバIC 3において、信号線2 a, 2 bの対を終端するように終端抵抗R aが設けられ、信号線2 b, 2 cの対を終端するように終端抵抗R bが設けられ、信号線2 c, 2 aの対を終端するように終端抵抗R cが設けられる。終端抵抗R a, R b, R cは、例えば差動インピーダンスと等しい100 Ω の抵抗値をそれぞれ有し、各終端抵抗R a, R b, R cの両端には、差動ドライバ回路1 a, 1 b, 1 cが駆動した約3. 5 mAの電流の電流方向に従って、約+350 mV又は約-350 mVの電圧が発生する。差動レシーバ回路3 aは、終端抵抗R aの両端点間に生じる正又は負の電位を検出することにより、伝送された第1ビット情報信号を復元し、復元された第1ビット情報信号をCMOSレベルに変換して出力する。同様に、差動レシーバ回路3 bは、終端抵抗R bの両端点間に生じる正又は負の電位を検出することにより、伝送された第2ビット情報信号を復元し、復元された第2ビット情報信号をCMOSレベルに変換して出力し、差動レシーバ回路3 cは、終端抵抗R cの両端点間に生じる正又は負の電位を検出することにより、伝送された第2ビット情報信号を復元し、復元された第2ビット情報信号をCMOSレベルに変換して出力する。

【0024】

差動伝送ケーブル2を介してビット情報信号が伝送されたとき、差動レシーバIC 3は以下のように、伝送される前のビット情報信号を復元する。

表1は、伝送されるビット情報信号と、信号線2 a, 2 b, 2 cのそれぞれにおける差動レシーバ回路3 a, 3 b, 3 c側の端部における電位(終端電位)との関係を示したビット割り当て表である。終端電位の値は、説明の簡単化のために正規化してある。

【0025】

【表 1】

第1ビット 情報	第2ビット 情報	第3ビット 情報	信号線2aの 終端電位	信号線2bの 終端電位	信号線2cの 終端電位
0	0	0	0	0	0
0	0	1	-1	0	1
0	1	0	0	1	-1
0	1	1	-1	1	0
1	0	0	1	-1	0
1	0	1	0	-1	1
1	1	0	1	0	-1
1	1	1	0	0	0

10

【0026】

ここで、各信号線 2 a, 2 b, 2 c の終端電位について説明する。1 本の信号線には、ドライバ側において、2 つの差動ドライバ回路によって発生された 2 つの電圧信号 V_1 , V_2 が重畳されて印加され、レシーバ側において、レシーバ全体のインピーダンス Z が装荷される。信号線の内部抵抗を r とすると、信号線の終端電位 V は次式で表される。

【0027】

【数 1】

$$V = \frac{V_1 + V_2}{r + 2Z} Z \quad (1)$$

20

【0028】

ここで、 $r \ll Z$ とおくことができるので、近似的に次式で表される。

【0029】

【数 2】

$$V = \frac{1}{2}(V_1 + V_2) \quad (2)$$

【0030】

表 2 は、各終端抵抗 R_a , R_b , R_c における電流方向を示した表である。

【0031】

30

【表 2】

第1ビット 情報	第2ビット 情報	第3ビット 情報	終端抵抗 R_a での電流方向	終端抵抗 R_b での電流方向	終端抵抗 R_c での電流方向
0	0	1	-	-	+
0	1	0	-	+	-
0	1	1	-	+	+
1	0	0	+	-	-
1	0	1	+	-	+
1	1	0	+	+	-

40

【0032】

このように、差動伝送ケーブル 2 の各信号線 2 a, 2 b, 2 c に加わる電圧は、いずれのビット情報信号を伝送する場合においてもトータルで 0 となり、各信号線 2 a, 2 b, 2 c から輻射されるノイズが互いに打ち消しあうため、ノイズの少ない伝送が可能である。

< 1. 2 : 差動伝送線路(差動伝送ケーブル)を含む多重差動伝送システム >

ここで、より具体的に、本発明の実施形態に係る差動伝送線路(差動伝送ケーブル)を含む多重差動伝送システムについて説明する。

【0033】

(1. 2. 1 : 第 1 の多重差動伝送システム)

50

図 8 は、本発明の実施形態に係る差動伝送線路(差動伝送ケーブル)を含む第 1 の多重差動伝送システムの構成を示すブロック図である。図 8 において、第 1 の多重差動伝送システムは、信号送信機(差動ドライバ IC) 1 と信号受信機(差動レシーバ IC) 3 とが信号伝送路(差動伝送線路(差動伝送ケーブル)) 2 を介して接続されて構成される。信号送信機 1 は、(a) ハイレベル又はローレベルを有するビット情報信号 B 1 に応答して、第 1 出力信号 S 1 1 a とその位相反転信号である反転第 1 出力信号 S 1 1 b を出力する差動ドライバ 1 a と、

(b) ハイレベル又はローレベルを有するビット情報信号 B 2 に応答して、第 2 出力信号 S 1 2 a とその位相反転信号である反転第 2 出力信号 S 1 2 b を出力する差動ドライバ 1 b と、

(c) ハイレベル又はローレベルを有するビット情報信号 B 3 に応答して、第 3 出力信号 S 1 3 a とその位相反転信号である反転第 3 出力信号 S 1 3 b を出力する差動ドライバ 1 c とを備える。それぞれ出力信号の 2 値電圧レベルは ± 1 [V] で互いに等しく、差動ドライバ 1 a, 1 b, 1 c はクロック CLK の立ち上がりタイミングで各出力信号を送信するように動作する。

【0034】

信号伝送路(差動伝送線路(差動伝送ケーブル)) 2 は信号線 2 a, 2 b, 2 c により構成される。ここで、差動ドライバ 1 a からの第 1 出力信号 S 1 1 a と、差動ドライバ 1 c からの反転第 3 出力信号 S 1 3 b とが合成された後、信号線 2 a に送出される。また、差動ドライバ 1 b からの第 2 出力信号 S 1 2 a と、差動ドライバ 1 a からの反転第 1 出力信号 S 1 1 b とが合成された後、信号線 2 b に送出される。さらに、差動ドライバ 1 c からの第 3 出力信号 S 1 3 a と、差動ドライバ 1 b からの反転第 2 出力信号 S 1 2 b とが合成された後、信号線 2 c に送出される。

【0035】

信号受信機 3 は、それぞれビット情報判定器(図 1 4 を参照して後述するように、終端電圧 V 1, V 2, V 3 が負であるか否かを判断するコンパレータで構成される。)である 3 個の差動レシーバ 3 a, 3 b, 3 c と、クロック再生回路 2 4 と、3 個の終端抵抗 4 1, 4 2, 4 3 とを備えて構成される。信号線 2 a と信号線 2 b の間に終端抵抗 4 1 が接続され、当該終端抵抗 4 1 に流れる電流の方向又は終端抵抗 4 1 に発生する終端電圧 V 1 の極性は差動レシーバ 3 a により検出される。また、信号線 2 b と信号線 2 c の間に終端抵抗 4 2 が接続され、当該終端抵抗 4 2 に流れる電流の方向又は終端抵抗 4 2 に発生する終端電圧 V 2 の極性は差動レシーバ 3 b により検出される。さらに、信号線 2 c と信号線 2 a の間に終端抵抗 4 3 が接続され、当該終端抵抗 4 3 に流れる電流の方向又は終端抵抗 4 3 に発生する終端電圧 V 3 の極性は差動レシーバ 3 c により検出される。クロック再生回路 2 4 は、立ち上がり検出回路及び PLL 回路を含み構成され、3 本の信号線 2 a, 2 b, 2 c に伝送される伝送信号の立ち上がりエッジを検出することにより所定の周期を有するクロック CLK を再生して各差動レシーバ 3 a, 3 b, 3 c に出力する。各差動レシーバ 3 a, 3 b, 3 c は、入力されるクロック CLK の立ち上がりで後述するようにビット情報の判定を実行して、それぞれビット情報信号 B 1, B 2, B 3 を出力する。

【0036】

図 9 は、図 8 の各差動ドライバ 1 a, 1 b, 1 c の出力信号 S 1 1 a, S 1 1 b, S 1 2 a, S 1 2 b, S 1 3 a, S 1 3 b の信号波形と、電流方向又は信号電圧の極性の定義と、割り当てられるビット情報の関係を示す波形図であり、図 1 0 は図 8 の信号伝送路(差動伝送線路(差動伝送ケーブル)) 2 の信号線 2 a, 2 b, 2 c を介して伝送する伝送信号の信号電圧 V s 1, V s 2, V s 3 の信号波形と割り当てられるビット情報の関係を示す波形図である。各差動レシーバ 3 a, 3 b, 3 c は、入力されるビット情報信号に応じて、図 9 に示される出力信号を出力し、このとき、入力される 3 ビットのビット情報信号に応じて、信号伝送路(差動伝送線路(差動伝送ケーブル)) 2 の信号線 2 a, 2 b, 2 c を介して伝送する伝送信号の信号電圧 V s 1, V s 2, V s 3 は図 1 1 に示ようになる。

。

10

20

30

40

50

【0037】

図11は図8の多重差動伝送システムにおいて伝送されるビット情報と、信号伝送路（差動伝送線路(差動伝送ケーブル)）2の各信号線2a, 2b, 2cを伝送する伝送信号の信号電圧 V_{s1} , V_{s2} , V_{s3} との関係を示す図であり、図12は図8の信号線2a, 2b, 2cの信号電圧 V_{s1} , V_{s2} , V_{s3} を説明するための信号送信機1と各信号線2a, 2b, 2cとの等価回路を示す回路図である。ここで、各信号線2a, 2b, 2cの信号電圧 V_{s1} , V_{s2} , V_{s3} について、図11及び図12を参照して説明する。

【0038】

各信号線2a, 2b, 2cには2つの差動ドライバ(1a, 1b; 1b, 1c; 1c, 1a)からの信号電圧 V_{i1} , V_{i2} が重畳される。各差動ドライバ1a, 1b, 1cの内部抵抗を r とし、信号受信機3の終端抵抗41, 42, 43のインピーダンスを Z とする(差動レシーバ3a, 3b, 3cの入力インピーダンスは無限大(理想値)とする。)と、各信号線2a, 2b, 2cに発生する信号電圧 V_s は、次式で表される。

【0039】

【数3】

$$V_s = \frac{V_{i1} + V_{i2}}{r + 2Z} Z \quad (3)$$

10

20

【0040】

ここで、 $r \ll Z$ とおくことができるので、近似的に次式で表される。

【0041】

【数4】

$$V_s = \frac{1}{2} (V_{i1} + V_{i2}) \quad (4)$$

【0042】

図13は図8の多重差動伝送システムにおいて伝送されるビット情報と、信号受信機3の各終端抵抗41, 42, 43の終端電圧 V_1 , V_2 , V_3 の極性との関係を示す図である。

30

図13から明らかなように、3つの信号線2a, 2b, 2cに重畳したときに隣接する1対の信号線間に生じる電位差(終端抵抗41, 42, 43の終端電圧)により、その電流の方向又はその終端電圧の極性を判定することで、全ビットが0及び全ビットが1の場合以外の6状態において各差動ドライバ1a, 1b, 1cが出力したビット情報信号を復号することが可能である。また、信号伝送路(差動伝送線路(差動伝送ケーブル))2の各信号線2a, 2b, 2cに印加される信号電圧は、いずれのビット情報信号を伝送する場合においてもトータルで0となり、各信号線2a, 2b, 2cから輻射されるノイズが互いに打ち消しあうため、通常の差動伝送方法と同様にノイズの少ない伝送が可能である。

40

【0043】

図14は、図8の信号受信機3の各差動レシーバ3a, 3b, 3cによって実行されるビット情報判定処理を示すフローチャートである。

図14において、まず、ステップS1において各差動レシーバ3a, 3b, 3cによって、各終端抵抗41, 42, 43に流れる電流方向が負であるか否か、又は各終端抵抗41, 42, 43の終端電圧 V_i ($i=1, 2, 3$) が負であるか否かを判定する。YESのときはステップS2に進み、ビット情報 B_i に0を設定する一方、NOのときはステップS3に進みビット情報 B_i に1を設定する。そして、当該ビット情報判定処理を終了する。

【0044】

50

(1. 2. 2: 第2の多重差動伝送システム)

図15は、本発明の実施形態に係る差動伝送線路(差動伝送ケーブル)を含む第2の多重差動伝送システムの構成を示すブロック図である。図15において、第2の多重差動伝送システムは、信号送信機(差動ドライバIC)1Aと信号受信機(差動レシーバIC)3Aとが信号伝送路(差動伝送線路(差動伝送ケーブル))2を介して接続されて構成される。信号送信機1Aは、第1の多重差動伝送システムと同様に、3個の差動ドライバ1a, 1b, 13Aを備え、差動ドライバ1a, 1b, 13Aと信号線2a, 2b, 2cとの接続方法は第1の多重差動伝送システムと同様であり、差動ドライバ1aと差動ドライバ1bの出力信号の2値電圧レベルは ± 1 [V]で等しいが、差動ドライバ13Aの出力信号の2値電圧レベルは ± 1.5 [V]であって、その絶対値は差動ドライバ1a, 1bと比較して高く設定されている。

【0045】

信号受信機3Aは、第1の多重伝送システムの信号受信機3と比較して、しきい値電圧源44を有する比較器25と、比較器25からの出力信号により連動して切り替え制御される切替スイッチ26, 27と、絶対値演算器28とをさらに備えたことを特徴としている。第2の多重伝送システムにおいて、絶対値演算器28は終端抵抗43の終端電圧 V_3 を検出した後、その絶対値 $|V_3|$ を演算して、それを示す電圧信号を比較器25の非反転入力端子に出力する。比較器25は終端電圧 V_3 の絶対値 $|V_3|$ をしきい値電圧源44からのしきい値電圧 V_{th} と比較して、 $|V_3| > |V_{th}|$ のときハイレベルの制御信号を切替スイッチ26, 27に出力することにより、切替スイッチ26, 27を接点a側に切り替える一方、 $|V_3| \leq |V_{th}|$ のときローレベルの制御信号を切替スイッチ26, 27に出力することにより、切替スイッチ26, 27を接点b側に切り替える。各差動レシーバ3a, 3b, 3cは、入力されるクロックCLKの立ち上がりで後述するようにビット情報の判定を実行して、それぞれビット情報信号B1, B2, B3を出力する。ここで、切替スイッチ26, 27が接点a側に切り替えられているとき(図19のステップS11でYESのときでステップS21-S23の処理が実行される。)差動レシーバ3aからのビット情報信号B1は切替スイッチ26の接点a側を介して出力され、差動レシーバ3bからのビット情報信号B2は切替スイッチ27の接点a側を介して出力され、差動レシーバ3cからのビット情報信号B3はそのまま出力される。一方、切替スイッチ26, 27が接点b側に切り替えられているとき(図19のステップS11でNOのときでステップS12-S14の処理が実行される。)差動レシーバ3cからのビット情報信号B3の判定結果(000又は111)を有するビット情報信号がビット情報信号B1, B2, B3として出力される。

【0046】

差動ドライバ1a, 1b, 13Aの各出力信号の2値信号電圧の絶対値を V_{d1} , V_{d2} , V_{d3} とすると、第2の多重差動伝送システムにおける設定条件($V_{d3} > V_{d1}$ (例えば、 $V_{d1} = V_{d2} = 1.0$ [V]; $V_{d3} = 1.5$ [V]のとき))においては、ビット情報信号000、111とその他全部のビット情報信号を区別する方法であって、以下の条件のもとで実行できる。

(1) $|V_{d1}| = |V_{d2}|$

(2) $|V_{d3}| \neq |V_{d1}|$: $V_{d3} = V_{d1}$ のとき、ビット情報信号000, 111を送ると各信号線間電位差が0になり判定不可となるため。

(3) $|V_{d3}| \neq |3V_{d1}|$: $V_{d3} = 3V_{d1}$ のとき、ビット情報信号010~101を送ると各信号線間電位差に0が発生し判定不可となるため。

(4) $|V_{d3}| > |V_{d1}|/2$: しきい値 $|V_{th}|$ が0以下になり判定不可となるため。

(5) $|V_{d1} - V_{d3}| < |V_{th}|$: しきい値条件である。これにより、比較器25及び絶対値演算器28でのみ判断可能となる。

【0047】

当該第1の設定例において、しきい値 V_{th} は 0.5 [V] $< V_{th} < 1.0$ [V]と

なるように設定され、例えば、 $V_{th} = 0.8 [V]$ である。

図 16 は、図 15 の各差動ドライバ 1 a, 1 b, 13 A の出力信号 S_{11a} , S_{11b} , S_{12a} , S_{12b} , S_{13a} , S_{13b} の信号波形を示す信号波形図である。また、図 17 は、図 15 の信号伝送路（差動伝送線路（差動伝送ケーブル））2 の信号線 2 a, 2 b, 2 c を介して伝送する伝送信号の信号電圧 V_{s1} , V_{s2} , V_{s3} の信号波形と割り当てられるビット情報の関係を示す波形図である。さらに、図 18 は図 15 の多重差動伝送システムにおいて伝送されるビット情報と、各信号線 2 a, 2 b, 2 c を伝送する伝送信号の信号電圧 V_{s1} , V_{s2} , V_{s3} と、信号受信機 3 A の各終端抵抗 4 1, 4 2, 4 3 の終端電圧 V_1 , V_2 , V_3 とその極性との関係を示す図である。

【0048】

10

以上説明したように、1 つの差動ドライバ 13 A のみの信号電圧レベルを他の差動ドライバ 1 a, 1 b の信号電圧レベルと異なる値とし、全ビット補償回路を形成する回路素子 25-28 を具備することで、全ビットが 0 及び全ビットが 1 の場合も含めた全 8 状態のビット情報信号を復号することが可能である。また、信号伝送路（差動伝送線路（差動伝送ケーブル））2 の各信号線 2 a, 2 b, 2 c に印加される信号電圧は、いずれのビット情報信号を伝送する場合においてもトータルで 0 となり、各信号線 2 a, 2 b, 2 c から輻射されるノイズが互いに打ち消しあうため、通常の差動伝送方法と同様にノイズの少ない伝送が可能である。

【0049】

20

図 19 は、図 15 の多重差動伝送システムにおいて信号受信機 3 A の各差動レシーバ 3 a, 3 b, 3 c 及び比較器 25 によって実行されるビット情報判定処理の第 1 の実施例を示すフローチャートである。

図 19 において、まず、ステップ S 11 において比較器 25 により終端抵抗 4 3 の終端電圧 V_3 の絶対値 $|V_3|$ がしきい値 V_{th} を超えるか否かを判断する。なお、本多重伝送システムでは、 $|V_1 - V_3| < |V_{th}|$ は上述のしきい値条件（ $|V_{d1} - V_{d3}| < |V_{th}|$ ）で予め設定されている。ステップ S 11 で NO のときはステップ S 12 に進み一方、YES のときはステップ S 21 に進み、各差動レシーバ 3 a, 3 b, 3 c によって各終端抵抗 4 1, 4 2, 4 3 の終端電圧 V_i ($i = 1, 2, 3$) の極性が負であるか否かが判断され、YES のときはステップ S 22 に進みビット情報信号 B_i に 0 を設定する一方、NO のときはステップ S 23 に進みビット情報信号 B_i に 1 を設定する。そして、当該ビット情報判定処理を終了する。ステップ S 12 において終端抵抗 4 3 の終端電圧 V_3 が負であるか否かが判断され、YES のときはステップ S 13 に進み全ビット情報信号 B_1 , B_2 , B_3 に 0 を設定する一方、NO のときはステップ S 14 に進み全ビット情報信号 B_1 , B_2 , B_3 に 1 を設定する。そして、当該ビット情報判定処理を終了する。

30

【0050】

《変形例》

図 20 は、第 2 の多重差動伝送システムの変形例に係る多重差動伝送システムの構成を示すブロック図である。本変形例の多重差動伝送システムは、図 15 の第 2 の多重差動伝送システムに比較して、図 20 に示すように、信号受信機 3 A に代えて、信号受信機 3 B を備え、信号受信機 3 B において、切替スイッチ 26, 27 に代えて、プログラムメモリ 50 a を有して図 21 のビット情報判定処理（プログラムメモリ 50 a に予め格納される。）を実行する復号処理器 50 を備えたことを特徴としている。なお、絶対値演算器 28 は、終端抵抗 4 2 の終端電圧 V_2 を検出してその絶対値 $|V_2| = |V_1 + V_3|$ を演算してその演算結果を示す信号を比較器 25 の非反転入力端子に出力する。

40

【0051】

本変形例に係る多重差動伝送システムにおいては、ビット情報信号 000 及び 110 と、111 及び 000 とを区別する方法であって、以下の条件のもとで実行できる。

(1) $|V_{d1}| = |V_{d2}|$

(2) $|V_{d3}| \neq |V_{d1}|$: $V_{d3} = V_{d1}$ のとき、ビット情報 000, 111 を送

50

ると各信号線間電位差が 0 になり判定不可となるため。

(3) $|V_{d3}| \neq |3V_{d1}|$: $V_{d3} = 3V_{d1}$ のとき、ビット情報 010 ~ 101 を送ると各信号線間電位差に 0 が発生し判定不可となるため。

(4) $|V_{d1} - V_{d3}| < |V_{th}|$: しきい値条件である。これにより、比較器 25 及び絶対値演算器 28 でのみ判断可能となる。なお、図 20 において、絶対値演算器 28 は終端電圧 V_2 の絶対値 $|V_2|$ を演算して比較器 25 に出力する。

【0052】

図 20 において、復号処理器 50 は例えば CPU 又は DSP で構成され、クロック再生回路 24 からのクロックに同期して、差動レシーバ 3a, 3b, 3c 及び比較器 25 からの各信号に基づいて、プログラムメモリ 50a に格納された図 21 のビット情報判定処理を実行することにより、復号処理を実行してビット情報信号 B1, B2, B3 を発生して出力する。

【0053】

図 21 は、図 20 の多重差動伝送システムにおいて信号受信機 3B の復号処理器 50 によって実行されるビット情報判定処理の第 2 の実施例を示すフローチャートである。図 21 において、ステップ S21 - S23 は差動レシーバ 3a, 3b, 3c により実行される処理であり、ステップ S24 は復号処理器 50 単独で実行される処理であり、ステップ S11 - S14 は差動レシーバ 3c 及び比較器 25 により実行される処理である。

【0054】

図 21 において、まず、各差動レシーバ 3a, 3b, 3c によって各終端抵抗 41, 42, 43 の終端電圧 V_i ($i = 1, 2, 3$) の極性が負であるか否かが判断され、YES のときはステップ S22 に進みビット情報信号 B_i に 0 を設定する一方、NO のときはステップ S23 に進みビット情報信号 B_i に 1 を設定した後、ステップ S24 に進む。ステップ S24 では、ビット情報信号 B1, B2, B3 が 000、001、110 又は 111 であるか否かが判断され、YES のときはステップ S11 に進む一方、NO のときは当該ビット情報判定処理を終了する。ステップ S11 において比較器 25 により終端抵抗 43 の終端電圧 V_2 の絶対値 $|V_2| = |V_1 + V_3|$ がしきい値 V_{th} を超えるか否かを判断する。なお、本変形例では、 $|V_1 - V_3| < |V_{th}|$ は上述のしきい値条件 ($|V_{d1} - V_{d3}| < |V_{th}|$) で予め設定されている。ステップ S11 で NO のときはステップ S12 に進み一方、YES のときは当該ビット情報判定処理を終了する。ステップ S12 において終端抵抗 43 の終端電圧 V_3 が負であるか否かが判断され、YES のときはステップ S13 に進み全ビット情報信号 B1, B2, B3 に 0 を設定する一方、NO のときはステップ S14 に進み全ビット情報信号 B1, B2, B3 に 1 を設定する。

【0055】

(1. 2. 3 : 第 3 の多重差動伝送システム)

図 22 は、本発明の実施形態に係る差動伝送線路(差動伝送ケーブル)を含む第 3 の多重差動伝送システム(図 15 の構成を用いて設定条件のみ異なる。)において伝送されるビット情報と、各信号線 2a, 2b, 2c を伝送する伝送信号の各信号電圧 V_{s1} , V_{s2} , V_{s3} と、信号受信機 3 (または 3A) の各終端抵抗 41, 42, 43 の終端電圧 V_1 , V_2 , V_3 とその極性との関係を示す図である。第 3 の多重差動伝送システムは、第 2 の多重差動伝送システムと比較して設定条件のみが異なり、 $V_{d3} < V_{d1}$ (例えば、 $V_{d1} = V_{d2} = 1.0$ [V] ; $V_{d3} = 0.8$ [V] のとき) と設定されることを特徴としている。なお、装置構成は図 15 の多重差動伝送システムを用いる。

【0056】

図 23 は、第 3 の多重差動伝送システムにおいて、信号受信機 3A の各差動レシーバ 3a, 3b, 3c 及び比較器 25 によって実行されるビット情報判定処理の第 3 の実施例を示すフローチャートである。図 23 のビット情報判定処理は、図 19 のビット情報判定処理と比較して、ステップ S13 の処理と、ステップ S14 の処理が入れ替わるのみである。以上のように構成された第 3 の多重差動伝送システムは、第 2 の多重差動伝送システムと同様の作用効果を有する。

【0057】

《変形例》

図24は、第3の多重差動伝送システムの変形例に係る多重差動伝送システム（図20の構成を用いて設定条件のみ異なる。）において信号受信機3Bの復号処理器50によって実行されるビット情報判定処理の本変形例を示すフローチャートである。ここで、装置構成は図20の多重差動伝送システムを用いる。図24のビット情報判定処理は、図21のビット情報判定処理に比較して、ステップS13の処理と、ステップS14の処理が入れ替わるのみである。以上のように構成された第3の多重差動伝送システムの変形例の多重差動伝送システムは、第2の多重差動伝送システムの変形例の多重差動伝送システムと同様の作用効果を有する。

10

【0058】

以上説明したように、本実施形態の差動伝送ケーブル2は、3本の信号線2a, 2b, 2cを容易に等間隔に維持できるので、差動インピーダンスを一定に保つことができるとともに、信号電流で発生する電磁界を互いに打ち消すことができ、従って、不要輻射ノイズの少ない多重差動伝送ケーブル実現することができる。

《第1の実施形態の変形例》

図4は、本発明の第1の実施形態の変形例に係る差動伝送ケーブル2Aの構成を一部破断により示した斜視図である。図4の差動伝送ケーブル2Aは、図2及び図3に示す差動伝送ケーブル2を、当該ケーブルの長手方向にわたって、長さL4を周期（又はピッチ）として1回転するようにツイストさせた構成を有する。差動伝送ケーブル2Aを構成する信号線2a, 2b, 2cのうちで、対になる信号線2a, 2bの各位置は、1つのピッチの半分の区間毎に互いに反転し、この反転の前後で電磁界が互いに打ち消し合う。信号線2b, 2cの対及び信号線2c, 2aの対においても同様に、電磁界の打ち消しが生じる。また、図2及び図3に示す差動伝送ケーブル2と同様に、信号線2a, 2b, 2cは、その横断面を見たときに、信号線2a, 2b, 2cのうちの任意の一对の信号線間の距離が所定値に等しくなるように配置され、従って、信号線2a, 2b, 2cから構成される差動伝送ケーブル2Aは、横断面において120度の回転対称性を有する。本変形例の差動伝送ケーブル2Aは、上記の形状を備えたことにより、図2及び図3の差動伝送ケーブル2の効果に加えて、3本の信号線2a, 2b, 2cを容易に等長に維持するとともにツイストさせた構成を維持できるので、信号電流で発生する電磁界はピッチの半分の区間毎に反転して互いに打ち消しあい、従って、不要輻射ノイズの少ない多重差動伝送ケーブルを実現することができる。

20

30

【0059】

〔第2の実施形態〕

図5は、本発明の第2の実施形態に係る差動伝送ケーブル2Bの構成を一部破断により示した斜視図であり、図6は、図5の差動伝送ケーブル2Bの横断面図である。図5及び図6を参照すると、ガラスエポキシ等の誘電体によって形成された誘電体芯線2dの表面上において、所定幅を有する導体にてなる信号線2a, 2b, 2cが、誘電体芯線2dの長手方向に沿って形成される。信号線2a, 2b, 2cは、第1の実施形態の場合と同様に、その横断面を見たときに、信号線2a, 2bの中心O1, O2間の距離L1と、信号線2b, 2cの中心O2, O3間の距離L2と、信号線2c, 2aの中心O3, O1間の距離L3とが互いに等しくなるように形成される。従って、信号線2a, 2b, 2cのうちの任意の一对の信号線間の距離は所定値に等しくなるように形成され、さらに、図6に示すように、信号線2a, 2b, 2cから構成される差動伝送ケーブル2Bは、横断面において120度の回転対称性を有する。信号線2a, 2b, 2cは、例えば、誘電体芯線2dの表面全体に形成された導体層（例えば銅箔）をエッチングすることにより導体パターンとして形成することができる。また、それに代わって、信号線2a, 2b, 2cは、誘電体芯線2dに対して導体パターンを印刷することによって形成してもよく、又は、導線である信号線2a, 2b, 2cを誘電体芯線2dに接着してもよい。

40

【0060】

50

図 5 及び図 6 では、誘電体芯線 2 d は円形の横断面形状を有するものとして示したが、多角形などの他の横断面形状を有してもよい。また、誘電体芯線 2 d は、ガラスエポキシに代えて、可撓性の誘電歪材料にて構成されてもよい。なお、好ましくは、差動伝送ケーブル 2 B の周囲に、ゴム又はビニル等の絶縁被覆をさらに形成することができるが、図示の簡単化のために省略した。

【0061】

本実施形態に係る差動伝送ケーブル 2 B によれば、第 1 の実施形態に係る差動伝送ケーブル 2, 2 A と同様に、その効果として、3 本の信号線 2 a, 2 b, 2 c を容易に等間隔に維持できるので、差動インピーダンスを一定に保つことができるとともに、信号電流で発生する電磁界を互いに打ち消すことができ、従って、不要輻射ノイズの少ない多重差動伝送ケーブル実現することができる。

10

【0062】

《第 2 の実施形態の変形例》

図 7 は、本発明の第 2 の実施形態の変形例に係る差動伝送ケーブル 2 C の構成を一部破断により示した斜視図である。図 4 を参照して説明した差動伝送ケーブル 2 A の場合、被覆付きの導線である信号線 2 a, 2 b, 2 c をツイストさせるので、ピッチ間にばらつきが生じる可能性があるという問題点がある。本変形例は、この問題点を解決するものである。

【0063】

図 7 を参照すると、信号線 2 a, 2 b, 2 c は、誘電体芯線 2 d の表面上において、信号線 2 a, 2 b, 2 c のうちの任意の一对の信号線間の距離が所定値に等しくなるように形成されるとともに、誘電体芯線 2 d の長手方向に沿って螺旋状に形成される。従って、図 7 の差動伝送ケーブル 2 C は、図 5 及び図 6 に示す差動伝送ケーブル 2 B の信号線 2 a, 2 b, 2 c を、誘電体芯線 2 d の表面上において長さ L 4 を周期（又はピッチ）として 1 回転するようにツイストさせた構成を有し、これにより、図 4 の差動伝送ケーブル 2 A と同様に、信号電流で発生する電磁界の打ち消しを達成することができる。また、図 5 及び図 6 に示す差動伝送ケーブル 2 B と同様に、信号線 2 a, 2 b, 2 c は、その横断面を見たときに、信号線 2 a, 2 b, 2 c のうちの任意の一对の信号線間の距離が所定値に等しくなるように配置され、従って、信号線 2 a, 2 b, 2 c から構成される差動伝送ケーブル 2 C は、横断面において 120 度の回転対称性を有する。

20

30

【0064】

信号線 2 a, 2 b, 2 c は、図 5 及び図 6 の差動伝送ケーブル 2 B の場合と同様に、導体パターンとして形成してもよく、それに代わって、導線である信号線 2 a, 2 b, 2 c を誘電体芯線 2 d に接着してもよい。例えば、誘電体芯線 2 d に対して導体パターンの信号線 2 a, 2 b, 2 c を印刷して形成する場合には、誘電体芯線 2 d を回転させながら信号線 2 a, 2 b, 2 c を印刷してもよく、又は、固定された誘電体芯線 2 d に対して、導体パターン用の印刷ヘッドを回転させながら信号線 2 a, 2 b, 2 c を印刷してもよい。

【0065】

本変形例の差動伝送ケーブル 2 C は、上記の形状を備えたことにより、図 5 及び図 6 の差動伝送ケーブル 2 B の効果に加えて、3 本の信号線 2 a, 2 b, 2 c を容易に等長かつ等間隔に維持するとともにツイストさせた構成を維持できるので、信号電流で発生する電磁界はピッチの半分の区間毎に反転して互いに打ち消しあい、また、信号線 2 a, 2 b, 2 c を導体パターンとして形成するので、ピッチ間のばらつきも発生しない。従って、本変形例の差動伝送ケーブル 2 C によれば、不要輻射ノイズの少ない多重差動伝送ケーブルを実現することができる。

40

【0066】

《変形例》

図 1 を参照して説明した実施形態では、差動伝送ケーブル 2 の奇モードインピーダンスを 50 Ω とし、その差動インピーダンスを 100 Ω として説明したが、インピーダンスはその他の値をとってもよい。また、説明した実施形態では、差動ドライバ IC 1 の中に 3

50

つの差動ドライバ回路 1 a, 1 b, 1 c が形成され、差動レシーバ I C 3 の中に 3 つの終端抵抗 R a, R b, R c と 3 つの差動レシーバ回路 3 a, 3 b, 3 c が形成された場合を例として説明したが、1 つの I C に 1 つの回路が形成された I C を複数個プリント配線基板上に実装することによっても、同様の効果を有する。また、説明した実施形態では、差動レシーバ I C 3 の中に終端抵抗 R a, R b, R c が形成された場合を例として説明したが、終端抵抗 R a, R b, R c を外付け部品としてプリント配線基板上に実装することによっても、同様の効果を有する。

【0067】

また、説明した実施形態では、L V D S を例として説明したが、その他の差動伝送方式であっても、同様の効果を有する。また、説明した実施形態では多重差動伝送方式の例を示したが、3 本の信号線を用いた他の差動伝送方式又は他の信号伝送方式にも関しても、同様の効果を有する。

第 1 又は第 2 の実施形態に係る差動伝送ケーブル 2, 2 A, 2 B, 2 C を導電性材料によりシールドすることにより、さらに不要輻射ノイズを低減することができる。

【0068】

[付記]

本発明は、次のように表現することも可能である。

(付記 8)

3 本の信号線を備え、3 組の差動信号を多重伝送する伝送ケーブルにおいて、
当該伝送ケーブルの長手方向に垂直な断面において、上記 3 本の信号線のうちの任意の
一対の信号線間の距離は所定値に等しいことを特徴とする、
伝送ケーブル。

【0069】

(付記 9)

上記伝送ケーブルは、当該伝送ケーブルの長手方向にわたってツイストされていることを特徴とする、

付記 1 記載の伝送ケーブル。

(付記 10)

上記伝送ケーブルは、誘電体にてなる芯線をさらに備え、

上記 3 本の信号線は上記芯線の表面上に形成されたことを特徴とする、

付記 1 記載の伝送ケーブル。

【0070】

(付記 11)

誘電体にてなる芯線と、

上記芯線の表面上に形成された 3 本の信号線と、を備えた伝送ケーブルであって、

当該伝送ケーブルの長手方向に垂直な断面において、上記 3 本の信号線のうちの任意の
一対の信号線間の距離は所定値に等しいことを特徴とする、

伝送ケーブル。

【0071】

(付記 12)

上記 3 本の信号線は、上記芯線の表面上に印刷された導体パターンとして形成されたことを特徴とする、

付記 3 又は 4 記載の伝送ケーブル。

(付記 13)

上記 3 本の信号線は、上記芯線の表面上に形成された導体層をエッチングすることにより形成されたことを特徴とする、

付記 3 又は 4 記載の伝送ケーブル。

【0072】

(付記 14)

上記 3 本の信号線は、上記芯線の長手方向に沿って螺旋状に形成されたことを特徴とす

10

20

30

40

50

る、

付記 3 乃至 6 のうちのいずれか 1 つに記載の伝送ケーブル。

(付記 1 5)

上記 3 本の信号線は、上記伝送ケーブルの長手方向に垂直な断面において、上記伝送ケーブルの中心に関して 120 度の回転対称性を有することを特徴とする、

付記 1 乃至 7 のうちのいずれか 1 つに記載の伝送ケーブル。

【0073】

(付記 1 6)

上記伝送ケーブルは、当該伝送ケーブルの長手方向に垂直な断面において、当該伝送ケーブルの中心に関して 120 度の回転対称性を有することを特徴とする、

付記 1 乃至 7 のうちのいずれか 1 つに記載の伝送ケーブル。

【産業上の利用可能性】

【0074】

本発明の伝送ケーブルは、3本の信号線を有する伝送ケーブルの長手方向の全体にわたって、各信号線間の距離及び横断面形状を一定に保つことができ、さらに3本の信号線をツイストさせた構成を維持することができるので、不要輻射ノイズの少ない多重差動伝送ケーブルとして有用である。

【図面の簡単な説明】

【0075】

【図1】本発明の第1の実施形態に係る差動伝送回路の回路図である。

【図2】図1の差動伝送ケーブル2の構成を一部破断により示した斜視図である。

【図3】図1の差動伝送ケーブル2の横断面図である。

【図4】本発明の第1の実施形態の変形例に係る差動伝送ケーブル2Aの構成を一部破断により示した斜視図である。

【図5】本発明の第2の実施形態に係る差動伝送ケーブル2Bの構成を一部破断により示した斜視図である。

【図6】図5の差動伝送ケーブル2Bの横断面図である。

【図7】本発明の第2の実施形態の変形例に係る差動伝送ケーブル2Cの構成を一部破断により示した斜視図である。

【図8】本発明の第1の実施形態に係る差動伝送線路（差動伝送ケーブル）を含む第1の多重差動伝送システムの構成を示すブロック図である。

【図9】図8の各差動ドライバ1a, 1b, 1cの出力信号S11a, S11b, S12a, S12b, S13a, S13bの信号波形と、電流方向又は信号電圧の極性の定義と、割り当てられるビット情報の関係を示す波形図である。

【図10】図8の信号伝送路（差動伝送線路（差動伝送ケーブル））2の信号線2a, 2b, 2cを介して伝送する伝送信号の信号電圧Vs1, Vs2, Vs3の信号波形と割り当てられるビット情報の関係を示す波形図である。

【図11】図8の多重差動伝送システムにおいて伝送されるビット情報と、信号伝送路（差動伝送線路）2の各信号線2a, 2b, 2cの各信号電圧Vs1, Vs2, Vs3との関係を示す図である。

【図12】図8の信号線2a, 2b, 2cの各信号電圧Vs1, Vs2, Vs3を説明するための信号送信機1と各信号線2a, 2b, 2cとの等価回路を示す回路図である。

【図13】図8の多重差動伝送システムにおいて伝送されるビット情報と、信号受信機3の各終端抵抗41, 42, 43の終端電圧V1, V2, V3の極性との関係を示す図である。

【図14】図8の信号受信機3の各差動レシーバ3a, 3b, 3cによって実行されるビット情報判定処理を示すフローチャートである。

【図15】本発明の第1の実施形態に係る差動伝送線路（差動伝送ケーブル）を含む第2の多重差動伝送システムの構成を示すブロック図である。

【図16】図15の各差動ドライバ1a, 1b, 13Aの出力信号S11a, S11b,

10

20

30

40

50

S 1 2 a, S 1 2 b, S 1 3 a, S 1 3 b の信号波形を示す信号波形図である。

【図 1 7】図 1 5 の信号伝送路（差動伝送線路（差動伝送ケーブル））2 の信号線 2 a, 2 b, 2 c を介して伝送する伝送信号の信号電圧 V_{s1} , V_{s2} , V_{s3} の信号波形と割り当てられるビット情報の関係を示す波形図である。

【図 1 8】図 1 5 の多重差動伝送システムにおいて伝送されるビット情報と、各信号線 2 a, 2 b, 2 c を伝送する伝送信号の信号電圧 V_{s1} , V_{s2} , V_{s3} と、信号受信機 3 A の各終端抵抗 4 1, 4 2, 4 3 の終端電圧 V_1 , V_2 , V_3 とその極性との関係を示す図である。

【図 1 9】図 1 5 の多重差動伝送システムにおいて信号受信機 3 A の各差動レシーバ 3 a, 3 b, 3 c 及び比較器 2 5 によって実行されるビット情報判定処理の第 1 の実施例を示すフローチャートである。

10

【図 2 0】第 2 の多重差動伝送システムの変形例に係る多重差動伝送システムの構成を示すブロック図である。

【図 2 1】図 2 0 の多重差動伝送システムにおいて信号受信機 3 B の復号処理器 5 0 によって実行されるビット情報判定処理の第 2 の実施例を示すフローチャートである。

【図 2 2】本発明の第 1 の実施形態に係る差動伝送線路（差動伝送ケーブル）を含む第 3 の多重差動伝送システム（図 1 5 の構成を用いて設定条件のみ異なる。）において伝送されるビット情報と、各信号線 2 a, 2 b, 2 c を伝送する伝送信号の各信号電圧 V_{s1} , V_{s2} , V_{s3} と、信号受信機 3 B の各終端抵抗 4 1, 4 2, 4 3 の終端電圧 V_1 , V_2 , V_3 とその極性との関係を示す図である。

20

【図 2 3】第 3 の多重差動伝送システムにおいて信号受信機 3 B の各差動レシーバ 3 a, 3 b, 3 c 及び比較器 2 5 によって実行されるビット情報判定処理の第 3 の実施例を示すフローチャートである。

【図 2 4】第 3 の多重差動伝送システムの変形例に係る多重差動伝送システム（図 2 0 の構成を用いて設定条件のみ異なる。）において信号受信機 3 B の復号処理器 5 0 によって実行されるビット情報判定処理の第 4 の実施例を示すフローチャートである。

【図 2 5】第 1 の従来技術に係る差動伝送回路の回路図である。

【図 2 6】図 2 5 の差動伝送回路の概略構成を示す斜視図である。

【図 2 7】第 2 の従来技術に係る差動伝送回路の概略構成を示す斜視図である。

【図 2 8】図 2 7 の差動伝送ケーブル 9 1 2 A の横断面図である。

30

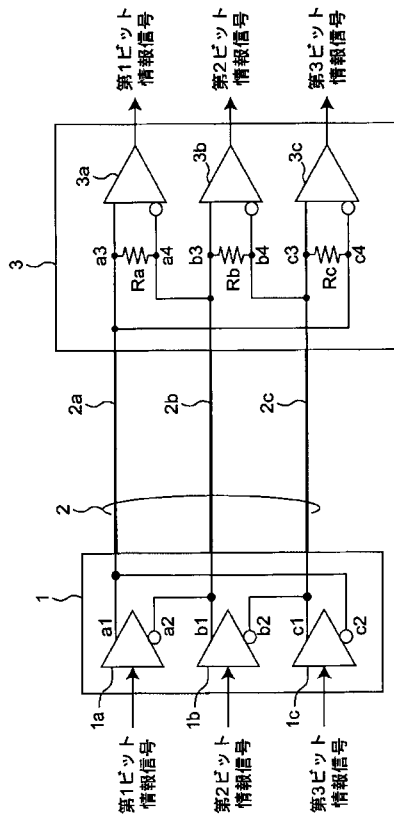
【符号の説明】

【0 0 7 6】

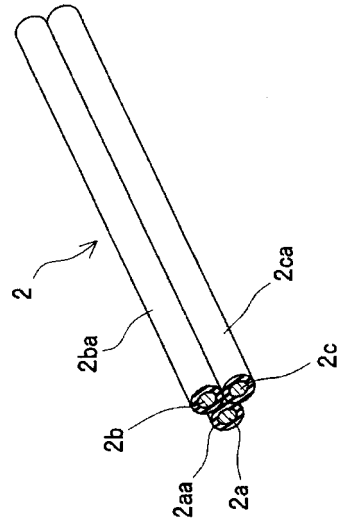
- 1, 1 A … 差動ドライバ IC、
- 1 a, 1 b, 1 c … 差動ドライバ回路、
- 2, 2 A, 2 B, 2 C … 差動伝送ケーブル、
- 2 a, 2 b, 2 c … 信号線、
- 2 a a, 2 b a, 2 c a … 絶縁被覆、
- 2 d … 誘電体芯線、
- 3, 3 A, 3 B … 差動レシーバ IC、
- 3 a, 3 b, 3 c … 差動レシーバ回路、
- R a, R b, R c … 終端抵抗。

40

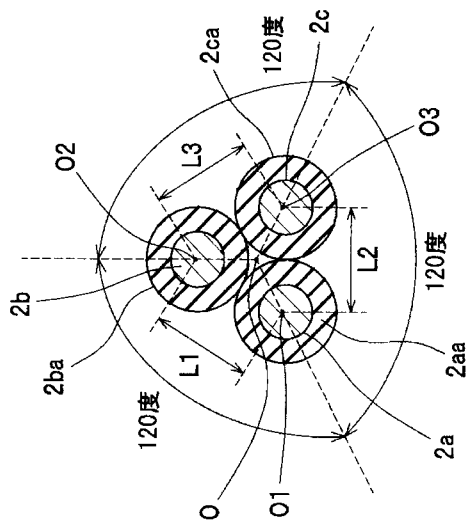
【図 1】



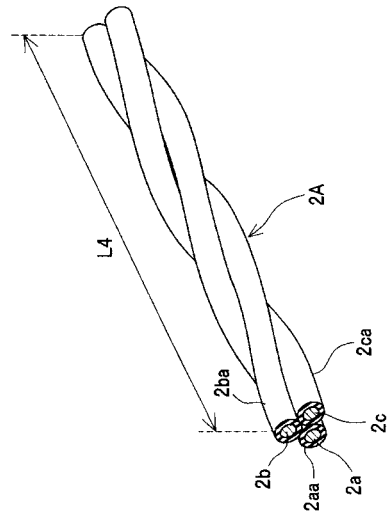
【図 2】



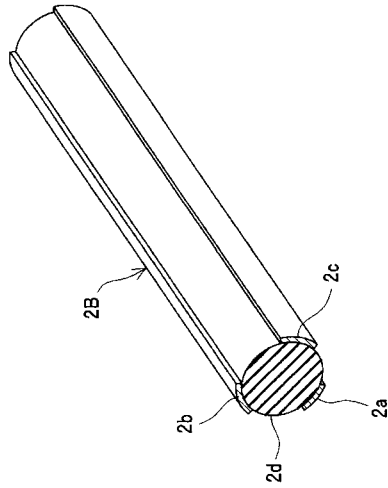
【図 3】



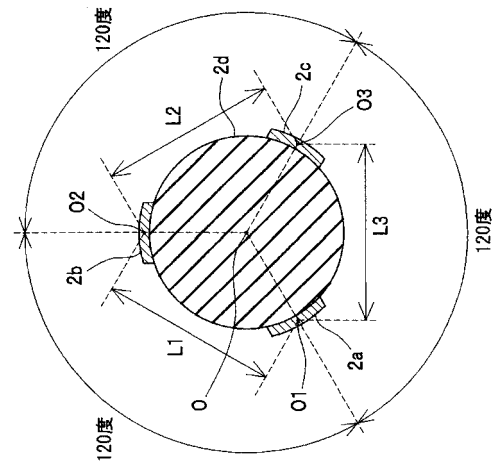
【図 4】



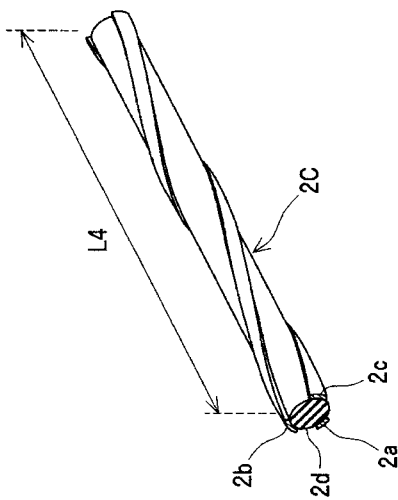
【図 5】



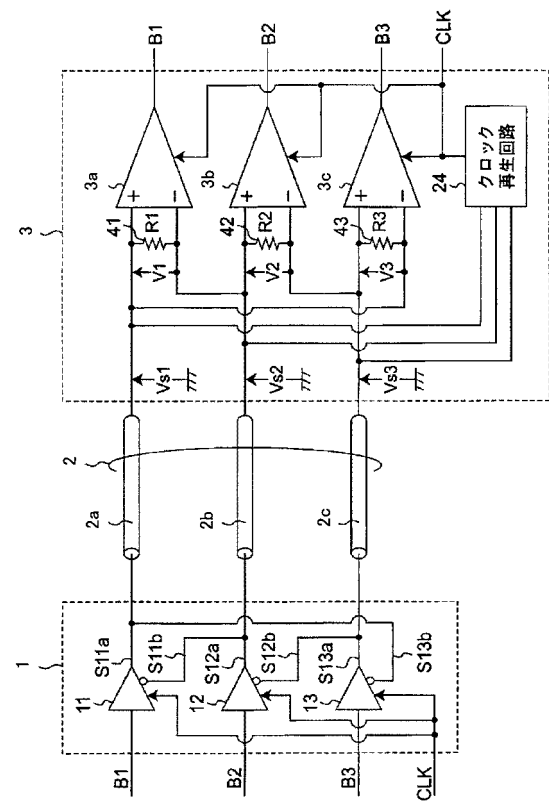
【図 6】



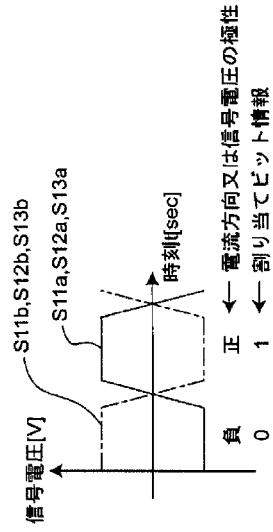
【図 7】



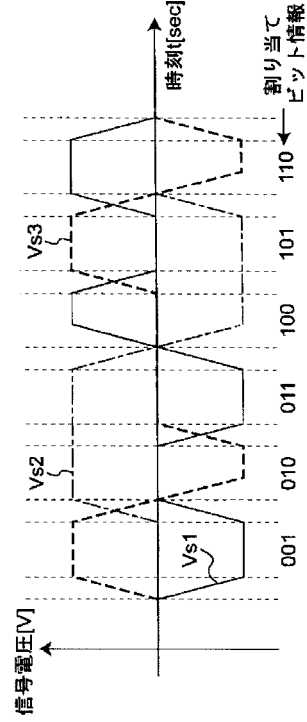
【図 8】



【図 9】



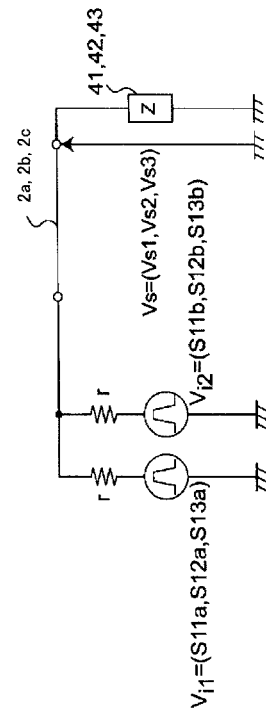
【図 10】



【図 11】

B1	B2	B3	Vs1[V]	Vs2[V]	Vs3[V]
0	0	0	0	0	0
0	0	1	-1	0	1
0	1	0	0	1	-1
0	1	1	-1	1	0
1	0	0	1	-1	0
1	0	1	0	-1	1
1	1	0	1	0	-1
1	1	1	0	0	0

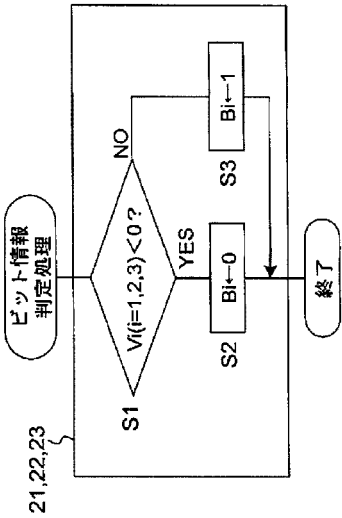
【図 12】



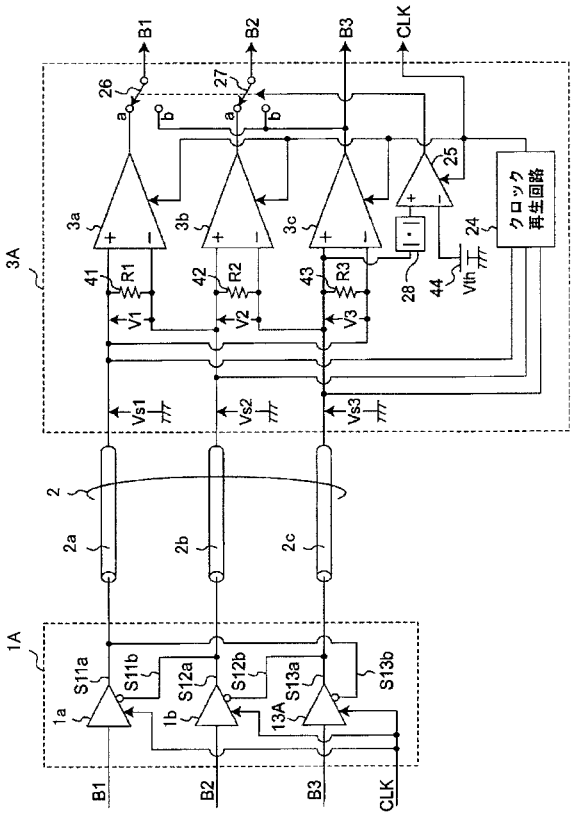
【図 1 3】

B1	B2	B3	V1の極性	V2の極性	V3の極性
0	0	1	-	-	+
0	1	0	-	+	-
0	1	1	-	+	+
1	0	0	+	-	-
1	0	1	+	-	+
1	1	0	+	+	-

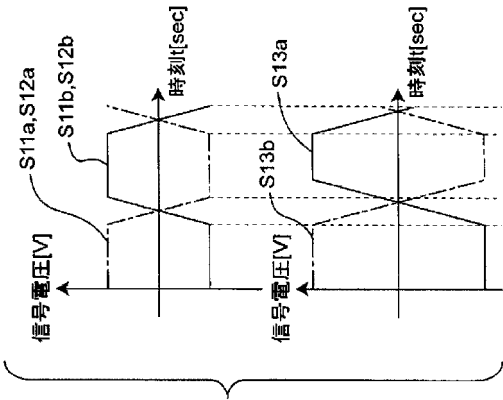
【図 1 4】



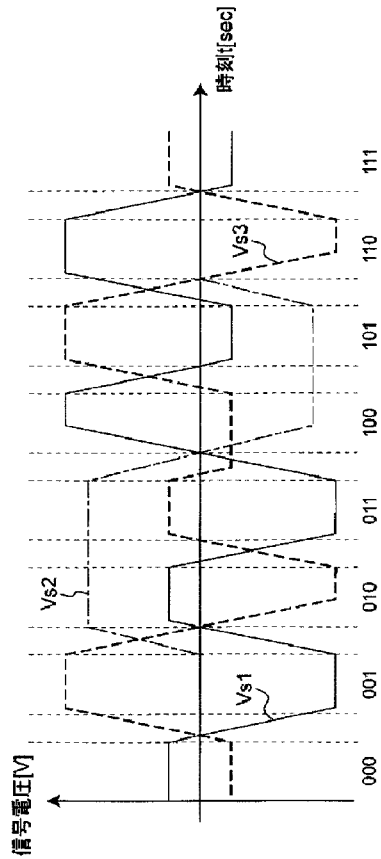
【図 1 5】



【図 1 6】



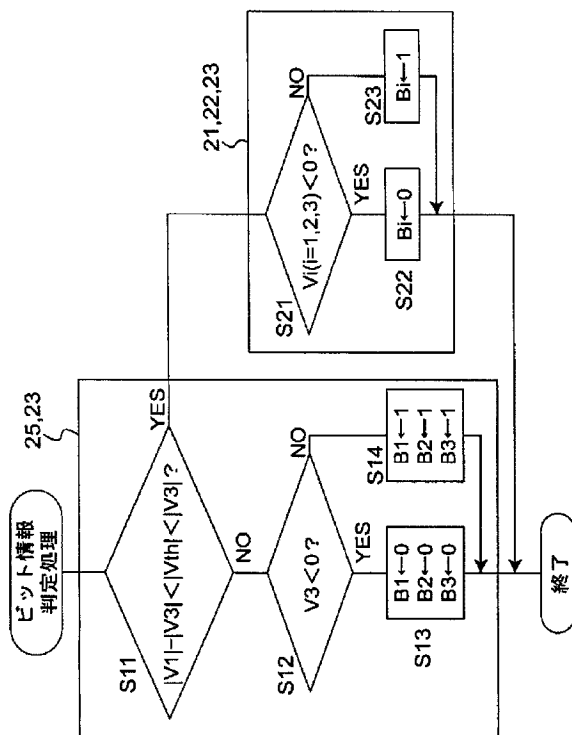
【 図 1 7 】



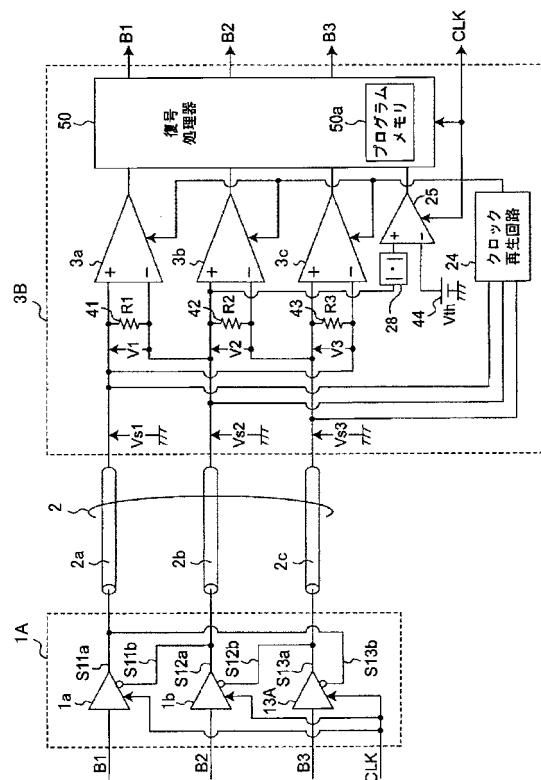
【 図 1 8 】

B1	B2	B3	Vs1[V]	Vs2[V]	Vs3[V]	Vt1[V]	V2[V]	V3[V]	V1の極性	V2の極性	V3の極性
0	0	0	0.25	0	-0.25	0.25	0.25	-0.5	+	+	-
0	0	1	-1.25	0	1.25	-1.25	-1.25	2.5	-	-	+
0	1	0	0.25	1	-1.25	-0.75	2.25	-1.5	-	+	-
0	1	1	-1.25	1	0.25	-2.25	0.75	1.5	-	+	+
1	0	0	1.25	-1	-0.25	2.25	-0.75	-1.5	+	-	-
1	0	1	-0.25	-1	1.25	0.75	-2.25	1.5	+	-	+
1	1	0	1.25	0	-1.25	1.25	1.25	-2.5	+	+	-
1	1	1	-0.25	0	0.25	-0.25	-0.25	0.5	-	-	+

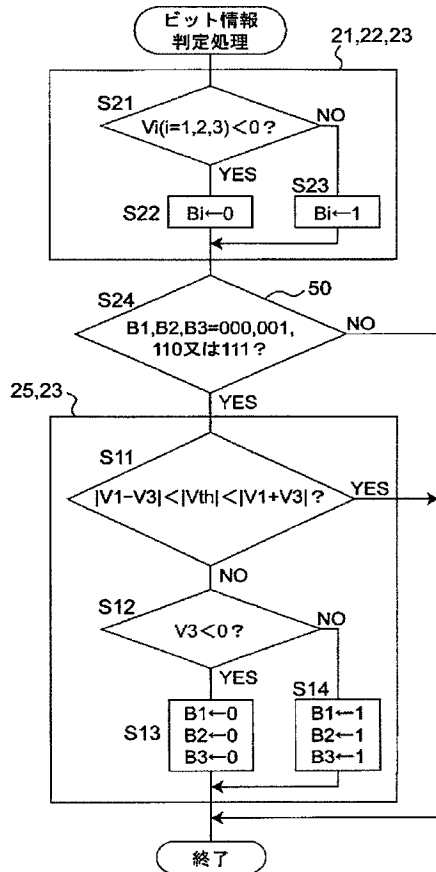
【图 19】



【图 20】



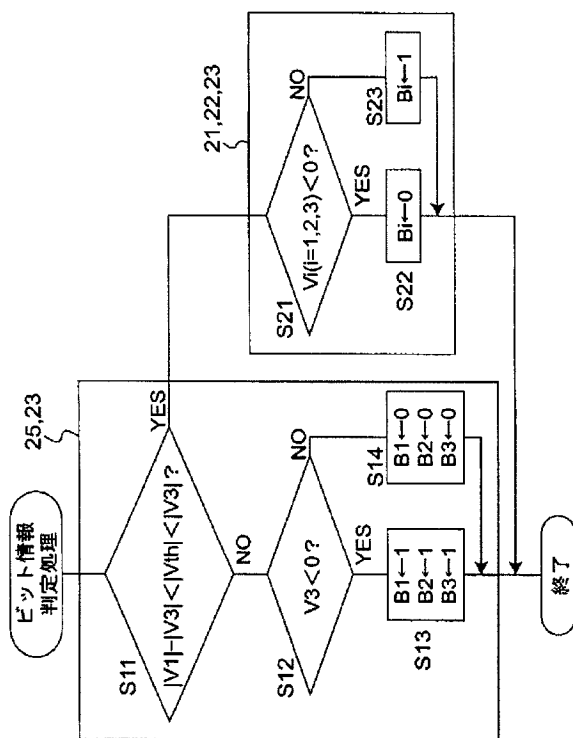
【図 2 1】



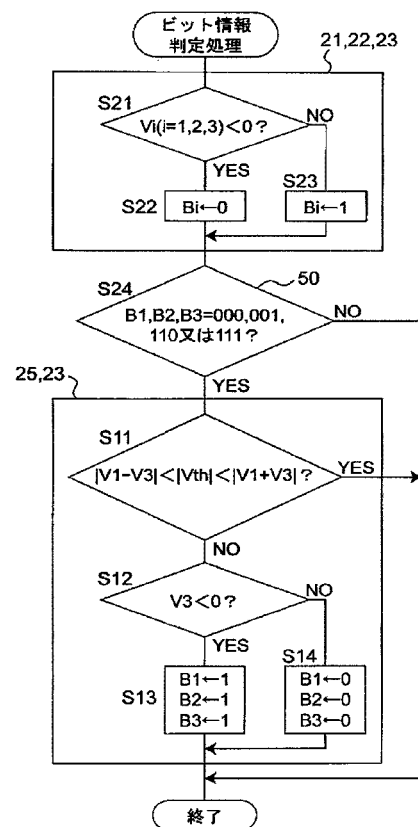
【図 2 2】

ビット情報判定処理			21, 22, 23		
B1	B2	B3	Vs1[V]	Vs2[V]	Vs3[V]
0	0	0	-0.1	0	0.1
0	0	1	-0.9	0	0.9
0	1	0	-0.1	1	-0.9
0	1	1	-0.9	1	-0.1
1	0	0	0.9	-1	0.1
1	0	1	0.1	-1	0.9
1	1	0	0.9	0	-0.9
1	1	1	0.1	0	-0.1
			V1[V]	V2[V]	V3[V]
0	0	0	-0.1	-0.1	0.2
0	0	1	-0.9	-0.9	1.8
0	1	0	-1.1	1.9	-0.8
0	1	1	-1.9	1.1	0.8
1	0	0	1.9	-1.1	-0.8
1	0	1	1.1	-1.9	0.8
1	1	0	0.9	0.9	-1.8
1	1	1	0.1	0.1	-0.2
			V1の極性	V2の極性	V3の極性
0	0	0	-	-	+
0	0	1	-	-	+
0	1	0	-	+	-
0	1	1	-	+	-
1	0	0	+	-	+
1	0	1	+	-	+
1	1	0	+	+	-
1	1	1	+	+	-

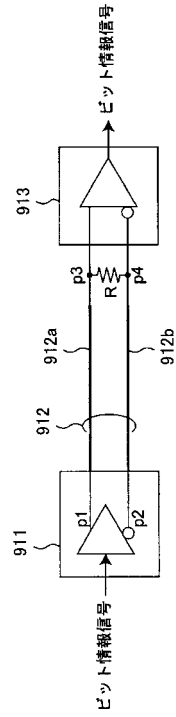
【図 2 3】



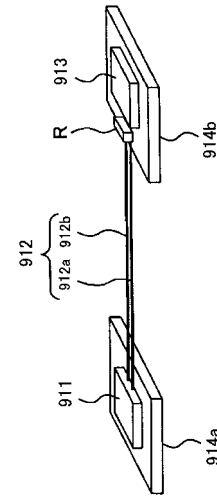
【図 2 4】



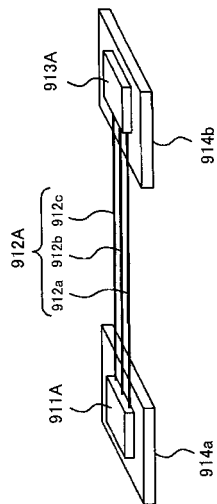
【図 25】



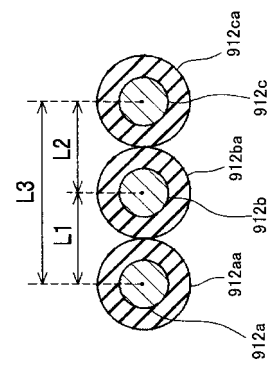
【図 26】



【図 27】



【図 28】



フロントページの続き

(72)発明者 濱田 清司

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 5G319 DA01 DB01 DC03

5K029 AA02 BB03 DD23 DD28 EE01