



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0094728
(43) 공개일자 2013년08월26일

(51) 국제특허분류(Int. Cl.)
H01L 51/42 (2006.01) H01L 31/072 (2006.01)
(21) 출원번호 10-2012-7032792
(22) 출원일자(국제) 2011년05월23일
심사청구일자 없음
(85) 번역문제출일자 2012년12월14일
(86) 국제출원번호 PCT/US2011/037597
(87) 국제공개번호 WO 2011/149850
국제공개일자 2011년12월01일
(30) 우선권주장
61/347,666 2010년05월24일 미국(US)
61/416,986 2010년11월24일 미국(US)

(71) 출원인
더 트러스티즈 오브 프린스턴 유니버시티
미합중국 08544-0086 뉴저지주 프린스턴 피.오.
박스 36 프린스턴 유니버시티
(72) 발명자
아바스티 수쇼브한
미국 뉴저지주 08540 프린스턴 세이어 드라이브
3127
스툼 제임스 씨
미국 뉴저지주 08540 프린스턴 리버사이드 드라이브
278
슈와르츠 제프리
미국 뉴저지주 08540 프린스턴 로커스트 레인 55
(74) 대리인
신정건, 김태홍, 김성기

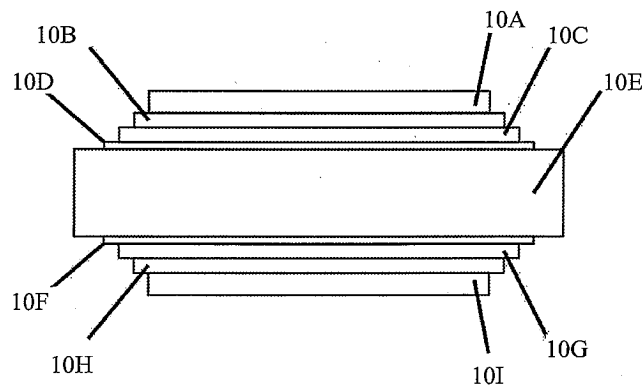
전체 청구항 수 : 총 38 항

(54) 발명의 명칭 광기전 소자와 그 제조 방법

(57) 요약

광기전 소자 및 그 제조 방법이 개시된다. 한 실시예에서, 이 소자는 실리콘층과 제1 및 제2 유기층을 포함한다. 실리콘층은 제1 면과 제2 면을 가진다. 제1 및 제2 전극은 제1 및 제2 유기층에 전기적으로 결합된다. 실리콘층의 면들 중 하나와 제1 유기층 사이의 접합에서 제1 이중접합이 형성된다. 실리콘층의 면들 중 하나와 제2 유기층 사이의 접합에서 제2 이중접합이 형성된다. 실리콘층은 p-n 접합없이 형성될 수도 있다. 적어도 하나의 유기층은 전자 차단층 또는 정공 차단층으로서 구성될 수도 있다. 적어도 하나의 유기층은 페난트렌 퀸(phenanthrenequinone)(PQ)으로 구성될 수도 있다. 유기층들 중 적어도 하나와 실리콘층 사이에 부동태화층이 배치될 수 있다. 부동태화층은 유기성일 수 있다. 유기층들 중 적어도 하나는 실리콘층의 표면을 부동태화(passivate)할 수 있다. 소자는 또한, 전극들 중 적어도 하나에 결합된 적어도 하나의 투명 전극층을 포함할 수 있다.

대표도 - 도10



특허청구의 범위

청구항 1

광기전 소자(photovoltaic device)로서,
제1 면 및 제2 면을 갖는 실리콘층과, 제1 유기층 및 제2 유기층;
상기 제1 유기층 및 제2 유기층에 전기적으로 결합된 제1 전극 및 제2 전극;
상기 실리콘층의 면들 중 하나와 상기 제1 유기층 사이의 접합에 형성되는 제1 이종접합(heterojunction); 및
상기 실리콘층의 면들 중 하나와 상기 제2 유기층 사이의 접합에 형성되는 제2 이종접합
을 포함하는 광기전 소자.

청구항 2

제1항에 있어서, 적어도 하나의 유기층은 전자-차단층으로서 구성되는, 광기전 소자.

청구항 3

제1항에 있어서, 적어도 하나의 유기층은 정공-차단층으로서 구성되는, 광기전 소자.

청구항 4

제1항에 있어서, 적어도 하나의 유기층은 페난트렌퀴논(phenanthrenequinone)(PQ)으로 구성되는, 광기전 소자.

청구항 5

제1항에 있어서, 상기 유기층들 중 적어도 하나와 상기 실리콘층 사이에 배치된 부동태화층(passivating layer)을 더 포함하는, 광기전 소자.

청구항 6

제5항에 있어서, 상기 부동태화층은 유기성(organic)인, 광기전 소자.

청구항 7

제1항에 있어서, 상기 유기층들 중 적어도 하나는 상기 실리콘층의 표면을 부동태화하는, 광기전 소자.

청구항 8

제1항에 있어서, 상기 전극들 중 적어도 하나에 결합된 적어도 하나의 투명 전극층을 더 포함하는, 광기전 소자.

청구항 9

광기전 소자로서,
이종접합을 형성하도록 구성된 유기층과 접촉하며, p-n 접합없이 형성되는 실리콘층; 및
상기 실리콘층에 전기적으로 결합된 제1 전극, 및 전하 캐리어 차단층으로서 구성된 상기 유기층에 전기적으로 결합된 제2 전극
을 포함하는 광기전 소자.

청구항 10

제9항에 있어서, 상기 유기층은 언도핑(undoped)되고, 상기 유기층은 용액 처리되는(solution processed), 광기전 소자.

청구항 11

제9항에 있어서, 상기 유기층은 P3HT(Poly 3-Hexythyophene)을 포함하는, 광기전 소자.

청구항 12

제9항에 있어서, 상기 유기층과 상기 실리콘층 사이에 배치된 부동태화층을 더 포함하는, 광기전 소자.

청구항 13

제12항에 있어서, 상기 부동태화층은 유기재료(organic)로 형성되는, 광기전 소자.

청구항 14

제9항에 있어서, 상기 유기층은 부동태화층인, 광기전 소자.

청구항 15

제9항에 있어서, 상기 유기층은 페난트렌퀴논(phenanthrenequinone)(PQ)을 포함하는, 광기전 소자.

청구항 16

제9항에 있어서, 상기 전극들 중 적어도 하나에 결합된 적어도 하나의 투명 전극층을 더 포함하는, 광기전 소자.

청구항 17

광기전 소자로서,

이종접합을 형성하도록 구성된 실리콘층과 유기층; 및

상기 실리콘층에 전기적으로 결합된 제1 전극과 상기 유기층에 전기적으로 결합된 제2 전극

을 포함하고,

상기 실리콘층은, 실리콘 합금, 다결정 실리콘(multicrystalline silicon), 미정질 실리콘(microcrystalline silicon), 프로토크결정 실리콘(protocrystalline silicon), 업그레이드된 금속급 실리콘(upgraded metallurgical-grade silicon), 리본 실리콘(ribbon silicon), 박막 실리콘(thin-film silicon), 및 이들의 조합으로 구성된 그룹으로부터 선택된 재료로 형성되는, 광기전 소자.

청구항 18

제17항에 있어서, 상기 유기층은 전자-차단층으로서 구성되는, 광기전 소자.

청구항 19

제17항에 있어서, 상기 유기층은 정공-차단층으로서 구성되는, 광기전 소자.

청구항 20

제17항에 있어서, 상기 유기층은 페난트렌퀴논(phenanthrenequinone)(PQ)으로 구성되는, 광기전 소자.

청구항 21

제17항에 있어서, 상기 유기층과 상기 실리콘층 사이에 배치된 부동태화층을 더 포함하는, 광기전 소자.

청구항 22

제21항에 있어서, 상기 부동태화층은 유기성(organic)인, 광기전 소자.

청구항 23

제17항에 있어서, 상기 유기층은 상기 실리콘층의 표면을 부동태화하는, 광기전 소자.

청구항 24

제17항에 있어서, 상기 전극들 중 적어도 하나에 결합된 적어도 하나의 투명 전극층을 더 포함하는, 광기전 소자.

청구항 25

광기전 소자로서,

유기층과 접촉하여 이종접합을 형성하는 실리콘층; 및

상기 유기층에 전기적으로 결합된 제1 전극, 및 상기 실리콘층 —이 실리콘층은 텍스처화된 표면을 갖도록 형성됨— 에 전기적으로 결합된 제2 전극

을 포함하는 광기전 소자.

청구항 26

제25항에 있어서, 상기 유기층은 텍스처화된 표면을 갖도록 형성되는, 광기전 소자.

청구항 27

제25항에 있어서, 상기 유기층의 텍스처화된 표면은 상기 실리콘층의 텍스처화된 표면을 따르는(conform to), 광기전 소자.

청구항 28

제25항에 있어서, 상기 실리콘층과 접촉하여 제2 이종접합을 형성하는 제2 유기층을 더 포함하고, 상기 제2 전극은 상기 제2 유기층을 통해 상기 실리콘층에 전기적으로 결합되는, 광기전 소자.

청구항 29

광기전 소자로서,

이종접합을 형성하도록 구성된 유기층과 접촉하는 실리콘층; 및

상기 유기층 —이 유기층은 텍스처화된 표면을 갖도록 형성됨— 에 전기적으로 결합된 제1 전극, 및 상기 실리콘층에 전기적으로 결합된 제2 전극

을 포함하는 광기전 소자.

청구항 30

제30항에 있어서, 상기 실리콘층과 접촉하여 제2 이종접합을 형성하는 제2 유기층을 더 포함하고, 상기 제2 전극은 상기 제2 유기층을 통해 상기 실리콘층에 전기적으로 결합되는, 광기전 소자.

청구항 31

광기전 소자로서,

이종접합을 형성하도록 구성된 유기층과 접촉하며, p-n 접합없이 형성되는 실리콘층; 및

상기 실리콘층에 전기적으로 결합된 제1 전극, 및 상기 유기층에 전기적으로 결합된 제2 전극

을 포함하고,

상기 유기층은, 상기 유기층의 최고 준위 점유 분자 궤도(HOMO; highest occupied molecular orbital)가 상기 실리콘층의 가전대 가장자리(E_v)의 상부와 정렬하여 정공의 전송을 용이하게 하고, 상기 유기층의 최저 준위 비 점유 분자 궤도(LUMO; lowest unoccupied molecular orbital)가 상기 실리콘층의 전도대(E_c)의 하부와 정렬하지 않도록, 상기 실리콘층 상에 형성되는, 광기전 소자.

청구항 32

광기전 소자로서,

이종접합을 형성하도록 구성된 유기층과 접촉하며, p-n 접합없이 형성되는 실리콘층; 및

상기 실리콘층에 전기적으로 결합된 제1 전극, 및 상기 유기층에 전기적으로 결합된 제2 전극을 포함하고,

상기 유기층은, 상기 유기층의 최저 준위 비점유 분자 궤도(LUMO; lowest unoccupied molecular orbital)가 상기 실리콘층의 전도대 가장자리(Ec)의 하부와 정렬하여 전자의 전송을 용이하게 하고, 상기 유기층의 최고 준위 점유 분자 궤도(HOMO; highest occupied molecular orbital)가 상기 실리콘층의 가전대 가장자리(Ev)의 상부와 정렬하지 않도록, 상기 실리콘층 상에 형성되는, 광기전 소자.

청구항 33

광기전 소자 형성 방법으로서,

제1 면 및 제2 면을 갖는 실리콘층 상에 제1 유기층 및 제2 유기층을 피착하는 단계; 및

제1 전극 및 제2 전극을 상기 제1 유기층 및 제2 유기층에 전기적으로 결합하는 단계를 포함하고,

상기 실리콘층의 상기 제1면과 상기 제1 유기층 사이의 접합에 제1 이종접합이 형성되고, 상기 실리콘층의 상기 제2 면과 상기 제2 유기층 사이의 접합에 제2 이종접합이 형성되는, 광기전 소자 형성 방법.

청구항 34

제33항에 있어서, 상기 광기전 소자는 500℃ 아래의 온도에서 제조되는, 광기전 소자 형성 방법.

청구항 35

광기전 소자 형성 방법으로서,

p-n접합없이 형성된 실리콘층 상에 유기층을 피착하여 이종접합을 형성하는 단계; 및

상기 실리콘층에 제1 전극을 전기적으로 결합하고, 전하 캐리어 차단층으로서 구성된 상기 유기층에 제2 전극을 전기적으로 결합하는 단계

를 포함하는 광기전 소자 형성 방법.

청구항 36

제35항에 있어서, 상기 광기전 소자는 500℃ 아래의 온도에서 제조되는, 광기전 소자 형성 방법.

청구항 37

광기전 소자 형성 방법으로서,

실리콘층 상에 유기층을 피착하여 이종접합을 형성하는 단계; 및

상기 실리콘층에 제1 전극을 전기적으로 결합하고 상기 유기층에 제2 전극을 전기적으로 결합하는 단계를 포함하고,

상기 실리콘층은, 탄화 실리콘, 다결정 실리콘(multicrystalline silicon), 미정질 실리콘(microcrystalline silicon), 프로토크결정 실리콘(protocrystalline silicon), 업그레이드된 금속급 실리콘(upgraded metallurgical-grade silicon), 리본 실리콘(ribbon silicon), 박막 실리콘(thin-film silicon), 및 이들의 조합으로 구성된 그룹으로부터 선택된 재료로 형성되는, 광기전 소자 형성 방법.

청구항 38

제41항에 있어서, 상기 광기전 소자는 500℃ 아래의 온도에서 제조되는, 광기전 소자 형성 방법.

명세서

기술 분야

- [0001] 종래기술 분야 출원에 대한 상호참조
- [0002] 본 출원은, 각각 2010년 11월 24일 및 2010년 5월 24일 출원된, 이전 출원된 가출원 61/416,986호와 61/347,666호에 대한 우선권을 주장하며, 그 각각이 전체적으로 본 명세서에서 인용된다.
- [0003] 미국 정부 권리
- [0004] 본 발명은, 미국립 과학 재단(NSF)에 의해 수여된 NSF - DMR 0819860 및 NSF-DMR02-13706 뿐만 아니라 ARC에 의해 수여된 #W911NF-05-1-0437하에서 정부 지원으로 이루어졌다. 정부는 본 발명에서 소정의 권리를 가진다.
- [0005] 발명의 분야
- [0006] 본 발명은 광기전 소자(photovoltaic device) 분야에 관한 것으로, 더 구체적으로는 이러한 소자에서 이종접합(heterojunction)의 형성 및 이용과, 이러한 이종접합을 생성하고 향상시키기 위한 유기 재료의 사용에 관한 것이다.

배경 기술

- [0007] 광기전 소자를 형성하고 이용하는 것이 오랫동안 바람직하여 왔다. 이러한 소자는, 전자기 복사(electromagnetic radiation)의 검출, 전자기 복사의 전기 에너지로의 변환, 전기 에너지의 광 에너지로의 변환 및/또는 기타의 바람직한 사용에 유용하다.
- [0008] 광기전 소자는 전자기 복사에 민감하다. 전자기 복사의 존재시에, 광기전 소자는 전자기 복사 에너지를 전기 에너지로 변환한다. 태양 전지(solar cell)가 광기전 소자의 예이다.
- [0009] 어떤 더 효율적인 형태의 광기전 소자는 결정 실리콘으로 구성된다. 그러나, 결정 실리콘 광기전 소자의 제조는 값비싸다. 다른 광기전 소자는 더 낮은 비용을 위해 비실리콘 재료에 의해 제조될 수 있다. 그러나, 이들 광기전 소자들은, 전자기 복사를 전기 에너지로 변환하는데 있어서 덜 효율적이다. 2011년 1월 11일 Brabec 등에 허여된 미국 특허 제7,868,405 B2호는, 제조 비용 절감의 목적으로 유기 재료로부터 광기전 소자를 생성하기 위해 유기 재료를 이용하는 한 예이다. Brabec은 유기 이종접합을 개시하고 있으며, 최신 결정 실리콘 소자에서 관찰되는 전자기 복사의 전기 에너지로의 변환 효율을 생성하는데 실패하고 있다.

발명의 내용

해결하려는 과제

- [0010] 제조 비용을 절감하고 광기전 소자의 효율성과 성능을 개선하는 능력을 제공하는 광기전 소자에서의 사용을 위한 이종접합이 필요하다.

과제의 해결 수단

- [0011] 광기전 소자 및 그 제조 방법이 개시된다. 한 실시예에서, 이 소자는 실리콘층과 제1 및 제2 유기층을 포함한다. 실리콘층은 제1 면과 제2 면을 가진다. 제1 및 제2 전극은 제1 및 제2 유기층에 전기적으로 결합된다. 실리콘층의 면들 중 하나와 제1 유기층 사이의 접합에서 제1 이종접합이 형성된다. 실리콘층의 면들 중 하나와 제2 유기층 사이의 접합에서 제2 이종접합이 형성된다. 실리콘층은 p-n 접합없이 형성될 수도 있다. 적어도 하나의 유기층은 전자 차단층 또는 정공 차단층으로서 구성될 수도 있다. 적어도 하나의 유기층은 페난트렌퀴논(phenanthrenequinone)(PQ)으로 구성될 수도 있다. 유기층들 중 적어도 하나와 실리콘층 사이에 부동태화층(passivating layer)이 배치될 수 있다. 부동태화층은 유기성(organic)일 수 있다. 유기층들 중 적어도 하나는 실리콘층의 표면을 부동태화(passivate)할 수 있다. 소자는 또한, 전극들 중 적어도 하나에 결합된 적어도 하나의 투명 전극층을 포함할 수 있다.
- [0012] 또 다른 실시예에서, 광기전 소자는 이종접합을 형성하도록 구성된 유기층과 접촉하는 실리콘층을 포함한다. 제1 전극은 실리콘층에 전기적으로 결합되고 제2 전극은 유기층에 전기적으로 결합된다. 유기층은 전하 캐리어 차단층으로서 구성된다. 소자는 또한, 실리콘에 형성된 p-n 접합을 포함할 수 있다. 유기층은 언도핑되고 유기층은 용액 처리될(solution processed) 수 있다. 유기층은 P3HT(Poly 3-Hexyothiophene)를 포함할 수 있다. 소자는 또한, 유기층과 실리콘층 사이에 배치된 부동태화층을 포함할 수 있다. 부동태화층은 유기재료로 형성

될 수 있다. 유기층은 부동태화층일 수 있다. 유기층은 페난트렌퀴논(phenanthrenequinone)(PQ)을 포함할 수 있다. 소자는 또한, 전극들 중 적어도 하나에 결합된 적어도 하나의 투명 전극층을 포함할 수 있다.

[0013] 또 다른 실시예에서, 광기전 소자는 이종접합을 형성하도록 구성된 실리콘층과 유기층을 포함한다. 제1 전극은 실리콘층에 전기적으로 결합되고 제2 전극은 유기층에 전기적으로 결합된다. 실리콘층은, 실리콘 합금, 다결정 실리콘(multicrystalline silicon), 미정질 실리콘(microcrystalline silicon), 프로토크결정 실리콘(protocrystalline silicon), 업그레이드된 금속급 실리콘(upgraded metallurgical-grade silicon), 리본 실리콘(ribbon silicon), 박막 실리콘(thin-film silicon), 및 이들의 조합으로 구성된 그룹으로부터 선택된 재료로 형성된다. 실리콘층은 p-n 접합없이 형성될 수도 있다. 적어도 하나의 유기층은 전자 차단층 또는 정공 차단층으로서 구성될 수도 있다. 적어도 하나의 유기층은 페난트렌퀴논(phenanthrenequinone)(PQ)으로 구성될 수도 있다. 유기층들 중 적어도 하나와 실리콘층 사이에 부동태화층이 배치될 수 있다. 부동태화층은 유기성일 수 있다. 유기층들 중 적어도 하나는 실리콘층의 표면을 부동태화(passivate)할 수 있다. 소자는 또한, 전극들 중 적어도 하나에 결합된 적어도 하나의 투명 전극층을 포함할 수 있다.

[0014] 또 다른 실시예에서, 광기전 소자는 이종접합을 형성하기 위해 유기층과 접촉하는 실리콘층을 포함한다. 제1 전극은 실리콘층에 전기적으로 결합되고 제2 전극은 유기층에 전기적으로 결합된다. 실리콘층은 p-n 접합없이 형성될 수도 있다. 실리콘층은 텍스처화된 표면을 갖도록 형성된다. 유기층도 역시 텍스처화된 표면을 갖도록 형성된다. 유기층의 텍스처화된 표면은 실리콘층의 텍스처화된 표면을 따를(conform to) 수 있다. 또 다른 실시예에서, 광기전 소자는 이종접합을 형성하도록 구성된 유기층과 접촉하는 실리콘층을 포함한다. 제1 전극은 실리콘층에 전기적으로 결합되고 제2 전극은 유기층에 전기적으로 결합된다. 유기층은 텍스처화된 표면을 갖도록 형성된다.

[0015] 또 다른 실시예에서, 광기전 소자는 이종접합을 형성하도록 구성된 유기층과 접촉하는 실리콘층을 포함한다. 제1 전극은 실리콘층에 전기적으로 결합되고 제2 전극은 유기층에 전기적으로 결합된다. 유기층은, 유기층의 최고 준위 점유 분자 궤도(HOMO; highest occupied molecular orbital)가 실리콘층의 가전대 가장자리(Ev)의 상부와 정렬하여 정공의 전송을 용이하게 하고, 유기층의 최저 준위 비점유 분자 궤도(LUMO; lowest unoccupied molecular orbital)가 실리콘층의 전도대(Ec)의 하부와 정렬하지 않도록, 실리콘층 상에 형성된다. 실리콘층은 p-n 접합없이 형성될 수도 있다. 또 다른 실시예에서, 광기전 소자는 이종접합을 형성하도록 구성된 유기층과 접촉하는 실리콘층을 포함한다. 제1 전극은 실리콘층에 전기적으로 결합되고 제2 전극은 유기층에 전기적으로 결합된다. 유기층은, 유기층의 최저 준위 비점유 분자 궤도(LUMO; lowest unoccupied molecular orbital)가 실리콘층의 전도대 가장자리(Ec)의 하부와 정렬하여 전자의 전송을 용이하게 하고, 유기층의 최고 준위 점유 분자 궤도(HOMO; highest occupied molecular orbital)가 실리콘층의 가전대 가장자리(Ev)의 상부와 정렬하지 않도록, 실리콘층 상에 형성된다. 실리콘층은 p-n 접합없이 형성될 수도 있다.

[0016] 또 다른 실시예에서, 광기전 소자는 이종접합을 형성하고 실리콘의 표면을 부동태화하도록 구성된 유기층과 접촉하는 실리콘층을 포함한다. 한 쌍의 전극은 실리콘층을 통한 전류 경로를 정의한다. 실리콘층은 p-n 접합없이 형성될 수도 있다. 유기층은 전류 경로 바깥에 배치된다. 유기층은 적어도 하나의 전하 캐리어를 차단하도록 구성될 수 있다. 유기층은 페난트렌퀴논(phenanthrenequinone)(PQ)을 포함할 수 있다.

[0017] 또 다른 실시예에서, 광기전 소자를 형성하는 방법이 개시된다. 이 방법은 실리콘층 상에 제1 및 제2 유기층들을 피착하는 단계를 포함하고, 실리콘층은 제1 면 및 제2 면을 가진다. 제1 및 제2 전극은 제1 및 제2 유기층에 전기적으로 결합된다. 실리콘층의 제1 면과 제1 유기층 사이의 접합에서 제1 이종접합이 형성된다. 실리콘층의 제2 면과 제2 유기층 사이의 접합에서 제2 이종접합이 형성된다. 광기전 소자는 500°C 아래의 온도에서 제조될 수 있다. 실리콘층은 p-n 접합없이 형성될 수도 있다.

[0018] 또 다른 실시예에서, 광기전 소자를 형성하는 방법은 실리콘층 상에 유기층을 피착하는 단계 및 이종접합을 형성하는 단계를 포함한다. 제1 전극은 실리콘층에 전기적으로 결합된다. 제2 전극은 유기층에 전기적으로 결합된다. 유기층은 전하 캐리어 차단층으로서 구성된다. 광기전 소자는 500°C 아래의 온도에서 제조될 수 있다. 실리콘층은 p-n 접합없이 형성될 수도 있다.

[0019] 또 다른 실시예에서, 광기전 소자를 형성하는 방법은 실리콘층 상에 유기층을 피착하는 단계 및 이종접합을 형성하는 단계를 포함한다. 제1 전극은 실리콘층에 전기적으로 결합된다. 제2 전극은 유기층에 전기적으로 결합된다. 실리콘층은, 탄화 실리콘(silicon carbide), 다결정 실리콘(multicrystalline silicon), 미정질 실리콘(microcrystalline silicon), 프로토크결정 실리콘(protocrystalline silicon), 업그레이드된 금속급 실리콘(upgraded metallurgical-grade silicon), 리본 실리콘(ribbon silicon), 박막 실리콘(thin-film silicon), 및

이들의 조합으로 구성된 그룹으로부터 선택된 재료로 형성된다. 광기전 소자는 500℃ 아래의 온도에서 제조될 수 있다. 실리콘층은 p-n 접합없이 형성될 수도 있다.

발명의 효과

[0020] 본 발명에 따르면, 광기전 소자와 그 제조 방법을 제공하는 것이 가능하다.

도면의 간단한 설명

- [0021] 도 1a는 명 상태(light conditions) 및 암 상태(dark conditions)에서의 광기전 소자의 기능의 개략도이다;
- 도 1b는 조명하에서 외부 부하에 접속된 도 1a의 광기전 소자의 대역도(band-diagram)이다;
- 도 1c는 암 상태 및 외부 전압 하에서 도 1a의 광기전 소자의 대역도이다;
- 도 2a는 전자 차단층의 대역정렬을 도시하는 도면이다;
- 도 2b는 정공 차단층의 대역정렬을 도시하는 도면이다;
- 도 3a는 p-n 접합 및 전자 차단층을 갖는 광기전 소자 실시예의 개략도이다;
- 도 3b는 암 상태하에서 외부 전압에 접속된 도 3a의 p-n 접합의 대역도이다;
- 도 4a는 p-n 접합 및 정공 차단층을 갖는 광기전 소자 실시예의 개략도이다;
- 도 4b는 암 상태하에서 외부 전압에 접속된 도 4a의 p-n 접합의 대역도이다;
- 도 5a는 p-n 접합, 정공 차단층, 및 부동태화를 갖는 광기전 소자 실시예의 개략도이다;
- 도 5b는 p-n 접합, 전자 차단층, 및 부동태화를 갖는 광기전 소자의 실시예이다;
- 도 6a는 n형 실리콘 상에 금속-유기재료-실리콘 접합, 및 전자 차단층을 갖는 광기전 소자 실시예의 개략도이다;
- 도 6b는 암 상태하에서 외부 전압에 접속된 도 6a의 광기전 소자의 대역도이다;
- 도 7a는 p형 실리콘 상에 금속-유기재료-실리콘 접합, 및 정공 차단층을 갖는 광기전 소자 실시예의 개략도이다;
- 도 7b는 암 상태하에서 외부 전압에 접속된 도 7a의 광기전 소자의 대역도이다;
- 도 8a는 p-n 접합없는 n형 실리콘 상의 금속-실리콘 "쇼트키(Schottky)" 접합 광기전 소자 실시예(태양 전지)의 구조를 도시하는 개략도이다;
- 도 8b는 p-n 접합없는 n형 실리콘 상의 금속-P3HT-실리콘 이종접합 광기전 소자 실시예(태양 전지)의 구조를 도시하는 개략도이다;
- 도 8c는 도 8a 및 도 8b의 광기전 소자들의 전류-전압 특성을 도시하는 그래프이다;
- 도 9a는 n형 실리콘 상에 금속-유기재료-실리콘 접합, 전자 차단층, 및 정공 차단 후면 전계(back-surface-field)를 갖는 광기전 소자의 개략도이다;
- 도 9b는 암 상태하에서 외부 전압에 접속된 도 9a의 광기전 소자의 대역도이다;
- 도 10은 전자 차단층, 정공 차단층 및 부동태화된 실리콘 표면을 갖는 실리콘-유기재료 이종접합 광기전 소자 실시예(태양 전지)의 개략도이다;
- 도 11a는 비-텍스처화된 태양 전지에 대한 텍스처화된 태양 전지에 의해 제공되는 반사의 개선을 도시하는 개략도이다;
- 도 11b는 비-텍스처화된 태양 전지에 대한 텍스처화된 태양 전지의 개선된 흡수를 도시하는 개략도이다;
- 도 11c는 후면-반사기를 갖는 비-텍스처화된 태양 전지에 대한 후면 반사기를 갖는 텍스처화된 태양 전지의 개선된 흡수를 도시하는 개략도이다;
- 도 12a는 텍스처화된 광기전 소자 실시예의 개략도이다;

도 12b는 또 다른 텍스처화된 광기전 소자 실시예의 개략도이다;

도 12c는 또 다른 텍스처화된 광기전 소자 실시예의 개략도이다;

도 13a는 p-n 접합없는 n형 실리콘 상의 P3HT-실리콘 이중접합 광기전 소자 실시예(태양 전지)의 상부 상의 상부 투명 전극의 구조의 개략도(상부면도)이다;

도 13b는 도 13a의 광기전 소자의 단면도이다;

도 14a는 실리콘층 상에 피착된 종래의 부동태화층을 갖는 광기전 소자의 일부의 개략도이다; 및

도 14b는 PQ와 같은, 유기층에 의한 부동태화를 갖는 광기전 소자의 일부의 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 정의

[0023] 본 명세서에서 사용될 때 "동종접합(homojunction)"은 동일한 재료로 형성된 p-n 접합이다.

[0024] 본 명세서에서 사용될 때 "이종접합(heterojunction)"은 상이한 전자 대역 구조를 갖는 재료들 사이의 계면이다.

[0025] 본 명세서에서 사용될 때 "캐리어 차단층"이란, 전자 차단층, 정공 차단층 또는 전자 및 정공 양쪽 모두를 차단하는 층 중 어느 하나를 말한다.

[0026] 본 명세서에서 사용될 때 "전자 차단층"이란, 실리콘으로의 및 실리콘으로부터의 정공의 통과 운송(through transport)을 허용하고 전자의 통과운송을 차단하는 재료이다. 이것은, 재료의 "최고 준위 점유 분자 궤도"(HOMO)/가전대 가장자리(Ev)와 실리콘의 가전대 가장자리(Ev)의 근사 정렬, 및 실리콘의 전도대 가장자리(Ec) 보다 실질적으로 높은, 재료의 "최저 준위 비점유 분자 궤도"(LUMO)/전도대 가장자리(Ec)(예를 들어, 도 2a 참조)에 의해 달성될 수 있다.

[0027] 본 명세서에서 사용될 때 "정공 차단층"은, 실리콘으로의 및 실리콘으로부터의 전자의 통과 운송(through transport)을 허용하고 정공의 통과운송을 차단하는 재료이다. 이것은, 재료의 LUMO/전도대 가장자리(Ec)와 실리콘의 전도대 가장자리(Ec)의 근사 정렬, 및 실리콘의 가전대 가장자리(Ev) 보다 실질적으로 낮은, 재료의 HOMO/가전대 가장자리(Ev)(예를 들어, 도 2b 참조)에 의해 달성될 수 있다.

[0028] 본 명세서에서 사용될 때, "표면 부동태화"란, 반도체의 표면 상의 전기적으로 활성의 미드갭 결함(midgap defect)의 제거이다.

[0029] 본 명세서에서 사용될 때, "저온"이란, 약 500℃ 아래의, 더욱 바람직하게는 약 160℃ 아래의 온도이다.

[0030] 광기전의 기본 물리학은, 전형적으로 2-단계 프로세스, 1) 전자기 복사를 흡수하여 전하를 생성하는 능력, 및 2) 양전하(정공)와 음전하(전자)를 분리하기 위한 내부 전계의 이용이다. 무기 태양 전지는 전형적으로 광을 흡수하는 결정 또는 다결정 재료로 형성된다. 광-생성된 전하 캐리어들을 분리하기 위해, 내부 전계를 생성하는 p-n 접합이 소자에서 제작된다. 광흡수 및 전하-분리는 소자에게 개방 회로 전압(Voc) 및 단락 회로 전류(Isc)를 부여하여, 소자가 광으로부터 전기를 생성하는 것을 허용한다. 그러나, 특히 실리콘에서, p-n 접합의 형성은 값비싸다. p-n 접합의 생성은, 고온이고, 에너지 집약적이며, 값비싼 단계이다.

[0031] 광 아래의 광기전 소자는, 전류 밀도(J)가, 다음과 같은 함수에 따라, 전극 양단의 전압(V)에 의존하는 다이오드로서 취급될 수 있다:

$$J = J_0 \left(e^{\frac{qV}{nkT}} - 1 \right) - J_{SC}$$

[0032]

[0033] 개방 회로 상태(J=0)에서 태양 전지의 전압 출력인, 개방-회로 전압(Voc)은 다음과 같은 공식을 이용하여 특성 기술될 수 있다.

$$V_{oc} = \frac{kT}{q} \ln \left(\frac{J_{sc}}{J_0} \right)$$

- [0034]
- [0035] 여기서: J_{sc} 는 단락 회로 전류 밀도이고, V_{oc} 는 개방 회로 전압이다: 이들 2개는 광기전 소자에서 중요한 파라미터이다. 일단 파라미터 J_{sc} 가 그 이론적 최대치에 도달하면, V_{oc} 에서의 추가 증가는 J_0 의 감소를 요구한다.
- [0036] 도 1a는 광기전 소자의 구조를 명 상태(도 1b) 및 암 상태(도 1c)에서 그 기능의 개략도와 함께 도시하고 있다. 광기전 소자는, 애노드 전극(1A), p형 실리콘층(1B), n형 실리콘층(1C), 및 캐소드 전극(1D)을 포함한다. 전극(1A, 1D) 중 적어도 하나는 투명할 수 있다. 전자기 복사에 노출된 상태에서, 몇몇 전류 경로는 전력을 생성하는 반면, 다른 전류 경로는 "손실" 경로이다. 광기전 소자 내에서 손실의 원인을 결정하고 손실을 저감하는 것이 바람직하다. 도 1b는 조명하에서 외부 부하(1I)에 접속된 도 1a의 대역도이다. 도 1c는 암상태에서 외부 부하(1N)에 접속된 도 1a의 대역도이다. 다음과 같은 참조 번호들이 적용된다:
- [0037] 1E: 애노드 전극 페르미 준위;
- [0038] 1F: 실리콘의 전도대 가장자리(E_c)의 하부;
- [0039] 1G: 실리콘의 가전대 가장자리(E_v)의 상부;
- [0040] 1H: 캐소드 전극 페르미 준위;
- [0041] 1I: 외부 부하;
- [0042] 1J: 전자 재결합 전류(손실 메커니즘);
- [0043] 1K: 광-유도된 전자 전류;
- [0044] 1L: 광-유도된 정공 전류;
- [0045] 1M: 정공 재결합 전류(손실 메커니즘); 및
- [0046] 1N: 암상태에서 소자로의 외부 인가 전압.
- [0047] "손실" 경로(1J 및 1M)는 정확히, 외부 전압이 인가될 때, 전자기 복사의 부재시에, 예를 들어, 암상태에서 활성으로 되는 경로인 것으로 드러났다(도 1c 참조). 이 "암-전류"는 전자기 복사의 부재시에 광기전 소자의 J_0 를 측정함으로써 검사될 수 있다고 여겨졌다. 따라서, J_0 는 태양 전지의 많은 재결합 손실 메커니즘의 효과적인 측정임을 알 수 있었다. J_0 의 검사를 통해, 광기전 소자에서의 재결합 손실이 측정되었다. J_0 를 줄임으로써, 광기전 소자가 전자기 복사에 노출될 때 개방 회로 전압이 증가되고, 광기전 소자의 전체 효율이 향상된다.
- [0048] 도 2a는 실리콘층과 전자 차단층 사이의 대역-정렬을 도시하는 도면이다. 도 2b는 실리콘층과 정공 차단층 사이의 대역-정렬을 도시하는 도면이다. 다음과 같은 참조 번호들이 적용된다:
- [0049] 2A: 실리콘의 전도대 가장자리(E_c)의 하부;
- [0050] 2B: 실리콘의 가전대 가장자리(E_v)의 상부;
- [0051] 2C: 전자 차단층의 LUMO 또는 전도대 가장자리의 하부;
- [0052] 2D: 전자 차단층의 HOMO 또는 가전대 가장자리의 상부;
- [0053] 2E: 전자 수송이 방해받음;
- [0054] 2F: 정공 수송이 용이해짐;
- [0055] 2G: 정공 차단층의 LUMO 또는 전도대 가장자리의 하부;
- [0056] 2H: 정공 차단층의 HOMO 또는 가전대 가장자리의 상부;
- [0057] 2I: 전자 수송이 용이해짐;
- [0058] 2J: 정공 수송이 방해받음.

- [0059] 실리콘 p-n 접합 광기전 소자에서 J_0 를 줄이는 한 방법은, 실리콘 p-n 접합의 p측과 애노드 전극(3A) 사이에 전자-차단층(3B)을 도입함에 의한 것이라고 알아내었다.
- [0060] 도 3a는 p-n 접합 및 전자 차단층을 갖는 광기전 소자 실시예의 개략도이다. 광기전 소자는, 애노드 전극(3A), 전자 차단층(3B), p형 실리콘층(3C), n형 실리콘층(3D), 및 캐소드 전극(3E)을 포함한다. 전극(3A, 3E) 중 적어도 하나는 투명할 수 있다.
- [0061] 도 3b는 암 상태하에서 외부 전압에 접속된 도 3a의 p-n 접합의 대역도이다. 다음과 같은 참조 번호들이 적용된다:
- [0062] 3F: 애노드 전극 페르미 준위;
- [0063] 3G: 전자 차단층의 LUMO 또는 전도대 가장자리의 하부;
- [0064] 3H: 전자 차단층의 HOMO 또는 가전대 가장자리의 상부;
- [0065] 3I: 실리콘의 전도대 가장자리;
- [0066] 3J: 실리콘의 가전대 가장자리;
- [0067] 3K: 캐소드 전극 페르미 준위;
- [0068] 3L: 전자 재결합 전류가 감소됨(손실 메커니즘); 및
- [0069] 3M: 정공 재결합 전류(손실 메커니즘).
- [0070] 전자 차단층(3B)은 p-n 접합의 p측 접촉에서의 전자 재결합에 기인한 손실을 억제한다(도 3b). 하나의 이러한 전자 차단층은, N,N'-diphenyl-N,N'-bis(3-methyl-phenyl)-1,1'-biphenyl-4,4'-diamine (TPD) [S. Avasthi et al. DOI: 10.1109/PVSC.2009.5411419]와 같은 유기 재료일 수 있다.
- [0071] 실리콘 p-n 접합 광기전 소자에서 J_0 를 줄이는 또 다른 방법은, 실리콘 p-n 접합의 n측 상에 정공 차단층을 도입함에 의한 것이라고 드러났다. 도 4a는 p-n 접합 및 정공 차단층을 갖는 광기전 소자 실시예의 개략도이다. 광기전 소자는, 애노드 전극(4A), p형 실리콘층(4B), n형 실리콘층(4C), 정공 차단층(4D), 및 캐소드 전극(4E)을 포함한다. 전극(4A, 4E) 중 적어도 하나는 투명할 수 있다.
- [0072] 도 4b는 암 상태하에서 외부 전압에 접속된 도 4a의 p-n 접합의 대역도이다. 다음과 같은 참조 번호들이 적용된다:
- [0073] 4F: 애노드 전극 페르미 준위;
- [0074] 4G: 정공 차단층의 LUMO 또는 전도대 가장자리의 하부;
- [0075] 4H: 정공 차단층의 HOMO 또는 가전대 가장자리의 상부;
- [0076] 4I: 실리콘의 전도대 가장자리;
- [0077] 4J: 실리콘의 가전대 가장자리;
- [0078] 4K: 캐소드 전극 페르미 준위;
- [0079] 4L: 전자 재결합 전류(손실 메커니즘); 및
- [0080] 4M: 정공 재결합 전류가 감소됨(손실 메커니즘).
- [0081] 정공 차단층(4D)은 p-n 접합의 n측 접촉에서의 정공 재결합에 기인한 손실을 억제한다고 드러났다(예를 들어, 도 4b 참조). 일부 실시예들에서, 정공 차단층은 유기 재료일 수 있다.
- [0082] 실리콘 표면에서의 실리콘 원자들의 만족되지 않은 원자가(Unsatisfied valencies)는 전기적으로 활성의 미드갭 결합 상태를 야기한다. 실리콘 표면 상의 이들 "표면-준위(surface-states)"는 또한, J_0 를 증가시키는 재결합 손실로 이어진다. 따라서, J_0 는, 이러한 표면-준위를 제거함으로써, 예를 들어, 실리콘 표면을 부동태화함으로써 더욱 줄어드는 것으로 드러났다. 표면-준위는 실리콘 표면 상의 만족되지 않은 원자를 만족시킴으로써 제거되는 것으로 드러났다. 실리콘 표면 상의 만족되지 않은 실리콘 원자와 화학적으로 상호작용하는 재료는 표면-준위를 제거하고 표면을 부동태화하는 것으로 드러났다. 이 층은, 전류 흐름의 경로 내에서, 실리콘 표면

과 캐리어 차단층 사이에 위치한다. 따라서, 이 층은 자신을 통한 캐리어의 수송을 방해하지 않아야 한다. 유기 재료를 이용하는 한 특정 예가, 그 전체가 본 명세서에서 인용되는 Applied Physics Letters 96, 222109 (2010) doi: 10.1063/1.3429585 및 S.Avasthi 등의, Surface Science (2011) doi:10.1016/j.susc.2011.04.024 에 개시되어 있다. p-복합(p-conjugated) 유기 재료, 페난트렌퀴논(phenanthrenequinone)(여기서는 "PQ"라고 함)은 광기전 소자에서 실리콘 표면을 부동태화하고 효율을 향상시키는 것으로 드러났다.

[0083] 도 5a는 p-n 접합, 정공 차단층, 및 부동태화를 갖는 광기전 소자 실시예의 개략도이다. 광기전 소자는, 애노드 전극(5A), p형 실리콘층(5B), n형 실리콘층(5C), 부동태화층(5D), 정공 차단층(5E), 및 캐소드 전극(5F)을 가진다. 전극(5A, 5F) 중 적어도 하나는 투명할 수 있다. 도 5b는 p-n 접합, 전자 차단층, 및 부동태화를 갖는 광기전 소자의 실시예이다. 광기전 소자는, 애노드 전극(5G), 전자 차단층(5H), 부동태화층(5I), p형 실리콘층(5B), n형 실리콘층(5C), 및 캐소드 전극(5J)을 가진다. 전극(5G, 5J) 중 적어도 하나는 투명할 수 있다.

[0084] 부동태화층(5I, 5D)은, 실리콘 p-n 접합 광기전 소자의 J_0 를 더욱 줄이기 위해 p측 상의 전자 차단층(5H) 또는 n측 상의 정공 차단층(5E)과 연계하여 사용될 수 있다. 캐리어 차단층(전자 및 정공)은 또한 실리콘 상의 결함 준위를 제거하는 부동태화층일 수도 있다, 예를 들어, 하나의 층이 양쪽 기능을 달성할 수도 있다는 점을 이해하여야 한다.

[0085] J_0 는 전송된 기술들의 조합을 이용함으로써 더욱 줄어든 수 있다. 예를 들어, 실리콘 p-n 접합 광기전 소자는, p형 실리콘과 그 전극 사이에 전자 차단층을, n형 실리콘과 그 전극 사이에서 정공 차단층을, 및 (별개의 부동태화층이 필요하다면) 양측 상에 부동태화층을 병합함으로써, J_0 에서의 상당한 저감을 달성할 수 있다.

[0086] 아몰퍼스 실리콘(및 아몰퍼스 실리콘 합금)을 이용하여 실리콘 상에 캐리어 차단층 및 부동태화층을 형성하는 것이 가능하다. 또한, 이 방법은 실리콘 광기전 소자를 형성하는데에 적용될 수 있다. 전형적으로, 결정 실리콘 기판은 n형이고, 그 위에 진성 아몰퍼스 실리콘의 얇은 층이 성장된다. 이에 후속하여, p형 아몰퍼스 실리콘층이 성장된다. 이 접합을, 진성의 얇은 층을 갖는 이중접합 또는 "HIT" 접합이라고 한다(전체를 본 명세서에서 참조용으로 인용하는, Tanaka M. 등의, 2003, Proceedings of the 3rd World Conference on Photovoltaic Energy Conversion, Vol. 1, pp 955-958 doi: 10.1109/WCPEC.2003.1305441; 및, Tanaka M. 등의 1993, Jpn. J. Appl. Phys. Vol. 31, pp. 3518-3522을 참조) 결정 실리콘의 다른 층에는, 또 다른 진성 아몰퍼스 실리콘층이 피착된다. 진성층에는, n형 아몰퍼스 실리콘층이 성장된다. 이것은 p-n-n 접합을 생성한다. 부동태화된 접촉을 생성하는 이 방법을 후면(back surface)이라 부른다. 이 방법은 소수 캐리어 재결합을 줄이고 효율을 증가시키는데 도움을 준다. 아몰퍼스 실리콘의 최종 층들 상에 전극을 피착하면, HIT 접합이 완성된다. 전극에 대해서는, 금속 또는 투명 전도성 폴리머가 적합하다. HIT 접합이 효과적이지만, 요구되는 아몰퍼스 실리콘의 사용은 HIT 접합의 구성에 높은 복잡도를 추가하고, 복잡도와 더불어 상당한 비용이 추가된다. 이 구성은 플라즈마-강화 화학적 증착의 이용을 요구한다. 이 프로세스는, 플라즈마 시스템을 이용하여 진공 상태에서 수행되어야 하며, 위험한 가스를 동반한다. 덜 비싸고 더 안전한 방법으로 실리콘을 부동태화하는 것이 바람직하다.

[0087] 종래의 실리콘 p-n 접합 광기전 소자에서, 광-생성된 캐리어를 분리하고 수집을 용이하게 하는 전계가 p-n 접합에 의해 생성된다. p-n 접합은 고온 및 비용 집약적 확산 프로세스에 의해 제작된다. 이 고비용 단계는, 전계를 생성하기 위해 p-n 접합 대신에 금속-실리콘 "쇼트키" 접합을 이용함으로써 제거된다[S. M. Sze, Physics of semiconductor devices (Wiley, New York, 1969), Second edition Ch. 8]. 그러나, 큰 다수 캐리어 전류로 인해 결과적인 J_0 가 매우 높아, 낮은 Voc 및 낮은 효율의 장치를 초래한다.

[0088] 다수 캐리어 전류를 차단하는 캐리어 차단층, 즉, n형 실리콘 기판의 경우 전자 차단층(6B)(도 6a), 및 p형 실리콘 기판(7C)(도 7a)의 경우 정공 차단층을 병합하여 "쇼트키" 접합을 강화시킴으로써 높은 J_0 가 저감될 수 있다는 것이 드러났다. 캐리어 차단층은 유기 재료일 수 있다. 결과적인 금속/유기재료/실리콘 이중접합이 종래의 광기전 소자의 p-n 접합을 효과적으로 대체할 수 있으며, 광생성된 캐리어들을 분리하고 그 수집을 용이하게 하는 내부 전계를 생성한다.

[0089] 도 6a는 p-n 접합을 갖지 않지만 그 대신에 광생성된 전하 캐리어들을 분리하기 위해 n형 실리콘 상의 전자 차단층과 금속-유기재료-실리콘 접합을 이용하는 광기전 소자 실시예의 개략도이다. 광기전 소자는, 애노드 전극(6A), 전자 차단층(6B), n형 실리콘층(6C), 및 캐소드 전극(6D)을 가진다. 전극(6A, 6D) 중 적어도 하나는 투명할 수 있다. 도 6b는 암 상태에서 외부 전압에 접속된 도 6a의 광기전 소자의 대역도이다. 다음과 같은

참조 번호들이 적용된다:

- [0090] 6E: 애노드 전극 페르미 준위;
- [0091] 6F: 전자 차단층의 LUMO 또는 전도대 가장자리의 하부;
- [0092] 6G: 전자 차단층의 HOMO 또는 가전대 가장자리의 상부;
- [0093] 6H: 실리콘의 전도대 가장자리;
- [0094] 6I: 실리콘의 가전대 가장자리;
- [0095] 6J: 캐소드 전극 페르미 준위;
- [0096] 6K: 전자 재결합 전류가 감소됨(손실 메커니즘); 및
- [0097] 6L: 정공 재결합 전류(손실 메커니즘).
- [0098] 도 7a는 p-n 접합을 갖지 않지만 그 대신에 광생성된 전하 캐리어들을 분리하기 위해 p형 실리콘 상의 정공 차단층과 금속-유기재료-실리콘 접합을 이용하는 광기전 소자 실시예의 개략도이다. 광기전 소자는, 애노드 전극(7A), p형 실리콘층(7B), 정공 차단층(7C), 및 캐소드 전극(7D)을 가진다. 전극(7A, 7D) 중 적어도 하나는 투명할 수 있다. 도 7b는 암 상태하에서 외부 전압에 접속된 도 7a의 광기전 소자의 대역도이다. 다음과 같은 참조 번호들이 적용된다:
- [0099] 7E: 애노드 전극 페르미 준위;
- [0100] 7F: 정공 차단층의 LUMO 또는 전도대 가장자리의 하부;
- [0101] 7G: 정공 차단층의 HOMO 또는 가전대 가장자리의 상부;
- [0102] 7H: 실리콘의 전도대 가장자리;
- [0103] 7I: 실리콘의 가전대 가장자리;
- [0104] 7J: 캐소드 전극 페르미 준위;
- [0105] 7K: 전자 재결합 전류(손실 메커니즘); 및
- [0106] 7L: 정공 재결합 전류가 감소됨(손실 메커니즘).
- [0107] 전술된 이종접합 구조에서 유기 캐리어 차단층을 이용함으로써, 종래의 p-n 접합 기반의 광기전 소자보다 제조 비용이 상당히 낮은 광기전 소자가 생성될 수 있다. 더 낮은 비용이 가능한 것은, p-n 접합의 형성시에 요구되는 고온 및 고비용의 확산 프로세스가 (스핀 코팅, 스프레이 코팅 또는 라미네이션을 통한) 실온 및 저비용의 실리콘 상으로의 유기층의 인가로 대체되기 때문이다. 다양한 종류의 가용 유기 재료로 인해, 적어도 하나의 유기층을 갖는 이러한 이종접합 광기전 소자를 포함하는 광기전 소자는 특정 목적에 맞게 최적화될 수 있고, 실리콘 동종접합에 의해 가능한 효율보다 효율이 높다.
- [0108] 실리콘-유기재료 이종접합 광기전 소자의 한 실시예는, n형 실리콘 기판 상의 전자 차단층으로서 Poly 3-Hexythiophene (이하에서는 'P3HT'라 함)의 유기층을 포함한다. 그러나, P3HT를 대체할 수 있는 다양한 종류의 유기 분자들이 있는 것을 이해하여야 한다. P3HT-실리콘 인터페이스는 효율적인 광기전 동작을 위한 2개의 핵심적인 대역 정렬 기준을 만족한다: a) 실리콘에서 광생성된 전자들이 금속에서 재결합하는 것을 차단하는 전도대역의 큰 장벽, 및 b) 전자와는 달리, 광생성된 정공들이 계면을 가로질러 용이하게 흘러가 애노드에서 집합되게 하는 작은 가전대 장벽.
- [0109] 도 8a는 p-n 접합없는 n형 실리콘 상의 금속-실리콘 "쇼트키" 접합 광기전 소자의 구조를 도시한다. 도 8b는 p-n 접합없는 n형 실리콘 상의 금속-P3HT-실리콘 이종접합 태양 전지의 구조를 도시한다. 다음과 같은 참조 번호들이 적용된다:
- [0110] 8A: n형 실리콘;
- [0111] 8B: 금속 그리드(애노드);
- [0112] 8C: 캐소드 전극;

- [0113] 8D: 투명 도전체(애노드의 일부); 및
- [0114] 8E: P3HT 층(전자 차단 유기재료).
- [0115] 도 8c는 도 8a 및 도 8b에 도시된 구조의 전류-전압 특성을 도시한다. 다음과 같은 참조 번호들이 적용된다:
- [0116] 8F: 수직축은 mA/cm^2 단위로 측정된 전류 밀도;
- [0117] 8G: 수평축은 볼트(volt) 단위로 측정된 공급 전압; 및
- [0118] 8H: 조명하에서 도 8a의 구조의 전류-전압 특성;
- [0119] 8I: 조명하에서 도 8b의 구조의 전류-전압 특성.
- [0120] 감소된 J_0 로 인해, 금속-실리콘 쇼트키 접합에 비해(도 8a), P3HT-실리콘 이종접합(도 8b)은 광기전 성능을 개선시키고, 쇼트키 접합의 경우 0.30 V의 개방 회로 전압이 금속-유기재료-실리콘 이종접합 광기전 소자(도 8c)의 경우 0.59 V로 증가되었다.
- [0121] 광기전 응용에 대한 실리콘-유기재료 이종접합을 생성하려는 이전의 시도들은, 투명 전극으로서 기능하는, 고농도 도핑된 "금속류" 유기 재료를 이용하여 왔다. 예를 들어, Camaioni 등의 [Synthetic Metals 85 (1997) 1369-1370], Sailor 등의 [Science 249, 1146 (1990)], 및 Wang 등의 [Applied Physics Letters 91 (2007)]에 설명된 실험들은 도핑된 준금속(near-metallic) 유기층을 이용한다. Camaioni 등, Sailor 등., 및 Wang 등은 그 전체를 참조용으로 본 명세서에 인용한다. 한편, 여기서 설명된 실리콘과 유기재료의 이종접합은 반도체성 유기층(semiconducting organic layer)을 이용한다.
- [0122] 또한 실리콘-유기재료 이종접합을 구성하는 대부분의 시도들은 단결정 실리콘에 의지해 왔다(Wang 등(2007) 참조). 여기서는 다른 유형의 실리콘을 이용하여 이들 방법들에 의해 이종접합이 생성될 수 있다는 것을 설명한다. 예를 들어, 다양한 실리콘 합금(SiGe, SiC, SiGeC 등), 다결정 실리콘, 미정질 실리콘, 프로토펙트질 실리콘, 업그레이드된 금속급 실리콘, 리본 실리콘, 박막 실리콘, 및 이들의 조합을 이용한 이종접합 광기전 소자의 구성을 구상해 볼 수 있다. 또한, 이들 유형들의 실리콘의 이러한 이종접합을, 태양 전지, 다이오드, 커패시터, 및 트랜지스터를 포함한, 광기전 소자에 이용하는 것도 구상해 볼 수 있다.
- [0123] 금속-실리콘 "쇼트키" 소자에서, 소수 캐리어 전류는 다수 캐리어 재결합 전류보다 훨씬 작다: 예를 들어, n형 실리콘 상의 쇼트키 소자에서, 전자 전류는 정공 전류보다 훨씬 크다. 그러나, 도 6a 및 도 7a의 금속-유기재료-실리콘 이종접합 소자에서는, 소수 캐리어 전류, 전자 및 정공 전류 각각은, 소수 캐리어 재결합 전류, 정공 및 전자 전류 각각이 더 큰 레벨로 저감된다. 증가된 실리콘 도핑 및 실리콘에서의 증가된 소수 캐리어 재결합 수명은 소수 캐리어 재결합 전류를 약화시킨다. 더 높은 소수 캐리어 재결합 수명을 실현하는 한 방법은, 플로트-존(Float-zone) 실리콘과 같은 더 나은 품질의 실리콘 기판을 이용하는 것이다.
- [0124] 금속-유기재료-실리콘 이종접합 광기전 소자에서의 소수 캐리어 재결합 전류를, 소자의 다른 단에 또 다른 캐리어 차단층(n형 실리콘 기판의 경우 정공 차단층, 및 p형 실리콘 기판의 경우 전자 차단층)을 추가함으로써 더욱 저감하는 것을 구상해 볼 수 있다. 이러한 추가적인 캐리어 차단층은 소수 캐리어(n형 실리콘에서는 정공이고, p형 실리콘에서는 전자)의 재결합에 기인한 손실을 줄이고 광기전 소자의 Voc 및 전체 효율을 개선한다. 제2 차단층은 종래의 실리콘 p-n 접합 광기전 소자에서 사용되는 후면 전계에 대한 대체물로서 간주될 수 있다. 이러한 차단층은 유기 재료로 형성될 수 있다.
- [0125] 도 9a는 n형 실리콘 상에 금속-유기재료-실리콘 이종접합, 전자 차단층, 및 정공 차단 후면 전계(back-surface-field)를 갖는 광기전 소자의 개략도이다. 광기전 소자는, 애노드 전극(9A), 전자 차단층(9B), n형 실리콘층(9C), 정공 차단층(9D), 및 캐소드 전극(9E)을 가진다. 전극(9A, 9E) 중 적어도 하나는 투명한 수 있다. 도 9b는 암 상태하에서 외부 전압에 접속된 도 9a의 광기전 소자의 대역도이다. 다음과 같은 참조 번호들이 적용된다:
- [0126] 9F: 애노드 전극 페르미 준위;
- [0127] 9G: 전자 차단층의 LUMO 또는 전도대 가장자리의 하부;
- [0128] 9H: 전자 차단층의 HOMO 또는 가전대 가장자리의 상부;
- [0129] 9I: 실리콘의 전도대 가장자리;

- [0130] 9J: 실리콘의 가전대 가장자리;
- [0131] 9K: 정공 차단층의 LUMO 또는 전도대 가장자리의 하부;
- [0132] 9L: 정공 차단층의 HOMO 또는 가전대 가장자리의 상부;
- [0133] 9M: 캐소드 전극 페르미 준위;
- [0134] 9N: 전자 재결합 전류가 감소됨(손실 메커니즘); 및
- [0135] 9O: 정공 재결합 전류가 감소됨(손실 메커니즘).
- [0136] 적절한 화학적 결합 구조를 갖는 재료를 이용한 실리콘 표면의 부동태화에 의해 소수 캐리어 전류가 더욱 저감될 수 있다. 이것은, 유기재료를 포함하지만 이것으로 한정되지 않는 재료 세트에 의해 달성될 수 있다. 이 부동태화층은, 전류 흐름의 경로 내에서, 실리콘 표면과 캐리어 차단층 사이에 위치한다. 따라서, 이 층은 자신을 통한 캐리어의 수송을 방해하지 않아야 한다. 예를 들어, PQ는 광기전 소자에서 실리콘 표면을 부동태화하고 효율을 향상시키는 것으로 드러났다[S.Avasthi, et al. doi: 10.1063/1.3429585]. 광기전 소자의 J_0 를 더욱 줄이고 성능을 더욱 향상시키기 위해 실리콘-유기재료 이중접합의 일부로서 부동태화층이 병합될 수 있다.
- [0137] 도 10은 전자 차단층, 정공 차단층 및 부동태화된 실리콘 표면을 갖는 실리콘-유기재료 이중접합 광기전 소자 실시예(태양 전지)의 개략도이다. 이 소자는, 애노드 전극(10A), 선택사항적 중간층-1(10B), 전자 차단 유기층(10C), 전공의 전도를 허용하는 선택사항적 부동태화층(10D), 실리콘층(10E), 전자의 전도를 허용하는 선택사항적 부동태화층(10F), 정공 차단 유기층(10G), 선택사항적 중간층-2(10H) 및 캐소드 전극(10I)을 가진다. 전극(10A, 10I) 중 적어도 하나는 투명할 수 있다.
- [0138] 실리콘 표면 상의 결합 준위를 제거하는 부동태화층은 또한 캐리어(전자 또는 정공) 차단층일 수도 있다는, 즉, 하나의 층이 양쪽 기능을 달성할 수 있다는 점에 유의해야 한다.
- [0139] 유기 재료를 이용한 실리콘의 부동태화는, 초청정 오븐이나 기타의 값비싼 장비를 이용하지 않고 저온에서 수행될 수 있다. 따라서, 실리콘 표면을 부동태화하기 위한 유기재료의 이용은, 증가된 성능 효율 뿐만 아니라 더 낮은 제조비용과 자본 경비를 제공한다.
- [0140] 전술된 이중접합 광기전 소자는 표면 텍스처화의 이용을 통해 광기전 소자의 효율을 향상시킬 기회를 제공하는 것으로 생각된다. 광기전 소자에서의 표면 텍스처화란, 마이크론 크기의 랜덤 구조물로 실리콘 표면을 거칠게 하는 것을 말하며, 이것은 일반적으로 단락 회로 전류와 전체 효율을 증가시킨다. 이것은 3가지 메커니즘으로부터 발생한다:
- [0141] i) 텍스처화된 표면은, 반사된 입사 광선이 또 다른 표면과 충돌하여 그 셀에 들어가, 실리콘 표면으로부터의 전체 반사를 줄이도록, 각도를 이루고 있다(예를 들어, 도 11a 참조). 참조 번호 11A는 비텍스처화된 실리콘 표면이 광을 어떻게 반사하는지를 도시하고 있다. 참조 번호 11B는 텍스처화된 실리콘 표면이 광 반사를 어떻게 줄이는지를 도시하고 있다.
- [0142] ii) 셀에 진입하는 굴절될 광선은 그 셀의 평면에 대한 법선보다 낮은 각도로 전파하여, 이 광선이 셀을 벗어날 기회를 갖기 이전에 흡수 재료 내에서 더 긴 거리를 이동하도록 한다. 이것은 흡수 확률을 증가시킨다(도 11b 참조). 참조 번호 11C는, 비텍스처화된 실리콘에서 대부분의 광은 수직으로 진입한다는 것을 도시하고 있다. 참조 번호 11D는, 텍스처화된 실리콘 표면에서 광은 비스듬히 진입한다는 것을 도시하고 있다.
- [0143] iii) 더 긴 파장의 광은 실리콘에 의해 효율적으로 흡수되지 않는다. 한 해결책은 더 두꺼운 실리콘 웨이퍼이지만, 이 해결책은 비싸다. 대안은, 후면에 반사기 재료, 예를 들어, 비흡수된 광을 다시 정면을 향하여 반사하는 후면-반사기(대개는 후면 금속)를 갖는 것이다. 텍스처화된 정면은, 이 광이 내부 반사될 확률을 증가시켜, 흡수 확률을 개선한다(도 11c 참조). 참조 번호 11E는 비텍스처화된 실리콘에서 후면 반사기로부터 반사된 광이 어떻게 소실되는지를 도시하고 있다. 참조 번호 11F는 텍스처화된 실리콘에서 후면 반사기(11G)로부터 반사된 광이 어떻게 다시 산란되는지를 도시하고 있다.
- [0144] 결정 실리콘 태양 전지에서, KOH 및 NaOH 또는 TMAH와 같은 알칼리 용액에서 실리콘 웨이퍼의 이방성 에칭을 이용하여 표면 텍스처가 수행된다(D. Iencinella 등의, doi:10.1016/j.solmat.2004.09.020 참조). 다결정에서는, 표면 텍스처는, 마스크된 반응성 이온 에칭 및 산성 습식 에칭의 조합을 이용하여 수행된다(L.A. Dobrzanski 등의 Journal of Achievements in Materials and Manufacturing Engineering 31, 77 (2008)). 다

른 유형의 태양 전지는 표면 텍스처화에 관한 유사한 접근법을 이용한다. 전술된 소자의 텍스처화를 위해, 사실상 임의 유형의 공지된 방법의 실리콘 에칭이 적용될 수 있다. 도 12a는 종래의 화학적으로/기계적으로 텍스처화된 실리콘(12A)을 갖는 광기전 소자의 개략도이다.

[0145] 제공되는 한 전략은 실리콘 대신에 유기재료를 텍스처화함으로써 비용을 피하는 것이다. 유기재료는 더 부드러운 재료이므로, 유기재료가 몰드로 스탬핑함으로써 인덴트(indent)되어, 유기 재료가 굴곡을 형성하여 자동으로 텍스처화된 표면을 형성하도록 피착 상태를 수정한다. 도 12b는 실리콘층(12C) 상에 피착된 유기층(12B)을 갖는 광기전 소자의 개략도이다. 유기층(12B)은 텍스처화된 표면을 갖도록 형성된다. 이 예에서, 실리콘층(12C)은 텍스처화된 표면을 갖지 않는다. 또한 실리콘층 및 유기층 양쪽 모두의 텍스처화를 조합하는 것이 이용되고, 여기서, 실리콘의 텍스처화는 종래의 접근법을 이용하여 수행되고, 유기재료의 텍스처화는 몰드에 의한 톱니화(indentation) 및/또는 유기재료가 굴곡을 형성하여 그에 따라 자동으로 텍스처화된 표면을 형성하게 하는 피착 상태의 수정을 이용하여 수행된다. 도 12c는 실리콘층(12E) 상에 피착된 유기층(12D)을 갖는 광기전 소자의 개략도이다. 유기층(12D)은 앞선 논의된 바와 같은 텍스처화된 표면을 갖도록 형성된다. 실리콘층(12E)도 역시 텍스처화된 (예를 들어, 종래의 화학적으로/기계적으로 텍스처화된) 표면을 갖도록 형성된다. 대안으로서, 텍스처화된 실리콘 표면의 상부 상의 유기재료는 그 자체로 평활 표면을 가질 수 있다.

[0146] 여기서 설명된 이중접합 소자에서의 전자기 복사의 흡수는 실리콘층에서 발생한다. 전자기 복사가 실질적으로 손실없이 실리콘에 도달하는 것을 허용하기 위해, 전극들 중 하나는 적어도 부분적으로 투명할 필요, 즉, 광이 투과되는 것을 허용할 필요가 있다. 예를 들어 여기서 설명된 소자에서, 애노드는 반투명이고 2개의 층으로 구성된다. 한 층은 전도성 폴리머 PEDOT:PSS [Poly(3,4-ethylenedioxythiophene) poly(styrenesulfonate)]이고, 다른 층은 금속일 수 있는 불투명 전극으로 형성된 그리드이다(예를 들어, 도 13a, 도 13b를 참조). 불연속 금속-그리드는 복사의 일부(1% 내지 40%)을 가리지만(shadow), 전류 경로의 전기 저항을 줄임으로써 광기전 소자의 전기 에너지 출력을 향상시킨다. 애노드 스택으로부터 최적의 성능을 얻기 위해, PEDOT:PSS 층과 금속-그리드 양쪽 모두의 특성은 최적화될 수 있다.

[0147] 베어 실리콘층은 만족되지 않은 실리콘 원자기를 가지므로, 광기전 소자의 성능을 심각하게 열화시키는 재결합 중심으로서 작용하는 미드갭 결합 준위를 야기한다. 종래의 광기전 소자에서는, 재결합 중심을 줄이는, 예를 들어, 표면을 부동태화하기 위해 열 산화물층 또는 실리콘 질화물층들이 이용된다. 그러나, 이 프로세스는 높은 온도와 전문화된 초정정 장비를 요구한다. 대단히 저감된 비용으로 실리콘을 부동태화하기 위해 베어 실리콘 기판 상에 유기 재료가 피착될 수 있다.

[0148] PQ는 실리콘을 부동태화하는데 효과적인 유기 분자이다(S. Avasthi 등의., Applied Physics Letters 96, 222109 (2010) doi: 10.1063/1.3429585 및 S. Avasthi 등의, Surface Science (2011) doi:10.1016/j.susc.2011.04.024). 그러나, 유기 분자들은 매우 다양한 잠재적 부동태화층을 제공하는 것으로 여겨진다. PQ는, n-전자 복합(conjugated) 시스템이고 큰 대역갭을 갖는 반도체처럼 동작하기 때문에, 선택되었다. 실리콘을 부동태화하기 위해 유사한 특성을 갖는 임의의 유기재료가 이용될 수 있다. 도 14a는 종래의 부동태화층을 갖는 광기전 소자의 일부의 개략도이다. 이 소자는, 실리콘층(14B) 상에 피착된, 종래의 부동태화층(14A), 예를 들어, 실리콘-질화물, 실리콘 산화물 등을 가진다. 도 14b는 PQ와 같은, 유기층에 의한 부동태화된 광기전 소자의 일부의 개략도이다. 소자는 실리콘층(14B) 상에 형성된 유기 부동태화층(14C)을 가진다. 부동태화층은 적어도 하나의 전하 캐리어를 차단하도록 구성된다.

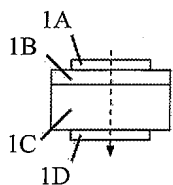
[0149] PQ를 이용한 부동태화 프로세스는, 고진공에서 열적 증착을 이용하여 베어 실리콘(bare silicon) 상에 유기층을 피착하는 것을 필요로 한다. 피착 이전에, 실리콘 표면은 설정된 용매 및 RCA 세정을 이용하여 철저히 세정된다(예를 들어, 웨이퍼를 DI 수(water)에 흠뻑 적신(soaking) 후, 약 15분간 75℃ 또는 85℃에서 수산화 암모늄, 과산화수소, 및 물의 1:1:5의 용액으로 세정한 다음; 25℃에서 HF+물의 1:100 용액에서의 짧은 1분간의 침지(immersion)에 후속하여, 75℃ 또는 85℃에서 염화 수소, 과산화 수소, 및 물의 1:1:5 용액으로 15분간 씻어냄(wash)으로써 웨이퍼가 준비된다). 이에 후속하여, 이전의 세정 단계 동안에 형성된 산화물층을 벗겨내기 위해 짧은 (예를 들어, 1분) 1:100 HF: 탈이온수 딥핑(dip)이 이루어진다. 그 다음, 실리콘이 5×10^{-7} torr의 베이스 압력의 증착 시스템에 로딩된다. 일단 베이스 압력에서, 유기층이 매우 낮은 피착률(0.2-0.3 A/s)로 열적으로 피착된다. 시스템은 진공하에서 12시간 동안 방치되어, 유기층이 실리콘 표면과 작용하여 표면을 부동태화한다.

[0150] 예

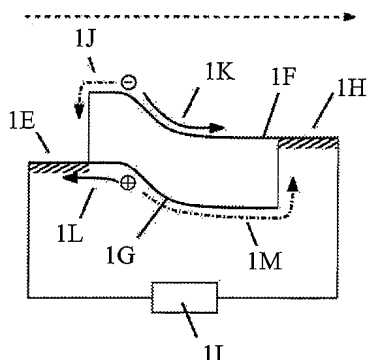
- [0151] 전자 차단층으로서 p-n 접합 및 P3HT를 갖지 않는 n형 실리콘 상의 금속-유기재료-실리콘 이중접합의 제작.
- [0152] 도 8b는 금속-P3HT-실리콘 이중접합 광기전 소자 실시예의 구조를 도시하는 개략도이다. 이 소자는, 애노드(8B)(금속 그리드), 투명 도전체(애노드의 일부)(8D), 유기 전자 차단층(P3HT)(8E), n형 실리콘층(8A) 및 캐소드 전극(8C)을 가진다. 도 8c의 곡선(8I)는 도 8b의 광기전 소자의 전류-전압 특성을 도시한다.
- [0153] 제조 방법은 실리콘 기판과 함께 시작된다. 표준 실리콘 세정 방법을 이용하여 기판이 조심스럽게 세정된다. 임의의 공지된 세정 방법이 이용될 수 있다. 예를 들어, 아세톤/메탄올/프로판올-2에서 행군(rinsing) 다음 RCA 세정한다(예를 들어, 웨이퍼를 DI 수(water)에 흠뻑 적신(soaking) 후, 약 15분간 75℃ 또는 85℃에서 수산화 암모늄, 과산화수소, 및 물의 1:1:5의 용액으로 세정한 다음; 25℃에서 HF+물의 1:100 용액에서의 짧은 침지(immersion)에 후속하여, 75℃ 또는 85℃에서 염화 수소, 과산화 수소, 및 물의 1:1:5 용액으로 씻어냄(wash)으로써 웨이퍼가 준비된다). 이에 후속하여, 표면 상의 화학적 산화물 코팅을 제거하기 위해 희석된 HF(약 1:100)에 실리콘을 담근다(dipping). 표면이 세정되고 준비된 직후에, 적절한 용매의, 이중접합에 사용될 유기 재료의 용액이 실리콘 표면중 하나에 스핀 코팅된다. 예를 들어, 클로로벤젠에 용해된 P3HT가, 결정 실리콘 웨이퍼의 세정되고 준비된 표면의 상부 표면 상에 스핀 코팅될 수 있다. 일단 공기중에서 유기층이 건조되고 나면, 상부 전극 및 하부 전극이 피착된다. 임의의 적절한 전극이 이용될 수 있다. 예를 통해 제한하고자 함은 아니고, 적절한 금속 전극으로는, Pd 및 Al 및 유사한 금속들이 포함된다. 애노드를 통한 광 투과를 허용하기 위해, 투명한 전도성 유기재료가 피착된다. 이러한 투명 전극은 폴리(3,4-에틸렌디옥시티오펜 폴리스티렌황산염(Poly(3,4-ethylenedioxythiophene) polystyrenesulfate))(이하, PEDOT:PSS라 함)을 포함하지만, 이것으로 제한되는 것은 아니다. 구조에 따라, 효율을 향상시키기 위해 어떤 열 처리가 적용될 수도 있다. 예를 통해 제한하고자 함은 아니고, 전형적인 열 처리는 30℃ 내지 약 150℃에서 약 0 내지 약 10분간 샘플을 가열하는 것을 포함한다. 열 처리는 전형적으로, 진공 하에서, 또는 산소/수분이 없는 환경에서 수행된다. 이러한 소자는 $100\text{mW}/\text{cm}^2$ 의 광 여기하에서 0.59V의 높은 개방 회로 전압을 달성한다. 단락 회로 전류는 $29\text{mA}/\text{cm}^2$ 이고, 충전률(fill factor)은 0.59이어서, 10.1%의 에너지 효율로 변환된다.
- [0154] 특징 및 요소들이 특징의 조합으로 상기에서 설명되었지만, 각 특징 또는 요소는 다른 특징 및 요소없이 단독으로, 또는 다른 특징 및 요소와 함께 또는 이들없이 다양한 조합으로 사용될 수도 있다.

도면

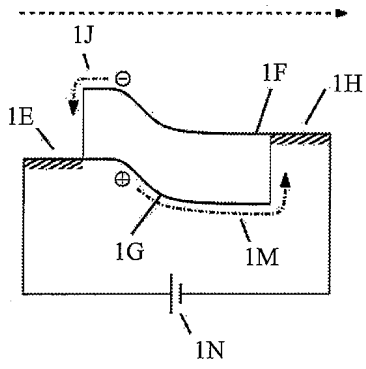
도면1a



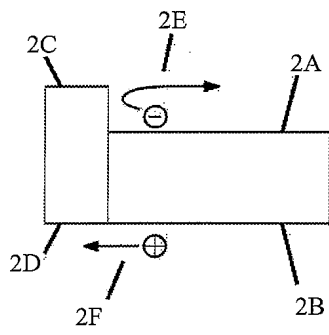
도면1b



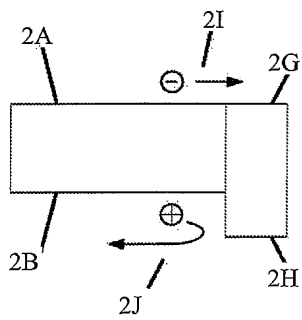
도면1c



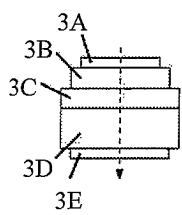
도면2a



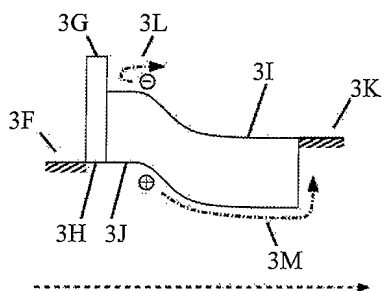
도면2b



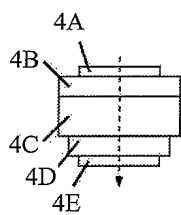
도면3a



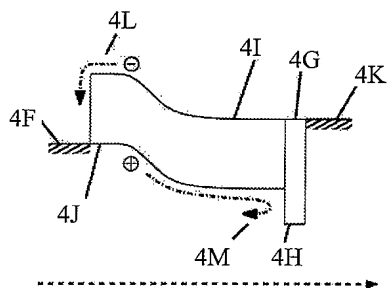
도면3b



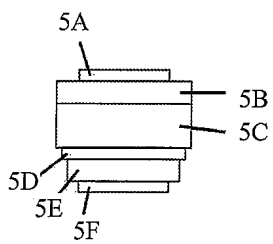
도면4a



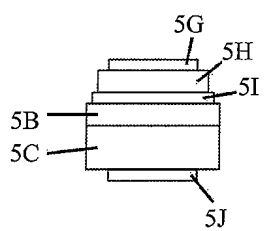
도면4b



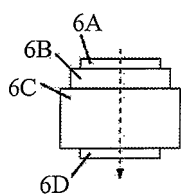
도면5a



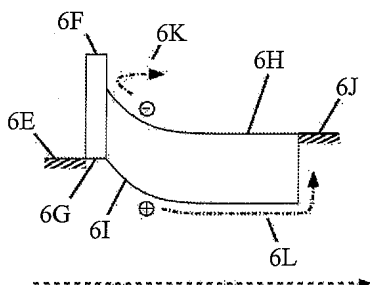
도면5b



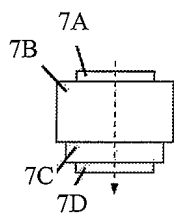
도면6a



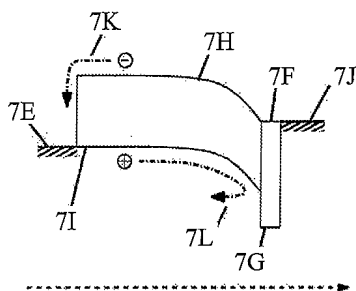
도면6b



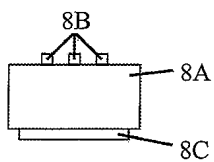
도면7a



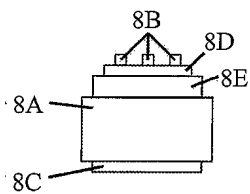
도면7b



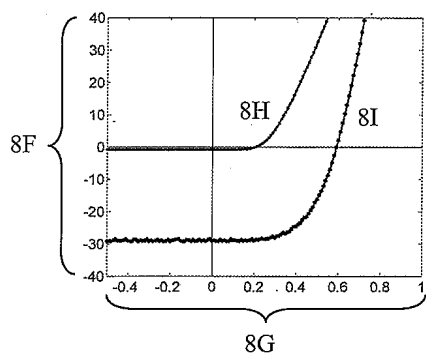
도면8a



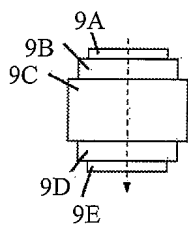
도면8b



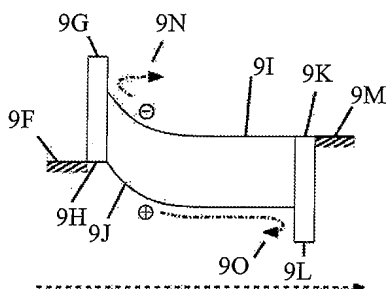
도면8c



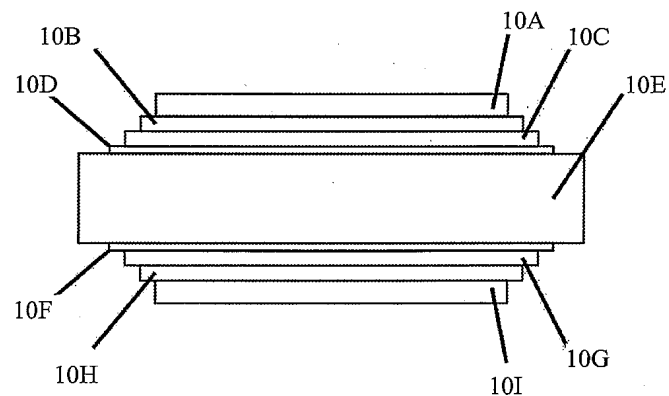
도면9a



도면9b



도면10



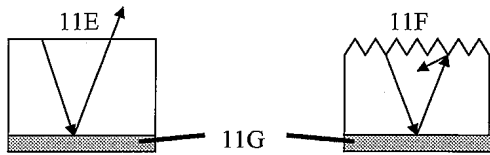
도면11a



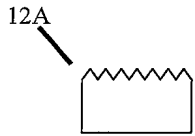
도면11b



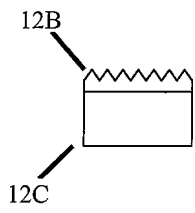
도면11c



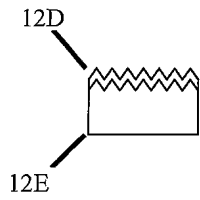
도면12a



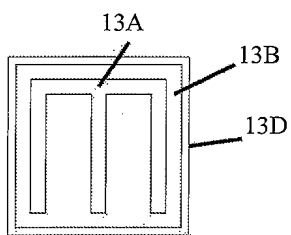
도면12b



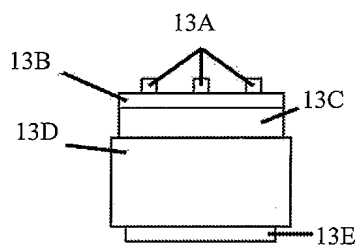
도면12c



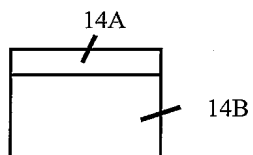
도면13a



도면13b



도면14a



도면14b

