

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-194573

(P2014-194573A)

(43) 公開日 平成26年10月9日(2014.10.9)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
H01L 29/786 (2006.01)	H01L 29/78 618B	5F038
H01L 21/336 (2006.01)	H01L 29/78 612C	5F110
H01L 27/04 (2006.01)	H01L 29/78 612D	
H01L 21/822 (2006.01)	H01L 29/78 619A	
審査請求 有 請求項の数 6 O L (全 65 頁) 最終頁に続く		

(21) 出願番号	特願2014-109708 (P2014-109708)	(71) 出願人	000153878
(22) 出願日	平成26年5月28日 (2014.5.28)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2013-158663 (P2013-158663) の分割	(72) 発明者	山崎 舜平
原出願日	平成25年7月31日 (2013.7.31)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-173349 (P2012-173349)		半導体エネルギー研究所内
(32) 優先日	平成24年8月3日 (2012.8.3)	(72) 発明者	三宅 博之
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-178941 (P2012-178941)		半導体エネルギー研究所内
(32) 優先日	平成24年8月10日 (2012.8.10)	(72) 発明者	穴戸 英明
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-188093 (P2012-188093)		半導体エネルギー研究所内
(32) 優先日	平成24年8月28日 (2012.8.28)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			最終頁に続く

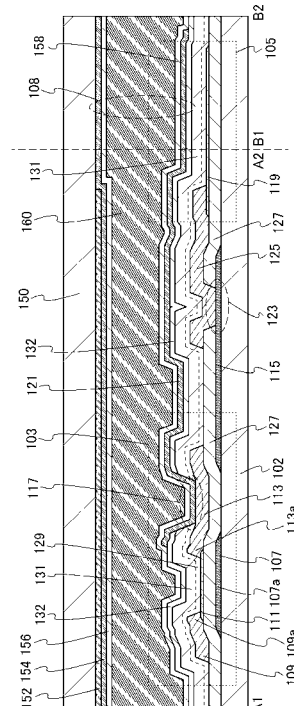
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】開口率を低減させず、電荷容量を大きくした容量素子を有する半導体装置を提供する。

【解決手段】透光性を有する半導体膜を含むトランジスタと、一対の電極の間に誘電体膜が設けられた容量素子と、透光性を有する半導体膜上に設けられた絶縁膜と、絶縁膜上に設けられた透光性を有する導電膜とを有し、容量素子において、トランジスタの透光性を有する半導体膜と同一表面上に形成される少なくともインジウム(In)若しくは亜鉛(Zn)を含む金属酸化物膜が一方の電極として機能し、透光性を有する導電膜が他方の電極として機能し、透光性を有する半導体膜上に設けられた絶縁膜が誘電体膜として機能する半導体装置である。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

トランジスタと、
画素電極と、
前記トランジスタ上方及び前記画素電極上方の第 1 の絶縁膜と、
前記第 1 の絶縁膜上方の第 2 の絶縁膜と、
前記第 2 の絶縁膜上方のコモン電極と、
前記コモン電極上方の液晶層と、を有し、
前記トランジスタは、ゲート電極と、ソース電極と、ドレイン電極と、ゲート絶縁膜と、
酸化物半導体膜と、を有し、
前記画素電極は、前記ソース電極又は前記ドレイン電極と電氣的に接続され、
前記画素電極は、前記第 2 の絶縁膜と接する領域を有し、
前記画素電極は、前記酸化物半導体膜と同層であることを特徴とする液晶表示装置。

10

【請求項 2】

トランジスタと、
画素電極と、
前記トランジスタ上方及び前記画素電極上方の第 1 の絶縁膜と、
前記第 1 の絶縁膜上方の第 2 の絶縁膜と、
前記第 2 の絶縁膜上方のコモン電極と、
前記コモン電極上方の液晶層と、を有し、
前記トランジスタは、ゲート電極と、ソース電極と、ドレイン電極と、ゲート絶縁膜と、
酸化物半導体膜と、を有し、
前記画素電極は、前記ソース電極又は前記ドレイン電極と電氣的に接続され、
前記画素電極は、前記第 2 の絶縁膜と接する領域を有し、
前記画素電極は、前記酸化物半導体膜と同じ金属元素を有することを特徴とする液晶表示装置。

20

【請求項 3】

トランジスタと、
画素電極と、
前記トランジスタ上方及び前記画素電極上方の第 1 の絶縁膜と、
前記第 1 の絶縁膜上方の第 2 の絶縁膜と、
前記第 2 の絶縁膜上方のコモン電極と、
前記コモン電極上方の液晶層と、を有し、
前記トランジスタは、ゲート電極と、ソース電極と、ドレイン電極と、ゲート絶縁膜と、
酸化物半導体膜と、を有し、
前記画素電極は、前記ソース電極又は前記ドレイン電極と電氣的に接続され、
前記画素電極は、前記第 2 の絶縁膜と接する領域を有し、
前記画素電極及び前記酸化物半導体膜は、第 1 の膜を加工する工程を経て形成されたものであることを特徴とする液晶表示装置。

30

【請求項 4】

トランジスタと、
画素電極と、
前記トランジスタ上方及び前記画素電極上方の第 1 の絶縁膜と、
前記第 1 の絶縁膜上方の第 2 の絶縁膜と、
前記第 2 の絶縁膜上方のコモン電極と、
前記コモン電極上方の液晶層と、を有し、
前記トランジスタは、ゲート電極と、ソース電極と、ドレイン電極と、ゲート絶縁膜と、
酸化物半導体膜と、を有し、
前記画素電極は、前記ソース電極又は前記ドレイン電極と電氣的に接続され、
前記画素電極は、前記第 2 の絶縁膜と接する領域を有し、

40

50

前記酸化物半導体膜は、前記ゲート絶縁膜と前記ソース電極又は前記ドレイン電極とに挟まれる領域を有し、

前記画素電極は、前記ゲート絶縁膜と前記ソース電極又は前記ドレイン電極とに挟まれる領域を有することを特徴とする液晶表示装置。

【請求項 5】

トランジスタと、

画素電極と、

前記トランジスタ上方及び前記画素電極上方の第 1 の絶縁膜と、

前記第 1 の絶縁膜上方の第 2 の絶縁膜と、

前記第 2 の絶縁膜上方のコモン電極と、

前記コモン電極上方の液晶層と、を有し、

前記トランジスタは、ゲート電極と、ソース電極と、ドレイン電極と、ゲート絶縁膜と、酸化物半導体膜と、を有し、

前記画素電極は、前記ソース電極又は前記ドレイン電極と電氣的に接続され、

前記画素電極は、前記第 2 の絶縁膜と接する領域を有し、

前記ゲート絶縁膜は、前記酸化物半導体膜と接する領域と、前記画素電極と接する領域と、を有し、

前記ソース電極又は前記ドレイン電極は、前記酸化物半導体膜と接する領域と、前記画素電極と接する領域と、を有することを特徴とする液晶表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 2 の絶縁膜は、窒素を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書などで開示する発明は半導体装置に関する。

【背景技術】

【0002】

近年、液晶ディスプレイ（LCD）などのフラットパネルディスプレイが広く普及してきている。フラットパネルディスプレイなどの表示装置において、行方向及び列方向に配設された画素内には、スイッチング素子であるトランジスタと、当該トランジスタと電氣的に接続された液晶素子と、当該液晶素子と並列に接続された容量素子とが設けられている。

【0003】

当該トランジスタの半導体膜を構成する半導体材料としては、アモルファス（非晶質）シリコン又はポリ（多結晶）シリコンなどのシリコン半導体が汎用されている。

【0004】

また、半導体特性を示す金属酸化物（以下、酸化物半導体と記す。）は、トランジスタの半導体膜に適用できる半導体材料である。例えば、酸化亜鉛又は In-Ga-Zn 系酸化物半導体を用いて、トランジスタを作製する技術が開示されている（特許文献 1 及び特許文献 2 を参照。）。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2007-123861 号公報

【特許文献 2】特開 2007-96055 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

容量素子是一对の電極の間に誘電体膜が設けられており、一对の電極のうち、少なくと

10

20

30

40

50

も一方の電極は、トランジスタを構成するゲート電極、ソース電極又はドレイン電極など遮光性を有する導電膜で形成されていることが多い。

【0007】

また、容量素子の容量値を大きくするほど、電界を加えた状況において、液晶素子の液晶分子の配向を一定に保つことができる期間を長くすることができる。静止画を表示させる表示装置において、当該期間を長くできることは、画像データを書き換える回数を低減することができ、消費電力の低減が望める。

【0008】

容量素子の電荷容量を大きくするためには、容量素子の占有面積を大きくする、具体的には一对の電極が重畳している面積を大きくするという手段がある。しかしながら、上記表示装置において、一对の電極が重畳している面積を大きくするために遮光性を有する導電膜の面積を大きくすると、画素の開口率が低減し、画像の表示品位が低下する。

【0009】

そこで、上記課題に鑑みて、本発明の一態様は、開口率が高く、且つ電荷容量を増大させることが可能な容量素子を有する半導体装置を提供することを課題の一とする。

【課題を解決するための手段】

【0010】

本発明の一態様は、トランジスタと、透光性を有する容量素子とが設けられた半導体装置である。具体的には、当該容量素子において、透光性を有する半導体膜が一方の電極として機能し、透光性を有する導電膜が当該容量素子の他方の電極として機能し、透光性を有する絶縁膜が誘電体膜として機能する、半導体装置である。

【0011】

また、本発明の一態様は、透光性を有する半導体膜を含むトランジスタと、一对の電極の間に誘電体膜が設けられた容量素子と、透光性を有する半導体膜上に設けられた絶縁膜と、絶縁膜上に設けられた透光性を有する導電膜とを有し、容量素子において、トランジスタの透光性を有する半導体膜と同一表面上に形成される透光性を有する半導体膜が一方の電極として機能し、透光性を有する導電膜が他方の電極として機能し、透光性を有する半導体膜上に設けられた絶縁膜が誘電体膜として機能することを特徴とする半導体装置である。

【0012】

また、透光性を有する半導体膜は、酸化物半導体を用いて形成することができる。酸化物半導体は、エネルギーギャップが3.0 eV以上と大きく、可視光に対する透過率が大きいためである。

【0013】

容量素子の一方の電極として、トランジスタに含まれる半導体膜を形成する工程で形成した半導体膜を用いる場合、当該半導体膜の導電率を増大させてもよい。例えば、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン及び希ガス元素から選ばれた一種以上を半導体膜に添加することが好ましい。なお、上記元素を当該半導体膜に添加する方法としては、イオン注入法又はイオンドーピング法などがあり、当該半導体膜を上記元素含むプラズマに曝すことでも上記元素を添加することができる。この場合、容量素子の一方の電極である半導体膜の導電率は、10 S/cm以上1000 S/cm以下、好ましくは100 S/cm以上1000 S/cm以下とする。

【0014】

上記構成とすることで、容量素子は透光性を有するため、画素内のトランジスタが形成される箇所以外の領域に大きく（大面積に）形成することができる。従って、開口率を高めつつ、電荷容量を増大させた半導体装置を得ることができる。この結果、表示品位の優れた半導体装置を得ることができる。

【0015】

また、容量素子において、誘電体膜はトランジスタに含まれる半導体膜上に設けられた絶縁膜を用いることから、当該絶縁膜と同じ積層構造とすることができる。例えば、トラ

ンジスタに含まれる半導体膜上に設けられた絶縁膜を酸化絶縁膜及び窒化絶縁膜の積層構造とする場合、容量素子の誘電体膜は、酸化絶縁膜及び窒化絶縁膜の積層構造とすることができる。

【0016】

また、容量素子において、トランジスタに含まれる半導体膜上に設けられた絶縁膜を酸化絶縁膜及び窒化絶縁膜とする場合、当該酸化絶縁膜を形成した後に容量素子が形成される領域のみ当該酸化絶縁膜を除去することで、容量素子の誘電体膜は、窒化絶縁膜の単層構造とすることができる。別言すると、当該窒化絶縁膜は容量素子の一对の電極として機能する酸化物半導体膜に接する。窒化絶縁膜と酸化物半導体膜が接することで、当該窒化絶縁膜と当該酸化物半導体膜の界面における欠陥準位（界面準位）、又は当該窒化絶縁膜に含まれる窒素が当該酸化物半導体膜に拡散することになり、当該酸化物半導体膜の導電率が增大する。また、誘電体膜の厚さを薄くすることが可能であるため、容量素子の電荷容量を増大させることができる。

10

【0017】

上記より、容量素子において、窒化絶縁膜が上記半導体膜に接する構造とすることで、イオン注入法又はイオンドーピング法など、導電率を増大させる元素を上記半導体膜に添加する工程を省略することができ、半導体装置の歩留まりを向上させ、作製コストを低減することができる。

【0018】

なお、トランジスタに含まれる半導体膜を酸化物半導体膜とし、酸化絶縁膜及び窒化絶縁膜の積層構造を当該半導体膜上に設けられる絶縁膜とする場合、当該酸化絶縁膜は窒素を透過させにくい、すなわち窒素に対するバリア性を有していることが好ましい。

20

【0019】

このようにすることで、トランジスタに含まれる半導体膜である酸化物半導体膜に窒素及び水素の一方又は双方が拡散することを抑制でき、トランジスタの電気特性変動を抑制することができる。

【0020】

上記において、透光性を有する導電膜と、トランジスタに含まれる半導体膜上に設けられた絶縁膜との間に有機絶縁膜が設けられていてもよい。このようにすることで、透光性を有する導電膜と、ソース電極又はドレイン電極など他の導電膜との寄生容量を低減することができ、半導体装置の電気特性を良好にすることができる。例えば、半導体装置の信号遅延などを低減することができる。

30

【0021】

また、容量素子の電荷容量を大きくするためには誘電体膜の厚さを薄くすることが有効なため、容量素子が形成される領域上の有機絶縁膜を除去しておくことが好ましい。そして、トランジスタに含まれる半導体膜を酸化物半導体膜とする場合、当該有機絶縁膜に含まれる水素、水などが酸化物半導体膜に拡散すること抑制するために、トランジスタに含まれる半導体膜と重畳する領域上の有機絶縁膜は除去しておくことが好ましい。

【0022】

なお、透光性を有する導電膜がトランジスタに接続する場合、透光性を有する導電膜が画素電極として機能する。

40

【0023】

透光性を有する導電膜が画素電極として機能する場合、容量線が、走査線と平行方向に延伸し、且つ走査線と同一表面上に設けられている。容量素子の一方の電極（半導体膜）は、トランジスタのソース電極又はドレイン電極を形成する際に同時に形成される導電膜によって容量線と電氣的に接続されている。

【0024】

また、容量線は、走査線と平行方向に延伸し、走査線と同一表面上に設けることに限らず、トランジスタのソース電極又はドレイン電極を含む信号線と平行方向に延伸し、且つ信号線と同一表面上に設けられており、容量素子の一方の電極（半導体膜）と電氣的に接

50

続されてもよい。

【0025】

また、容量線は、容量素子に含まれる半導体膜を用いて形成されてもよい。

【0026】

また、容量線は、隣接する複数の画素に含まれる容量素子それぞれと接続してもよい。
この場合、隣接する画素の間に容量線が設けられてもよい。

【0027】

容量素子に含まれる半導体膜の導電率が高い場合、容量素子に含まれる半導体膜がトランジスタと接続してもよい。この場合、容量素子に含まれる半導体膜が画素電極として機能し、透光性を有する導電膜が共通電極及び容量線として機能する。

10

【0028】

容量素子の一方の電極として、トランジスタに含まれる半導体膜を形成する工程で形成した半導体膜を用いる場合、当該半導体膜と容量線とに接する導電膜は、当該半導体膜の端部に接して設けてもよく、例えば、当該半導体膜の外周に沿って接して設けることができる。このようにすることで、当該半導体膜と導電膜の接触抵抗を低減させることができる。

【0029】

透光性を有する容量素子は、トランジスタの作製工程を利用することで作製できる。容量素子の一方の電極は、トランジスタに含まれる半導体膜を形成する工程を利用でき、容量素子の誘電体膜は、トランジスタに含まれる半導体膜上に設けられる絶縁膜を形成する工程を利用でき、容量素子の他方の電極は、画素電極または共通電極として機能する透光性を有する導電膜を形成する工程を利用することができる。このため、トランジスタに含まれる半導体膜と、容量素子の一方の電極とは、同じ金属元素で構成される。

20

【0030】

なお、本発明の一態様である半導体装置を作製する作製方法についても本発明の一態様に含まれる。

【発明の効果】

【0031】

本発明の一態様より、開口率を高めつつ、電荷容量を増大させた容量素子を有する半導体装置を提供することができる。

30

【図面の簡単な説明】

【0032】

【図1】本発明の一態様である半導体装置を説明する図、及び画素を説明する回路図。

【図2】本発明の一態様である半導体装置を説明する上面図。

【図3】本発明の一態様である半導体装置を説明する断面図。

【図4】本発明の一態様である半導体装置の作製方法を説明する断面図。

【図5】本発明の一態様である半導体装置の作製方法を説明する断面図。

【図6】本発明の一態様である半導体装置を説明する上面図。

【図7】本発明の一態様である半導体装置を説明する断面図。

【図8】本発明の一態様である半導体装置を説明する断面図。

【図9】本発明の一態様である半導体装置を説明する上面図。

【図10】本発明の一態様である半導体装置を説明する断面図。

【図11】本発明の一態様である半導体装置を説明する上面図。

【図12】本発明の一態様である半導体装置を説明する断面図。

【図13】本発明の一態様である半導体装置を説明する上面図。

【図14】本発明の一態様である半導体装置を説明する断面図。

【図15】本発明の一態様である半導体装置を説明する断面図。

【図16】本発明の一態様である半導体装置を説明する上面図。

【図17】本発明の一態様である半導体装置を説明する上面図。

【図18】本発明の一態様である半導体装置を説明する断面図。

40

50

- 【図 1 9】本発明の一態様である半導体装置を説明する断面図。
【図 2 0】本発明の一態様である半導体装置を説明する上面図。
【図 2 1】本発明の一態様である半導体装置を説明する断面図。
【図 2 2】本発明の一態様である半導体装置の作製方法を説明する断面図。
【図 2 3】本発明の一態様である半導体装置の作製方法を説明する断面図。
【図 2 4】本発明の一態様である半導体装置を説明する断面図。
【図 2 5】本発明の一態様である半導体装置を説明する上面図。
【図 2 6】本発明の一態様である半導体装置を説明する断面図。
【図 2 7】本発明の一態様である半導体装置の作製方法を説明する断面図。
【図 2 8】本発明の一態様である半導体装置の作製方法を説明する断面図。 10
【図 2 9】本発明の一態様である半導体装置を説明する断面図。
【図 3 0】本発明の一態様である半導体装置を説明する上面図。
【図 3 1】本発明の一態様である半導体装置を説明する断面図。
【図 3 2】本発明の一態様である半導体装置を説明する断面図及び上面図。
【図 3 3】本発明の一態様である半導体装置を用いた電子機器を説明する図。
【図 3 4】本発明の一態様である半導体装置を用いた電子機器を説明する図。
【図 3 5】本発明の一態様である半導体装置を説明する上面図。
【図 3 6】本発明の一態様である半導体装置を説明する断面図。
【図 3 7】本発明の一態様である半導体装置を説明する上面図。
【図 3 8】本発明の一態様である半導体装置に含まれる容量素子を説明する図。 20
【図 3 9】本発明の一態様である半導体装置に含まれる容量素子の動作方法を説明する図。

- 【図 4 0】本発明の一態様である半導体装置を説明する上面図。
【図 4 1】本発明の一態様である半導体装置を説明する断面図。
【図 4 2】計算に用いたトランジスタの構造を説明する断面図。
【図 4 3】計算により得られたトランジスタの等電位曲線を説明する断面図。
【図 4 4】計算により得られたトランジスタの電流電圧曲線を説明するグラフ。
【図 4 5】液晶表示装置の表示画像を説明する図。
【図 4 6】本発明の一態様である半導体装置を説明する上面図。
【図 4 7】本発明の一態様である半導体装置を説明する断面図。 30
【図 4 8】本発明の一態様である半導体装置を説明する上面図。
【発明を実施するための形態】

【0033】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0034】

以下に説明する本発明の構成において、同一部分又は同様の機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を有する部分を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。 40

【0035】

本明細書で説明する各図において、各構成の大きさ、膜の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0036】

本明細書などにおいて、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書等において発明を特定するための事項として固有の名称を示すものではない。

【0037】

また、本発明における「ソース」及び「ドレイン」の機能は、回路動作において電流の方向が変化する場合には入れ替わることがある。このため、本明細書においては、「ソース」及び「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0038】

また、電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電氣的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

10

【0039】

本明細書において、フォトリソグラフィ処理を行った後にエッチング処理を行う場合は、フォトリソグラフィ処理で形成したマスクは除去するものとする。

【0040】

（実施の形態1）

本実施の形態では、本発明の一態様である半導体装置について、図面を用いて説明する。なお、本実施の形態では、液晶表示装置を例にして本発明の一態様である半導体装置を説明する。

【0041】

<半導体装置の構成>

20

図1（A）に、半導体装置の一例を示す。図1（A）に示す半導体装置は、画素部100と、走査線駆動回路104と、信号線駆動回路106と、各々が平行又は略平行に配設され、且つ走査線駆動回路104によって電位が制御されるm本の走査線107と、各々が平行又は略平行に配設され、且つ信号線駆動回路106によって電位が制御されるn本の信号線109と、を有する。さらに、画素部100はマトリクス状に配設された複数の画素101を有する。また、走査線107に沿って、各々が平行又は略平行に配設された容量線115を有する。なお、容量線115は、信号線109に沿って、各々が平行又は略平行に配設されていてもよい。

【0042】

各走査線107は、画素部100においてm行n列に配設された画素101のうち、いずれかの行に配設されたn個の画素101と電氣的に接続される。また、各信号線109は、m行n列に配設された画素101のうち、いずれかの列に配設されたm個の画素101と電氣的に接続される。m、nは、ともに1以上の整数である。また、各容量線115は、m行n列に配設された画素101のうち、いずれかの行に配設されたn個の画素101と電氣的に接続される。なお、容量線115が、信号線109に沿って、各々が平行又は略平行に配設されている場合は、m行n列に配設された画素101のうち、いずれかの列に配設されたm個の画素101と電氣的に接続される。

30

【0043】

図1（B）は、図1（A）に示す半導体装置が有する画素101の回路図の一例である。図1（B）に示す画素101は、走査線107及び信号線109と電氣的に接続されたトランジスタ103と、一方の電極がトランジスタ103のドレイン電極と電氣的に接続され、他方の電極が一定の電位を供給する容量線115と電氣的に接続された容量素子105と、画素電極がトランジスタ103のドレイン電極及び容量素子105の一方の電極に電氣的に接続され、画素電極と対向して設けられる電極（対向電極）が共通電位を供給する配線に電氣的に接続された液晶素子108と、を有する。

40

【0044】

液晶素子108は、トランジスタ103及び画素電極が形成される基板と、対向電極が形成される基板とで挟持される液晶の光学的変調作用によって、光の透過又は非透過を制御する素子である。なお、液晶の光学的変調作用は、液晶にかかる電界（縦方向の電界又は斜め方向の電界を含む。）によって制御される。また、画素電極が形成される基板にお

50

いて対向電極（共通電極ともいう。）が形成される場合、液晶にかかる電界は横方向の電界となる。

【0045】

次いで、液晶表示装置の画素101の具体的な例について説明する。画素101の上面図を図2に示す。なお、図2においては、対向電極及び液晶素子を省略する。

【0046】

図2において、走査線107は、信号線109に略直交する方向（図中左右方向）に延伸して設けられている。信号線109は、走査線107に略直交する方向（図中上下方向）に延伸して設けられている。容量線115は、走査線107と平行方向に延伸して設けられている。なお、走査線107及び容量線115は、走査線駆動回路104（図1（A）を参照。）と電氣的に接続されており、信号線109は、信号線駆動回路106（図1（A）を参照。）に電氣的に接続されている。

【0047】

トランジスタ103は、走査線107及び信号線109が交差する領域に設けられている。トランジスタ103は、少なくとも、チャンネル形成領域を有する半導体膜111と、ゲート電極と、ゲート絶縁膜（図2に図示せず。）と、ソース電極と、及びドレイン電極とを含む。なお、走査線107において、半導体膜111と重畳する領域はトランジスタ103のゲート電極として機能する。信号線109において、半導体膜111と重畳する領域はトランジスタ103のソース電極として機能する。導電膜113において、半導体膜111と重畳する領域はトランジスタ103のドレイン電極として機能する。このため、ゲート電極、ソース電極、及びドレイン電極をそれぞれ、走査線107、信号線109、及び導電膜113と示す場合がある。また、図2において、走査線107は、上面形状において端部が半導体膜の端部より外側に位置する。このため、走査線107はバックライトなどの光源からの光を遮る遮光膜として機能する。この結果、トランジスタに含まれる半導体膜111に光が照射されず、トランジスタの電気特性の変動を抑制することができる。

【0048】

また、酸化物半導体は適切な条件にて処理することでトランジスタのオフ電流を極めて低減することができるため、本発明の一態様では半導体膜111は酸化物半導体を用いる。これにより、半導体装置の消費電力を低減することができる。

【0049】

また、導電膜113は、開口117を通じて透光性を有する導電膜で形成される画素電極121と電氣的に接続されている。なお、図2において、画素電極121はハッチングを省略して図示している。

【0050】

容量素子105は、画素101内の容量線115及び信号線109の内側に設けられている。容量素子105は、開口123に設けられた導電膜125を通じて容量線115と電氣的に接続されている。容量素子105は、酸化物半導体で形成される半導体膜119と、画素電極121と、誘電体膜として、トランジスタ103上に形成される絶縁膜（図2に図示せず。）とで構成されている。半導体膜119、画素電極121、及び誘電体膜はそれぞれ透光性を有するため、容量素子105は透光性を有する。

【0051】

このように半導体膜119は透光性を有するため、画素101内に容量素子105を大きく（大面積に）形成することができる。従って、開口率を高めつつ、代表的には55%以上、好ましくは60%以上とすることが可能であると共に、電荷容量を増大させた半導体装置を得ることができる。例えば、解像度の高い半導体装置、例えば液晶表示装置においては、画素の面積が小さくなり、容量素子の面積も小さくなる。このため、解像度の高い半導体装置において、容量素子に蓄積される電荷容量が小さくなる。しかしながら、本実施の形態に示す容量素子105は透光性を有するため、当該容量素子を画素に設けることで、各画素において十分な電荷容量を得つつ、開口率を高めることができる。代表的に

は、画素密度が200 p p i以上、さらには300 p p i以上である高解像度の半導体装置に好適に用いることができる。また、本発明の一態様は、高解像度の表示装置においても、開口率を高めることができるため、バックライトなどの光源の光を効率よく利用することができ、表示装置の消費電力を低減することができる。

【0052】

ここで、酸化物半導体を用いたトランジスタの特徴について記載する。酸化物半導体を用いたトランジスタはnチャネル型トランジスタである。また、酸化物半導体に含まれる酸素欠損に起因してキャリアが生成されることがあり、トランジスタの電気特性及び信頼性を低下させる恐れがある。例えば、トランジスタのしきい値電圧をマイナス方向に変動し、ゲート電圧が0 Vの場合にドレイン電流が流れてしまうことがある。このように、ゲート電圧が0 Vの場合にドレイン電流が流れてしまうトランジスタをノーマリーオン特性という。なお、ゲート電圧が0 Vの場合にドレイン電流が流れていないとみなすことができるトランジスタをノーマリーオフ特性という。

10

【0053】

そこで、半導体膜111に酸化物半導体を用いる際、半導体膜111である酸化物半導体膜に含まれる欠陥、代表的には酸素欠損はできる限り低減されていることが好ましい。例えば、磁場の向きを膜面に対して平行に印加した電子スピン共鳴法によるg値=1.93のスピン密度（酸化物半導体膜に含まれる欠陥密度に相当する。）は、測定器の検出下限以下まで低減されていることが好ましい。酸化物半導体膜に含まれる欠陥、代表的には酸素欠損をできる限り低減することで、トランジスタ103がノーマリーオン特性となることを抑制することができ、半導体装置の電気特性及び信頼性を向上させることができる。

20

【0054】

トランジスタのしきい値電圧のマイナス方向への変動は酸素欠損だけではなく、酸化物半導体に含まれる水素（水などの水素化合物を含む。）によっても引き起こされることがある。酸化物半導体に含まれる水素は金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（又は酸素が脱離した部分）に欠損（酸素欠損ともいえる。）を形成する。また、水素の一部が酸素と反応することで、キャリアである電子を生成してしまう。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。

30

【0055】

そこで、半導体膜111に酸化物半導体を用いる際、半導体膜111である酸化物半導体膜は水素ができる限り低減されていることが好ましい。具体的には、半導体膜111において、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とする。

【0056】

また、半導体膜111は、二次イオン質量分析法により得られるアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタ103のオフ電流を増大させることがある。

40

【0057】

また、半導体膜111である酸化物半導体膜に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、当該酸化物半導体膜において、窒素はできる限り低減されていることが好ましい、例えば、窒素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

【0058】

50

このように、不純物（水素、窒素、アルカリ金属又はアルカリ土類金属など）をできる限り低減させ、高純度化させた酸化物半導体膜を半導体膜 111 として用いることで、トランジスタ 103 がノーマリーオン特性となることを抑制でき、トランジスタ 103 のオフ電流を極めて低減することができる。従って、良好な電気特性に有する半導体装置を作製できる。また、信頼性を向上させた半導体装置を作製することができる。

【0059】

なお、高純度化された酸化物半導体膜を用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長 L が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で除した数値に相当するオフ電流は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入又は容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、数十 $\text{yA} / \mu\text{m}$ という、さらに低いオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜を用いたトランジスタは、オフ電流が著しく小さい。

【0060】

次いで、図 2 の一点鎖線 A1-A2 間及び一点鎖線 B1-B2 間における断面図を図 3 に示す。

【0061】

液晶表示装置の画素 101 の断面構造は以下の通りである。液晶表示装置は、基板 102 上に形成される素子部と、基板 150 上に形成される素子部と、該 2 つの素子部で挟まれる液晶層とを有する。

【0062】

はじめに、基板 102 上に設けられる素子部の構造について説明する。基板 102 上に、トランジスタ 103 のゲート電極 107a を含む走査線 107 と、走査線 107 と同一表面上に設けられている容量線 115 とが設けられている。走査線 107 及び容量線 115 上にゲート絶縁膜 127 が設けられている。ゲート絶縁膜 127 の走査線 107 と重畳する領域上に半導体膜 111 が設けられており、ゲート絶縁膜 127 上に半導体膜 119 が設けられている。半導体膜 111 上、及びゲート絶縁膜 127 上にトランジスタ 103 のソース電極 109a を含む信号線 109 と、トランジスタ 103 のドレイン電極 113a を含む導電膜 113 とが設けられている。ゲート絶縁膜 127 には容量線 115 に達する開口 123 が設けられており、開口 123、ゲート絶縁膜 127 上、及び半導体膜 119 上に導電膜 125 が設けられている。ゲート絶縁膜 127 上、信号線 109 上、半導体膜 111 上、導電膜 113 上、導電膜 125 上、半導体膜 119 上にトランジスタ 103 の保護絶縁膜として機能する絶縁膜 129、絶縁膜 131、及び絶縁膜 132 が設けられている。絶縁膜 129、絶縁膜 131、及び絶縁膜 132 には導電膜 113 に達する開口 117 が設けられており、開口 117 及び絶縁膜 132 上に画素電極 121 が設けられている。また、画素電極 121 及び絶縁膜 132 上に配向膜として機能する絶縁膜 158 が設けられている。なお、基板 102 と、走査線 107 及び容量線 115 並びにゲート絶縁膜 127 との間には下地絶縁膜が設けられていてもよい。

【0063】

本実施の形態に示す容量素子 105 は、一对の電極のうち一方の電極が半導体膜 111 と同様に形成された半導体膜 119 であり、一对の電極のうち他方の電極が画素電極 121 であり、一对の電極の間に設けられた誘電体膜が絶縁膜 129、絶縁膜 131、及び絶縁膜 132 である。

【0064】

以下に、上記構造の構成要素について詳細を記載する。

【0065】

基板102の材質などに大きな制限はないが、少なくとも、半導体装置の作製工程において行う熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、プラスチック基板などがあり、ガラス基板としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノケイ酸ガラス等の無アルカリガラス基板を用いるとよい。また、ステンレス合金などの透光性を有していない基板を用いることもできる。その場合は、基板表面に絶縁膜を設けることが好ましい。なお、基板102として石英基板、サファイア基板、単結晶半導体基板、多結晶半導体基板、化合物半導体基板、SOI (Silicon On Insulator) 基板などを用いることも

10

【0066】

走査線107及び容量線115は大電流を流すため、金属膜で形成することが好ましく、代表的には、モリブデン (Mo)、チタン (Ti)、タングステン (W) タンタル (Ta)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) などの金属材料又はこれらを主成分とする合金材料を用いた、単層構造又は積層構造で設ける。

【0067】

走査線107及び容量線115の一例としては、シリコンを含むアルミニウムを用いた単層構造、アルミニウム上にチタンを積層する二層構造、窒化チタン上にチタンを積層する二層構造、窒化チタン上にタングステンを積層する二層構造、窒化タンタル上にタングステンを積層する二層構造、銅-マグネシウム-アルミニウム合金上に銅を積層する二層構造、窒化チタン上に銅を積層し、さらにその上にタングステンを形成する三層構造などがある。

20

【0068】

また、走査線107及び容量線115の材料として、画素電極121に適用可能な透光性を有する導電性材料を用いることができる。

【0069】

さらに、走査線107及び容量線115の材料として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn系酸化物や、窒素を含むIn-Sn系酸化物や、窒素を含むIn-Ga系酸化物や、窒素を含むIn-Zn系酸化物や、窒素を含むSn系酸化物や、窒素を含むIn系酸化物や、金属窒化膜 (InN、SnNなど) を用いることができる。これらの材料は5 eV (電子ボルト) 以上の仕事関数を有する。トランジスタ103の半導体膜111に酸化物半導体を用いる場合、走査線107 (トランジスタ103のゲート電極) として窒素を含む金属酸化物を用いることで、トランジスタ103のしきい値電圧をプラス方向に変動させることができ、所謂ノーマリーオフ特性を有するトランジスタを実現できる。例えば、窒素を含むIn-Ga-Zn系酸化物を用いる場合、少なくとも半導体膜111の酸化物半導体膜より高い窒素濃度、具体的には窒素濃度が7原子%以上のIn-Ga-Zn系酸化物を用いることができる。

30

【0070】

走査線107及び容量線115において、低抵抗材料であるアルミニウムや銅を用いることが好ましい。アルミニウムや銅を用いることで、信号遅延を低減し、表示品位を高めることができる。なお、アルミニウムは耐熱性が低く、ヒロック、ウィスカー、あるいはマイグレーションによる不良が発生しやすい。アルミニウムのマイグレーションを防ぐため、アルミニウムに、モリブデン、チタン、タングステンなどの、アルミニウムよりも融点の高い金属材料を積層することが好ましい。また、銅を用いる場合も、マイグレーションによる不良や銅元素の拡散を防ぐため、モリブデン、チタン、タングステンなどの、銅よりも融点の高い金属材料を積層することが好ましい。

40

【0071】

ゲート絶縁膜127は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、

50

窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウム又はGa-Zn系金属酸化物などの絶縁材料を用いた、単層構造又は積層構造で設ける。なお、半導体膜111である酸化物半導体膜との界面特性を向上させるため、ゲート絶縁膜127において少なくとも半導体膜111と接する領域は酸化絶縁膜で形成することが好ましい。

【0072】

また、ゲート絶縁膜127に、酸素、水素、水などに対するバリア性を有する絶縁膜を設けることで、半導体膜111である酸化物半導体膜からの酸素の外部への拡散と、外部から当該酸化物半導体膜への水素、水等の侵入を防ぐことができる。酸素、水素、水等などに対するバリア性を有する絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどがある。

10

【0073】

また、ゲート絶縁膜127として、ハフニウムシリケート (HfSiO_x)、窒素を有するハフニウムシリケート ($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素を有するハフニウムアルミネート ($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化ハフニウム、酸化イットリウムなどのhigh-k材料を用いることでトランジスタ103のゲートリークを低減できる。

【0074】

また、ゲート絶縁膜127は、以下の積層構造とすることが好ましい。第1の窒化シリコン膜として、欠陥量が少ない窒化シリコン膜を設け、第1の窒化シリコン膜上に第2の窒化シリコン膜として、水素脱離量及びアンモニア脱離量の少ない窒化シリコン膜を設け、第2の窒化シリコン膜上に、上記ゲート絶縁膜127で羅列した酸化絶縁膜のいずれかを設けることが好ましい。

20

【0075】

第2の窒化シリコン膜としては、昇温脱離ガス分析法において、水素分子の脱離量が 5×10^{21} 分子/cm³ 未満、好ましくは 3×10^{21} 分子/cm³ 以下、さらに好ましくは 1×10^{21} 分子/cm³ 以下であり、アンモニア分子の脱離量が 1×10^{22} 分子/cm³ 未満、好ましくは 5×10^{21} 分子/cm³ 以下、さらに好ましくは 1×10^{21} 分子/cm³ 以下である窒化絶縁膜を用いることが好ましい。上記第1の窒化シリコン膜及び第2の窒化シリコン膜をゲート絶縁膜127の一部として用いることで、ゲート絶縁膜127として、欠陥量が少なく、且つ水素及びアンモニアの脱離量の少ないゲート絶縁膜を形成することができる。この結果、ゲート絶縁膜127に含まれる水素及び窒素の、半導体膜111への移動量を低減することが可能である。

30

【0076】

酸化物半導体を用いたトランジスタにおいて、酸化物半導体膜及びゲート絶縁膜の界面又はゲート絶縁膜に捕獲準位（界面準位ともいう。）が存在すると、トランジスタのしきい値電圧の変動、代表的にはしきい値電圧のマイナス方向への変動、及びトランジスタがオン状態となるときにドレイン電流が一桁変化するのに必要なゲート電圧を示すサブスレッショルド係数（S値）の増大の原因となる。この結果、トランジスタごとに電気特性がばらつくという問題がある。このため、ゲート絶縁膜として、欠陥量の少ない窒化シリコン膜を用いることで、また、半導体膜111と接する領域に酸化絶縁膜を設けることで、しきい値電圧のマイナスシフトを低減すると共に、S値の増大を抑制することができる。

40

【0077】

ゲート絶縁膜127の厚さは、5nm以上400nm以下、より好ましくは10nm以上300nm以下、より好ましくは50nm以上250nm以下とする。よい。

【0078】

半導体膜111及び半導体膜119は酸化物半導体膜であり、当該酸化物半導体膜は、非晶質構造、単結晶構造、又は多結晶構造とすることが出来る。また、半導体膜111と、半導体膜119とは、同じ金属元素で構成される。また、半導体膜111の厚さは、1nm以上100nm以下、好ましくは1nm以上50nm以下、更に好ましくは1nm以上30nm以下、更に好ましくは3nm以上20nm以下とすることである。

50

【0079】

半導体膜111及び半導体膜119に適用可能な酸化物半導体として、エネルギーギャップが2 e V以上、好ましくは2.5 e V以上、より好ましくは3 e V以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタ103のオフ電流を低減することができる。

【0080】

半導体膜111に適用可能な酸化物半導体は、少なくともインジウム(In)若しくは亜鉛(Zn)を含む金属酸化物であることが好ましい。又は、InとZnの双方を含む金属酸化物であることが好ましい。また、当該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーの一又は複数を有することが好ましい。

10

【0081】

スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、アルミニウム(Al)、又はジルコニウム(Zr)等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)などがある。

【0082】

半導体膜111及び半導体膜119に適用できる酸化物半導体としては、例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二種類の金属を含む酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三種類の金属を含む酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四種類の金属を含む酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

20

30

【0083】

ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

40

【0084】

また、酸化物半導体として、 $InMO_3 \cdot (ZnO)_m$ ($m > 0$) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素又は複数の金属元素、若しくは上記のスタビライザーとしての元素を示す。

【0085】

例えば、 $In : Ga : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $In : Ga : Zn = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$)、あるいは $In : Ga : Zn = 3 : 1 : 2$ ($= 1/2 : 1/6 : 1/3$)の原子数比のIn-Ga-Zn系金属酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $In : Sn : Zn = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$)あるいは $In : Sn : Zn$

50

= 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比の In-Sn-Zn 系金属酸化物を用いるとよい。なお、金属酸化物に含まれる金属元素の原子数比は、誤差として上記の原子数比のプラスマイナス 20 % の変動を含む。

【0086】

しかし、これらに限られず、必要とする半導体特性及び電気特性（電界効果移動度、しきい値電圧、ばらつき等）に応じて適切な原子数比のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。例えば、 In-Sn-Zn 系酸化物では比較的容易に高い電界効果移動度が得られる。しかしながら、 In-Ga-Zn 系酸化物でも、バルク内欠陥密度を低くすることにより、電界効果移動度を上げることができる。

10

【0087】

トランジスタ 103 のソース電極 109a を含む信号線 109、トランジスタ 103 のドレイン電極を含む導電膜 113、及び容量素子 105 の半導体膜 119 と容量線 115 とを電氣的に接続する導電膜 125 は、走査線 107 及び容量線 115 に適用できる材料を用いて、単層構造又は積層構造で設けることができる。

【0088】

トランジスタ 103 の保護絶縁膜、及び容量素子 105 の誘電体膜として機能する絶縁膜 129 と、絶縁膜 131 と、絶縁膜 132 とは、ゲート絶縁膜 127 に適用できる材料を用いた絶縁膜である。特に、絶縁膜 129 及び絶縁膜 131 を酸化絶縁膜とし、絶縁膜 132 を窒化絶縁膜とすることが好ましい。また、絶縁膜 132 を窒化絶縁膜とすることで外部から水素や水などの不純物がトランジスタ 103（特に半導体膜 111）に侵入することを抑制できる。なお、絶縁膜 129 は設けなくともよい。

20

【0089】

また、絶縁膜 129 及び絶縁膜 131 の一方又は双方は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜であることが好ましい。このようにすることで、当該酸化物半導体膜からの酸素の脱離を防止するとともに、酸化絶縁膜に含まれる当該酸素を酸化物半導体膜に移動させ、酸素欠損を低減することが可能となる。例えば、昇温脱離ガス分析（以下、TDS 分析とする。）によって測定される酸素分子の放出量が、 1.0×10^{18} 分子 / cm^3 以上ある酸化絶縁膜を用いることで、当該酸化物半導体膜に含まれる酸素欠損を低減することができる。なお、絶縁膜 129 及び絶縁膜 131 の一方又は双方において、化学量論的組成よりも過剰に酸素を含む領域（酸素過剰領域）が部分的に存在している酸化絶縁膜であってもよく、少なくとも半導体膜 111 と重畳する領域に酸素過剰領域が存在することで、当該酸化物半導体膜からの酸素の脱離を防止するとともに、酸素過剰領域に含まれる当該酸素を酸化物半導体膜に移動させ、酸素欠損を低減することが可能となる。

30

【0090】

絶縁膜 131 が化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜である場合、絶縁膜 129 は、酸素を透過する酸化絶縁膜とすることが好ましい。なお、絶縁膜 129 において、外部から絶縁膜 129 に入った酸素は、全て絶縁膜 129 を通過して移動せず、絶縁膜 129 にとどまる酸素もある。また、あらかじめ絶縁膜 129 に含まれており、絶縁膜 129 から外部に移動する酸素もある。そこで、絶縁膜 129 は酸素の拡散係数が大きい酸化絶縁膜であることが好ましい。

40

【0091】

また、絶縁膜 129 は半導体膜 111 である酸化物半導体膜と接することから、酸素を透過させるだけではなく、半導体膜 111 との界面準位が低くなる酸化絶縁膜であることが好ましい。例えば、絶縁膜 129 は絶縁膜 131 よりも膜中の欠陥密度が低い酸化絶縁膜であることが好ましい。具体的には、電子スピン共鳴測定による g 値 = 2.001 (E'-center) のスピン密度が 3.0×10^{17} spins / cm^3 以下、好ましくは 5.0×10^{16} spins / cm^3 以下の酸化絶縁膜である。なお、電子スピン共鳴

50

測定による g 値 = 2.001 のスピン密度は、絶縁膜 129 に含まれるダングリングボンドの存在量に対応する。

【0092】

絶縁膜 129 の厚さは、5 nm 以上 150 nm 以下、好ましくは 5 nm 以上 50 nm 以下、好ましくは 10 nm 以上 30 nm 以下とすることができる。絶縁膜 131 の厚さは、30 nm 以上 500 nm 以下、好ましくは 150 nm 以上 400 nm 以下とすることができる。

【0093】

絶縁膜 132 を窒化絶縁膜とする場合、絶縁膜 129 及び絶縁膜 131 の一方又は双方が窒素に対するバリア性を有する絶縁膜であることが好ましい。例えば、緻密な酸化絶縁膜とすることで窒素に対するバリア性を有することができ、具体的には、25℃において 0.5 重量% のフッ酸を用いた場合のエッチング速度が 10 nm/分以下である酸化絶縁膜とすることが好ましい。

【0094】

なお、絶縁膜 129 及び絶縁膜 131 の一方又は双方を、酸化窒化シリコン又は窒化酸化シリコンなど、窒素を含む酸化絶縁膜とする場合、SIMS より得られる窒素濃度は、SIMS 検出下限以上 3×10^{20} atoms/cm³ 未満、好ましくは 1×10^{18} atoms/cm³ 以上 1×10^{20} atoms/cm³ 以下とすることが好ましい。このようにすることで、トランジスタ 103 に含まれる半導体膜 111 への窒素の移動量を少なくすることができる。また、このようにすることで、窒素を含む酸化絶縁膜自体の欠陥量を少なくすることができる。

【0095】

絶縁膜 132 として、水素含有量が少ない窒化絶縁膜を設けてもよい。当該窒化絶縁膜としては、例えば、TDS 分析によって測定される水素分子の放出量が、 5.0×10^{21} /cm³ 未満であり、好ましくは 3.0×10^{21} /cm³ 未満であり、さらに好ましくは 1.0×10^{21} /cm³ 未満である窒化絶縁膜である。

【0096】

絶縁膜 132 は、外部から水素や水などの不純物の侵入を抑制する機能を発揮できる厚さとする。例えば、50 nm 以上 200 nm 以下、好ましくは 50 nm 以上 150 nm 以下、さらに好ましくは 50 nm 以上 100 nm 以下とすることができる。

【0097】

また、絶縁膜 131 と絶縁膜 132 との間に、有機シランガスを用いた CVD 法により形成した酸化シリコン膜を設けてもよい。当該酸化シリコン膜は段差被覆性に優れていることからトランジスタ 103 の保護絶縁膜として有用である。当該酸化シリコン膜は 300 nm 以上 600 nm 以下で設けることができる。有機シランガスとしては、珪酸エチル (TEOS: 化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン (TMS: 化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) などのシリコン含有化合物を用いることができる。

【0098】

上記より、絶縁膜 131 と絶縁膜 132 との間に、上記酸化シリコン膜を設けて絶縁膜 132 に上記窒化絶縁膜を用いることで、外部から水素や水などの不純物が半導体膜 111 及び半導体膜 119 に侵入することをさらに抑制できる。

【0099】

画素電極 121 は、透光性を有する導電膜を用いて形成する。透光性を有する導電膜は、インジウム錫酸化物、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料で形成される。

【0100】

次に、基板150上に設けられる素子部の構造について説明する。基板150に接する遮光膜152と、遮光膜152に接する、画素電極121と対向して設けられる電極（対向電極154）が設けられている。また、対向電極154に接する配向膜として機能する絶縁膜156が設けられている。

【0101】

遮光膜152は、バックライト等の光源又は外部からの光がトランジスタ103に照射することを抑制する。遮光膜152は、金属や、顔料を含む有機樹脂などの材料を用いて形成することができる。なお、遮光膜152は、画素101のトランジスタ103上の他、走査線駆動回路104、信号線駆動回路106（図1を参照。）等の画素部100以外の領域に設けてもよい。

10

【0102】

なお、隣り合う遮光膜152の間をまたがるように、所定の波長の光を透過させる機能を有する着色膜を設けてもよい。さらには、遮光膜152及び着色膜と、対向電極154の間にオーバーコート膜を設けてもよい。

【0103】

対向電極154は、画素電極121に示す透光性を有する導電性材料を適宜用いて設ける。

【0104】

液晶素子108は、画素電極121、対向電極154、及び液晶層160を含む。なお、基板102の素子部に設けられた配向膜として機能する絶縁膜158、及び基板150の素子部に設けられた配向膜として機能する絶縁膜156によって、液晶層160が挟持されている。また、画素電極121及び対向電極154は液晶層160を介して重なる。

20

【0105】

配向膜として機能する絶縁膜156及び絶縁膜158は、ポリアミドなどの汎用されている材料を用いて設けることができる。

【0106】

ここで、本実施の形態に示す画素101に含まれる各構成要素の接続について、図1（C）に示す回路図及び図3に示す断面図を用いて説明する。

【0107】

図1（C）は、図1（A）に示す半導体装置が有する画素101の詳細な回路図の一例である。図1（C）及び図3に示すように、トランジスタ103は、ゲート電極107aを含む走査線107と、ソース電極109aを含む信号線109と、ドレイン電極113aを含む導電膜113とを有する。

30

【0108】

容量素子105において、導電膜125を介して容量線115と接続する半導体膜119が一方の電極として機能する。また、ドレイン電極113aを含む導電膜113に接続する画素電極121が他方の電極として機能する。また、半導体膜119及び画素電極121の間に設けられる、絶縁膜129、絶縁膜131、及び絶縁膜132が誘電体膜として機能する。

40

【0109】

液晶素子108は、画素電極121、対向電極154、並びに画素電極121及び対向電極の間に設けられる液晶層160で構成される。

【0110】

容量素子105において、半導体膜119は、半導体膜111と同一の構成であっても、容量素子105の電極として機能する。なぜなら、画素電極121をゲート電極、絶縁膜129、絶縁膜131及び絶縁膜132をゲート絶縁膜、容量線315をソース電極又はドレイン電極と機能させることが可能であり、この結果、容量素子105をトランジスタと同様に動作させ、半導体膜119を導通状態にすることができるからである。即ち、容量素子105をMOS（Metal Oxide Semiconductor）キャ

50

パシタとすることが可能である。MOSキャパシタは、図38に示すようにしきい値電圧（ V_{th} ）よりも高い電圧がMOSキャパシタを構成する電極の一方（容量素子105においては画素電極121）に加わると、充電される。なお、図38において、横軸は画素電極に加わる電圧（ V ）を表し、縦軸は容量（ C ）を表す。また、CV測定（Capacitance-Voltage-Measurement）の際の電圧の周波数が、フレーム周波数より小さい場合において、図38に示すようなCV曲線となる。即ち、しきい値電圧 $V_{th} \geq 0$ である。また、容量線115に印加する電位を制御することで半導体膜119を導通状態とさせ、半導体膜119を容量素子の一方の電極として機能させることができる。この場合、図39（A）に示すように、容量線115に印加する電位を以下のようにする。画素電極121の電位は、液晶素子108（図1（C）を参照。）を動作させるために、ビデオ信号の中心電位を基準として、プラス方向及びマイナス方向に変動する。容量素子105（MOSキャパシタ）を常に導通状態にさせておくためには、容量線115の電位（ V_{Cs} ）を、常に、画素電極121に印加する電位よりも容量素子105（MOSキャパシタ）のしきい値電圧（ V_{th} ）分以上低くしておく必要がある。つまり、半導体膜119と半導体膜111は同一の構成であるため、容量線115の電位（ V_{Cs} ）をトランジスタ103のしきい値電圧分以上低くしておけばよい。このようにすることで、半導体膜119を常に導通状態とすることが可能である。なお、図39において、 G_{Vss} は、ゲート電極に印加されるローレベルの電位であり、 G_{Vdd} はトランジスタ103をオン状態とするためにゲート電極に印加されるハイレベルの電位である。

【0111】

また、半導体膜111上に設けられる絶縁膜129を、酸素を透過させると共に、半導体膜111との界面準位が少なくなる酸化絶縁膜とし、絶縁膜131を、酸素過剰領域を含む酸化絶縁膜又は化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜とすることで、半導体膜111である酸化物半導体膜へ酸素を供給することが容易になり、当該酸化物半導体膜からの酸素の脱離を防止すると共に、絶縁膜131に含まれる当該酸素を酸化物半導体膜に移動させ、酸化物半導体膜に含まれる酸素欠損を低減することが可能となる。この結果、トランジスタ103がノーマリーオン特性となることを抑制することができると共に、容量素子105（MOSキャパシタ）が、常に導通状態とせしめるように、容量線115に印加する電位を制御することが可能であるため、半導体装置の電気特性及び信頼性を向上させることができる。

【0112】

また、絶縁膜131上に設けられる絶縁膜132として、窒化絶縁膜を用いることで、外部から水素や水などの不純物が、半導体膜111及び半導体膜119に侵入することを抑制できる。さらには、絶縁膜132として、水素含有量が少ない窒化絶縁膜を設けることで、トランジスタ及び容量素子105（MOSキャパシタ）の電気特性変動を抑制することができる。

【0113】

また、画素101内に容量素子105を大きく（大面積に）形成することができる。従って、開口率を高めつつ、電荷容量を増大させた半導体装置を得ることができる。この結果、表示品位の優れた半導体装置を得ることができる。

【0114】

<半導体装置の作製方法>

次に、上記の半導体装置に示す基板102上に設けられた素子部の作製方法について、図4及び図5を用いて説明する。

【0115】

まず、基板102に走査線107及び容量線115を形成し、走査線107及び容量線115を覆うように後にゲート絶縁膜127に加工される絶縁膜126を形成し、絶縁膜126の走査線107と重畳する領域に半導体膜111を形成し、後に画素電極121が形成される領域と重畳するように半導体膜119を形成する（図4（A）を参照。）。

【0116】

走査線 107 及び容量線 115 は、上記列挙した材料を用いて導電膜を形成し、当該導電膜上にマスクを形成し、当該マスクを用いて加工することにより形成できる。当該導電膜は、蒸着法、CVD 法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、当該導電膜の厚さは特に限定されず、形成する時間や所望の抵抗率などを考慮して決めることができる。当該マスクは、例えば第 1 のフォトリソグラフィ工程によって形成したレジストマスクとすることができる。また、当該導電膜の加工はドライエッチング及びウェットエッチングの一方又は双方によって行うことができる。

【0117】

絶縁膜 126 は、ゲート絶縁膜 127 に適用可能な材料を用いて、CVD 法又はスパッタリング法などの各種成膜方法を用いて形成することができる。

10

【0118】

また、ゲート絶縁膜 127 に酸化ガリウムを適用する場合は、MOCVD (Metal Organic Chemical Vapor Deposition) 法を用いて絶縁膜 126 を形成することができる。

【0119】

半導体膜 111 及び半導体膜 119 は、上記列挙した酸化物半導体膜を適宜選択して形成し、当該酸化物半導体膜上にマスクを形成し、当該マスクを用いて加工することにより形成できる。このため、半導体膜 111 及び半導体膜 119 は同じ金属元素で構成される。当該酸化物半導体膜は、スパッタリング法、塗布法、パルスレーザー蒸着法、レーザーアブレーション法などを用いて形成することができる。印刷法を用いることで、素子分離された半導体膜 111 及び半導体膜 119 を絶縁膜 126 上に直接形成することができる。スパッタリング法で当該酸化物半導体膜を形成する場合、プラズマを発生させるための電源装置は、RF 電源装置、AC 電源装置又は DC 電源装置などを適宜用いることができる。スパッタリングガスは、希ガス（代表的にはアルゴン）、酸素、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。また、ターゲットは、形成する酸化物半導体膜の組成にあわせて、適宜選択すればよい。なお、当該マスクは、例えば第 2 のフォトリソグラフィ工程によって形成したレジストマスクとすることができる。また、当該酸化物半導体膜の加工はドライエッチング及びウェットエッチングの一方又は双方によって行うことができる。所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度など）を適宜設定する。

20

30

【0120】

半導体膜 111 及び半導体膜 119 を形成した後に加熱処理をし、半導体膜 111 及び半導体膜 119 である酸化物半導体膜の脱水素化又は脱水化をすることが好ましい。当該加熱処理の温度は、代表的には、150℃以上基板歪み点未満、好ましくは 200℃以上 450℃以下、更に好ましくは 300℃以上 450℃以下とする。なお、当該加熱処理は半導体膜 111 及び半導体膜 119 に加工する前の酸化物半導体膜に行ってもよい。

【0121】

当該加熱処理において、加熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、又は熱輻射によって、被処理物を加熱する装置であっても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。

40

【0122】

当該加熱処理は、窒素、酸素、超乾燥空気（水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気）、又は希ガス（アルゴン、ヘリウム等

50

）の雰囲気下で行えばよい。なお、上記窒素、酸素、超乾燥空気、又は希ガスに水素、水などが含まれないことが好ましい。不活性ガス雰囲気加熱した後、酸素雰囲気加熱してもよい。なお、処理時間は3分～24時間とする。

【0123】

なお、基板102と、走査線107及び容量線115並びにゲート絶縁膜127の間には下地絶縁膜を設ける場合、当該下地絶縁膜は、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウムなどで形成することができる。なお、下地絶縁膜として、窒化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウムなどで形成することで、基板102から不純物、代表的にはアルカリ金属、水、水素などが半導体膜111に拡散することを抑制できる。下地絶縁膜は、スパッタリング法又はCVD法を用いて形成することができる。

10

【0124】

次に、絶縁膜126に容量線115に達する開口123を形成してゲート絶縁膜127を形成した後、トランジスタ103のソース電極を含む信号線109、トランジスタ103のドレイン電極を含む導電膜113、半導体膜119及び容量線115を電氣的に接続する導電膜125を形成する（図4（B）を参照。）。

【0125】

開口123は、絶縁膜126の容量線115と重畳する領域の一部が露出されるように、第3のフォトリソグラフィ工程によりマスクを形成し、当該マスクを用いて加工することで形成できる。なお、当該マスク及び当該加工は、走査線107及び容量線115と同じようにして行うことができる。

20

【0126】

信号線109、導電膜113及び導電膜125は、信号線109、導電膜113及び導電膜125に適用できる材料を用いて導電膜を形成し、当該導電膜上に、第4のフォトリソグラフィ工程によりマスクを形成し、当該マスクを用いて加工することにより形成できる。

【0127】

次に、半導体膜111、半導体膜119、信号線109、導電膜113、導電膜125、及びゲート絶縁膜127上に絶縁膜128を形成し、絶縁膜128上に絶縁膜130を形成し、絶縁膜130上に絶縁膜133を形成する（図5（A）を参照。）。なお、絶縁膜128、絶縁膜130及び絶縁膜133は連続して形成することが好ましい。このようにすることで、絶縁膜128、絶縁膜130及び絶縁膜133のそれぞれの界面に不純物が混入することを抑制できる。

30

【0128】

絶縁膜128は、絶縁膜129に適用可能な材料を用いて、CVD法又はスパッタリング法などの各種成膜方法を用いて形成することができる。絶縁膜130は、絶縁膜131に適用可能な材料を用いて形成できる。絶縁膜133は、絶縁膜132に適用可能な材料を用いて形成できる。

【0129】

絶縁膜129に半導体膜111との界面準位が少なくなる酸化絶縁膜を適用する場合、絶縁膜128は以下の形成条件を用いて形成できる。なお、ここでは当該酸化絶縁膜として、酸化シリコン膜又は酸化窒化シリコン膜を形成する場合について記載する。当該形成条件は、プラズマCVD装置の真空排気された処理室内に載置された基板を180℃以上400℃以下、さらに好ましくは200℃以上370℃以下に保持し、処理室に原料ガスのシリコンを含む堆積性気体及び酸化性気体を導入して処理室内における圧力を20Pa以上250Pa以下、さらに好ましくは40Pa以上200Pa以下とし、処理室内に設けられた電極に高周波電力を供給する条件である。

40

【0130】

シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化

50

シランなどがある。酸化性気体としては、酸素、オゾン、一酸化二窒素、二酸化窒素などがある。

【0131】

なお、シリコンを含む堆積性気体に対する酸化性気体量を100倍以上とすることで、絶縁膜128（絶縁膜129）に含まれる水素含有量を低減することが可能であると共に、絶縁膜128（絶縁膜129）に含まれるダングリングボンドを低減することができる。絶縁膜130（絶縁膜131）から移動する酸素は、絶縁膜128（絶縁膜129）に含まれるダングリングボンドによって捕獲される場合があるため、絶縁膜128（絶縁膜129）に含まれるダングリングボンドが低減されていると、絶縁膜130（絶縁膜131）に含まれる酸素を効率よく半導体膜111及び半導体膜119へ移動させ、半導体膜111及び半導体膜119である酸化物半導体膜に含まれる酸素欠損を低減することが可能である。この結果、当該酸化物半導体膜に混入する水素量を低減できると共に酸化物半導体膜に含まれる酸素欠損を低減させることが可能である。

10

【0132】

絶縁膜131を上記の酸素過剰領域を含む酸化絶縁膜又は化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜とする場合、絶縁膜130は以下の形成条件を用いて形成できる。なお、ここでは当該酸化絶縁膜として、酸化シリコン膜又は酸化窒化シリコン膜を形成する場合について記載する。当該形成条件は、プラズマCVD装置の真空排気された処理室内に載置された基板を180℃以上260℃以下、さらに好ましくは180℃以上230℃以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下、さらに好ましくは100Pa以上200Pa以下とし、処理室内に設けられた電極に0.17W/cm²以上0.5W/cm²以下、さらに好ましくは0.25W/cm²以上0.35W/cm²以下の高周波電力を供給する、ことである。

20

【0133】

絶縁膜130の原料ガスは、絶縁膜128に適用できる原料ガスとすることができる。

【0134】

絶縁膜130の形成条件として、上記圧力の処理室において上記パワー密度の高周波電力を供給することで、プラズマ中で原料ガスの分解効率が高まり、酸素ラジカルが増加し、原料ガスの酸化が進むため、絶縁膜130中における酸素含有量が化学量論的組成よりも多くなる。一方、基板温度が、上記温度で形成された膜では、シリコンと酸素の結合力が弱いため、後の工程の加熱処理により膜中の酸素の一部が脱離する。この結果、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化絶縁膜を形成することができる。また、半導体膜111上に絶縁膜128が設けられている。このため、絶縁膜130の形成工程において、絶縁膜128が半導体膜111の保護膜となる。この結果、パワー密度の高い高周波電力を用いて絶縁膜130を形成しても、半導体膜111へのダメージを抑制できる。

30

【0135】

また、絶縁膜130は膜厚を厚くすることで加熱によって脱離する酸素の量を多くすることができることから、絶縁膜130は絶縁膜128より厚く設けることが好ましい。絶縁膜128を設けることで絶縁膜130を厚く設ける場合でも被覆性を良好にすることができる。

40

【0136】

絶縁膜132を水素含有量が少ない窒化絶縁膜で設ける場合、絶縁膜133は以下の形成条件を用いて形成できる。なお、ここでは当該窒化絶縁膜として、窒化シリコン膜を形成する場合について記載する。当該形成条件は、プラズマCVD装置の真空排気された処理室内に載置された基板を180℃以上400℃以下、さらに好ましくは200℃以上370℃以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下とし、好ましくは100Pa以上200Pa以下とし、処理室内に設けられた電極に高周波電力を供給する、ことである。

50

【0137】

絶縁膜133の原料ガスとしては、シリコンを含む堆積性気体、窒素、及びアンモニアを用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シランなどがある。また、窒素の流量は、アンモニアの流量に対して5倍以上50倍以下、好ましくは10倍以上50倍以下とすることが好ましい。なお、原料ガスとしてアンモニアを用いることで、シリコンを含む堆積性気体及び窒素の分解を促すことができる。これは、アンモニアがプラズマエネルギーや熱エネルギーによって解離し、解離することで生じるエネルギーが、シリコンを含む堆積性気体分子の結合及び窒素分子の結合の分解に寄与するためである。このようにすることで、水素含有量が少なく、外部から水素や水などの不純物の侵入を抑制することが可能な窒化シリコン膜を形成することができる。

10

【0138】

なお、絶縁膜130と絶縁膜133との間に、有機シランガスを用いたCVD法により形成した酸化シリコン膜を設けてもよい。

【0139】

少なくとも絶縁膜130を形成した後に加熱処理を行い、絶縁膜128又は絶縁膜130に含まれる過剰酸素を半導体膜111に移動させ、半導体膜111である酸化半導体膜の酸素欠損を低減することが好ましい。なお、当該加熱処理は、半導体膜111及び半導体膜119の脱水素化又は脱水化を行う加熱処理の詳細を参照して適宜行うことができる。

20

【0140】

また、絶縁膜130と絶縁膜133との間に、有機シランガスを用いたCVD法により形成した酸化シリコン膜を設ける場合、絶縁膜130として、化学量論的組成を満たす酸素よりも多くの酸素を含み、加熱により酸素の一部が脱離する酸化絶縁膜を形成し、絶縁膜130を形成した後に350℃の加熱処理を行い、絶縁膜130に含まれる過剰酸素を半導体膜111に移動させる。次に、上記列挙した有機シランガスを用い、基板温度を350℃に保持したCVD法で酸化シリコン膜を形成した後、絶縁膜133として、基板温度を350℃とした状態で水素含有量が少ない窒化絶縁膜を形成する。

【0141】

次に、絶縁膜128、絶縁膜130及び絶縁膜133の導電膜113と重畳する領域に、第5のフォトリソグラフィ工程によりマスクを形成した後、絶縁膜128、絶縁膜130及び絶縁膜133をエッチングして、導電膜113に達する開口117を形成する（図5（B）を参照。）。開口117は、開口123と同様にして形成することができる。

30

【0142】

最後に、画素電極121を形成することで、基板102に設けられる素子部を作製することができる（図3を参照。）。画素電極121は、上記列挙した材料を用い、開口117を通じて導電膜113に接する導電膜を形成する。次に、当該導電膜上に、第6のフォトリソグラフィ工程によりマスクを形成した後、当該マスクを用いて加工することにより形成できる。なお、当該マスク及び当該加工は、走査線107及び容量線115と同じようにして行うことができる。

40

【0143】

<変形例1>

本発明の一態様である半導体装置において、容量素子を構成する一方の電極である半導体膜と容量線との接続を適宜変更することができる。例えば、さらに開口率を高めるために、導電膜を介せず、容量線に直接半導体膜が接する構造とすることができる。本構造の具体例について、図6及び図7を用いて説明する。なお、ここでは、図2及び図3で説明した容量素子105と異なる容量素子145についてのみ説明する。図6は画素141の上面図であり、図7は図6の一点鎖線A1-A2間、及び一点鎖線B1-B2間の断面図である。

【0144】

50

画素１４１において、容量素子１４５の一方の電極として機能する半導体膜１１９は、容量線１１５と開口１４３において直接接している。図３に示す容量素子１０５のように、導電膜１２５を介さずに半導体膜１１９及び容量線１１５が直接接しており、遮光膜となる導電膜１２５が形成されないため、画素１４１の開口率をさらに高めることができる。これは、図４（Ａ）において、半導体膜１１１、１１９を形成する前に、容量線１１５を露出する開口を形成した後、半導体膜１１１、１１９を形成すればよい。

【０１４５】

また、図７においては、開口１４３を容量線１１５上にもみ設けたが、図８に示すように、容量線１１５及び基板１０２のそれぞれ一部が露出するように開口を設け、容量線１１５及び基板１０２上に半導体膜１１９を形成して、半導体膜１１９が容量線１１５と接する面積を増大させてもよい。これは、図４（Ａ）において、半導体膜１１１、１１９を形成する前に、容量線１１５及び基板１０２のそれぞれ一部が露出する開口を形成した後、半導体膜１１１、１１９を形成すればよい。この結果、開口率を高めることができると共に、容量素子１４６を容易に導通状態とすることができる。

【０１４６】

<変形例２>

また、本発明の一態様である半導体装置において、容量素子を構成する一方の電極である半導体膜と容量線とを電氣的に接続する導電膜は、適宜変更することができる。例えば、当該半導体膜と導電膜の接触抵抗を低減させるために、当該導電膜を当該半導体膜の外周に沿って接して設けることができる。本構造の具体例について、図９及び図１０を用いて説明する。なお、ここでは、図２及び図３で説明した導電膜１２５と異なる、導電膜１６７についてのみ説明する。図９は画素１６１の上面図であり、図１０（Ａ）は図９の一点鎖線Ａ１－Ａ２間、及び一点鎖線Ｂ１－Ｂ２間の断面図であり、図１０（Ｂ）は図９の一点鎖線Ｄ１－Ｄ２間の断面図である。

【０１４７】

画素１６１において、導電膜１６７は、半導体膜１１９の外周に沿って接しており、開口１２３を通じて容量線１１５と接して設けられている（図９を参照。）。導電膜１６７は、トランジスタ１０３のソース電極を含む信号線１０９及びトランジスタ１０３のドレイン電極を含む導電膜１１３と同じ形成工程で形成されることから遮光性を有する場合があるため、ループ状に形成することが好ましい。なお、図９の画素１６１において、他の構成は図２と同様である。

【０１４８】

図１０（Ａ）及び図１０（Ｂ）に示すように、画素１６１において、導電膜１６７は、容量素子１６５の半導体膜１１９の端部を覆うと共に、端部に沿って設けられる。

【０１４９】

また、図９及び図１０に示した構成は、導電膜１６７の上面形状においてループ状に形成されているが、導電膜１６７の半導体膜１１９と接している全ての部分が容量線１１５と電氣的に接続されていなくてもよい。つまり、導電膜１６７と同じ形成工程で形成される導電膜が、導電膜１６７とは分離された状態で半導体膜１１９に接して設けられていてもよい。

【０１５０】

<変形例３>

また、本発明の一態様である半導体装置において、容量素子に含まれる半導体膜及び容量線の構成を適宜変更することができる。本構造の具体例について、図１１及び図１２を用いて説明する。なお、ここでは、図２及び図３で説明した半導体膜１１９及び容量線１１５と異なる、半導体膜１７７及び容量線１７５についてのみ説明する。図１１は画素１７１の上面図であり、容量線１７５は、信号線１０９と平行方向に延伸して設けられている。なお、信号線１０９及び容量線１７５は、信号線駆動回路１０６（図１（Ａ）を参照。）に電氣的に接続されている。

【０１５１】

容量素子 173 は、信号線 109 と平行方向に延伸して設けられた容量線 175 と接続されている。容量素子 173 は、半導体膜 111 と同様に形成された、酸化物半導体で構成される半導体膜 177 と、画素電極 121 と、誘電体膜として、トランジスタ 103 上に形成される絶縁膜（図 11 に図示せず。）とで構成されている。半導体膜 177、画素電極 121、及び誘電体膜はそれぞれ透光性を有するため、容量素子 173 は透光性を有する。

【0152】

次いで、図 11 の一点鎖線 A1 - A2 間及び一点鎖線 B1 - B2 間における断面図を図 12 に示す。

【0153】

容量素子 173 は、一对の電極のうち一方の電極は、半導体膜 111 と同様に形成された半導体膜 177 であり、一对の電極のうち他方の電極は画素電極 121 であり、一对の電極の間に設けられた誘電体膜は、絶縁膜 129、絶縁膜 131、及び絶縁膜 132 である。

【0154】

容量線 175 は、信号線 109 及び導電膜 113 と同時に形成することができる。容量線 175 を半導体膜 177 に接して設けることで、半導体膜 177 及び容量線 175 の接触面積を増大させることが可能である。

【0155】

また、図 11 に示す画素 171 は、走査線 107 と平行な辺と比較して信号線 109 と平行な辺の方が長い形状をしているが、図 13 に示す画素 172 のように、信号線 109 と平行な辺と比較して走査線 107 と平行な辺の方が長い形状とし、且つ容量線 176 が、信号線 109 と平行方向に延伸して設けられていてもよい。なお、信号線 109 及び容量線 176 は、信号線駆動回路 106（図 1（A）を参照。）に電氣的に接続されている。

【0156】

容量素子 174 は、信号線 109 と平行方向に延伸して設けられた容量線 176 と接続されている。容量素子 174 は、半導体膜 111 と同様に形成された、酸化物半導体で構成される半導体膜 178 と、画素電極 121 と、誘電体膜として、トランジスタ 103 上に形成される絶縁膜（図 13 に図示せず。）とで構成されている。半導体膜 178、画素電極 121、及び誘電体膜はそれぞれ透光性を有するため、容量素子 174 は透光性を有する。

【0157】

次いで、図 13 の一点鎖線 A1 - A2 間及び一点鎖線 B1 - B2 間における断面図を図 14 に示す。

【0158】

容量素子 174 は、一对の電極のうち一方の電極は、半導体膜 111 と同様に形成された半導体膜 178 であり、一对の電極のうち他方の電極は画素電極 121 であり、一对の電極の間に設けられた誘電体膜は、絶縁膜 129、絶縁膜 131、及び絶縁膜 132 である。

【0159】

容量線 176 は、信号線 109 及び導電膜 113 と同時に形成することができる。容量線 176 を半導体膜 178 に接して設けることで、半導体膜 178 及び容量線 176 の接触面積を増大させることが可能である。また、画素 172 において、走査線 107 と平行な辺と比較して信号線 109 と平行な辺の方が短い形状であるため、図 11 に示す画素 171 と比較して、画素電極 121 及び容量線 176 が重なる面積を縮小することが可能であり、開口率を高めることができる。

【0160】

<変形例 4>

本発明の一態様である半導体装置において、容量素子を構成する一方の電極、及び容量

10

20

30

40

50

線を半導体膜（具体的には酸化物半導体膜）とすることができる。具体例を図 37 を用いて説明する。なお、ここでは、図 2 で説明した半導体膜 119 及び容量線 115 と異なる、半導体膜 198 についてのみ説明する。図 37 は、画素 196 の上面図であり、画素 196 において、容量素子 197 の一方の電極及び容量線を兼ねる半導体膜 198 が設けられている。半導体膜 198 において、信号線 109 と平行方向に延伸した領域を有し、当該領域は容量線として機能する。半導体膜 198 において、画素電極 121 と重畳する領域は容量素子 197 の一方の電極として機能する。なお、半導体膜 198 は画素 196 に設けられるトランジスタ 103 の半導体膜 111 と同時に形成することができる。

【0161】

また、半導体膜 198 を、1 行分全ての画素 196 において離間せず一続きの酸化物半導体膜として設ける場合、半導体膜 198 は走査線 107 と重畳するため、走査線 107 の電位変化の影響により、半導体膜 198 は容量線及び容量素子 197 の一方の電極として機能しない場合がある。従って、図 37 に示すように、各画素 196 において半導体膜 198 を離間して設ける。また、離間して設けられた半導体膜 198 を信号線 109 及び導電膜 113 と同時に形成できる導電膜 199 を用いて電氣的に接続することが好ましい。このとき、半導体膜 198 において導電膜 199 と接続していない領域が、画素電極 121 と重なることで、当該領域における半導体膜 198 の抵抗を低減できるため、半導体膜 198 が容量線及び容量素子 197 の一方の電極として機能する。

【0162】

なお、図示しないが、半導体膜 198 において、走査線 107 と重畳する領域で走査線 107 の電位変化が影響しない場合、半導体膜 198 は、画素 196 それぞれにおいて走査線 107 と重畳するように 1 つの酸化物半導体膜として設けることができる。つまり、半導体膜 198 を、1 行分全ての画素 196 において離間せず一続きの酸化物半導体膜として設けることができる。

【0163】

また、図 37 では、半導体膜 198 の容量線と機能する領域が信号線 109 と平行方向に延伸した構成であるが、容量線と機能する領域は、走査線 107 と平行方向に延伸させる構成であってもよい。なお、半導体膜 198 の容量線として機能する領域を走査線 107 と平行方向に延伸させる構成とする場合、トランジスタ 103 及び容量素子 197 において、半導体膜 111 と及び半導体膜 198 と、信号線 109 及び導電膜 113 との間に絶縁膜を設けて電氣的に分離させることが必要である。

【0164】

上記より、画素 196 のように、画素に設けられる容量素子の一方の電極及び容量線として、透光性を有する酸化物半導体膜を設けることで、画素の開口率を高めることができる。

【0165】

<変形例 5>

また、本発明の一態様である半導体装置において、容量線の構成を適宜変更することができる。本構造について、図 35 を用いて説明する。なお、ここでは、図 2 で説明した容量線 115 と比較して、隣接する 2 つの画素の間において、容量線が位置する点が異なる。

【0166】

図 35 は、信号線 409 の伸張方向において隣接する画素の間に容量線が設けられている構成を示す。また、図 48 は、走査線 437 の伸張方向において隣接する画素の間に容量線が設けられている構成を示す。

【0167】

図 35 は、信号線 409 の伸張方向に隣接する画素 401 __ 1 及び画素 401 __ 2 の上面図である。

【0168】

走査線 407 __ 1 及び走査線 407 __ 2 は、互いに平行であって、且つ信号線 409 に

10

20

30

40

50

略直交する方向に延伸して設けられている。走査線 407__1 及び走査線 407__2 の間に、走査線 407__1 及び走査線 407__2 と互いに平行に容量線 415 が設けられている。なお、容量線 415 は、画素 401__1 に設けられる容量素子 405__1、及び画素 401__2 に設けられる容量素子 405__2 と接続する。画素 401__1 及び画素 401__2 の上面形状、及び構成要素の配置位置は、容量線 415 に対して対称である。

【0169】

画素 401__1 には、トランジスタ 403__1、該トランジスタ 403__1 と接続する画素電極 421__1、及び容量素子 405__1 が設けられる。

【0170】

トランジスタ 403__1 は、走査線 407__1 及び信号線 409 が交差する領域に設けられている。トランジスタ 403__1 は、少なくとも、チャンネル形成領域を有する半導体膜 411__1 と、ゲート電極と、ゲート絶縁膜（図 35 に図示せず。）と、ソース電極と、及びドレイン電極とを含む。なお、走査線 407__1 において、半導体膜 411__1 と重畳する領域はトランジスタ 403__1 のゲート電極として機能する。信号線 409 において、半導体膜 411__1 と重畳する領域はトランジスタ 403__1 のソース電極として機能する。導電膜 413__1 において、半導体膜 411__1 と重畳する領域はトランジスタ 403__1 のドレイン電極として機能する。導電膜 413__1 及び画素電極 421__1 が開口 417__1 において接続する。

【0171】

容量素子 405__1 は、開口 423 に設けられた導電膜 425 を通じて容量線 415 と電氣的に接続されている。容量素子 405__1 は、酸化物半導体で形成される半導体膜 419__1 と、画素電極 421__1 と、誘電体膜として、トランジスタ 403__1 上に形成される絶縁膜（図 35 に図示せず。）とで構成されている。半導体膜 419__1、画素電極 421__1、及び誘電体膜はそれぞれ透光性を有するため、容量素子 405__1 は透光性を有する。

【0172】

画素 401__2 には、トランジスタ 403__2、該トランジスタ 403__2 と接続する画素電極 421__2、及び容量素子 405__2 が設けられる。

【0173】

トランジスタ 403__2 は、走査線 407__2 及び信号線 409 が交差する領域に設けられている。トランジスタ 403__2 は、少なくとも、チャンネル形成領域を有する半導体膜 411__2 と、ゲート電極と、ゲート絶縁膜（図 35 に図示せず。）と、ソース電極と、及びドレイン電極とを含む。なお、走査線 407__2 において、半導体膜 411__2 と重畳する領域はトランジスタ 403__2 のゲート電極として機能する。信号線 409 において、半導体膜 411__2 と重畳する領域はトランジスタ 403__2 のソース電極として機能する。導電膜 413__2 において、半導体膜 411__2 と重畳する領域はトランジスタ 403__2 のドレイン電極として機能する。導電膜 413__2 及び画素電極 421__2 が開口 417__2 において接続する。

【0174】

容量素子 405__2 は、容量素子 405__1 と同様に、開口 423 に設けられた導電膜 425 を通じて容量線 415 と電氣的に接続されている。容量素子 405__2 は、酸化物半導体で形成される半導体膜 419__2 と、画素電極 421__2 と、誘電体膜として、トランジスタ 403__2 上に形成される絶縁膜（図 35 に図示せず。）とで構成されている。半導体膜 419__2、画素電極 421__2、及び誘電体膜はそれぞれ透光性を有するため、容量素子 405__2 は透光性を有する。

【0175】

なお、トランジスタ 403__1 及びトランジスタ 403__2、並びに容量素子 405__1 及び容量素子 405__2 の断面構造はそれぞれ、図 3 に示すトランジスタ 103 及び容量素子 105 同様であるため、ここでは省略する。

【0176】

なお、図 35 は、信号線 409 の伸張方向において隣接する画素の間に容量線が設けられているが、図 48 に示すように、走査線 437 の伸張方向において隣接する画素の間に容量線が設けられていてもよい。

【0177】

図 48 は、走査線 437 の伸張方向に隣接する画素 431__1 及び画素 431__2 の上面図である。

【0178】

信号線 439__1 及び信号線 439__2 は、互いに平行であって、且つ走査線 437 に略直交する方向に延伸して設けられている。信号線 439__1 及び信号線 439__2 の間に、信号線 439__1 及び信号線 439__2 と互いに平行に容量線 445 が設けられている。なお、容量線 445 は、画素 431__1 に設けられる容量素子 435__1、及び画素 431__2 に設けられる容量素子 435__2 と接続する。画素 431__1 及び画素 431__2 の上面形状、及び構成要素の配置位置は、容量線 445 に対して対称である。

【0179】

画素 431__1 には、トランジスタ 433__1、該トランジスタ 433__1 と接続する画素電極 451__1、及び容量素子 435__1 が設けられる。

【0180】

トランジスタ 433__1 は、走査線 437 及び信号線 439__1 が交差する領域に設けられている。トランジスタ 433__1 は、少なくとも、チャネル形成領域を有する半導体膜 441__1 と、ゲート電極と、ゲート絶縁膜（図 48 に図示せず。）と、ソース電極と、及びドレイン電極とを含む。なお、走査線 437 において、半導体膜 441__1 と重畳する領域はトランジスタ 433__1 のゲート電極として機能する。信号線 439__1 において、半導体膜 441__1 と重畳する領域はトランジスタ 433__1 のソース電極として機能する。導電膜 443__1 において、半導体膜 441__1 と重畳する領域はトランジスタ 433__1 のドレイン電極として機能する。導電膜 443__1 及び画素電極 421__1 が開口 447__1 において接続する。

【0181】

容量素子 435__1 は容量線 445 と電氣的に接続されている。容量素子 435__1 は、酸化物半導体で形成される半導体膜 449__1 と、画素電極 451__1 と、誘電体膜として、トランジスタ 433__1 上に形成される絶縁膜（図 48 に図示せず。）とで構成されている。半導体膜 449__1、画素電極 451__1、及び誘電体膜はそれぞれ透光性を有するため、容量素子 435__1 は透光性を有する。

【0182】

画素 431__2 には、トランジスタ 433__2、該トランジスタ 433__2 と接続する画素電極 451__2、及び容量素子 435__2 が設けられる。

【0183】

トランジスタ 433__2 は、走査線 437 及び信号線 439__2 が交差する領域に設けられている。トランジスタ 433__2 は、少なくとも、チャネル形成領域を有する半導体膜 441__2 と、ゲート電極と、ゲート絶縁膜（図 48 に図示せず。）と、ソース電極と、及びドレイン電極とを含む。なお、走査線 437 において、半導体膜 441__2 と重畳する領域はトランジスタ 433__2 のゲート電極として機能する。信号線 439__2 において、半導体膜 441__2 と重畳する領域はトランジスタ 433__2 のソース電極として機能する。導電膜 443__2 において、半導体膜 441__2 と重畳する領域はトランジスタ 433__2 のドレイン電極として機能する。導電膜 443__2 及び画素電極 451__2 が開口 447__2 において接続する。

【0184】

容量素子 435__2 は、容量素子 435__1 と同様に、容量線 445 と電氣的に接続されている。容量素子 435__2 は、酸化物半導体で形成される半導体膜 449__2 と、画素電極 451__2 と、誘電体膜として、トランジスタ 433__2 上に形成される絶縁膜（図 48 に図示せず。）とで構成されている。半導体膜 449__2、画素電極 451__2、

及び誘電体膜はそれぞれ透光性を有するため、容量素子 4 3 5 __ 2 は透光性を有する。

【0185】

なお、トランジスタ 4 3 3 __ 1 及びトランジスタ 4 3 3 __ 2、並びに容量素子 4 3 5 __ 1 及び容量素子 4 3 5 __ 2 の断面構造はそれぞれ、図 3 に示すトランジスタ 1 0 3 及び容量素子 1 0 5 同様であるため、ここでは省略する。

【0186】

上面形状において、隣接する 2 つ画素の間に容量線を設け、それぞれの画素に含まれる容量素子及び該容量線を接続することで、容量線の数削減することが可能である。この結果、各画素に容量線を設ける構造と比較して、画素の開口率をさらに高めることが可能である。

10

【0187】

<変形例 6>

また、上記に示す画素 1 0 1、1 4 1、1 5 1、1 6 1、1 7 1、1 7 2、4 0 1 __ 1、4 0 1 __ 2 において、画素電極 1 2 1 と導電膜 1 1 3 との間に生じる寄生容量、及び画素電極 1 2 1 と導電膜 1 2 5 との間に生じる寄生容量を低減するため、図 1 5 の断面図に示すように当該寄生容量が生じる領域に有機絶縁膜 1 3 4 を設けることができる。なお、図 1 5 において、有機絶縁膜 1 3 4 以外の構成は図 3 と同じである。ここでは、図 3 で説明した構成と異なる有機絶縁膜 1 3 4 についてのみ説明する。

【0188】

有機絶縁膜 1 3 4 としては、感光性、非感光性の有機樹脂を適用でき、例えば、アクリル樹脂、ベンゾシクロブテン系樹脂、エポキシ樹脂、又はシロキサン系樹脂などを用いることができる。また、有機絶縁膜 1 3 4 としては、ポリアミドを用いることができる。

20

【0189】

有機絶縁膜 1 3 4 は、上記列挙した材料を用いて有機樹脂膜を形成し、当該有機樹脂膜を加工することで形成できる。また、有機絶縁膜 1 3 4 として感光性の有機樹脂を用いることで、有機絶縁膜 1 3 4 を形成する際にレジストマスクが不要となり、工程を簡略化できる。なお、当該有機絶縁膜の形成方法は特に限定されず、用いる材料に応じて適宜選択できる。例えば、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法）、スクリーン印刷、オフセット印刷などを適用することができる。

【0190】

一般に、有機樹脂は水素や水を多く含んでおり、有機樹脂がトランジスタ 1 0 3（特に半導体膜 1 1 1）上に設けられると、有機樹脂に含まれる水素や水がトランジスタ 1 0 3（特に半導体膜 1 1 1）に拡散し、トランジスタ 1 0 3 の電気特性を劣化させる可能性がある。従って、少なくとも、絶縁膜 1 3 2 の半導体膜 1 1 1 に重畳する上には有機絶縁膜 1 3 4 を設けないことが好ましい。別言すれば、少なくとも半導体膜 1 1 1 に重畳する領域上の有機樹脂膜は除去しておくことが好ましい。

30

【0191】

図 1 5 に示した画素 1 0 1 の上面図を図 1 6 に示す。図 1 5 の断面図は、図 1 6 の一点鎖線 A 1 - A 2 間、及び一点鎖線 B 1 - B 2 間、及び一点鎖線 C 1 - C 2 間の断面に相当する。図 1 6 において、有機絶縁膜 1 3 4 は明瞭化のために図示していないが、二点鎖線内の領域は有機絶縁膜 1 3 4 が設けられていない領域である。

40

【0192】

<変形例 7>

本発明の一態様である半導体装置において、画素内に設けられるトランジスタの形状は図 2 及び図 3 に示したトランジスタの形状に限定されず、適宜変更することができる。例えば、図 1 7 に示すように、画素 1 5 1 において、トランジスタ 1 6 9 は、信号線 1 0 9 に含まれるトランジスタ 1 0 3 のソース電極が U 字型（C 字型、コの字型、又は馬蹄型）とし、ドレイン電極を含む導電膜 1 1 3 を囲む形状のトランジスタであってもよい。このような形状とすることで、トランジスタの面積が小さくても、十分なチャネル幅を確保することが可能となり、トランジスタの導通時に流れるドレイン電流（オン電流ともいう。

50

）の量を増やすことが可能となる。なお、図 17 の画素 151 おいて、他の構成は図 2 と同様である。

【0193】

<変形例 8>

また、上記に示す画素 101、141、151、161、171、172、401__1、401__2 において、酸化物半導体膜が、ゲート絶縁膜とソース電極を含む信号線 109 及びドレイン電極を含む導電膜 113 との間に位置するトランジスタを用いたが、その代わりに、図 18 に示すように、半導体膜 195 が、ソース電極を含む信号線 191 及びドレイン電極を含む導電膜 193 と、絶縁膜 129 の間に位置するトランジスタ 190 を用いることができる。なお、図 18 において、半導体膜 195 の位置以外の構成は図 3 と同じである。

10

【0194】

図 18 に示すトランジスタ 190 は、信号線 191 及び導電膜 193 を形成した後、半導体膜 195 を形成する。このため、半導体膜 195 の表面は、信号線 191 及び導電膜 193 の形成工程で用いるエッチャントやエッチングガスに曝されず、半導体膜 195 及び絶縁膜 129 の間の不純物を低減できる。この結果、トランジスタ 190 のソース電極及びドレイン電極の間に流れるリーク電流を低減することができる。

【0195】

<変形例 9>

また、上記に示す画素 101、141、151、161、171、172、401__1、401__2 において、トランジスタとして、チャネルエッチ型のトランジスタを示したが、その代わりに、図 19 に示すように、チャネル保護型（チャネル保護型）のトランジスタ 183 を用いることができる。なお、図 19 において、半導体膜 111 と、ソース電極を含む信号線 109 及びドレイン電極を含む導電膜 113 との間にチャネル保護膜 182 を設ける以外の構成は図 3 と同じである。

20

【0196】

図 19 に示すトランジスタ 183 は、半導体膜 111 上にチャネル保護膜 182 を形成した後、信号線 109 及び導電膜 113 を形成する。チャネル保護膜 182 はトランジスタ 103 上に形成される絶縁膜 129 の材料で形成することができる。このようにすることで、トランジスタ 183 において、トランジスタ 103 上に形成される絶縁膜 129 に相当する絶縁膜を別途設ける必要がなくなる。また、チャネル保護膜 182 を設けることで、半導体膜 111 の表面は、信号線 109 及び導電膜 113 の形成工程で用いるエッチャントやエッチングガスに曝されず、半導体膜 111 及びチャネル保護膜 182 の間の不純物を低減できる。この結果、トランジスタ 183 のソース電極及びドレイン電極の間に流れるリーク電流を低減することが可能である。

30

【0197】

<変形例 10>

また、上記に示す画素 101、141、151、161、171、172、401__1、401__2 において、トランジスタとして、1つのゲート電極を有するトランジスタを示したが、その代わりに、図 36（A）に示すように、半導体膜 111 を介して対向する 2つのゲート電極を有するトランジスタ 185 を用いることができる。

40

【0198】

トランジスタ 185 は、本実施の形態で説明したトランジスタ 103、169、190 上に形成される絶縁膜 132 上に、導電膜 187 を有する。導電膜 187 は、少なくとも半導体膜 111 のチャネル形成領域と重なる。導電膜 187 を半導体膜 111 のチャネル形成領域と重なる位置に設けることによって、導電膜 187 の電位は、信号線 109 に入力されるビデオ信号の最低電位とすることが好ましい。この結果、導電膜 187 と対向する半導体膜 111 の面において、ソース電極及びドレイン電極の間に流れる電流を制御することが可能であり、トランジスタの電気特性のばらつきを低減することができる。また、導電膜 187 を設けることで、周囲の電界の変化が半導体膜 111 へ与える影響を軽減

50

し、トランジスタの信頼性を向上させることができる。

【0199】

導電膜187は、走査線107、信号線109、画素電極121などと同様の材料及び方法により形成することができる。

【0200】

なお、図36(A)に示す導電膜187は、一部がソース電極及びドレイン電極と重なるが、図36(B)に示すトランジスタ685のように、導電膜687は、ゲート電極307と重なり、ソース電極309及びドレイン電極613と重ならない構造であってもよい。

【0201】

10

以上より、容量素子の一方の電極として、トランジスタに含まれる半導体膜と同じ形成工程で形成される半導体膜を用いることで、開口率を高めつつ、電荷容量を増大させた容量素子を有する半導体装置を作製することができる。この結果、表示品位の優れた半導体装置を得ることができる。

【0202】

また、トランジスタに含まれる半導体膜である酸化物半導体膜は酸素欠損が低減され、水素などの不純物が低減されていることから、本発明の一態様である半導体装置は、良好な電気特性を有する半導体装置となる。

【0203】

20

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0204】

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置であり、上記実施の形態と異なる構造の半導体装置について、図面を用いて説明する。本実施の形態では、液晶表示装置を例にして本発明の一態様である半導体装置を説明する。また、本実施の形態で説明する半導体装置は、上記実施の形態と比較して、容量素子の構造が異なる。なお、本実施の形態で説明する半導体装置において、上記実施の形態で説明した半導体装置と同様の構成は、上記実施の形態を参照することができる。

【0205】

30

<半導体装置の構成>

本実施の形態で説明する画素201の上面図を図20に示す。図20に示した画素201は、二点鎖線内の領域において、絶縁膜229(図示せず。)及び絶縁膜231(図示せず。)が設けられていない。従って、図20に示した画素201の容量素子205は、一方の電極である半導体膜119と、他方の電極である画素電極221と、誘電体膜である絶縁膜232(図示せず。)とで構成されている。

【0206】

次いで、図20の一点鎖線A1-A2間及び一点鎖線B1-B2間における断面図を図21に示す。

【0207】

40

本実施の形態における画素201の断面構造は以下の通りである。基板102上に、トランジスタ103のゲート電極を含む走査線107と、走査線107と同一表面上に設けられている容量線115とが設けられている。走査線107及び容量線115上にゲート絶縁膜127が設けられている。ゲート絶縁膜127の走査線107と重畳する領域上に半導体膜111が設けられており、ゲート絶縁膜127上に半導体膜119が設けられている。半導体膜111上、及びゲート絶縁膜127上にトランジスタ103のソース電極を含む信号線109と、トランジスタ103のドレイン電極を含む導電膜113とが設けられている。ゲート絶縁膜127には容量線115に達する開口123が設けられており、開口123、ゲート絶縁膜127上、及び半導体膜119上に導電膜125が設けられている。ゲート絶縁膜127上、信号線109上、半導体膜111上、導電膜113上、

50

導電膜 125 上、半導体膜 119 上にトランジスタ 103 の保護絶縁膜として機能する絶縁膜 229、絶縁膜 231、及び絶縁膜 232 が設けられている。また、少なくとも容量素子 205 となる領域において、半導体膜 119 上に絶縁膜 232 が設けられている。絶縁膜 229、絶縁膜 231、及び絶縁膜 232 には導電膜 113 に達する開口 117 が設けられており、開口 117 及び絶縁膜 232 上に画素電極 221 が設けられている。なお、基板 102 と、走査線 107 及び容量線 115 並びにゲート絶縁膜 127 との間には下地絶縁膜が設けられていてもよい。

【0208】

絶縁膜 229 は、実施の形態 1 で説明した絶縁膜 129 と同様の絶縁膜である。絶縁膜 231 は、実施の形態 1 で説明した絶縁膜 131 と同様の絶縁膜である。絶縁膜 232 は、実施の形態 1 で説明した絶縁膜 132 と同様の絶縁膜である。画素電極 221 は、実施の形態 1 で説明した画素電極 121 と同様の画素電極である。

【0209】

本実施の形態における容量素子 205 のように、一方の電極である半導体膜 119 と他方の電極である画素電極 221 との間に設けられる誘電体膜を絶縁膜 232 とすることで、誘電体膜の厚さを、実施の形態 1 における容量素子 105 の誘電体膜に比べて薄くすることができる。従って、本実施の形態における容量素子 205 は、実施の形態 1 における容量素子 205 よりも電荷容量を増大させることができる。

【0210】

また、絶縁膜 232 は、実施の形態 1 の絶縁膜 132 と同様に窒化絶縁膜であることが好ましい。絶縁膜 232 は半導体膜 119 と接することから、当該窒化絶縁膜に含まれる窒素または水素を半導体膜 119 に移動させることができ、半導体膜 119 を n 型とし、導電率を増大させることができる。また、絶縁膜 232 を窒化絶縁膜とし、絶縁膜 232 が半導体膜 119 に接した状態で加熱処理を行うことで、当該窒化絶縁膜に含まれる窒素または水素を半導体膜 119 に移動させることができる。

【0211】

また、半導体膜 119 は半導体膜 111 よりも導電率が高い領域を有する。本構成において、少なくとも半導体膜 119 の絶縁膜 232 と接する領域は n 型であり、半導体膜 111 の絶縁膜 229 と接する領域よりも導電率が高い。

【0212】

なお、図 20 においては、絶縁膜 229（図示せず。）及び絶縁膜 231（図示せず。）が設けられていない領域（二点破線の内側）の端部を半導体膜 119 の外側に設けたが、図 46 に示すように、絶縁膜 279（図示せず。）及び絶縁膜 281（図示せず。）が設けられていない領域（二点破線の内側）の端部を半導体膜 119 上に設けてもよい。

【0213】

図 46 の一点鎖線 A1-A2 間及び一点鎖線 B1-B2 間における断面図を図 47 に示す。

【0214】

図 47 においては、ゲート絶縁膜 127 上、信号線 109 上、半導体膜 111 上、導電膜 113 上、導電膜 125 上、半導体膜 119 上にトランジスタ 103 の保護絶縁膜として機能する絶縁膜 279、絶縁膜 281、及び絶縁膜 282 が設けられている。また、半導体膜 119 上に、絶縁膜 279 及び絶縁膜 281 の端部が位置する。また、容量素子 255 は、半導体膜 119、絶縁膜 282、及び画素電極 271 で構成される。なお、絶縁膜 279、絶縁膜 281、及び絶縁膜 282 は、実施の形態 1 で説明した絶縁膜 129、絶縁膜 131、及び絶縁膜 132 と同様の絶縁膜である。また、画素電極 271 は、実施の形態 1 で説明した画素電極 121 と同様の画素電極である。図 47 に示すように、絶縁膜 279 及び絶縁膜 281 の端部が半導体膜 119 上に位置するため、絶縁膜 279 及び絶縁膜 281 のエッチングにおけるゲート絶縁膜 127 の過剰なエッチングを防ぐことができる。

【0215】

本実施の形態における半導体装置において、容量素子205を動作させる方法は、実施の形態1で記載した容量素子105を動作させる方法と同じように、容量素子205を動作させる期間において、半導体膜119の電位（換言すると、容量線115の電位）を、常に、画素電極121の電位よりも容量素子205（MOSキャパシタ）のしきい値電圧（ V_{th} ）分以上低くする。ただし、容量素子205において、一方の電極として機能する半導体膜119は、n型であり、導電率が高いために、図38に示す破線のように、しきい値電圧（ V_{th} ）がマイナス方向にシフトする。半導体膜119の電位（換言すると、容量線115の電位）は、容量素子205のしきい値電圧（ V_{th} ）のマイナス方向へのシフト量に応じて、画素電極121がとりうる最も低い電位から高くしていくことができる。従って、容量素子205のしきい値電圧が大きな負の値を示す場合、図39（B）のように、容量線115の電位は画素電極121の電位よりも高くすることができる。

10

【0216】

本実施の形態のように、容量素子205の一方の電極である半導体膜119をn型とし、導電率を増大させることで、しきい値電圧をマイナス方向にシフトさせることが可能であるため、実施の形態1の容量素子105と比較して、容量素子205を動作させるために必要な電位の選択幅を広げることができる。従って、本実施の形態は、容量素子205を動作させる期間において常に安定して容量素子205を動作させることができるため好ましい。

【0217】

また、容量素子205に含まれる半導体膜119がn型であり、導電率が高いため、容量素子205の平面面積を縮小しても十分な電荷容量を得ることができる。半導体膜119を構成する酸化物半導体は、光の透過率が80～90%であるため、半導体膜119の面積を縮小し、画素において半導体膜119が形成されない領域を設けることで、バックライトなどの光源から照射される光の透過率を高めることができる。

20

【0218】

<半導体装置の作製方法>

次いで、本実施の形態における半導体装置の作製方法について、図22及び図23を用いて説明する。

【0219】

まず、基板102上に走査線107及び容量線115を形成し、基板102、走査線107及び容量線上にゲート絶縁膜127に加工される絶縁膜を形成し、当該絶縁膜上に半導体膜111及び半導体膜119を形成し、容量線115に達する開口123を当該絶縁膜に形成してゲート絶縁膜127を形成した後、信号線109、導電膜113、及び導電膜125を形成し、ゲート絶縁膜127、信号線109、導電膜113、導電膜125、及び半導体膜119上に絶縁膜128を形成し、絶縁膜128上に絶縁膜130を形成する（図22（A）を参照。）。なお、ここまでの工程は、実施の形態1を参照して行うことができる。

30

【0220】

次に、少なくとも半導体膜119と重畳する絶縁膜130の領域上にマスクを形成し、当該マスクを用いて加工して絶縁膜228及び絶縁膜230を形成すると共に半導体膜119を露出させ、露出させた領域上及び絶縁膜130上に絶縁膜233を形成する（図22（B）を参照。）。当該マスクは、フォトリソグラフィ工程により形成したレジストマスクを用いることができ、当該加工は、ドライエッチング及びウェットエッチングの一方又は双方によって行うことができる。また、絶縁膜233は、実施の形態1で説明した絶縁膜133と同様の絶縁膜である。また、絶縁膜233を形成した後など、絶縁膜233が半導体膜119に接した状態で加熱処理を行ってもよい。なお、ここまでの工程についても実施の形態1を参照して行うことができる。

40

【0221】

次に、絶縁膜228及び絶縁膜230並びに絶縁膜233に、導電膜113に達する開口117を形成して、絶縁膜229、絶縁膜231及び絶縁膜232を形成し（図23（

50

A)を参照。)、開口117を通じて導電膜113に接する画素電極221を形成する(図23(B)を参照。)。なお、ここまでの工程についても実施の形態1を参照して行うことができる。

【0222】

以上の工程により、本実施の形態における半導体装置を作製することができる。

【0223】

<変形例>

本発明の一態様である半導体装置において、容量素子の構造を適宜変更することができる。本構造の具体例について、図24を用いて説明する。なお、ここでは、図2及び図3で説明した容量素子105と異なる容量素子245についてのみ説明する。

【0224】

半導体膜119をn型とし、導電率を増大させるために、ゲート絶縁膜227を、窒化絶縁膜である絶縁膜225と、酸化絶縁膜である絶縁膜226との積層構造とし、少なくとも半導体膜119が設けられる領域において絶縁膜225のみを設ける。このような構造とすることで絶縁膜225である窒化絶縁膜が半導体膜119の下面と接することになり、半導体膜119をn型とし、導電率を増大させることができる(図24を参照。)。この場合、容量素子245の誘電体膜は絶縁膜129、絶縁膜131及び絶縁膜132である。なお、絶縁膜225及び絶縁膜226は、ゲート絶縁膜127に適用できる絶縁膜を適宜用いることができ、絶縁膜225は絶縁膜132と同様の絶縁膜としてもよい。また、本構成とするためには、実施の形態1を参照して適宜、絶縁膜226を加工すればよい。図24に示す構造とすることで、絶縁膜129及び絶縁膜131のエッチングに伴う半導体膜119の膜厚の減少を防ぐことが可能であるため、図21に示す半導体装置と比較して、歩留まりが向上する。

【0225】

さらに、図24に示す構成において、半導体膜119の上面が絶縁膜132と接する構成であってもよい。つまり、図24に示す絶縁膜129及び絶縁膜131において、半導体膜119と接する領域が除去されてもよい。この場合、容量素子245の誘電体膜は絶縁膜132である。半導体膜119の上面及び下面を窒化絶縁膜と接する構成とすることで、片面のみ窒化絶縁膜と接する場合よりも効率よく十分に半導体膜119をn型とし、導電率を増大させることができる。

【0226】

以上より、容量素子の一方の電極として、トランジスタに含まれる半導体膜と同じ形成工程で形成される半導体膜を用いることで、開口率を高めつつ、代表的には55%以上、好ましくは60%以上とすることが可能であると共に、電荷容量を増大させた容量素子を有する半導体装置を作製することができる。この結果、表示品位の優れた半導体装置を得ることができる。

【0227】

また、トランジスタに含まれる半導体膜である酸化物半導体膜は酸素欠損が低減され、水素などの不純物が低減されていることから、本発明の一態様である半導体装置は、良好な電気特性を有する半導体装置となる。

【0228】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成及びその変形例と適宜組み合わせる用いることができる。

【0229】

(実施の形態3)

本実施の形態では、本発明の一態様の半導体装置であり、上記実施の形態と異なる構造の半導体装置について、図面を用いて説明する。本実施の形態では、液晶表示装置を例にして本発明の一態様である半導体装置を説明する。また、本実施の形態で説明する半導体装置は、上記実施の形態と比較して、容量素子に含まれる半導体膜が異なる。なお、本実施の形態で説明する半導体装置において、上記実施の形態で説明した半導体装置と同様の

構成は、上記実施の形態を参照することができる。

【0230】

<半導体装置の構成>

本実施の形態で説明する液晶表示装置の画素部に設けられる画素301の具体的な構成例について説明する。画素301の上面図を図25に示す。図25に示す画素301は、容量素子305を有し、容量素子305は、画素301内の容量線115及び信号線109で囲まれる領域に設けられている。容量素子305は、開口123に設けられた導電膜125を通じて容量線115と電氣的に接続されている。容量素子305は、酸化物半導体で形成され、半導体膜111よりも導電率が高い半導体膜319と、画素電極121と、誘電体膜として、トランジスタ103上に形成される絶縁膜（図25に図示せず。）とで構成されている。半導体膜319、画素電極121、及び誘電体膜はそれぞれ透光性を有するため、容量素子305は透光性を有する。

10

【0231】

半導体膜319を酸化物半導体膜とする場合、当該酸化物半導体膜の導電率を、 10 S/cm 以上 1000 S/cm 以下、好ましくは 100 S/cm 以上 1000 S/cm 以下とする。

【0232】

このように半導体膜319は透光性を有する。つまり、画素301内に容量素子305を大きく（大面積に）形成することができる。従って開口率を高めつつ、代表的には55%以上、好ましくは60%以上とすることが可能であると共に、電荷容量を増大させた半導体装置を得ることができる。この結果、表示品位の優れた半導体装置を得ることができる。また、容量素子305に含まれる半導体膜319がn型であり、導電率が高いため、容量素子305の平面面積を縮小しても十分な電荷容量を得ることができる。半導体膜319を構成する酸化物半導体は、光の透過率が80~90%であるため、半導体膜319の面積を縮小し、画素において半導体膜319が形成されない領域を設けることで、バックライトなどの光源から照射される光の透過率を高めることができる。

20

【0233】

次いで、図25の一点鎖線A1-A2間及び一点鎖線B1-B2間における断面図を図26に示す。

【0234】

画素301の断面構造は以下の通りである。基板102上に、トランジスタ103のゲート電極を含む走査線107が設けられている。走査線107上にゲート絶縁膜127が設けられている。ゲート絶縁膜127の走査線107と重畳する領域上に半導体膜111が設けられており、ゲート絶縁膜127上に半導体膜319が設けられている。半導体膜111上、及びゲート絶縁膜127上にトランジスタ103のソース電極を含む信号線109と、トランジスタ103のドレイン電極を含む導電膜113とが設けられている。また、ゲート絶縁膜127及び半導体膜319上に容量線115が設けられている。ゲート絶縁膜127上、信号線109上、半導体膜111上、導電膜113上、半導体膜319及び容量線115上にトランジスタ103の保護絶縁膜として機能する絶縁膜129、絶縁膜131、及び絶縁膜132が設けられている。絶縁膜129、絶縁膜131、及び絶縁膜132には導電膜113に達する開口117が設けられており、開口117及び絶縁膜132上に画素電極121が設けられている。なお、基板102と、走査線107及びゲート絶縁膜127との間には下地絶縁膜が設けられていてもよい。

40

【0235】

本構成での容量素子105は、一对の電極のうち一方の電極が、n型であり、半導体膜111よりも導電率が高い半導体膜319であり、一对の電極のうち他方の電極が画素電極121であり、一对の電極の間に設けられた誘電体膜が絶縁膜129、絶縁膜131、及び絶縁膜132である。

【0236】

半導体膜319は、半導体膜111に適用可能な酸化物半導体を用いることができる。

50

半導体膜 111 を形成すると共に半導体膜 319 を形成することができることから、半導体膜 319 は半導体膜 111 を構成する酸化物半導体の金属元素を含む。そして、半導体膜 319 は、半導体膜 111 よりも導電率が高いことが好ましいことから、導電率を増大させる元素（ドーパント）が含まれていることが好ましい。具体的には半導体膜 319 にはドーパントとして、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン及び希ガス元素から選ばれた一種以上が含まれている。半導体膜 319 に含まれるドーパント濃度は $1 \times 10^{19} \text{ atoms/cm}^3$ 以上 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下であることが好ましい。このようにすることで、半導体膜 319 の導電率を 10 S/cm 以上 1000 S/cm 以下、好ましくは 100 S/cm 以上 1000 S/cm 以下とすることができ、半導体膜 319 を容量素子 305 の一方の電極として十分に機能させることができる。なお、半導体膜 319 は半導体膜 111 よりも導電率が高い領域を有する。本構成において、少なくとも、半導体膜 319 の絶縁膜 132 と接する領域は、半導体膜 111 の絶縁膜 129 と接する領域よりも導電率が高い。

10

【0237】

<半導体装置の作製方法>

次いで、本実施の形態における半導体装置の作製方法について、図 27 及び図 28 を用いて説明する。

【0238】

まず、基板 102 上に走査線 107 及び容量線 115 を形成し、基板 102、走査線 107 及び容量線 115 にゲート絶縁膜 127 に加工される絶縁膜を形成し、当該絶縁膜上に半導体膜 111 及び半導体膜 119 を形成する（図 27（A）を参照。）。なお、ここまでの工程は、実施の形態 1 を参照して行うことができる。

20

【0239】

次に、半導体膜 119 にドーパントを添加して半導体膜 319 を形成した後、絶縁膜 126 に容量線 115 に達する開口 123 を形成してゲート絶縁膜 127 を形成した後、トランジスタ 103 のソース電極を含む信号線 109、トランジスタ 103 のドレイン電極を含む導電膜 113、半導体膜 319 と容量線 115 とを電氣的に接続する導電膜 125 を形成する（図 27（B）を参照。）。

【0240】

半導体膜 119 にドーパントを添加する方法は、半導体膜 119 以外の領域にマスクを設けて、当該マスクを用いて、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン及び希ガス元素から選ばれた一種以上のドーパントをイオン注入法又はイオンドーピング法などで添加する。また、イオン注入法又はイオンドーピング法の代わりに当該ドーパントの含むプラズマに半導体膜 119 を曝すことで、当該ドーパントを添加してもよい。なお、ドーパントを添加した後、加熱処理をおこなってもよい。当該加熱処理は、半導体膜 111 及び半導体膜 119 の脱水素化又は脱水化を行う加熱処理の詳細を参照して適宜行うことができる。

30

【0241】

なお、ドーパントを添加する工程は、信号線 109、導電膜 113 及び導電膜 125 を形成した後に行ってもよい。その場合、半導体膜 319 の信号線 109、導電膜 113 及び導電膜 125 に接する領域にはドーパントは添加されない。

40

【0242】

次に、ゲート絶縁膜 127、信号線 109、半導体膜 111、導電膜 113、導電膜 125、及び半導体膜 319 上に絶縁膜 128 を形成し、絶縁膜 128 上に絶縁膜 130 を形成し、絶縁膜 130 上に絶縁膜 133 を形成する（図 28（A）を参照。）。なお、当該工程は、実施の形態 1 を参照して行うことができる。

【0243】

次に、絶縁膜 128 及び絶縁膜 130 並びに絶縁膜 133 に、導電膜 113 に達する開口 117 を形成して、絶縁膜 129、絶縁膜 131 及び絶縁膜 132 を形成し（図 28（A）を参照。）、開口 117 を通じて導電膜 113 に接する画素電極 121 を形成する（

50

図 26 を参照。) 。なお、当該工程についても実施の形態 1 を参照して行うことができる。

【0244】

以上の工程により、本実施の形態における半導体装置を作製することができる。

【0245】

以上より、容量素子の一方の電極として、トランジスタに含まれる半導体膜と同じ形成工程で形成される半導体膜を用いることで、開口率を高めつつ、電荷容量を増大させた容量素子を有する半導体装置を作製することができる。この結果、表示品位の優れた半導体装置を得ることができる。

【0246】

また、トランジスタに含まれる半導体膜である酸化物半導体膜は酸素欠損が低減され、水素などの不純物が低減されていることから、本発明の一態様である半導体装置は、良好な電気特性を有する半導体装置となる。

【0247】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成及びその変形例と適宜組み合わせて用いることができる。

【0248】

(実施の形態 4)

本実施の形態では、横電界を用いて液晶分子を配向させる FFS (Fringe Field Switching) モードの液晶表示装置を例にして本発明の一態様である半導体装置を説明する。なお、本実施の形態で説明する半導体装置において、上記実施の形態で説明した半導体装置と同様の構成は、上記実施の形態を参照することができる。

【0249】

<半導体装置の構成>

本実施の形態で説明する画素 501 の上面図を図 40 に示す。図 40 (A) は、共通電極 521 を省略した画素 501 の上面図であり、図 40 (B) は、図 40 (A) に共通電極 521 を設けた画素 501 の上面図である。

【0250】

図 40 に示した画素 501 は、トランジスタ 103 と、該トランジスタ 103 に接続する容量素子 505 を有する。容量素子 505 は、半導体膜 111 よりも導電率が高い半導体膜 519 と、透光性を有する導電膜で形成される共通電極 521 と、トランジスタ 103 に含まれ、透光性を有する絶縁膜 (図 40 に図示せず。) とで構成されている。即ち、容量素子 505 は透光性を有する。また、半導体膜 111 よりも導電率が高い半導体膜 519 は、トランジスタ 103 の導電膜 113 に接続し、画素電極として機能する。また、共通電極 521 には開口部 (スリット) を有する。即ち、共通電極と画素電極との間に電界を印加することで、半導体膜 519、透光性を有する絶縁膜、及び共通電極 521 の重畳領域において容量素子として機能すると共に、液晶分子配向を基板と平行な方向で制御できる。この結果、FFS モードの液晶表示装置は、視野角が優れ、より高画質である。

【0251】

次いで、図 40 (B) の一点鎖線 A1-A2 間における基板 102 断面図を図 41 に示す。

【0252】

本実施の形態における画素 501 の断面構造は以下の通りである。基板 102 上に、トランジスタ 103 のゲート電極を含む走査線 107 が設けられている。走査線 107 上にゲート絶縁膜 127 が設けられている。ゲート絶縁膜 127 の走査線 107 と重畳する領域上に半導体膜 111 が設けられており、ゲート絶縁膜 127 上に、半導体膜 111 よりも導電率が高い半導体膜 519 が設けられている。半導体膜 111 上、及びゲート絶縁膜 127 上にトランジスタ 103 のソース電極を含む信号線 109 と、トランジスタ 103 のドレイン電極を含む導電膜 113 とが設けられている。ドレイン電極を含む導電膜 113 は、半導体膜 519 と接続しており、半導体膜 111 よりも導電率が高い半導体膜 51

10

20

30

40

50

9は画素電極として機能する。ゲート絶縁膜127上、信号線109上、半導体膜111上、導電膜113上、半導体膜519上にトランジスタ103の保護絶縁膜として機能する絶縁膜129、絶縁膜131、及び絶縁膜132が設けられている。絶縁膜129、絶縁膜131、及び絶縁膜132上に共通電極521が設けられている。共通電極521は、画素部において、画素ごとに分離されず、連続して設けられている。なお、基板102と、走査線107及びゲート絶縁膜127との間には下地絶縁膜が設けられていてもよい。

【0253】

半導体膜111よりも導電率が高い半導体膜519は、実施の形態2で説明した半導体膜119、及び実施の形態3で説明した半導体膜319と同様の半導体膜を適宜用いることができる。共通電極521は、実施の形態1で説明した画素電極121と同様の材料を用いて形成することができる。

【0254】

本実施の形態における容量素子505のように、一方の電極を半導体膜111よりも導電率が高い半導体膜とし、且つトランジスタの導電膜113と接続させることで、開口部を設けずとも導電膜113及び半導体膜519を直接接続させることが可能であり、トランジスタ103及び容量素子505の平坦性を高めることが可能である。また、容量線を設けず、透光性を有する共通電極521を容量線として機能させることで、画素501の開口率をさらに高めることが可能である。

【0255】

(実施の形態5)

本実施の形態では、走査線駆動回路104及び信号線駆動回路106に用いることが可能なトランジスタについて図36(B)、及び図42乃至図44を用いて説明する。

【0256】

図36(B)に示すトランジスタ685は、基板102上に設けられるゲート電極607と、ゲート電極607上に設けられるゲート絶縁膜127と、ゲート絶縁膜127上においてゲート電極607と重畳する領域上に設けられる半導体膜111と、半導体膜111上、及びゲート絶縁膜127上に設けられるソース電極609及びドレイン電極613を有する。また、ゲート絶縁膜127上、ソース電極609上、半導体膜111上、及びドレイン電極613上にトランジスタ685の保護絶縁膜として機能する絶縁膜129、絶縁膜131、及び絶縁膜132が設けられている。絶縁膜132上に導電膜687が設けられている。導電膜687は、半導体膜111を介して、ゲート電極607と重なる。

【0257】

トランジスタ685において、半導体膜111を介して、ゲート電極607と重なる導電膜687を設けることで、異なるドレイン電圧において、オン電流の立ち上がりゲート電圧のばらつきを低減することができる。また、導電膜687と対向する半導体膜111の面において、ソース電極及びドレイン電極の間に流れる電流を制御することが可能であり、異なるトランジスタにおける電気特性のばらつきを低減することができる。また、導電膜687を設けることで、周囲の電界の変化が半導体膜111へ与える影響を軽減し、トランジスタの信頼性を向上させることができる。さらには、導電膜687の電位を、駆動回路の最低電位(V_{ss}、例えばソース電極609の電位を基準とする場合、ソース電極609の電位)と同電位またはそれと同等電位とすることで、トランジスタのしきい値電圧の変動を低減することが可能であり、トランジスタの信頼性を高めることができる。

【0258】

なお、ソース電極609及びドレイン電極613の間において、導電膜687の幅は、ソース電極609及びドレイン電極613の距離より短いことが好ましい。即ち、トランジスタ685の半導体膜111のチャンネル形成領域の一部と重なる位置に導電膜687が設けられていることが好ましい。この結果、半導体膜111及び導電膜687の距離が短い場合、即ち保護絶縁膜として機能する絶縁膜129、絶縁膜131、及び絶縁膜132の膜厚が薄い場合に、導電膜687の電界の影響を緩和することが可能であり、トランジ

スタ 685 のしきい値電圧の変動幅を縮小することが可能である。

【0259】

ここで、トランジスタ 685 において、導電膜 687 へ印加する電圧とトランジスタの動作について計算した結果について、図 4 2 乃至図 4 4 を用いて説明する。

【0260】

図 4 2 に計算で用いたトランジスタの構造を示す。なお、計算にはデバイスシミュレーションソフト Atlas (Silvaco 社製) を用いた。

【0261】

図 4 2 に示すトランジスタは、ゲート電極 701 上にゲート絶縁膜 703 が設けられ、ゲート絶縁膜 703 上に半導体膜として酸化物半導体膜 705 が設けられる。酸化物半導体膜 705 上にソース電極 707 及びドレイン電極 709 が設けられ、ゲート絶縁膜 703、酸化物半導体膜 705、並びにソース電極 707 及びドレイン電極 709 上に、保護絶縁膜として機能する絶縁膜 711 が設けられ、絶縁膜 711 上に導電膜 713 が設けられる。

【0262】

なお、計算において、ゲート電極 701 の仕事関数 ϕ_M を 5.0 eV と設定した。ゲート絶縁膜 703 を、誘電率が 7.5 である厚さ 400 nm の膜と、誘電率が 4.1 である厚さ 50 nm の膜の積層構造と設定した。酸化物半導体膜 705 としては IGZO (111) 単層を想定し、IGZO のバンドギャップ E_g を 3.15 eV、電子親和力 χ を 4.6 eV、比誘電率を 15、電子移動度を $10 \text{ cm}^2/\text{Vs}$ とし、ドナー密度 N_d は $1 \times 10^{13} / \text{cm}^3$ と設定した。ソース電極 707 及びドレイン電極 709 の仕事関数 ϕ_{sd} を 4.6 eV とし、酸化物半導体膜 705 とオーミック接合と設定した。絶縁膜 711 の比誘電率を 3.9 とし、厚さを 550 nm と設定した。導電膜 713 の仕事関数 ϕ_M を 4.8 eV と設定した。なお、酸化物半導体膜 705 における欠陥準位や表面散乱などのモデルは考慮していない。また、トランジスタのチャネル長及びチャネル幅をそれぞれ 3 μm 及び 50 μm とした。

【0263】

次に、トランジスタにおいて、導電膜 713 の電位をフローティングとしたモデル、及び 0 V 固定としたモデルの $I_d - V_g$ 特性を計算した結果を図 4 3 に示す。

【0264】

図 4 3 (A) は、トランジスタのゲート電極 701 に 0 V、ソース電極 707 に 0 V、ドレイン電極 709 に 10 V を印加し、且つ導電膜 713 をフローティングとしたときの等電位曲線を表す。また、図 4 3 (B) は、トランジスタのゲート電極 701 に 0 V、ソース電極 707 に 0 V、ドレイン電極 709 に 10 V、導電膜 713 をソース電極 707 と同じ電位とし、ここでは 0 V 印加したときの等電位曲線を表す。

【0265】

なお、図 4 3 において、破線矢印は、絶縁膜 711 における電界の向きを表す。電界は、等電位曲線に対して垂直方向であって、且つ高い電位から低い電位に向かって生じる。また、図 4 4 (A) 及び図 4 4 (B) はそれぞれ、図 4 3 (A) 及び図 4 3 (B) に示すトランジスタの電流電圧曲線を表す。横軸はゲート電極の電圧を表し、縦軸はドレイン電極の電流を表す。なお、図 4 4 において、黒丸を繋いだ曲線はドレイン電圧 (V_d) が 1 V のときの電流電圧曲線であり、白丸を繋いだ曲線はドレイン電圧 (V_d) が 10 V のときの電流電圧曲線である。

【0266】

図 4 4 (A) に示す電流電圧曲線から、導電膜 713 がフローティングの場合、ドレイン電圧 V_d が 1 V のときと比べて 10 V のときでは、オン電流の立ち上がりゲート電圧がマイナスシフトしている。即ち、ドレイン電圧によって、オン電流の立ち上がりゲート電圧が異なっている。

【0267】

図 4 3 (A) に示すように、ゲート電圧が 0 V、ドレイン電圧が 10 V のとき、破線矢

10

20

30

40

50

印で示すように、導電膜 713 から酸化物半導体膜 705 のバックチャネルへ向かう電界が生じていることが分かる。また、導電膜 713 の電位は、ドレイン電圧 (V_d) に 10 V 印加されている影響で、5 V 程度まで上昇している。さらに、導電膜 713 と酸化物半導体膜 705 の距離が近いこと、導電膜 713 の電位が、プラス電位として実効的に機能している。したがって、バックチャネル側に電子が余分に誘起されてしまい、バックチャネルを流れる電流が増加し、その結果、電流電圧特性において、しきい値電圧がマイナスシフトする。

【0268】

一方、図 44 (B) に示す電流電圧曲線においては、ドレイン電圧に関わらず、オン電流の立ち上がりゲート電圧が一致している。

【0269】

図 43 (B) に示すように、絶縁膜 711 においては、ドレイン電極 709 から導電膜 713 へ向かって電界が生じていることが分かる。即ち、実質的にバックチャネル側の電子が排斥されるように導電膜 713 が機能していることが分かる。この結果、図 44 (A) に示す曲線と比較して、オン電流の立ち上がりゲート電圧が若干プラスシフトしていることが分かる。

【0270】

以上のことから、酸化物半導体膜のチャネル領域と重なるように導電膜を設け、且つ当該導電膜の電位を 0 V 固定とすることで、異なるドレイン電圧におけるオン電流の立ち上がりゲート電圧のばらつきを低減することができる。

【0271】

(実施の形態 6)

本実施の形態では、上記実施の形態で説明した半導体装置に含まれているトランジスタ及び容量素子において、半導体膜である酸化物半導体膜に適用可能な一態様について説明する。

【0272】

上記酸化物半導体膜は、非晶質酸化物半導体、単結晶酸化物半導体、及び多結晶酸化物半導体の他に、結晶部分を有する酸化物半導体 (C Axis Aligned Crystalline Oxide Semiconductor: CAAC-OS) で構成されていることが好ましい。

【0273】

CAAC-OS 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。従って、CAAC-OS 膜に含まれる結晶部は、一辺が 10 nm 未満、5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、CAAC-OS 膜について詳細な説明を行う。

【0274】

CAAC-OS 膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界 (グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0275】

CAAC-OS 膜を、試料面と概略平行な方向から TEM によって観察 (断面 TEM 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS 膜の膜を形成する面 (被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS 膜の被形成面または上面と平行に配列する。

【0276】

一方、CAAC-OS 膜を、試料面と概略垂直な方向から TEM によって観察 (平面 TEM 観察) すると、結晶部において、金属原子が三角形状または六角形状に配列している

10

20

30

40

50

ことを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0277】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0278】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

10

【0279】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(φ軸)として試料を回転させながら分析(φスキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してφスキャンした場合でも、明瞭なピークが現れない。

20

【0280】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0281】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

30

【0282】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0283】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

40

【0284】

CAAC-OSの形成方法としては、三つ挙げられる。

【0285】

第1の方法は、成膜温度を100℃以上450℃以下として酸化物半導体膜を成膜することで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0286】

50

第2の方法は、酸化物半導体膜を薄い厚さで成膜した後、 200°C 以上 700°C 以下の熱処理を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0287】

第3の方法は、一層目の酸化物半導体膜を薄い厚さで成膜した後、 200°C 以上 700°C 以下の熱処理を行い、さらに二層目の酸化物半導体膜の成膜を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0288】

酸化物半導体膜にCAAC-Osを適用したトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、酸化物半導体膜にCAAC-Osを適用したトランジスタは、良好な信頼性を有する。

【0289】

また、CAAC-Osは、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜することが好ましい。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状又はペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状又はペレット状のスパッタリング粒子が、結晶状態を維持したまま被成膜面に到達することで、CAAC-Osを成膜することができる。

【0290】

また、CAAC-Osを成膜するために、以下の条件を適用することが好ましい。

【0291】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が一 80°C 以下、好ましくは一 100°C 以下である成膜ガスを用いる。

【0292】

また、成膜時の被成膜面の加熱温度（例えば基板加熱温度）を高めることで、被成膜面に到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、被成膜面の温度を 100°C 以上 740°C 以下、好ましくは 150°C 以上 500°C 以下として成膜する。成膜時の被成膜面の温度を高めることで、平板状又はペレット状のスパッタリング粒子が被成膜面に到達した場合、当該被成膜面上でマイグレーションが起こり、スパッタリング粒子の平らな面が被成膜面に付着する。

【0293】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0294】

スパッタリング用ターゲットの一例として、In-Ga-Zn-O化合物ターゲットについて以下に示す。

【0295】

InO_x粉末、GaO_y粉末及びZnO_z粉末を所定のmol数で混合し、加圧処理後、 1000°C 以上 1500°C 以下の温度で加熱処理をすることで多結晶であるIn-Ga-Zn系金属酸化物ターゲットとする。なお、当該加圧処理は、冷却（又は放冷）しながら行ってもよいし、加熱しながら行ってもよい。なお、X、Y及びZは任意の正数である。ここで、所定のmol数比は、例えば、InO_x粉末、GaO_y粉末及びZnO_z粉末が、2:2:1、8:4:3、3:1:1、1:1:1、4:2:3又は3:1:2である。なお、粉末の種類、及びその混合するmol数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

10

20

30

40

50

【0296】

また、酸化物半導体膜は、複数の酸化物半導体膜が積層された構造でもよい。例えば、酸化物半導体膜を、第1の酸化物半導体膜と第2の酸化物半導体膜の積層として、第1の酸化物半導体膜と第2の酸化物半導体膜に、異なる原子数比の金属酸化物を用いてもよい。例えば、第1の酸化物半導体膜に二種類の金属を含む酸化物、三種類の金属を含む酸化物、四種類の金属を含む酸化物のうち一つを用い、第2の酸化物半導体膜に第1の酸化物半導体膜と異なる二種類の金属を含む酸化物、三種類の金属を含む酸化物、四種類の金属を含む酸化物を用いてもよい。

【0297】

酸化物半導体膜を2層構造とし、第1の酸化物半導体膜と第2の酸化物半導体膜の構成元素を同一とし、両者の原子数比を異ならせてもよい。例えば、第1の酸化物半導体膜の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ とし、第2の酸化物半導体膜の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ としてもよい。また、第1の酸化物半導体膜の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 2 : 1 : 3$ とし、第2の酸化物半導体膜の原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ としてもよい。なお、各酸化物半導体膜の原子数比は、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

【0298】

この時、第1の酸化物半導体膜と第2の酸化物半導体膜のうち、ゲート電極に近い側（チャネル側）の酸化物半導体膜の In と Ga の原子数比を $\text{In} \geq \text{Ga}$ とするとよい。またゲート電極から遠い側（バックチャネル側）の酸化物半導体膜の In と Ga の原子数比を $\text{In} < \text{Ga}$ とするとよい。これらの積層構造により、電界効果移動度の高いトランジスタを作製することができる。一方、ゲート電極に近い側（チャネル側）の酸化物半導体膜の In と Ga の原子数比を $\text{In} < \text{Ga}$ とし、バックチャネル側の酸化物半導体膜の In と Ga の原子数比を $\text{In} \geq \text{Ga}$ とすることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0299】

原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ である第1の酸化物半導体膜は、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ である酸化物ターゲットを用いたスパッタリング法によって形成できる。基板温度を室温とし、スパッタリングガスにアルゴン、又はアルゴンと酸素の混合ガスを用いて形成することができる。原子数比が $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ である第2の酸化物半導体膜は、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ である酸化物ターゲットを用い、第1の酸化物半導体膜と同様に形成できる。

【0300】

また、酸化物半導体膜を3層構造とし、第1の酸化物半導体膜乃至第3の酸化物半導体膜の構成元素を同一とし、且つそれぞれの原子数比を異ならせてもよい。酸化物半導体膜を3層構造とする構成について、図29を用いて説明する。

【0301】

図29に示すトランジスタは、第1の酸化物半導体膜199a、第2の酸化物半導体膜199b、及び第3の酸化物半導体膜199cがゲート絶縁膜127側から順に積層されている。第1の酸化物半導体膜199a及び第3の酸化物半導体膜199cを構成する材料は、 $\text{InM}_{1-x}\text{Zn}_y\text{O}_z$ ($x \geq 1$ 、 $y > 1$ 、 $z > 0$ 、 $M1 = \text{Ga}$ 、 Hf 等) で表記できる材料を用いる。ただし、第1の酸化物半導体膜199a及び第3の酸化物半導体膜199cを構成する材料に Ga を含ませる場合、含ませる Ga の割合が多い、具体的には $\text{InM}_{1-x}\text{Zn}_y\text{O}_z$ で表記できる材料で $X = 10$ を超えると成膜時に粉が発生する恐れがあり、不適である。

【0302】

また、第2の酸化物半導体膜199bを構成する材料は、 $\text{InM}_2\text{Zn}_y\text{O}_z$ ($x \geq 1$ 、 $y \geq x$ 、 $z > 0$ 、 $M2 = \text{Ga}$ 、 Sn 等) で表記できる材料を用いる。

【0303】

第1の酸化物半導体膜199aの伝導帯及び第3の酸化物半導体膜199cの伝導帯に

比べて第2の酸化物半導体膜199bの伝導帯が真空準位から最も深くなるような井戸型構造を構成するように、第1、第2、及び第3の酸化物半導体膜の材料を適宜選択する。

【0304】

なお、酸化物半導体膜において第14族元素の一つであるシリコンや炭素はドナーの供給源となる。このため、シリコンや炭素が酸化物半導体膜に含まれると、酸化物半導体膜はn型化してしまう。このため、各酸化物半導体膜に含まれるシリコン及び炭素それぞれの濃度は $3 \times 10^{18} / \text{cm}^3$ 以下、好ましくは $3 \times 10^{17} / \text{cm}^3$ 以下とする。特に、第2の酸化物半導体膜199bに第14族元素が多く混入しないように、第1の酸化物半導体膜199a及び第3の酸化物半導体膜199cで、キャリアパスとなる第2の酸化物半導体膜199bを挟む、または囲む構成とすることが好ましい。即ち、第1の酸化物半導体膜199a及び第3の酸化物半導体膜199cは、シリコン、炭素等の第14族元素が第2の酸化物半導体膜199bに混入することを防ぐバリア膜とも呼べる。

10

【0305】

例えば、第1の酸化物半導体膜199aの原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ とし、第2の酸化物半導体膜199bの原子数比を $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ とし、第3の酸化物半導体膜199cの原子数比を $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ としてもよい。なお、第3の酸化物半導体膜199cは、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ である酸化物ターゲットを用いたスパッタリング法によって形成できる。

【0306】

または、第1の酸化物半導体膜199aを、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ である酸化物半導体膜とし、第2の酸化物半導体膜199bを、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 又は $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ である酸化物半導体膜とし、第3の酸化物半導体膜199cを、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ である酸化物半導体膜とした、3層構造としてもよい。

20

【0307】

第1の酸化物半導体膜199a乃至第3の酸化物半導体膜199cの構成元素は同一であるため、第2の酸化物半導体膜199bは、第1の酸化物半導体膜199aとの界面における欠陥準位（トラップ準位）が少ない。詳細には、当該欠陥準位（トラップ準位）は、ゲート絶縁膜127と第1の酸化物半導体膜199aとの界面における欠陥準位よりも少ない。このため、上記のように酸化物半導体膜が積層されていることで、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

30

【0308】

また、第1の酸化物半導体膜199aの伝導帯及び第3の酸化物半導体膜199cの伝導帯に比べて第2の酸化物半導体膜199bの伝導帯が真空準位から最も深くなるような井戸型構造を構成するように、第1、第2、及び第3の酸化物半導体膜の材料を適宜選択することで、トランジスタの電界効果移動度を高めることが可能であると共に、トランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

【0309】

また、第1の酸化物半導体膜199a乃至第3の酸化物半導体膜199cに、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、非晶質酸化物半導体、及びCAAC-Osを適宜組み合わせた構成としてもよい。また、第1の酸化物半導体膜199a乃至第3の酸化物半導体膜199cのいずれか一に非晶質酸化物半導体を適用すると、酸化物半導体膜の内部応力や外部からの応力を緩和し、トランジスタの特性ばらつきが低減され、またトランジスタの経時変化や信頼性試験によるしきい値電圧の変動量を低減することができる。

40

【0310】

また、少なくともチャネル形成領域となりうる第2の酸化物半導体膜199bはCAAC-Osであることが好ましい。また、バックチャネル側の酸化物半導体膜、本実施の形態では、第3の酸化物半導体膜199cは、アモルファス又はCAAC-Osであることが好ましい。このような構造とすることで、トランジスタの経時変化や信頼性試験による

50

しきい値電圧の変動量を低減することができる。

【0311】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせを用いることができる。

【0312】

(実施の形態7)

上記実施の形態で一例を示したトランジスタ及び容量素子を用いて表示機能を有する半導体装置(表示装置ともいう。)を作製することができる。また、トランジスタを含む駆動回路の一部又は全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。本実施の形態では、上記実施の形態で一例を示したトランジスタを用いた表示装置の例について、図30乃至図32を用いて説明する。なお、図31(A)、図31(B)は、図30(B)中でM-Nの一点鎖線で示した部位の断面構成を示す断面図である。なお、図31において、画素部の構造は一部のみ記載している。

10

【0313】

図30(A)において、第1の基板901上に設けられた画素部902を囲むようにして、シール材905が設けられ、第2の基板906によって封止されている。図30(A)においては、第1の基板901上のシール材905によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体又は多結晶半導体で形成された信号線駆動回路903、及び走査線駆動回路904が実装されている。また、信号線駆動回路903、走査線駆動回路904、又は画素部902に与えられる各種信号及び電位は、FPC(Flexible printed circuit)918a、FPC918bから供給されている。

20

【0314】

図30(B)及び図30(C)において、第1の基板901上に設けられた画素部902と、走査線駆動回路904とを囲むようにして、シール材905が設けられている。また画素部902と、走査線駆動回路904の上に第2の基板906が設けられている。よって画素部902と、走査線駆動回路904とは、第1の基板901とシール材905と第2の基板906とによって、表示素子と共に封止されている。図30(B)及び図30(C)においては、第1の基板901上のシール材905によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体又は多結晶半導体で形成された信号線駆動回路903が実装されている。図30(B)及び図30(C)においては、信号線駆動回路903、走査線駆動回路904、又は画素部902に与えられる各種信号及び電位は、FPC918から供給されている。

30

【0315】

また、図30(B)及び図30(C)においては、信号線駆動回路903を別途形成し、第1の基板901に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部又は走査線駆動回路の一部のみを別途形成して実装しても良い。

【0316】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG(Chip On Glass)方法、ワイヤボンディング方法、或いはTAB(Tape Automated Bonding)方法などを用いることができる。図30(A)は、COG方法により信号線駆動回路903、走査線駆動回路904を実装する例であり、図30(B)は、COG方法により信号線駆動回路903を実装する例であり、図30(C)は、TAB方法により信号線駆動回路903を実装する例である。

40

【0317】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。

【0318】

なお、本明細書における表示装置とは、画像表示デバイスまたは表示デバイスを指す。

50

また、表示装置の代わりに光源（照明装置含む。）として機能させることができる。また、コネクタ、例えばFPCもしくはTCPが取り付けられたモジュール、TCPの先にプリント配線板が設けられたモジュール、又は表示素子にCOG方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0319】

また、第1の基板上に設けられた画素部及び走査線駆動回路は、トランジスタを複数有しており、上記実施の形態で示したトランジスタを適用することができる。

【0320】

表示装置に設けられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）を用いることができる。発光素子は、電流又は電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（Electro Luminescence）素子、有機EL素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。図31に、表示素子として液晶素子を用いた液晶表示装置の例を示す。

【0321】

図31（A）に示す液晶表示装置は、縦電界方式の液晶表示装置である。液晶表示装置は、接続端子電極915及び端子電極916を有しており、接続端子電極915及び端子電極916はFPC918が有する端子と異方性導電剤919を介して、電氣的に接続されている。

【0322】

接続端子電極915は、第1の電極930と同じ導電膜から形成され、端子電極916は、トランジスタ910、911のソース電極及びドレイン電極と同じ導電膜で形成されている。

【0323】

また、第1の基板901上に設けられた画素部902と、走査線駆動回路904は、トランジスタを複数有しており画素部902に含まれるトランジスタ910と、走査線駆動回路904に含まれるトランジスタ911とを例示している。トランジスタ910及びトランジスタ911上には実施の形態1に示す絶縁膜129、絶縁膜131、及び絶縁膜132に相当する絶縁膜924が設けられている。なお、絶縁膜923は下地膜として機能する絶縁膜である。

【0324】

本実施の形態では、トランジスタ910として、上記実施の形態1で示したトランジスタを適用することができる。また、トランジスタ911として、上記実施の形態5で示したトランジスタのように、トランジスタ911の酸化物半導体膜のチャネル形成領域の一部と重なる位置に導電膜917が設けられているトランジスタを適用することができる。また、酸化物半導体膜927、絶縁膜924、及び第1の電極930を用いて、容量素子926を構成する。なお、酸化物半導体膜927は、電極928を介して、容量線929と接続する。電極928は、トランジスタ910、トランジスタ911のソース電極及びドレイン電極と同じ材料及び同じ工程で形成される。容量線929は、トランジスタ910、トランジスタ911のゲート電極と同じ材料及び同じ工程で形成される。なお、ここでは、容量素子926として実施の形態1に示した容量素子を図示したが、適宜他の実施の形態に示した容量素子を用いることができる。

【0325】

画素部902に設けられたトランジスタ910は表示素子と電氣的に接続し、表示パネルを構成する。表示素子は表示を行うことができれば特に限定されず、様々な表示素子を用いることができる。

【0326】

表示素子である液晶素子913は、第1の電極930、第2の電極931、及び液晶層908を含む。なお、液晶層908を挟持するように配向膜として機能する絶縁膜932、絶縁膜933が設けられている。また、第2の電極931は第2の基板906側に設け

られ、第1の電極930と第2の電極931とは液晶層908を介して重なる構成となっている。

【0327】

表示素子に電圧を印加する第1の電極及び第2の電極（画素電極、共通電極、対向電極などともいう。）においては、取り出す光の方向、電極が設けられる場所、及び電極のパターン構造によって透光性、反射性を選択すればよい。

【0328】

第1の電極930及び第2の電極931は、実施の形態1に示す画素電極121及び対向電極154と同様の材料を適宜用いることができる。

【0329】

また、スペーサ935は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、第1の電極930と第2の電極931との間隔（セルギャップ）を制御するために設けられている。なお、球状のスペーサを用いてもよい。

【0330】

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

【0331】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するためにカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。なお、配向膜は有機樹脂で構成されており、有機樹脂は水素又は水などを含むことから、本発明の一態様である半導体装置のトランジスタの電気特性を低下させるおそれがある。そこで、液晶層160として、ブルー相を用いることで、有機樹脂を用いずに本発明の一態様である半導体装置を作製することができ、信頼性の高い半導体装置を得ることができる。

【0332】

第1の基板901及び第2の基板906はシール材925によって固定されている。シール材925は、熱硬化樹脂、光硬化樹脂などの有機樹脂を用いることができる。また、シール材925は、絶縁膜924と接している。なお、シール材925は図30に示すシール材905に相当する。

【0333】

また、液晶表示装置において、ブラックマトリクス（遮光膜）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0334】

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【0335】

次に、横電界方式の液晶表示装置について、図31（B）を用いて説明する。図31（A）は、横電界方式の一例である、FFSモードの液晶表示装置である。実施の形態4に示す横電界方式の液晶表示装置と異なる構造について、説明する。

【0336】

図31（B）に示す液晶表示装置において、接続端子電極915は、第1の電極940と同じ材料及び同じ工程で形成され、端子電極916は、トランジスタ910、911のソース電極及びドレイン電極と同じ材料及び同じ工程で形成されている。

【0337】

また、液晶素子943は、絶縁膜924上に形成される第1の電極940、第2の電極

10

20

30

40

50

941、及び液晶層908を含む。第1の電極940は、図31(A)に示す第1の電極930に示す材料を適宜用いることができる。また、第1の電極940は、平面形状が、橢歯状、階段状、梯子状等である。第2の電極941は共通電極として機能し、実施の形態1に示す半導体膜119と同様に形成することができる。第1の電極940及び第2の電極941の間には絶縁膜924が設けられている。

【0338】

第2の電極941は、電極945を介して、共通配線946と接続する。なお、電極945は、トランジスタ910、トランジスタ911のソース電極及びドレイン電極と同じ導電膜から形成される。共通配線946は、トランジスタ910、トランジスタ911のゲート電極と同じ材料及び同じ工程で形成される。なお、ここでは、液晶素子943として実施の形態1に示した容量素子を用いて説明したが、適宜他の実施の形態に示した容量素子を用いることができる。

10

【0339】

図32に、図31(A)に示す液晶表示装置において、基板906に設けられた第2の電極931と電氣的に接続するための共通接続部（パッド部）を、基板901上に形成する例を示す。

【0340】

共通接続部は、基板901と基板906とを接着するためのシール材925と重なる位置に配置され、シール材925に含まれる導電性粒子を介して第2の電極931と電氣的に接続される。又は、シール材925と重ならない箇所（但し、画素部を除く）に共通接続部を設け、共通接続部に重なるように導電性粒子を含むペーストをシール材925とは別途設けて第2の電極931と電氣的に接続してもよい。

20

【0341】

図32(A)は、共通接続部の断面図であり、図32(B)に示す上面図のI-Jに相当する。

【0342】

共通電位線975は、ゲート絶縁膜922上に設けられ、図32に示すトランジスタ910のソース電極971又はドレイン電極973と同じ材料及び同じ工程で作製される。

【0343】

また、共通電位線975は、絶縁膜924で覆われ、絶縁膜924は、共通電位線975と重なる位置に複数の開口を有している。この開口は、トランジスタ910のソース電極971又はドレイン電極973の一方と、第1の電極930とを接続するコンタクトホールと同じ工程で作製される。

30

【0344】

また、共通電位線975及び共通電極977が開口において接続する。共通電極977は、絶縁膜924上に設けられ、接続端子電極915や、画素部の第1の電極930と同じ材料及び同じ工程で作製される。

【0345】

このように、画素部902のスイッチング素子の作製工程と共通させて共通接続部を作製することができる。

40

【0346】

共通電極977は、シール材に含まれる導電性粒子と接触する電極であり、基板906の第2の電極931と電氣的に接続が行われる。

【0347】

また、図32(C)に示すように、共通電位線985を、トランジスタ910のゲート電極と同じ材料、同じ工程で作製してもよい。

【0348】

図32(C)に示す共通接続部において、共通電位線985は、ゲート絶縁膜922及び絶縁膜924の下層に設けられ、ゲート絶縁膜922及び絶縁膜924は、共通電位線985と重なる位置に複数の開口を有する。該開口は、トランジスタ910のソース電極

50

９７１又はドレイン電極９７３の一方と第１の電極９３０とを接続するコンタクトホールと同じ工程で絶縁膜９２４をエッチングした後、さらにゲート絶縁膜９２２を選択的にエッチングすることで形成される。

【０３４９】

また、共通電位線９８５及び共通電極９８７が開口において接続する。共通電極９８７は、絶縁膜９２４上に設けられ、接続端子電極９１５や、画素部の第１の電極９３０と同じ材料及び同じ工程で作製される。

【０３５０】

以上より、上記実施の形態で示したトランジスタ及び容量素子を適用することで、開口率を高めつつ、電荷容量を増大させた容量素子を有する半導体装置を提供することができる。この結果、表示品位の優れた半導体装置を得ることができる。

10

【０３５１】

また、トランジスタに含まれる半導体膜である酸化物半導体膜は酸素欠損が低減され、水素などの不純物が低減されていることから、本発明の一態様である半導体装置は、良好な電気特性を有する半導体装置となる。

【０３５２】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせることができる。

【０３５３】

（実施の形態８）

20

本発明の一態様である半導体装置は、さまざまな電子機器（遊技機も含む。）に適用することができる。電子機器としては、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう。）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、遊技機（パチンコ機、スロットマシン等）、ゲーム筐体が挙げられる。これらの電子機器の一例を図３３に示す。

【０３５４】

図３３（Ａ）は、表示部を有するテーブル９０００を示している。テーブル９０００は、筐体９００１に表示部９００３が組み込まれており、表示部９００３により映像を表示することが可能である。なお、４本の脚部９００２により筐体９００１を支持した構成を示している。また、電力供給のための電源コード９００５を筐体９００１に有している。

30

【０３５５】

上記実施の形態のいずれかに示す半導体装置は、表示部９００３に用いることが可能である。それゆえ、表示部９００３の表示品位を高くすることができる。

【０３５６】

表示部９００３は、タッチ入力機能を有しており、テーブル９０００の表示部９００３に表示された表示ボタン９００４を指などで触れることで、画面操作や、情報を入力することができ、また他の家電製品との通信を可能とする、又は制御を可能とすることで、画面操作により他の家電製品をコントロールする制御装置としてもよい。例えば、イメージセンサ機能を有する半導体装置を用いれば、表示部９００３にタッチ入力機能を持たせることができる。

40

【０３５７】

また、筐体９００１に設けられたヒンジによって、表示部９００３の画面を床に対して垂直に立てることもでき、テレビジョン装置としても利用できる。狭い部屋においては、大きな画面のテレビジョン装置は設置すると自由な空間が狭くなってしまうが、テーブルに表示部が内蔵されていれば、部屋の空間を有効に利用することができる。

【０３５８】

図３３（Ｂ）は、テレビジョン装置９１００を示している。テレビジョン装置９１００は、筐体９１０１に表示部９１０３が組み込まれており、表示部９１０３により映像を表示することが可能である。なお、ここではスタンド９１０５により筐体９１０１を支持し

50

た構成を示している。

【0359】

テレビジョン装置9100の操作は、筐体9101が備える操作スイッチや、別体のリモコン操作機9110により行うことができる。リモコン操作機9110が備える操作キー9109により、チャンネルや音量の操作を行うことができ、表示部9103に表示される映像を操作することができる。また、リモコン操作機9110に、当該リモコン操作機9110から出力する情報を表示する表示部9107を設ける構成としてもよい。

【0360】

図33(B)に示すテレビジョン装置9100は、受信機やモデムなどを備えている。テレビジョン装置9100は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

10

【0361】

上記実施の形態のいずれかに示す半導体装置は、表示部9103、9107に用いることが可能である。それゆえ、テレビジョン装置の表示品位を向上させることができる。

【0362】

図33(C)はコンピュータ9200であり、本体9201、筐体9202、表示部9203、キーボード9204、外部接続ポート9205、ポインティングデバイス9206などを含む。

20

【0363】

上記実施の形態のいずれかに示す半導体装置は、表示部9203に用いることが可能である。それゆえ、コンピュータ9200の表示品位を向上させることができる。

【0364】

図34(A)及び図34(B)は2つ折り可能なタブレット型端末である。図34(A)は、開いた状態であり、タブレット型端末は、筐体9630、表示部9631a、表示部9631b、表示モード切り替えスイッチ9034、電源スイッチ9035、省電力モード切り替えスイッチ9036、留め具9033、操作スイッチ9038、を有する。

【0365】

上記実施の形態のいずれかに示す半導体装置は、表示部9631a、表示部9631bに用いることが可能である。それゆえ、タブレット端末の表示品位を向上させることができる。

30

【0366】

表示部9631aは、一部をタッチパネルの領域9632aとすることができ、表示された操作キー9638にふれることでデータ入力を行うことができる。なお、表示部9631aにおいては、一例として半分の領域が表示のみの機能を有する構成、もう半分の領域がタッチパネルの機能を有する構成を示しているが該構成に限定されない。表示部9631aの全ての領域がタッチパネルの機能を有する構成としても良い。例えば、表示部9631aの全面をキーボードボタン表示させてタッチパネルとし、表示部9631bを表示画面として用いることができる。

40

【0367】

また、表示部9631bにおいても表示部9631aと同様に、表示部9631bの一部をタッチパネルの領域9632bとすることができ、また、タッチパネルのキーボード表示切り替えボタン9639が表示されている位置に指やスタイラスなどでふれることで表示部9631bにキーボードボタン表示することができる。

【0368】

また、タッチパネルの領域9632aとタッチパネルの領域9632bに対して同時にタッチ入力することもできる。

【0369】

50

また、表示モード切り替えスイッチ9034は、縦表示又は横表示などの表示の向きを切り替え、白黒表示やカラー表示の切り替えなどを選択できる。省電力モード切り替えスイッチ9036は、タブレット型端末に内蔵している光センサで検出される使用時の外光の光量に応じて表示の輝度を最適なものとすることができる。タブレット型端末は光センサだけでなく、ジャイロ、加速度センサ等の傾きを検出するセンサなどの他の検出装置を内蔵させてもよい。

【0370】

また、図34(A)では表示部9631bと表示部9631aの表示面積が同じ例を示しているが特に限定されず、一方のサイズともう一方のサイズが異なってもよく、表示の品質も異なってもよい。例えば一方が他方よりも高精細な表示を行える表示パネルとしてもよい。

10

【0371】

図34(B)は、閉じた状態であり、タブレット型端末は、筐体9630、太陽電池9633、充放電制御回路9634を有する。なお、図34(B)では充放電制御回路9634の一例としてバッテリー9635、DCDCコンバータ9636を有する構成について示している。

【0372】

なお、タブレット型端末は2つ折り可能なため、未使用時に筐体9630を閉じた状態にすることができる。従って、表示部9631a、表示部9631bを保護できるため、耐久性に優れ、長期使用の観点からも信頼性の優れたタブレット型端末を提供できる。

20

【0373】

また、この他にも図34(A)及び図34(B)に示したタブレット型端末は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報をタッチ入力操作又は編集するタッチ入力機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。

【0374】

タブレット型端末の表面に装着された太陽電池9633によって、電力をタッチパネル、表示部、又は映像信号処理部等に供給することができる。なお、太陽電池9633は、筐体9630の片面又は両面に設けることができ、バッテリー9635の充電を効率的に行う構成とすることができる。なおバッテリー9635としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

30

【0375】

また、図34(B)に示す充放電制御回路9634の構成、及び動作について図34(C)にブロック図を示し説明する。図34(C)には、太陽電池9633、バッテリー9635、DCDCコンバータ9636、コンバータ9637、スイッチSW1乃至SW3、表示部9631について示しており、バッテリー9635、DCDCコンバータ9636、コンバータ9637、スイッチSW1乃至SW3が、図34(B)に示す充放電制御回路9634に対応する箇所となる。

【0376】

まず、外光により太陽電池9633により発電がされる場合の動作の例について説明する。太陽電池で発電した電力は、バッテリー9635を充電するための電圧となるようDCDCコンバータ9636で昇圧又は降圧がなされる。そして、表示部9631の動作に太陽電池9633からの電力が用いられる際にはスイッチSW1をオンにし、コンバータ9637で表示部9631に必要な電圧に昇圧又は降圧をすることとなる。また、表示部9631での表示を行わない際には、SW1をオフにし、SW2をオンにしてバッテリー9635の充電を行う構成とすればよい。

40

【0377】

なお、太陽電池9633については、発電手段の一例として示したが、特に限定されず、圧電素子(ピエゾ素子)や熱電変換素子(ペルティエ素子)などの他の発電手段による

50

バッテリー 9 6 3 5 の充電を行う構成であってもよい。例えば、無線（非接触）で電力を送受信して充電する無接点電力伝送モジュールや、また他の充電手段を組み合わせる構成としてもよい。

【 0 3 7 8 】

なお、本実施の形態に示す構成などは、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【実施例 1】

【 0 3 7 9 】

本実施例では、実施の形態 2 を用いて液晶表示装置を作製した。当該液晶表示装置の仕様と表示画像について、説明する。

【 0 3 8 0 】

本実施例では、図 2 4 に示すように、ゲート絶縁膜 2 2 7 を 2 層とし、容量素子 2 4 5 の半導体膜 1 1 9 が窒化絶縁膜である絶縁膜 2 2 5 と接することで、容量素子の一方の電極である半導体膜 1 1 9 が n 型となる液晶表示装置を作製した。表 1 に液晶表示装置、信号線駆動回路、及び走査線駆動回路の仕様を示す。

【 0 3 8 1 】

【表 1】

液晶表示装置全体	
パネルサイズ	3.4 inch (portrait)
有効画素数	540(H) × RGB × 960(V) (qHD)
画素サイズ	0.026 mm(H) × 0.078 mm(V)
パネル外寸	52.2 mm(H) × 93.1 mm(V)
表示領域	41.15 mm(H) × 74.88 mm(V)
解像度	326 ppi
表示素子	LCD (TN mode)
カラー化方式	CF方式
開口率	60.00%
駆動周波数	60 Hz
映像信号形式	アナログ点順次
Gate Driver	内蔵
Source Driver	内蔵
VCOM	-15V以下
信号線駆動回路	
Video信号電圧	-5/5 V
クロック周波数	289.18 kHz
サンプリング期間	432 ns
信号電圧	-10/16 V
ビデオ分割	45点同時サンプリング
走査線駆動回路	
クロック周波数	14.46 kHz
信号電圧	-14/14 V

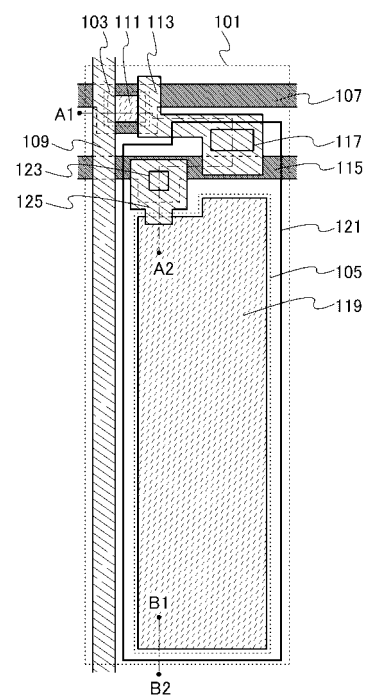
【 0 3 8 2 】

なお、信号線駆動回路及び走査線駆動回路に設けられるトランジスタは、画素部と同様に、保護絶縁膜上に導電膜が設けられていない構造である。

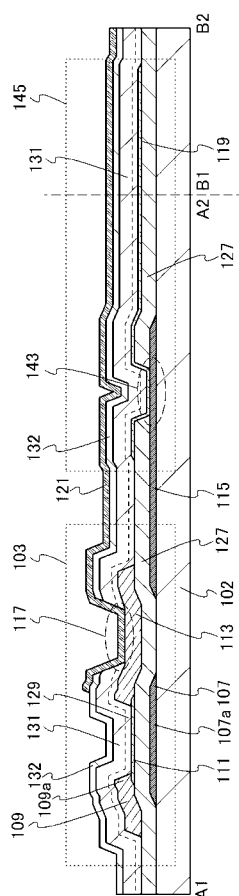
【 0 3 8 3 】

次に、図 4 5 に、本実施例で作製した液晶表示装置が表示した画像を撮影した図を示す。図 4 5 に示すように、本実施例で作製した液晶表示装置は、高画質な画像を表示するこ

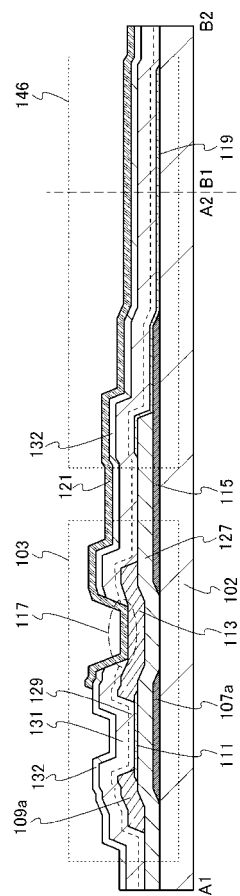
【 図 2 】



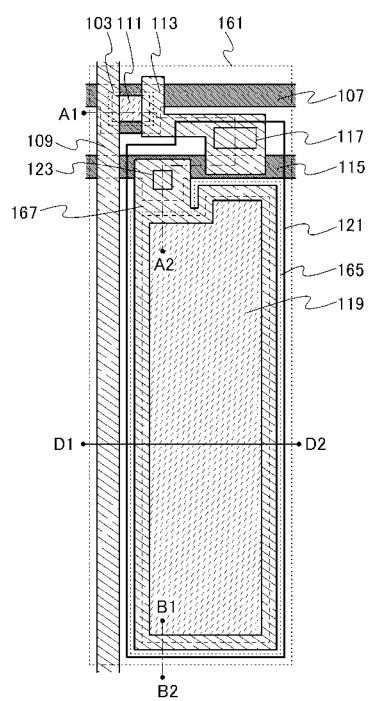
【図 7】



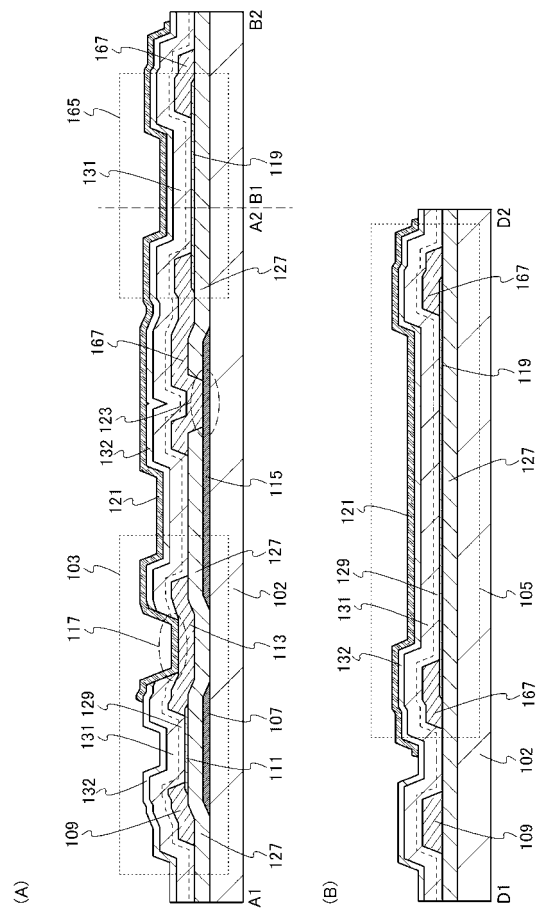
【图 8】



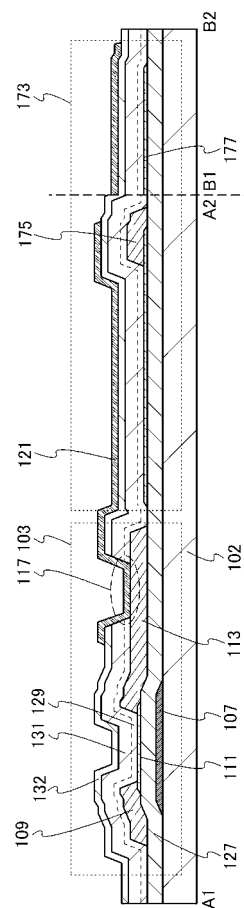
【图 9】



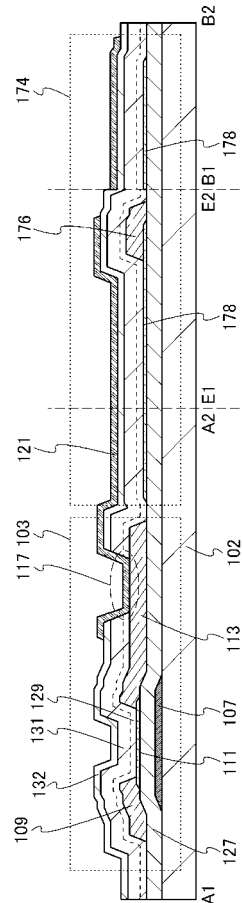
【図 10】



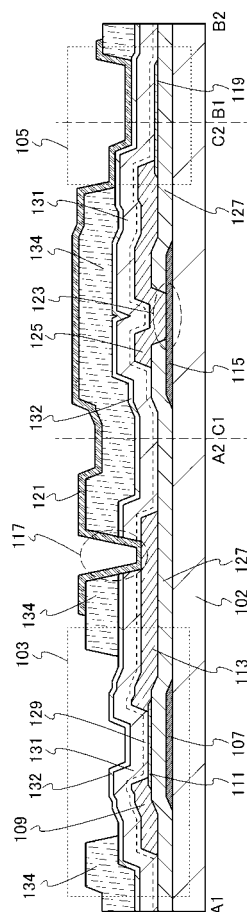
【图 1 2】



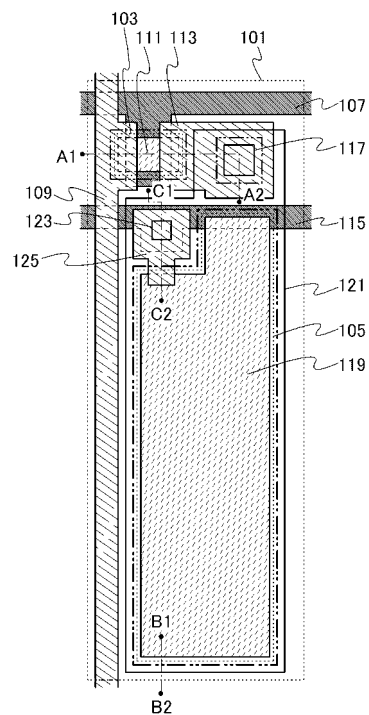
【 図 1 4 】



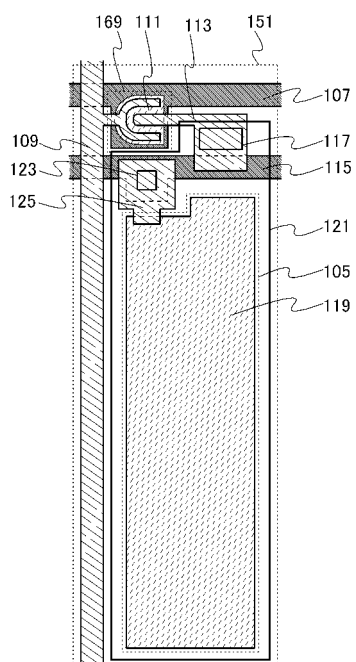
【图 15】



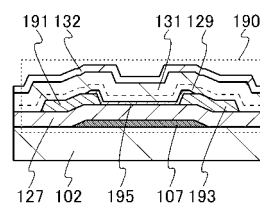
【図 16】



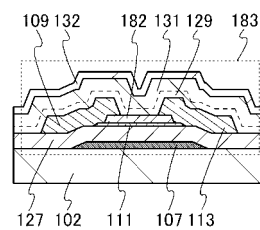
【图 17】



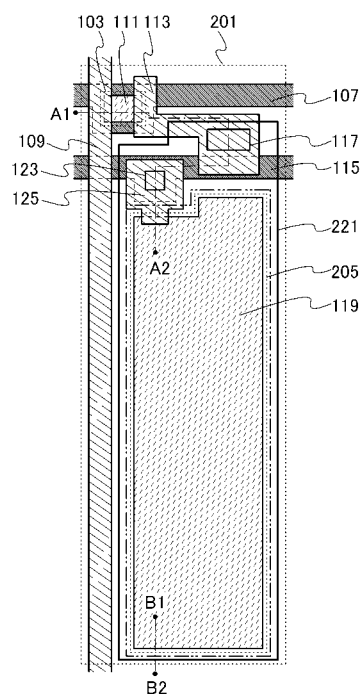
【図 18】



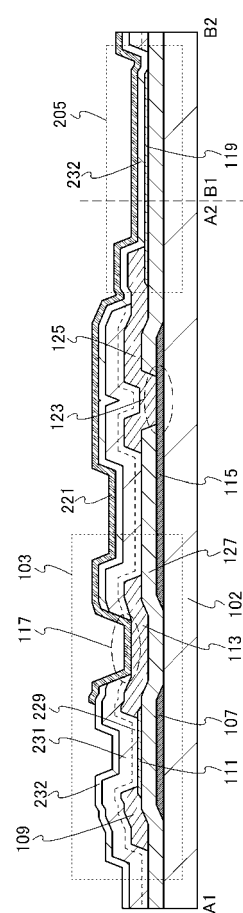
【図 19】



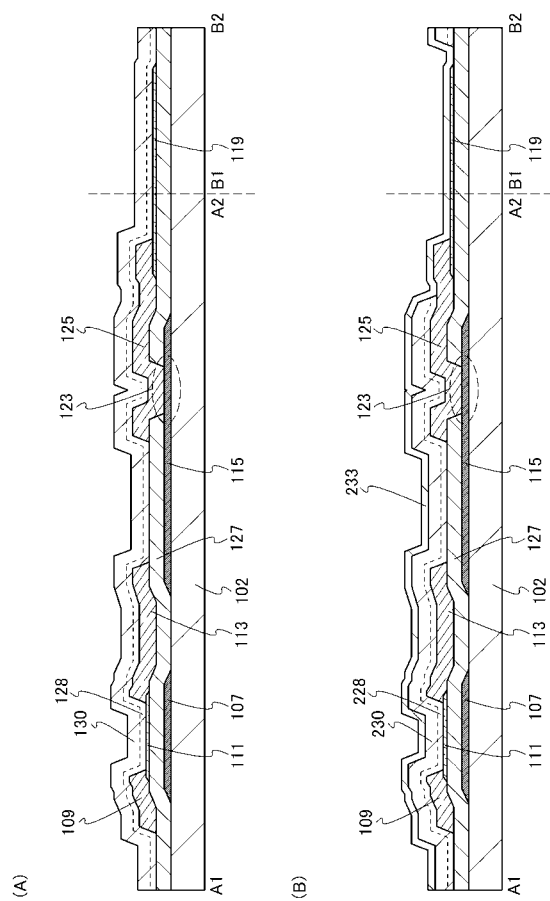
【図 20】



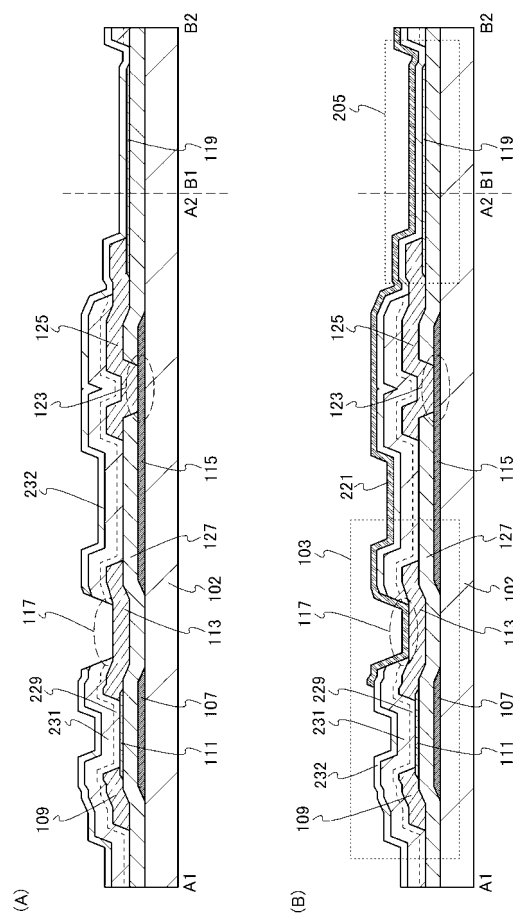
【図 2 1】



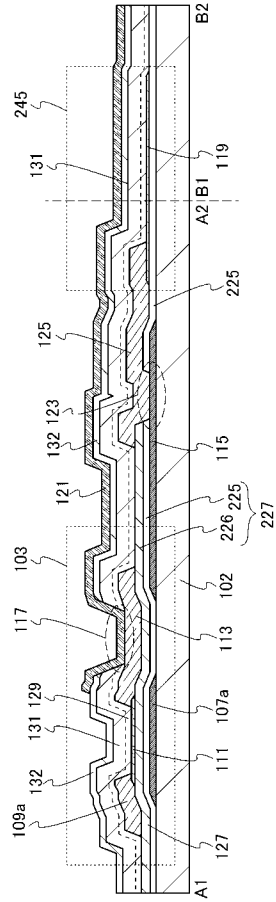
【图 2 2】



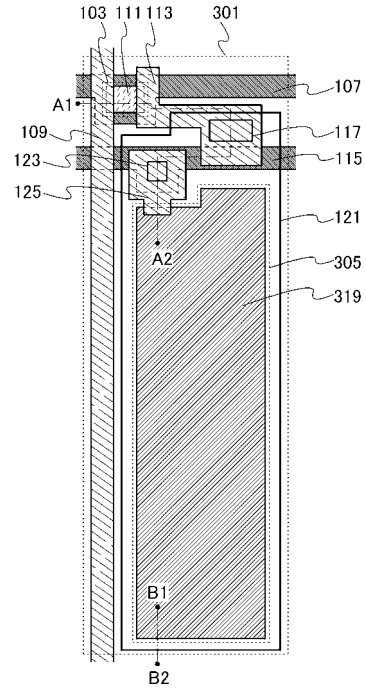
【図 2 3】



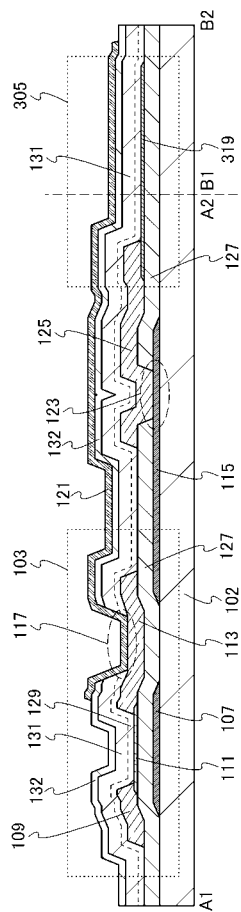
【図 24】



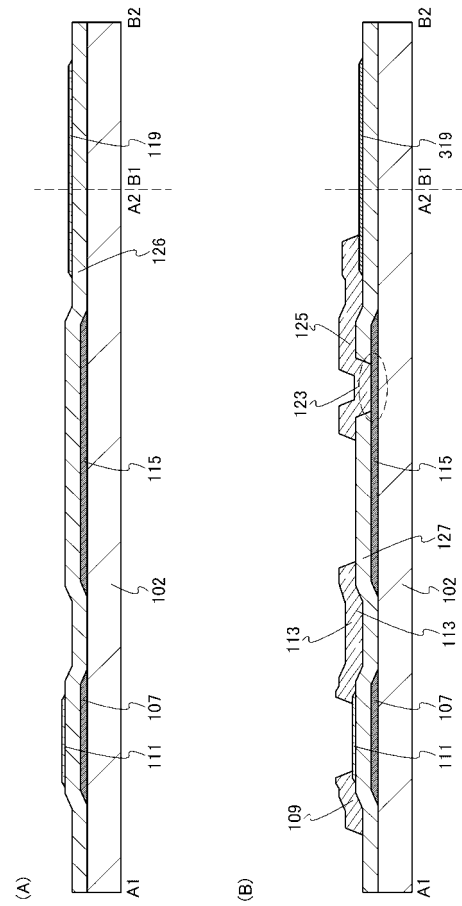
【図 25】



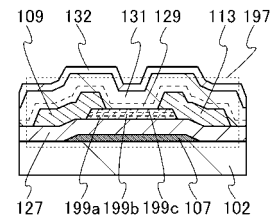
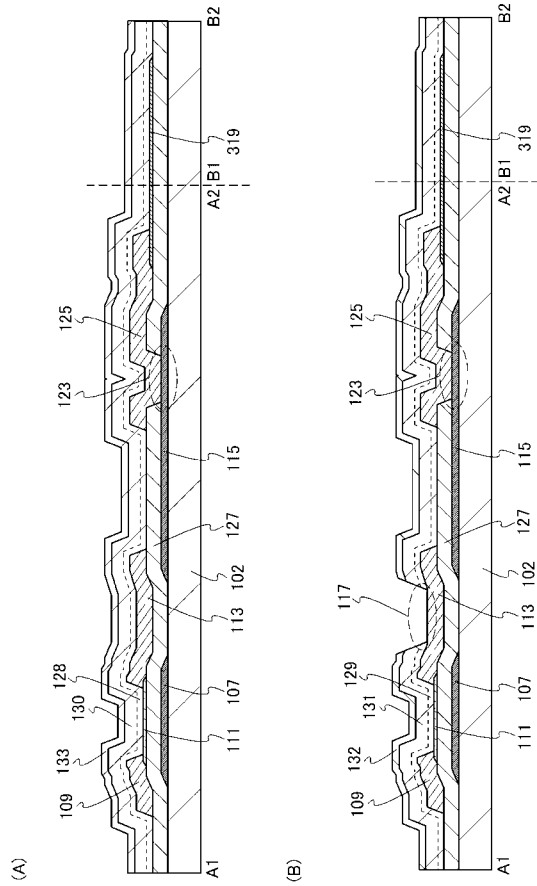
【図 26】



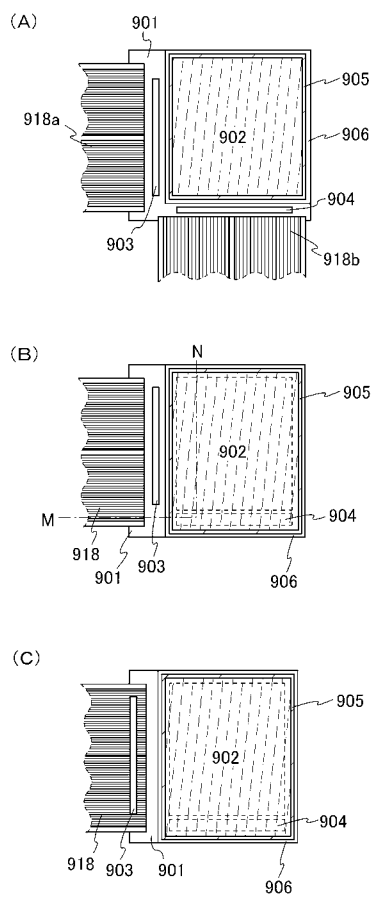
【図 27】



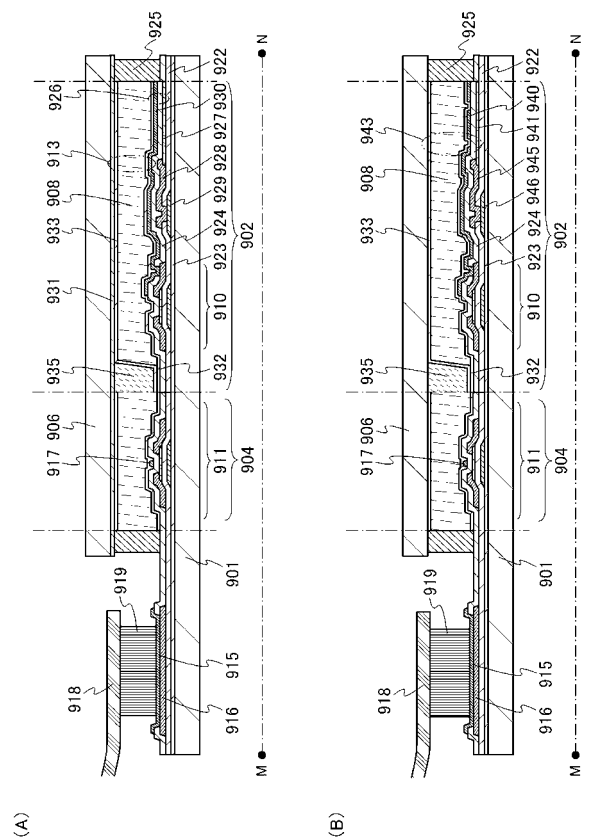
【图 29】



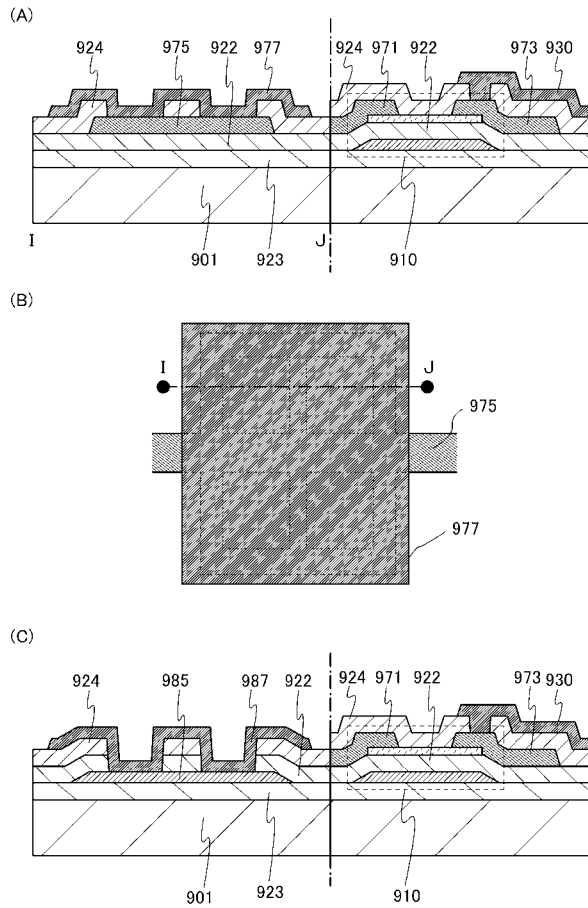
【図 30】



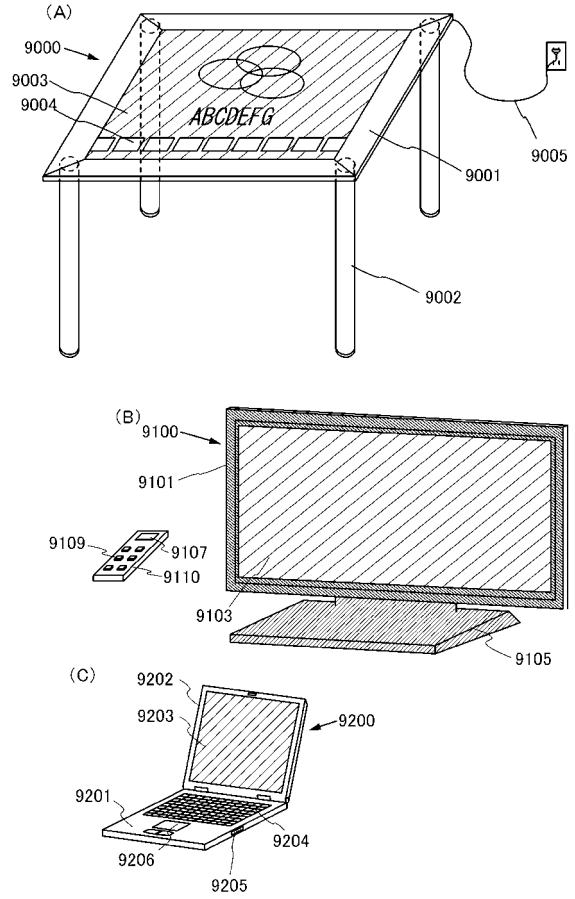
【 図 3 1 】



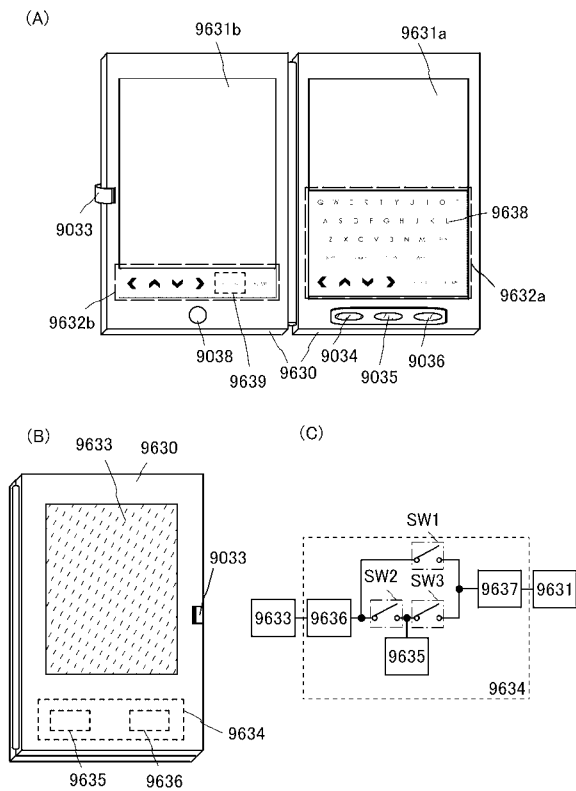
【図 3 2】



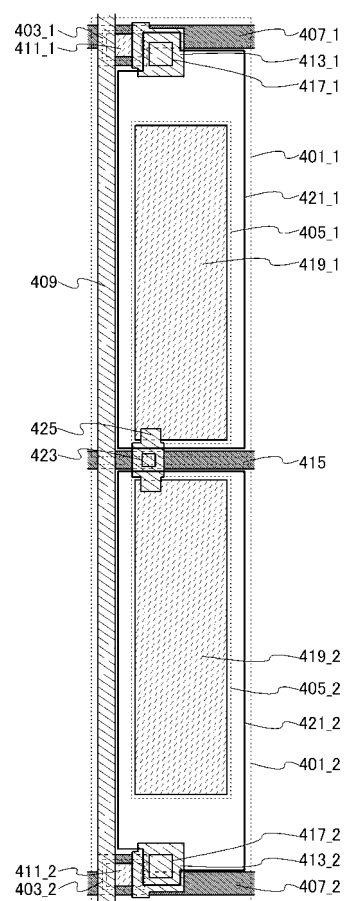
【図 3 3】



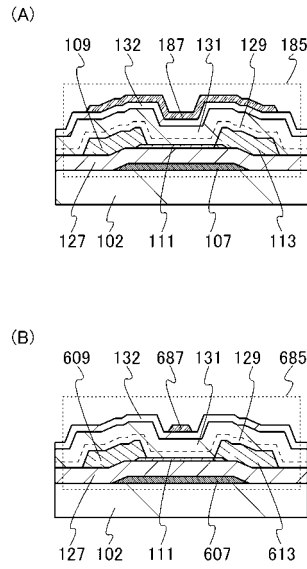
【図 3 4】



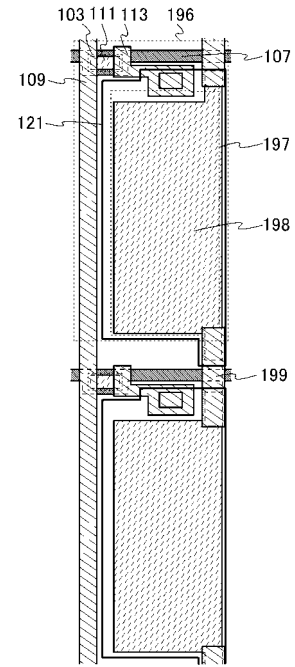
【図 3 5】



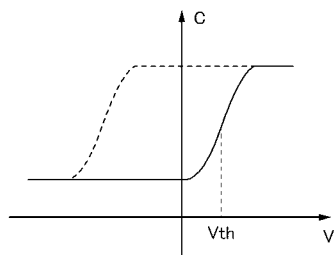
【図 36】



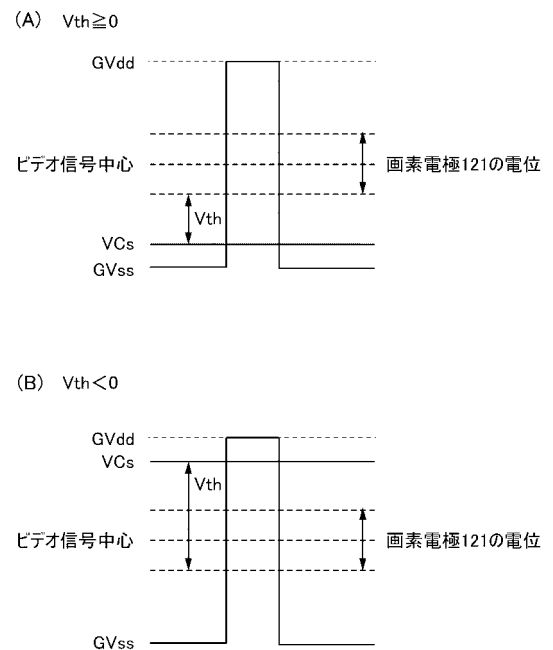
【図 37】



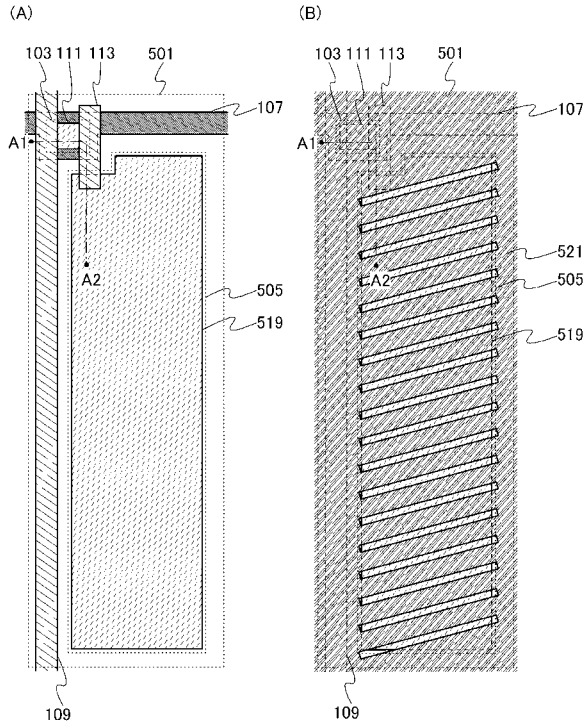
【図 38】



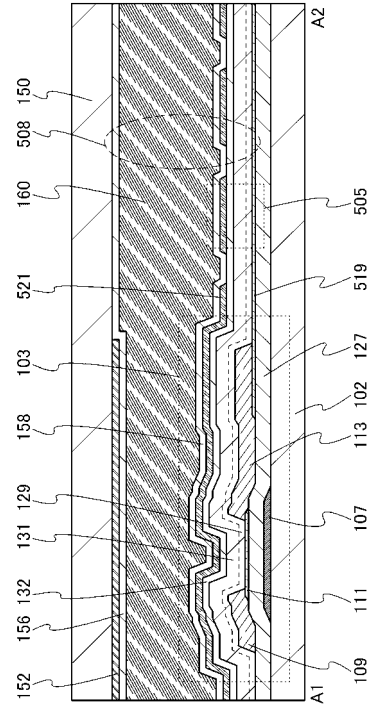
【図 39】



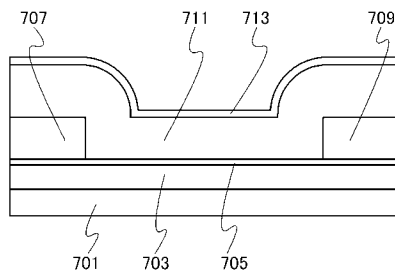
【図 40】



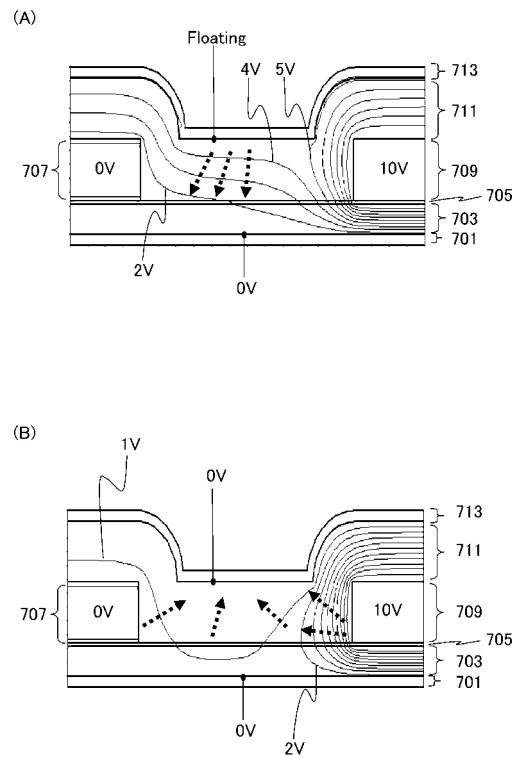
【図 41】



【図 42】

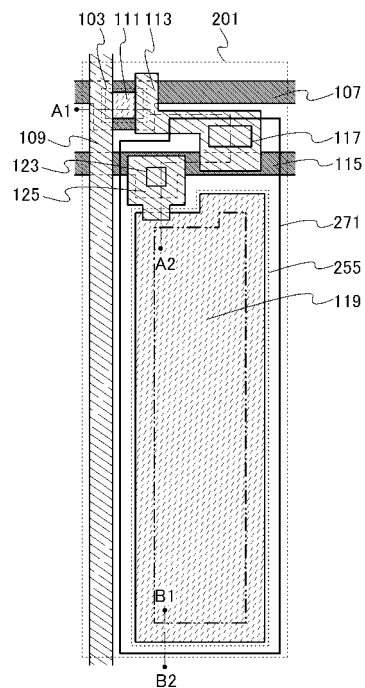


【図 43】

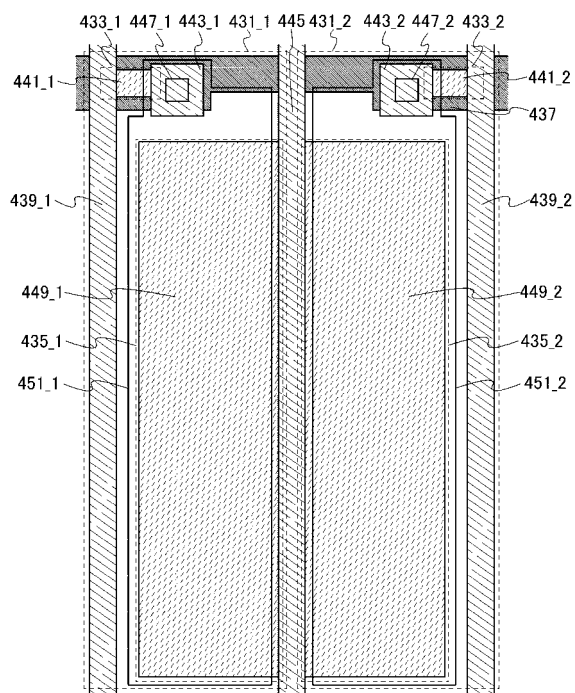
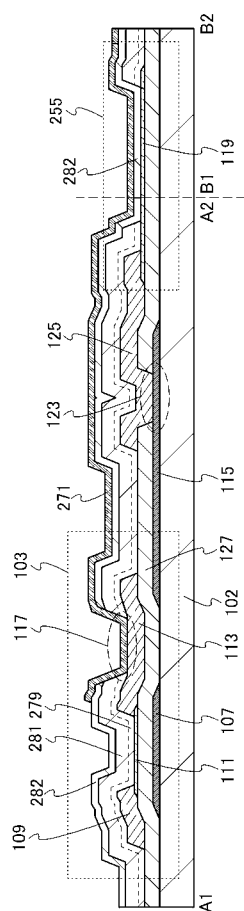


【图 4 6】

【图 4 6】



【図 48】



【図 45】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 L 29/78 6 1 3 Z
H 0 1 L 27/04 C

(72)発明者 松林 大介
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 村山 佳右
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム (参考) 2H192 AA24 BB12 BB73 CB05 CB37 DA32 DA44 JA32
5F038 AC04 AC05 AC15 AC16 AC17 DF08 EZ14 EZ15 EZ16 EZ20
5F110 AA02 AA06 AA08 BB01 CC03 CC07 DD01 DD02 DD03 DD04
DD05 DD06 DD12 DD13 DD14 DD15 DD24 EE01 EE02 EE03
EE04 EE06 EE07 EE11 EE14 EE15 EE30 EE42 EE43 EE44
EE45 FF01 FF02 FF03 FF04 FF05 FF09 FF28 FF29 GG01
GG06 GG12 GG13 GG15 GG25 GG28 GG29 GG33 GG34 GG42
GG43 GG58 HK21 HL07 NN02 NN03 NN04 NN05 NN12 NN22
NN23 NN24 NN27 NN28 NN33 NN34 NN35 NN36 NN40 NN71
NN72 PP01 PP02 PP10 PP13 PP35 QQ01 QQ06