



(12) 发明专利

(10) 授权公告号 CN 101199024 B

(45) 授权公告日 2010.09.01

(21) 申请号 200680009994.7  
 (22) 申请日 2006.03.29  
 (30) 优先权数据  
 60/667,043 2005.03.31 US  
 11/296,032 2005.12.06 US  
 11/295,755 2005.12.06 US  
 (85) PCT申请进入国家阶段日  
 2007.09.27  
 (86) PCT申请的申请数据  
 PCT/US2006/011651 2006.03.29  
 (87) PCT申请的公布数据  
 W02006/124122 EN 2006.11.23  
 (73) 专利权人 桑迪士克股份有限公司  
 地址 美国加利福尼亚州  
 (72) 发明人 东谷正昭  
 (74) 专利代理机构 北京律盟知识产权代理有限  
 责任公司 11287

代理人 刘国伟  
 (51) Int. Cl.  
 G11C 16/04 (2006.01)  
 G11C 16/16 (2006.01)  
 (56) 对比文件  
 US 2004/0145951 A1, 2004.07.29, 说明书第  
 28-32 段、说明书附图 2, 3.  
 US 2004/0155317 A1, 2004.08.12, 全文。  
 US 6452840 B1, 2002.09.17, 全文。  
 US 5576993 A, 1996.11.19, 全文。  
 US 6249459 B1, 2001.06.19, 全文。  
 审查员 李元

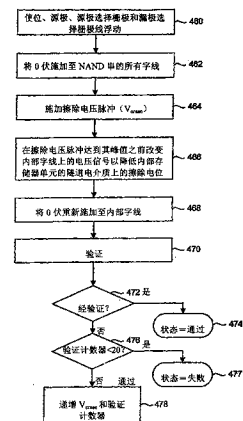
权利要求书 4 页 说明书 19 页 附图 15 页

(54) 发明名称

利用改变字线条件来补偿较慢擦除的存储器单元以擦除非易失性存储器

(57) 摘要

在擦除操作期间改变施加至非易失性存储器系统的存储器单元的电压条件,以使选择存储器单元与所述系统中当前正被擦除的其它存储器单元的擦除行为均衡化。所改变的条件可补偿 NAND 串内的电容性耦合电压。在偏置 NAND 串以进行擦除操作并开始施加擦除电压脉冲后,可使一个或一个以上内部存储器单元的字线浮动。通过使所选内部字线浮动,在耦合至其的单元的隧道电介质区域上所形成的峰值擦除电位从其正常电降低。因此,这些单元的擦除速率被减慢以大致匹配所述串中较慢擦除的末端存储器单元。可在不同的时间使不同的字线浮动以使不同存储器单元的擦除行为改变不同的量。



1. 一种擦除非易失性存储器的方法,其包括:

将第一电压信号施加至一组非易失性存储元件中的每一非易失性存储元件;

将擦除电压施加至所述组非易失性存储元件的阱区域;及

在开始将所述擦除电压施加至所述阱区域后,针对所述组的子组中的每一非易失性存储元件改变所述第一电压信号,在将所述擦除电压施加至所述阱区域时实施所述改变所述第一电压信号;

其中,针对所述子组中的每一非易失性存储元件改变所述第一电压信号包括使所述子组中的每一非易失性存储元件的控制栅极浮动。

2. 如权利要求 1 所述的方法,其中:

所述擦除电压是具有峰值的擦除电压脉冲;及

在所述擦除电压脉冲达到所述峰值之前实施所述使控制栅极浮动。

3. 如权利要求 2 所述的方法,其中:

所述施加第一电压信号包括将第一电压施加至所述组中的每一非易失性存储元件;及

所述改变所述第一电压信号进一步包括在使所述子组中的每一非易失性存储元件的所述控制栅极浮动后将所述第一电压重新施加至所述非易失性存储元件子组,所述重新施加是在所述擦除电压脉冲正被施加至所述阱区域时且在所述擦除电压脉冲达到所述峰值后开始。

4. 如权利要求 1 所述的方法,其中:

使所述控制栅极浮动包括不提供到达耦合至所述非易失性存储元件子组中的每一非易失性存储元件的字线的电连接。

5. 如权利要求 1 所述的方法,其中:

所述改变所述第一电压信号是由针对所述子组中的每一非易失性存储元件单一改变所述第一电压信号组成。

6. 如权利要求 1 所述的方法,其中:

所述非易失性存储元件子组为第一子组;

所述非易失性存储元件组包含第二子组,所述第二子组包括不在所述第一子组中的每一非易失性存储元件;

施加所述擦除电压和施加所述第一电压信号导致在所述第二子组中的每一非易失性存储元件的浮动栅极与所述阱区域之间存在第一电位;及

施加所述擦除电压、施加所述第一电压信号并针对所述第一子组中的每一非易失性存储元件改变所述第一电压信号导致在所述第一子组中的每一非易失性存储元件的浮动栅极与所述阱区域之间存在第二电位,所述第一电位大致等于所述第二电位。

7. 如权利要求 1 所述的方法,其中:

在施加所述擦除电压时,针对所述子组中的每一非易失性存储元件改变所述第一电压信号降低在所述子组中的每一非易失性存储元件的隧道区域上形成的峰值擦除电位。

8. 如权利要求 1 所述的方法,其中:

所述非易失性存储元件子组为第一子组;及

所述方法进一步包括在开始将所述擦除电压施加至所述阱区域后,针对所述非易失性存储元件组的第二子组中的每一非易失性存储元件改变所述第一电压信号。

9. 如权利要求 8 所述的方法, 其中:

所述组的所述非易失性存储元件串联地耦合在一起且包含毗邻于所述组的第一选择栅极的第一非易失性存储元件和毗邻于所述组的第二选择栅极的第二非易失性存储元件;

所述第一非易失性存储元件子组在所述第一和第二非易失性存储元件的内部;

所述第二非易失性存储元件子组在所述第一非易失性存储元件子组的内部;

在开始施加所述擦除电压后的第一时间实施所述针对所述第一子组中的每一非易失性存储元件改变所述第一电压信号;

在开始施加所述擦除电压后的第二时间实施所述针对所述第二子组中的每一非易失性存储元件改变所述第一电压信号; 及

所述第二时间在所述第一时间之前。

10. 如权利要求 9 所述的方法, 其中:

所述第一非易失性存储元件子组包含毗邻于所述第一非易失性存储元件的第三非易失性存储元件和毗邻于所述第二非易失性存储元件的第四非易失性存储元件。

11. 如权利要求 1 所述的方法, 其中:

所述改变所述第一电压信号是在开始将所述擦除电压施加至所述阱区域后的第一时间开始; 及

根据所述非易失性存储元件子组的擦除行为来选择所述第一时间。

12. 如权利要求 11 所述的方法, 其中:

通过对所述子组的所述擦除行为与参考非易失性存储元件的擦除行为进行比较来选择所述第一时间。

13. 如权利要求 1 所述的方法, 其中:

所述改变所述第一电压信号会增加所述子组中的每一非易失性存储元件的浮动栅极与所述阱区域之间的电容性耦合。

14. 如权利要求 1 所述的方法, 其进一步包括:

在将所述擦除电压施加至所述阱区域时, 从所述非易失性存储元件组中的每一非易失性存储元件的浮动栅极中转移电荷。

15. 如权利要求 1 所述的方法, 其中:

所述非易失性存储元件组为 NAND 串。

16. 如权利要求 1 所述的方法, 其中:

所述非易失性存储元件组为一组二进制快闪存储器装置。

17. 如权利要求 1 所述的方法, 其中:

所述非易失性存储元件组为一组多状态快闪存储器装置;

所述多状态快闪存储器装置组为多状态快闪存储器装置阵列的一部分;

所述阵列与主机系统通信; 及

所述阵列可从所述主机系统中拆除。

18. 一种非易失性存储器系统, 其包括:

一组具有阱区域的非易失性存储元件, 所述组包含第一和第二非易失性存储元件子组; 及

管理电路,其与所述非易失性存储元件组通信,所述管理电路接收擦除所述组的请求,所述管理电路响应于所述请求而将第一电压信号施加至所述组中的每一非易失性存储元件、将擦除电压施加至所述阱区域、且在开始施加所述擦除电压后针对所述第一子组中的每一非易失性存储元件来改变所述第一电压信号并同时针对所述第二子组中的每一非易失性存储元件来保持所述第一电压信号,所述管理电路在将所述擦除电压施加至所述阱区域时改变所述第一电压信号。

19. 如权利要求 18 所述的非易失性存储器系统,其中:

所述管理电路通过使所述第一子组中的每一非易失性存储元件的控制栅极浮动而针对所述第一子组中的每一非易失性存储元件来改变所述第一电压信号。

20. 如权利要求 19 所述的非易失性存储器系统,其中:

所述擦除电压是具有峰值的擦除电压脉冲;及

所述管理电路是在所述擦除电压脉冲达到所述峰值之前开始使所述第一子组中的每一非易失性存储元件的控制栅极浮动。

21. 如权利要求 20 所述的非易失性存储器系统,其中:

所述管理电路是通过将第一电压施加至所述组中的每一非易失性存储元件来施加所述第一电压信号;及

所述管理电路通过在使所述第一子组中的每一非易失性存储元件的所述控制栅极浮动后将所述第一电压重新施加至所述第一子组的非易失性存储元件来改变所述第一电压信号,所述重新施加是在所述擦除电压脉冲正被施加至所述阱区域时且在所述擦除电压脉冲达到所述峰值后开始。

22. 如权利要求 21 所述的非易失性存储器系统,其中:

所述管理电路通过不提供到达耦合至所述第一子组的每一非易失性存储元件的字线的电连接来使所述第一子组中的每一非易失性存储元件的控制栅极浮动。

23. 如权利要求 18 所述的非易失性存储器系统,其中:

所述管理电路通过针对所述第一子组中的每一非易失性存储元件单一改变所述第一电压信号来改变所述第一电压信号。

24. 如权利要求 18 所述的非易失性存储器系统,其中:

非易失性存储元件的所述组包括第三非易失性存储元件子组;且

所述管理电路在开始施加所述擦除电压后针对所述组的非易失性存储元件的所述第三子组中的每一非易失性存储元件来改变所述第一电压信号,所述管理电路在施加所述擦除电压时针对所述第三子组来改变所述第一电压信号。

25. 如权利要求 24 所述的非易失性存储器系统,其中:

所述组的所述非易失性存储元件串联地耦合在一起;所述第二子组包含毗邻于所述组的第一选择栅极的第一非易失性存储元件和毗邻于所述组的第二选择栅极的第二非易失性存储元件;

所述第一非易失性存储元件子组在所述第一和第二非易失性存储元件的内部;

所述第三非易失性存储元件子组在所述第一非易失性存储元件子组的内部;

所述管理电路在开始施加所述擦除电压后的第一时间针对所述第一子组中的每一非易失性存储元件来改变所述第一电压信号;

所述管理电路在开始施加所述擦除电压后的第二时间针对所述第三子组中的每一非易失性存储元件来改变所述第一电压信号 ; 及

所述第二时间在所述第一时间之前。

26. 如权利要求 25 所述的非易失性存储器系统, 其中 :

所述第一非易失性存储元件子组包含毗邻于所述第一非易失性存储元件的第三非易失性存储元件和毗邻于所述第二非易失性存储元件的第四非易失性存储元件。

27. 如权利要求 18 所述的非易失性存储器系统, 其中 :

所述非易失性存储元件组为 NAND 串。

28. 如权利要求 18 所述的非易失性存储器系统, 其中 :

所述非易失性存储元件组为一组多状态快闪存储器装置。

29. 如权利要求 18 所述的非易失性存储器系统, 其中 :

所述非易失性存储元件组为快闪存储器装置的 NAND 串 ;

所述快闪存储器装置组为快闪存储器装置阵列的一部分 ;

所述阵列与主机系统通信 ; 及

所述阵列可从所述主机系统中拆除。

## 利用改变字线条件来补偿较慢擦除的存储器单元以擦除非易失性存储器

[0001] 权利要求优先权

[0002] 本申请案主张由 Hemink 等人于 2005 年 3 月 31 日申请的标题为“NON-VOLATILE MEMORY ERASE OPERATIONS WITH OVER-ERASE PROTECTION”的第 60/667,043 号美国临时专利申请案的优先权,所述申请案以全文引用的方式并入本文中。

[0003] 相关申请案的交叉参考

[0004] 以下申请案在本文中加以交叉参考并以全文引用的方式并入本文中:

[0005] 由 Masaaki Higashitani 于 2005 年 12 月 6 日申请的标题为“SYSTEMS FOR ERASING NON-VOLATILE MEMORY UTILIZING CHANGING WORD LINE CONDITIONS TO COMPENSATE FOR SLOWER ERASING MEMORY CELLS”的第 11/296,032 号(档案号 SAND-01054US2)美国专利申请案;

[0006] 由 Wan 等人于 2004 年 12 月 29 日申请的标题为“WORD LINE COMPENSATION IN NONVOLATILE MEMORY ERASE OPERATIONS”的第 11/025,620 号(档案号 SAND-01023US0)美国专利申请案;

[0007] 由 Hemink 等人于 2005 年 12 月 6 日申请的标题为“ERASING NON-VOLATILE MEMORY USING INDIVIDUAL VERIFICATION AND ADDITIONAL ERASING OF SUBSETS OF MEMORY CELLS”的第 11/296,055 号(档案号 SAND-01066US0)美国专利申请案;

[0008] 由 Hemink 等人于 2005 年 12 月 6 日申请的标题为“SYSTEMS FOR ERASING NON-VOLATILE MEMORY USING INDIVIDUAL VERIFICATION AND ADDITIONAL ERASING OF SUBSETS OF MEMORY CELLS”的第 11/296,028 号(档案号 SAND-01066US1)美国专利申请案;

[0009] 由 Hemink 等人于 2005 年 12 月 6 日申请的标题为“SOFT PROGRAMMING NON-VOLATILE MEMORY UTILIZING INDIVIDUAL VERIFICATION AND ADDITIONAL SOFT PROGRAMMING OF SUBSETS OF MEMORY CELLS”的第 11/295,747 号(档案号 SAND-01066US2)美国专利申请案;及

[0010] 由 Hemink 等人于 2005 年 12 月 6 日申请的标题为“SYSTEMS FOR SOFT PROGRAMMING NONVOLATILE MEMORY UTILIZING INDIVIDUAL VERIFICATION AND ADDITIONAL SOFT PROGRAMMING OF SUBSETS OF MEMORY CELLS”的第 11/296,071 号(档案号 SAND-01066US3)美国专利申请案。

### 技术领域

[0011] 本发明一般而言涉及用于擦除非易失性存储器装置的半导体技术。

### 背景技术

[0012] 半导体存储器装置愈来愈普遍地用于各种电子装置中。举例而言,非易失性半导体存储器可用于蜂窝式电话、数字摄像机、个人数字助理、移动计算装置、非移动计算装置

和其它装置中。在非易失性半导体存储器当中,电可擦除可编程唯读存储器 (EEPROM) (包含快闪 EEPROM) 和电子可编程唯读存储器 (EPROM) 是最流行的。

[0013] 快闪存储器系统的一个实例使用 NAND 结构,其包含夹在两个选择栅极之间以串联形式布置的多个晶体管。所述串联晶体管及所述选择栅极称作 NAND 串。图 1 为显示一个 NAND 串的俯视图。图 2 为其等效电路。图 1 及 2 中所描绘的 NAND 串包含夹于第一选择栅极 120 与第二选择栅极 122 之间的四个串联晶体管 100、102、104 及 106。选择栅极 120 将 NAND 串连接至位线 126。选择栅极 122 将 NAND 串连接至源极线 128。通过经由选择线 SGD 给控制栅极 120CG 施加适宜的电压来控制选择栅极 120。通过经由选择线 SGS 给控制栅极 122CG 施加适宜的电压来控制选择栅极 122。每一晶体管 100、102、104 及 106 均包含控制栅极及浮动栅极,以形成存储器单元的栅极元件。举例而言,晶体管 100 具有控制栅极 100CG 及浮动栅极 100FG。晶体管 102 包含控制栅极 102CG 及浮动栅极 102FG。晶体管 104 包括控制栅极 104CG 及浮动栅极 104FG。晶体管 106 包含控制栅极 106CG 及浮动栅极 106FG。控制栅极 100CG 连接至字线 WL3,控制栅极 102CG 连接至字线 WL2,控制栅极 104CG 连接至字线 WL1,而控制栅极 106CG 连接至字线 WL0。

[0014] 注意,虽然图 1 和图 2 显示 NAND 串中的四个存储器单元,但提供四个晶体管的使用仅作为实例。NAND 串可具有少于四个存储器单元或多于四个存储器单元。举例而言,某些 NAND 串将包含八个存储器单元、16 个存储器单元、32 个存储器单元等。本文的论述并非局限于 NAND 串中的任何特定数量的存储器单元。

[0015] 使用 NAND 结构的快闪存储器系统的典型架构将包含数个 NAND 串。举例而言,图 3 显示具有更多 NAND 串的存储器阵列的 NAND 串 202、204 及 206。图 3 的每一 NAND 串包含两个选择晶体管及四个存储器单元。举例而言,NAND 串 202 包含选择晶体管 220 及 230 与存储器单元 222、224、226 及 228。NAND 串 204 包含选择晶体管 240 及 250 与存储器单元 242、244、246 及 248。每一串均是通过一个选择栅极(例如,选择栅极 230 及选择栅极 250)连接至源极线。使用选择线 SGS 控制源极侧的选择栅极。各种 NAND 串是通过选择线 SGD 所控制的选择栅极 220、240 而连接至相应的位线。于其它实施例中,选择线未必需要共用。字线 WL3 连接至存储器单元 222 及存储器单元 242 的控制栅极。字线 WL2 连接至存储器单元 224 及存储器单元 244 的控制栅极。字线 WL1 连接至存储器单元 226 及存储器单元 246 的控制栅极。字线 WL0 连接至存储器单元 228 及存储器单元 248 的控制栅极。由此可见,位线及相应的 NAND 串包括所述存储器单元阵列的列。字线 (WL3、WL2、WL1 及 WL0) 包括所述阵列的行。每一字线连接所述行中的每一存储器单元的控制栅极。举例而言,字线 WL2 连接至存储器单元 224、244 及 252 的控制栅极。

[0016] 每一存储器单元均可存储数据(模拟或数字)。当存储一个位的数字数据时,将存储器单元的可能的阈电压范围划分成两个范围,为这两个范围指派逻辑数据“1”及“0”。NAND 型快闪存储器的一个实例中,在擦除存储器单元之后阈电压为负并定义为逻辑“1”。在编程操作后的阈电压为正并定义为逻辑“0”。当阈电压为负并通过向控制栅极施加 0 伏来尝试读取时,存储器单元将导通以指示正存储逻辑 1。而当阈电压为正且通过向控制栅极施加 0 伏来尝试读取操作时,存储器单元将不会导通,此指示存储逻辑 0。存储器单元还可存储多个级的信息,举例而言,存储多个位的数字数据。于存储多个级数据的情况下,可能的阈电压范围被划分成数据级的数量。举例而言,如果存储四个级的信息,则将存在四个阈

电压范围,其被指派给数据值“11”、“10”、“01”及“00”。于 NAND 型存储器的一个实例中,在擦除操作之后阈电压为负并被定义为“11”。将不同的正阈电压用于为“10”、“01”、及“00”的状态。

[0017] 在下列美国专利/专利申请案中提供有 NAND 型快闪存储器及其运作的相关实例,全部所述美国专利/专利申请案均以引用的方式并入本文中:美国专利第 5,570,315 号;美国专利第 5,774,397 号;美国专利第 6,046,935 号;美国专利第 6,456,528 号;美国专利申请案第 09/893,277 号(公开号 US2003/0002348)。

[0018] 当编程快闪存储器单元时,将编程电压施加至控制栅极(通过所选的字线)并将位线接地。来自 p 阱的电子会注入浮动栅极内。当电子于浮动栅极中积累时,浮动栅极会变成带负电并使所述单元的阈电压升高。所述单元的浮动栅极电荷及阈电压可表示对应于所存储数据的特定状态。

[0019] 为擦除 NAND 型快闪存储器的存储器单元,将电子从每一存储器单元的浮动栅极转移至阱区域和衬底。通常,将一个或一个以上高电压(例如,~16 伏-20 伏)擦除脉冲施加至所述阱区域以将从每一存储器单元的浮动栅极离开的电子吸引至阱区域。将每一存储器单元的字线接地或供以 0 伏以在隧道氧化物区域上形成高电位来吸引电子。如果 NAND 串的每一存储器单元在施加擦除电压脉冲后未被擦除,则可增加脉冲的大小并将其重新施加至所述 NAND 串直至擦除每一存储器单元。

[0020] 使用现有技术的典型擦除操作可在 NAND 串中的存储器单元中间导致不同的擦除速率。某些存储器单元可针对快于或慢于其它存储器单元的擦除状态而达到目标阈电压电平。这可导致对较快擦除的存储器单元的过擦除,因为较快擦除的存储器单元将继续经受施加以充分擦除所述 NAND 串的较慢存储器单元的擦除电压。因此,不同的擦除速率可导致存储器单元或 NAND 串的循环寿命更短。典型的擦除操作还可在 NAND 串的存储器单元中间导致完全不同的阈电压。亦即,当与所述串或装置的其它存储器单元相比时,所述 NAND 串的一个或一个以上存储器单元可在施加一个或一个以上擦除电压脉冲后具有不同的阈电压。为克服这种影响,已使用软件编程以在擦除后调节一个或一个以上存储器单元的阈电压。举例而言,可将相对低的编程电压(比用于实际编程的低)施加至一个或一个以上存储器单元来提升其阈电压以缩小及/或提升全体经擦除存储器单元的阈电压分布。然而,软件编程可增加编程及擦除时间。此外,不同的擦除速率可导致存储器串的循环寿命更短。

[0021] 因此,需要一种可解决现有擦除技术中前述问题的非易失性存储器系统及相关的擦除技术。

## 发明内容

[0022] 大体而言,本发明涉及用于以为存储器单元提供更高效及一致性擦除的方式擦除存储器装置的技术。根据一个实施例,提供考虑到擦除操作期间 NAND 串的一个或一个以上存储器单元的个别特征及擦除行为的系统及方法。

[0023] 可在擦除操作期间改变施加至非易失性存储器系统的所选存储器单元的电压条件以均衡化所述系统中当前正被擦除的所选存储器单元与其它存储器单元的擦除行为。所改变的条件可补偿 NAND 串内的电容性耦合电压。例如,在针对擦除操作偏置 NAND 串并开始施加擦除电压脉冲后,可使一个或一个以上内部存储器单元的字线浮动。通过使所选内

部字线浮动,在与所选内部字线耦合的所述单元的隧道电介质区域上形成的峰值擦除电位从其正常电平降低。因此,这些单元的擦除速率被减慢以大致匹配所述串中较慢擦除的末端存储器单元。可使不同的字线在不同的时间处浮动以使不同存储器单元的擦除行为改变不同的量。可将 NAND 串的内部存储器单元细分成各种子组以改变所施加的电压条件。

[0024] 根据一个实施例,提供一种擦除非易失性存储器的方法,所述方法包含:将擦除电压施加至非易失性存储元件组的阱区域;并在开始施加所述擦除电压后,使所述非易失性存储元件组的子组中的每一非易失性存储元件的控制栅极浮动。使所述子组中的元件的控制栅极浮动是在施加所述擦除电压时开始。

[0025] 根据另一实施例,提供一种擦除非易失性存储器的方法,所述方法包含:将第一电压信号施加至所述非易失性存储元件组的每一非易失性存储元件;将擦除电压施加至所述非易失性存储元件组的阱区域;及在开始将所述擦除电压施加至所述阱区域后,针对所述组的子组中的每一非易失性存储元件来改变所述第一电压信号。改变所述第一电压信号是在将所述擦除电压施加至所述阱区域时实施。

[0026] 根据一个实施例,提供一种非易失性存储器系统,其包含:具有阱区域的非易失性存储元件组;及管理电路,其与所述非易失性存储元件组通信。所述管理电路接收擦除所述非易失性存储元件组的请求,并响应于所述请求将擦除电压施加至所述阱区域。在开始施加所述擦除电压后,所述管理电路使所述非易失性存储元件组的子组中的每一非易失性存储元件的控制栅极浮动。所述管理电路是在施加所述擦除电压时使所述控制栅极浮动。

[0027] 根据另一实施例,提供一种非易失性存储器系统,其包含:具有阱区域的非易失性存储元件组;及管理电路,其与所述非易失性存储元件组通信。所述组包含第一和第二非易失性存储元件子组。所述第一子组在所述第二子组内部。所述管理电路接收擦除所述组的请求并响应于所述请求,将第一电压信号施加至所述组的每一非易失性存储元件、将擦除电压施加至所述阱区域,且在开始施加所述擦除电压后,针对所述第一子组中的每一非易失性存储元件来改变所述第一电压信号。所述管理电路是在将所述擦除电压施加至所述阱区域时改变所述第一电压信号。

[0028] 通过审阅本发明的说明书、图式及权利要求书,可获得本发明的其它特征、方面及目的。

## 附图说明

[0029] 图 1 是 NAND 串的俯视图。

[0030] 图 2 是图 1 中所描绘的 NAND 串的等效电路图。

[0031] 图 3 是描绘三个 NAND 串的电路图。

[0032] 图 4 是其中可实施本发明各方面的非易失性存储器系统的一个实施例的方块图。

[0033] 图 5 图解说明存储器阵列的实例性组织。

[0034] 图 6 描绘根据本发明可施加至所选字线的实例性编程 / 验证电压信号。

[0035] 图 7 是用于实施编程操作的实例性流程图。

[0036] 图 8 描绘存储器单元群组的实例性阈分布。

[0037] 图 9 描绘存储两个位的数据的存储器单元群组的实例性阈分布。

[0038] 图 10 是描绘用于根据现有技术实施擦除操作的实例性偏置条件的表。

- [0039] 图 11 是描绘在理想的擦除操作期间 NAND 串的各部分处的电压的图表。
- [0040] 图 12 是描绘 NAND 串内各种电容性耦合电压的 NAND 串的剖面图。
- [0041] 图 13 是描绘在擦除操作期间 NAND 串的末端存储器单元的各种电压的图表。
- [0042] 图 14 描绘根据现有技术接收擦除电压脉冲后 NAND 串的选择存储器单元的实例性阈电压分布。
- [0043] 图 15 是根据所施加的擦除电压脉冲量值描绘 NAND 串的选择存储器单元的平均阈电压的图表。
- [0044] 图 16A 描绘根据一个实施例用于实施擦除操作的偏置条件的表。
- [0045] 图 16B 是描绘根据一个实施例在擦除操作期间 NAND 串的内部存储器单元的各种电压的图表。
- [0046] 图 17 是根据一个实施例用于擦除 NAND 串的流程圖。
- [0047] 图 18 是描绘根据一个实施例在被擦除后 NAND 串的选择存储器单元的实例性平均阈电压的图表。
- [0048] 图 19 是时序图,其描绘根据一个实施例在擦除操作期间施加至 NAND 串的各种信号及所得到的 NAND 串的存储器单元的浮动栅极电位。
- [0049] 图 20 是根据一个实施例用于在擦除操作期间改变存储器系统的所选字线上的电压信号的流程图。
- [0050] 图 21 是根据一个实施例的行控制器的方块图。
- [0051] 图 22 是描绘在一种情形中经浮动字线的电压的图表。
- [0052] 图 23 是描绘在另一种情形中字线经浮动随后重新连接至其的电压的图表。
- [0053] **具体实施方式**
- [0054] 图 4 是可用于实施本发明的快闪存储器系统的一个实施例的方块图。可使用其它系统和实施方案。存储器单元阵列 302 由列控制电路 304、行控制电路 306、c 源极控制电路 310 及 p 阱控制电路 308 控制。列控制电路 304 连接至存储器单元阵列 302 的位线,用于读取存储于所述存储器单元中的数据,用于在编程操作期间确定所述存储器单元的状态,及用于控制位线的电位电平以促进或禁止编程及擦除。行控制电路 306 连接至字线以选择所述字线中的一者,施加读取电压、施加与列控制电路 304 所控制的位线电位电平相组合的编程电压,及施加擦除电压。C 源极控制电路 310 控制连接至所述存储器单元的共用源极线(在图 5 中标记为“C 源极”)。P 阱控制电路 308 控制 p 阱电压。
- [0055] 存储于存储器单元中的数据被列控制电路 304 读出并经由数据输入/输出缓冲器 312 输出至外部 I/O 线。要存储于存储器单元中的编程数据则经由所述外部 I/O 线输入至数据输入/输出缓冲器 312,并转移至列控制电路 304。所述外部 I/O 线连接至控制器 318。
- [0056] 用于控制快闪存储器装置的命令数据输入至控制器 318。命令数据会将所请求的为何种操作通知快闪存储器。将输入命令转移至是控制电路 315 一部分的状态机 316。状态机 316 控制列控制电路 304、行控制电路 306、c 源极控制 310、p 阱控制电路 308 及数据输入/输出缓冲器 312。状态机 316 也可输出快闪存储器的状态数据,例如,READY/BUSY(准备好/忙)或 PASS/FAIL(通过/失败)。
- [0057] 控制器 318 连接至主机系统或可与其相连接,例如,个人计算机、数字摄像机、或个人数字助理等。所述控制器与主机通信来起始命令(例如)以将数据存储至存储器阵列

302 或从存储器阵列 302 读取数据, 及提供或接收此种数据。控制器 318 将此类命令转换成可由控制电路 315 一部分的命令电路 314 解译和执行的命令信号。命令电路 314 与状态机 316 通信。控制器 318 通常包含用于正写入至存储器阵列或从存储器阵列读取的用户数据的缓冲器存储器。

[0058] 一个实例性存储器系统包括一个集成电路, 所述集成电路包含控制器 318 及一个或一个以上集成电路芯片, 所述芯片各自包含存储器阵列及关联的控制、输入 / 输出及状态机电路。目前的趋势是将系统中的存储器阵列及控制器电路一同整合于一个或一个以上集成电路芯片上。存储器系统可作为主机系统的一部分嵌入, 或者可包含于以可抽换方式插入主机系统内的存储卡 (或其它封装) 中。此类卡可包含整个存储器系统 (例如, 包含控制器) 或仅包含具有关联外围电路的存储器阵列 (其中控制器或控制功能被嵌于主机中)。因此, 可将控制器嵌于主机中或包含于可抽换式存储器系统内。

[0059] 参看图 5, 其阐述存储器单元阵列 302 的实例性结构。作为一个实例, 阐述被分割成 1,024 个区块的 NAND 快闪 EEPROM。可同时擦除存储于每一区块中的数据。在一个实施例中, 区块是同时受到擦除的单元的最小单位。在每一区块中, 于这个实例中, 存在 8,512 个列。每一区块通常被划分成一定数量的可为编程单位的页。本发明也可涵盖用于编程的其它数据单位。在一个实施例中, 可将个别页划分成多个段, 且所述段可包含作为基本编程操作一次写入的最少数量的单元。在一个存储器单元行中通常存储一个或一个以上数据页。

[0060] 在图 5 中的实例的每一区块中, 均有 8,512 个列, 所述列被划分成偶数列和奇数列。位线被划分成偶数位线 (BLe) 和奇数位线 (BLo)。在奇数 / 偶数位线架构中, 沿共用字线并连接至奇数位线的存储器单元在一个时间处编程, 而沿共用字线并连接至偶数位线的存储器单元在另一时间处编程。图 5 显示四个存储器单元串联连接而形成 NAND 串。虽然图中显示每一 NAND 串中包含四个单元, 但也可使用多于或少于四个存储器单元 (例如, 16 个、32 个或其它数量)。NAND 串的一个终端经由第一选择晶体管或选择栅极 (其连接至选择栅极漏极线 SGD) 连接至对应的位线, 而另一终端经由第二选择晶体管 (其连接至选择栅极源极线 SGS) 连接至 c 源极。

[0061] 于其它实施例中, 不将位线划分成奇数和偶数位线。此类架构通常被称作全位线架构。在全位线架构中, 在读取和编程操作期间同时选择区块的所有位线。同时编程沿共用字线并连接至任一位线的存储器单元。

[0062] 在一个实施例的读取和编程操作期间, 同时选择 4,256 个存储器单元。所选存储器单元具有相同的字线 (例如, WL2-i) 及相同种类的位线 (例如, 偶数位线)。因此, 可同时读取或编程 532 个字节的数据。同时受到读取或编程的这些 532 个字节的数据形成逻辑页。因此, 在这个实例中, 一个区块可存储至少 8 个页。当每一存储器单元存储两个位的数据时 (例如, 多级单元), 一个区块存储 16 个页。也可配合实施例使用其它尺寸的区块和页。另外, 亦可使用不同于图 4 和 5 的架构来构建实施例。

[0063] 在读取和验证操作中, 所选区块的选择栅极被提升至一个或一个以上选择电压而所选区块的未选字线 (例如, WL0、WL1 和 WL3) 被提升至读取通过电压 (例如, 4.5 伏) 以使晶体管运作为通过门。所选区块的所选字线 (例如, WL2) 连接至参考电压, 所述参考电压的电平是针对每一读取和验证操作来加以规定, 以便确定所关注存储器单元的阈电压是在所述电平以上还是以下。举例而言, 在一个位存储器单元的读取操作中, 将所选字线 WL2 接

地,以检测阈电压是否高于 0 伏。在一个位存储器单元的验证操作中,举例而言,将所选字线 WL2 连接至 0.8 伏,以便验证随着编程的进行阈电压是否已达到 0.8 伏。在读取和验证期间,源极和 p 阱在零伏下。所选位线 (BL<sub>e</sub>) 预充电至例如 0.7 伏的电平。如果阈电压高于读取或验证电平,则所关注位线 (BL<sub>e</sub>) 的电位电平会因相关联的不导电存储器单元而维持高电平。另一方面,如果阈电压低于读取或验证电平,则所关注位线 (BL<sub>e</sub>) 的电位电平会因导电的存储器单元而降至例如低于 0.5 伏的低电平。存储器单元的状态由读出放大器来检测,所述读出放大器连接至位线并读出所得到的位线电压。是编程还是擦除存储器单元之间的区别取决于是否将净负电荷存储于浮动栅极中。举例而言,如果将负电荷存储于浮动栅极中,则阈电压变得更高且晶体管可处于增强操作模式中。

[0064] 当在一个实施例中编程存储器单元时,漏极和 p 阱接收 0 伏而控制栅极接收一系列具有增加量值的编程脉冲。在一个实施例中,所述系列中的脉冲量值介于从 12 伏至 24 伏的范围内。于其它实施例中,所述系列中的脉冲范围可不同,举例而言,具有高于 12 伏的开始电平。在编程存储器单元期间,在编程脉冲之间的周期中实施验证操作。亦即,在每一编程脉冲之间读取被并行编程的单元群组中每一单元的编程电平,以确定其是否达到或超出其正在编程至的验证电平。一种验证编程的方法是在特定比较点处测试导电情况。举例而言,于 NAND 单元中,通过将位线电压从 0 伏提升至 V<sub>dd</sub> (例如,2.5 伏) 来锁定经验证已充分编程的单元,以终止对那些单元的编程过程。在某些情况中,脉冲数量将受到限制 (例如,20 个脉冲),且如果最后一个脉冲未将既定存储器单元完全编程,则假定出现错误。于某些实施方案中,存储器单元是在编程之前被擦除 (以区块为单位或以其它单位)。

[0065] 图 6 根据一个实施例描绘编程电压信号。这个信号具有一组具有增加的量值的脉冲。所述脉冲的量值随每一脉冲增加预定步长大小。在一个包含存储多个位的数据的存储器单元的实施例中,实例性步长大小为 0.2 伏 (或 0.4 伏)。在每一编程脉冲之间为验证脉冲。图 6 的信号是假定四状态存储器单元,因此,其包含三个验证脉冲。举例而言,在编程脉冲 330 与 332 之间是三个连续验证脉冲。第一验证脉冲 334 描绘为在零伏验证电压电平下。第二验证脉冲 336 在第二验证电压电平下跟随第一验证脉冲。第三验证脉冲 338 在第三验证电压电平下跟随第二验证脉冲 336。能够以八种状态存储数据的多状态存储器单元可能需要在七个比较点处实施验证操作。因此,依续施加七个验证脉冲以在两个连续编程脉冲之间以七个验证电平实施七个验证操作。根据所述七个验证操作,所述系统可确定存储器单元的状态。一种用于减小验证时间负担的方法是使用 (例如) 以下美国专利申请案中所揭示的更高效的验证过程:2002 年 12 月 5 日申请的标题为“Smart Verify for Multi-State Memories”的第 10/314,05 系列号美国专利申请案;2005 年 10 月 27 日申请的标题为“Method for Programming of Multi-State Non-Volatile Memory Using Smart Verify”的第 \_\_\_\_\_ 系列号 [档案号 SAND-1051US1] 美国专利申请案;及 2005 年 10 月 27 日申请的标题为“Apparatus for Programming of Multi-State Non-Volatile Memory Using Smart Verify”的第 \_\_\_\_\_ 系列号 [档案号 SAND-1051US0] 美国专利申请案,所述专利申请案全部以全文引用的方式并入本文中。

[0066] 上述读取和验证操作是根据现有技术中已知的技术所实施。因此,所属领域的技术人员可改变所解释的诸多细节。

[0067] 图 7 是流程图,其阐述用于编程非易失性存储器的方法的一个实施例。在一种实

实施方案中,存储器单元是在编程之前被擦除(以区块为单位或以其它单位)并视需要加以软件编程。在图 7 的步骤 350 处,控制器 318 发出“数据载入”命令并将其输入至命令电路 314,以允许将数据输入至数据输入/输出缓冲器 312。输入数据被识别为命令且由状态机 316 通过输入至命令电路 304 的命令锁存信号(未图解说明)予以锁存。在步骤 352 处,将用于指定页地址的地址数据从控制器或主机输入至行控制器或解码器 306。输入数据被识别为页地址并通过状态机 316 予以锁存,而锁存是通过输入至命令电路 314 的地址锁存信号来实现。在步骤 354 处,将已定址页的编程数据页输入至数据输入/输出缓冲器 312 供用于编程。例如,在一个实施例中可输入 532 个字节的数据。所述数据被锁存于用于所选位线的适宜寄存器中。于某些实施例中,也可将所述数据锁存于用于所选位线的第二寄存器中以供验证操作使用。在步骤 356 处,所述控制器发出“编程”命令并将其输入至数据输入/输出缓冲器 312。所述命令由状态机 316 通过输入至命令电路 314 的命令锁存信号予以锁存。

[0068] 在由“编程”命令触发后,使用施加至适宜字线的图 6 的步进式脉冲将在步骤 354 中锁存的数据编程至由状态机 316 控制的所选存储器单元中。在步骤 358 处,将  $V_{pgm}$ (施加至所选字线的编程脉冲电压电平)初始化至开始脉冲(例如,12 伏),且将状态机 316 维持的编程计数器 PC 初始化为 0。在步骤 360 处,将第一  $V_{pgm}$  脉冲施加至所选字线。如果存储于特定数据锁存器中的逻辑“0”指示应编程对应的存储器单元,则将对应的位线接地。另一方面,如果存储于特定锁存器中的逻辑“1”指示对应的存储器单元应维持在其当前数据状态中,则将对应的位线连接至 Vdd 以禁止编程。

[0069] 在步骤 362 处,验证所选存储器单元的状态。如果经检测所选单元的目标阈电压已达到适宜电平,则将存储于对应数据锁存器中的数据改变至逻辑“1”。如果经检测阈电压尚未达到适宜电平,则不改变存储于对应数据锁存器中的数据。以这种方式,无需编程具有存储于其对应数据锁存器中的逻辑“1”的位线。当所用数据锁存器均存储逻辑“1”时,则状态机知道所有的所选单元均已编程。在步骤 364 处,检查所有数据锁存器是否正存储逻辑“1”。如果是如此,则编程过程完成且是成功的,因为所有所选存储器单元已编程至其目标状态并被验证。在步骤 366 处报告“通过”状态。

[0070] 如果在步骤 364 处确定并非所用的数据锁存器正存储逻辑“1”,则编程过程继续。在步骤 368 处,对照编程限制值检查编程计数器 PC。编程限制值的一个实例为 20,然而,可在各种实施方案中使用其它值。如果编程计数器 PC 不小于 20,则在步骤 369 处确定尚未成功编程的位数量是否等于或小于预定数量。如果未成功编程位的数量等于或小于所述预定数量,则将编程过程用旗标表示为通过并在步骤 371 处报告通过状态。可在读取过程期间使用错误修正来修正未成功编程的位。然而,如果未成功编程位的数量大于所述预定数量,则将编程过程用旗标表示为失败并在步骤 370 处报告失败状态。如果编程计数器 PC 小于 20,则  $V_{pgm}$  电平增加步长大小并在步骤 372 处递增编程计数器 PC。在步骤 372 后,所述过程循环回至步骤 360 以施加下一  $V_{pgm}$  脉冲。

[0071] 图 7 的流程图描绘单通编程方法,如可施加用于二进制存储的那样。在双通编程方法(如可施加用于多级存储的那样)中,举例而言,可在流程图的单个重复中使用多个编程或验证步骤。可针对编程操作的每一通过实施步骤 358-372。在第一通过中,可施加一个或一个以上编程脉冲且其结果经验证以确定单元是否处于适宜的中间状态。在第二通过

中,可施加一个或一个以上编程脉冲且其结果经验证以确定所述单元是否处于适宜的最终状态。

[0072] 在成功的编程过程结束时,存储器单元的阈电压应介于阈电压的一个或一个以上分布内(对于经编程的存储器单元而言)或介于阈电压的分布内(对于经擦除的存储器单元而言)。图8图解说明当每一存储器单元存储一个位的数据时存储器单元阵列的阈电压分布。图8显示用于经擦除存储器单元的阈电压的第一分布380和用于经编程存储器单元的阈电压的第二分布382。在一个实施例中,第一分布380中的阈电压电平为负且对应于逻辑“1”而第二分布382中的阈电压电平为正且对应于逻辑“0”。

[0073] 图9图解说明当每一存储器单元以四种物理状态存储两个位的数据时存储器单元阵列的实例性阈电压分布。分布384表示处于擦除状态(存储“11”)具有负阈电压电平的单元的阈电压分布。分布386表示处于第一编程状态存储“10”的单元的阈电压分布。分布388表示处于第二编程状态存储“00”的单元的阈电压分布。分布390表示处于第三编程状态存储“01”的单元的阈电压分布。在这个实例中,存储于单个存储器单元中的两个位的每一位来自不同的逻辑页。即,存储于每一存储器单元中的两个位的每一位携带不同的逻辑页地址。显示于方格中的位对应于下部页。显示于圆圈中的位对应于上部页。在一个实施例中,使用格雷码序列将逻辑状态指派至存储器单元的连续物理状态,以便如果浮动栅极的阈电压错误地移位至其最近的相邻阈电压状态范围,则仅影响一个位。为提供改善的可靠性,较佳使个别分布收紧(使分布变窄),因为分布变紧会使读取余量(毗邻状态阈分布之间的距离)变宽。

[0074] 当然,如果存储器以多于四种物理状态运作,则在存储器单元中所界定电压阈窗口内将存在与状态数量相等的阈电压分布数量。此外,虽然给分布或物理状态的每一者指派具体的位图案,但也可指派不同的位图案。

[0075] 通常,并行编程的单元沿字线交替。举例而言,图3图解说明沿一个字线WL2的更多数量单元中的三个存储器单元224、244及252。一个交替单元组(其包含单元224及252)从逻辑页0及1(“偶数页”)存储位,而另一交替单元组(其包含单元244)从逻辑页2及3(“奇数页”)存储位。

[0076] 在一个实施例中,通过在源极线及位线浮动的同时将p阱提升至擦除电压(例如,20伏)并将所选区块的字线接地或将0伏施加至所述字线来擦除存储器单元。图10描绘用于实施擦除操作的实例性偏置条件。由于电容性耦合,未选字线(例如,那些未选择且不想擦除区块中的字线)、位线、选择线及c源极也被提升至高的正电位(例如,20伏)。因此将强电场施加至所选区块的存储器单元的隧道氧化物层,且当浮动栅极的电子被发射至衬底时,擦除所选存储器单元的数据。当有充足的电子从浮动栅极转移至p阱区域时,所选单元的阈电压变为负。可对整个存储器阵列、所述阵列的一个或一个以上区块或所述单元的另一单位实施擦除。擦除电压信号 $V_{\text{erase}}$ 通常以一系列擦除电压脉冲的形式来施加,以便在每一脉冲中间实施擦除验证操作。如果在施加擦除电压脉冲后被擦除的单元单位并未被验证为已擦除,则可将另一擦除电压脉冲施加至p阱区域。在某些实施例中,擦除电压的峰值针对每一连续脉冲增加(例如,以1伏的增量从16伏增加至20伏)。

[0077] 图11是描绘在针对典型擦除操作施加单个擦除电压脉冲期间NAND串各部分处的电压的图表(例如,在图10的偏置条件下)。图11的实例图解说明理想的情况,如下文所

论述其中省略了栅极间的电容性电荷耦合。曲线 410 描绘接收擦除电压信号  $V_{\text{erase}}$  的 p 阱区域的电压。擦除电压脉冲导致 p 阱直线上升至 20 伏且随后降回至 0 伏。曲线 414 描绘所述串的存储器单元的控制栅极电压。曲线 412 和 413 分别描绘未编程和已编程存储器单元的浮动栅极电压。在施加擦除电压脉冲之前,浮动栅极电压取决于存储器单元的编程状态。例如,浮动栅极电压可在存储器单元处于第一编程状态(例如,图 9 中所示的状态 10)时约为 -1 伏,在存储器单元处于第二编程状态(例如,图 9 中所示的状态 00)时约为 -2 伏,在存储器单元处于未编程状态时约为 0 伏。控制栅极电压 414 在整个擦除操作期间保持在 0 伏,而浮动栅极电压 412 和 413 与 p 阱电压成比例地提升。浮动栅极是穿过隧道电介质区域电容性耦合至 p 阱。在许多 NAND 串实施方案中,存储器单元的浮动栅极与 p 阱区域之间的电容耦合比率约为 40-50%。因此,浮动栅极电压 412 以与 p 阱电压约为 0.5 : 1 的比率(当耦合比率为 50%时)提升至约为 10 伏的电压,而浮动栅极电压 413 提升至约 8 伏。以下为图 11 的图表中给出的所得到的擦除电位(在擦除电压脉冲开始时单元的浮动栅极与 p 阱区域之间的电位)。擦除电位等于 p 阱电压 ( $V_{\text{etass}} = 20$  伏) 与浮动栅极电压(例如,  $V_{\text{FG}} = 10$  伏) 之间的差。对于图 11 中所描绘的情形,擦除电位在针对未编程单元的第一擦除电压脉冲开始时约等于 10 伏(412),而针对具有开始浮动栅极电压 -2 伏的单元等于 12 伏(413)。应注意,擦除电位在实际擦除电压脉冲期间将随着电子从浮动栅极被转移至 p 阱而改变。因此,当 p 阱在擦除电压脉冲后返回至 0 伏时,浮动栅极电压将不同于施加擦除电压脉冲之前的电压。通常,浮动栅极电压将在第一擦除电压脉冲后变为负,以对应于存储器单元的负(经擦除)阈电压。

[0078] NAND 串内的实际电压电平将不同于针对图 11 理想情形所阐述的电压电平。由于相邻浮动栅极之间和选择栅极与相邻浮动栅极之间的电容性电荷耦合,因此 NAND 串的不同存储器单元可在施加相同擦除偏置条件下经历不同的擦除电位。

[0079] 图 12 提供包含 8 个存储器单元的 NAND 串的剖面图。虽然实施例是关于图 12 及 8 单元 NAND 结构所提供,但本发明并非局限于此而是可根据众多包含少于或多于 8 个存储器单元(例如,4、12、16 或更多个)的 NAND 结构来使用。如图 12 中所描绘,NAND 串的存储器单元形成于 p 阱区域 540 中。每一存储器单元(502、504、506、508、510、512、514 和 516)包含堆叠栅极结构,所述结构由控制栅极(502c、504c、506c、508c、510c、512c、514c 和 516c)及浮动栅极(502f、504f、506f、510f、512f、514f 和 516f)组成。所述浮动栅极形成于氧化物或其它电介复合物膜顶部上的 p 阱表面上。所述控制栅极在浮动栅极之上,其中氧化物或其它隔离电介层将控制栅极与浮动栅极分离。存储器单元的控制栅极连接至或形成字线 WL0、WL1、WL2、WL3、WL4、WL5、WL6 和 WL7。相邻单元之间共用 N+ 扩散区域 542,由此单元彼此串联连接以形成 NAND 串。所述 N+ 扩散区域形成所述单元中每一单元的源极及漏极。N+ 扩散区域 526 连接至 NAND 串的位线,而 N+ 扩散区域 528 连接至多个 NAND 串的共用源极线。选择栅极 520 和 522 由与存储器单元相同的结构所形成,然而,所述门区域电连接。

[0080] 由于电容性耦合,当在擦除操作期间将高擦除电压施加至 p 阱时,浮动选择栅极 522 及 520 被提升至高的正电位。施加至 p 阱的擦除电压或其某一部分从阱区域耦合至每一选择栅极。在许多 NAND 结构中,可预期约 90-100%的 p 阱电压耦合至每一选择栅极。因此,如果将 20 伏的擦除电压脉冲施加至 p 阱,则每一选择栅极上的电压将提升约 18 伏 -20 伏达到 18 伏 -20 伏的电压。于图 12 中,从 p 阱 540 至选择栅极 522 和 520 的耦合由箭头

530 来图解说明。虽然程度较低,但所述串的每一存储器单元也经历类似的耦合效应。存储器单元的 p 阱与浮动栅极之间的耦合通常约为 40-50%。每一浮动栅极也以约 50-60% 的耦合耦合至其对应的控制栅极。在较小程度内,每一浮动栅极耦合至相邻的浮动栅极和控制栅极。所有不同的耦合加起来为 100% 的总数。假定从 p 阱至浮动栅极为 50% 耦合,则每一存储器单元的浮动栅极电压在施加 20 伏的擦除电压脉冲下被提升约 10 伏。这个耦合效应通过箭头 532 来图解说明。耦合至每一存储器单元的浮动栅极的电压会影响在隧道氧化物层上形成的  $V_{\text{erase}}$  电位。例如,在擦除前向具有 0 伏浮动栅极电压的存储器单元的 p 阱施加 20 伏的擦除电压脉冲下,形成约为 10 伏 (20 伏 -10 伏) 的擦除电位。

[0081] 所述串的每一存储器单元将经历来自相邻存储器单元及 / 或晶体管的某种程度的电容性电荷耦合。这种耦合可影响单元的浮动栅极的电位且因此,所述单元的擦除电位。NAND 串的末端存储器单元 (例如,图 12 中的存储器单元 502 及 516), 亦即,连接至所述串的第一及最后字线 (末端字线) 且毗邻于所述串的选择栅极的末端存储器单元将经历来自相邻选择栅极的电容性电荷耦合。于图 12 中,从选择栅极 520 至存储器单元 520 的浮动栅极 502f 的这种电容性耦合由箭头 534 来描绘,而从选择栅极 522 至存储器单元 516 的浮动栅极 516f 的这种电容性耦合由箭头 538 来描绘。耦合至存储器单元 502 及 516 的电压将与相应选择栅极处的电压量成比例地降低存在于那些单元的隧道电介质区域 (例如,隧道氧化物) 上的电场。

[0082] 箭头 538 和 534 表示的耦合发生于两个方向上,这是因为在擦除操作期间,选择栅极也处于浮动状态。因此,存储器单元 516 和 502 的浮动栅极电压将对选择栅极 522 和 520 的电压造成某种影响。然而,从浮动栅极至选择栅极的耦合比从 p 阱至选择栅极的耦合小得多,且因此,选择栅极电压几乎完全由 p 阱电压确定。

[0083] 在许多 NAND 实施方案中,可期望从 NAND 串的选择栅极至末端存储器单元的浮动栅极的电容性耦合约为 2% 至 5% 的数量级。如果将 20 伏的擦除电压施加至 p 阱区域,则在 90% p 阱至选择栅极耦合的情况下每一选择栅极的电压将提升约 18 伏。接下来,由于从选择栅极至相邻浮动栅极的 2-5% 的耦合,因此相邻浮动栅极 (例如,516f 和 502f) 上的电压将提升约 0.4-1 伏。跨越所述串的末端存储器单元的隧道氧化物所得到的电压将约为 0.4 伏至 1 伏,其小于针对图 11 中所示的理想情况的电压。应注意,上述电容性耦合可变化,这主要取决于存储器单元和选择栅极的实体尺寸、存储器单元与选择栅极之间的间隔及在将所述组件构造为隧道电介质中所用材料的电介特性、控制栅极与浮动栅极之间的电介质及选择栅极与存储器单元之间的电介质。在某些情况下,例如,上述耦合可大于或小于上述 2-5% 的范围。

[0084] 除相邻浮动栅极之间的耦合外,另一因素是浮动栅极与相邻字线或控制栅极之间的耦合。这个耦合也为 2-5% 的数量级,但可取决于存储器单元的尺寸和形状而更小或更大。在某些情况下,特别是在选择栅极与相邻存储器单元之间的实体距离类似于两个内部存储器单元之间的距离时,从选择栅极至相邻浮动栅极的耦合将处在与来自相邻控制栅极 (字线) 和浮动栅极的耦合类似的范围内。在擦除操作期间,然而,当选择栅极与控制栅极和浮动栅极相比受到不同的偏置时,末端存储器单元的浮动栅极电压将高于内部存储器单元的浮动栅极电压且因此,用于末端存储器单元的擦除电位将较低,如后文中的阐述。

[0085] 图 13 描绘在图 10 偏置条件下针对擦除操作施加单个擦除电压脉冲期间,NAND 串

的典型末端存储器单元的 p 阱电压 420、浮动栅极电压 422 和控制栅极电压 424。假定浮动栅极电压在施加擦除电压脉冲之前为 0 伏。p 阱电压 420 从 0 伏提升至 20 伏的峰值，且随后降回至 0 伏。控制栅极电压 424 因连接至每一存储器单元的字线被供以 0 伏而保持在 0 伏。正如所有单元一样，末端存储器单元的浮动栅极在约 40-50% 的数量级上电容性耦合至 p 阱区域。当 p 阱区域电压增加至 20 伏时，这种电容性耦合导致浮动栅极电压在假定 50% 耦合时提升约 10 伏。末端存储器单元另外具有耦合至所述末端存储器单元的相邻选择栅极处的电压的一部分。因此，这些浮动栅极上的电压不仅将与电容性耦合至其的 p 阱电压成比例地增加，而且也将因来自选择栅极的 2-5% 耦合而增加。于图 13 中，假定来自选择栅极的耦合给浮动栅极电压添加额外的 1 伏。因此，与图 11 中描绘的理想情况的最大值 10 伏相比，浮动栅极电压 422 在擦除电压脉冲开始时提升至最大值 11 伏。以下图 13 的图表中给出了跨越末端存储器单元的隧道电介质区域的擦除电位。擦除电压脉冲开始时的擦除电位约为 9 伏，或约小于理想情况的 10 伏擦除电位 1 伏。如果浮动栅极电压在擦除电压脉冲之前已为 -2 伏，则与针对图 11 中所示具有 -2 伏开始浮动栅极电压的理想存储器单元的 12 伏对应擦除电位（曲线 413）相比，浮动栅极电压将提升至 9 伏，从而针对末端存储器单元产生约 11 伏的擦除电位。

[0086] 在本文中可将 NAND 串不毗邻于选择栅极的存储器单元（亦即，除 NAND 串的末端存储器单元外的所有存储器单元）称作所述串的内部存储器单元。于图 12 中，NAND 串的内部存储器单元为存储器单元 504、506、508、510、512 及 514。虽然内部存储器单元将经历来自相邻浮动栅极的将降低其擦除电位（将在后文中论述）的电容性耦合，但其程度小于对末端存储器单元的程度。因此，内部存储器单元将作出与先前所述的理想情况大致的行为且具有 10 伏的擦除电位（假定所述单元处于未编程状态，而浮动栅极电压在擦除电压脉冲之前约为 10 伏）。由于与内部存储器单元相比，跨越末端存储器单元的隧道氧化物层的电位较低，因此末端存储器单元将擦除得较慢且在施加一个或一个以上擦除电压脉冲后不能与内部存储器单元一样被深度擦除（将具有极少从其浮动栅极转移来的电子）。

[0087] 当浮动栅极上的电荷在预定电平（阈电压低于预定电平）以上时，NAND 串的存储器单元被验证为已擦除。由于耦合至末端存储器单元的浮动栅极的附加耦合，因此增加擦除操作的总时间以充分擦除这些末端存储器单元。举例而言，内部存储器单元可在施加 N 数量的擦除电压脉冲后被充分擦除，而 NAND 串的末端存储器单元可能直到施加 N+1 或更多擦除电压脉冲也未被充分擦除。

[0088] 图 14 描绘在施加单个擦除电压脉冲后存储器单元组的阈电压分布（类似于在多个擦除电压脉冲后将存在较低总  $V_T$  值的分布）。分布 430 描绘 NAND 串的内部存储器单元（例如，图 12 中连接至 WL1-WL6 的存储器单元）的阈电压分布。分布 432 描绘末端存储器单元（例如，图 12 中连接至 WL0 及 WL7 的末端存储器单元）的阈电压分布。如所图解说明，在仅施加一个擦除电压脉冲后，那些连接至内部字线的存储器单元比末端字线的存储器单元被擦除得更多。在某些 NAND 存储器装置实施方案中，内部存储器单元可预期比所示实例中的末端存储器单元擦除得深约 0.5-1 伏。内部存储器单元的平均阈电压低于末端字线的存储器单元，这是因为从那些存储器单元的浮动栅极所转移的电子数量多于连接至末端字线的存储器单元的电子数量。内部字线和末端字线两者的存储器单元通常比所需要的擦除得深。为保证在一定数量的写入 / 擦除循环后使用一个擦除电压脉冲来擦除所有或多数存

存储器单元,所选择的第一擦除电压脉冲的大小通常大于以一个脉冲擦除新近装置(尚未遭受许多写入/擦除循环)的所有单元所需要的。因此,新近存储器装置在遭受擦除操作后可具有如图 14 中所示的阈电压分布。

[0089] 图 15 是根据所施加的擦除电压信号描绘 NAND 串中存储器单元的平均阈电压的图表。在施加 16 伏擦除电压脉冲后,连接至 WL0 或 WL7 的存储器单元的平均阈电压几乎为 -1 伏。内部存储器单元(那些连接至 WL1-WL6 的存储器单元)的平均阈电压约为 -1.5 伏。在施加第二擦除电压脉冲后,WL0 及 WL7 的平均阈电压已降至约 -1.5 伏而连接至 WL1-WL6 的存储器单元的平均阈电压约为 -2.8 伏。在施加附加擦除电压脉冲后,内部存储器单元及末端存储器单元的平均阈电压之间的差增加。这种效应通过图 15 中的第三线(增量  $V_c$ )图解说明,图 15 描绘在每一擦除电压脉冲后内部存储器单元与末端存储器单元之间的平均阈电压的差。

[0090] 当在 NAND 串电平或更高电平下实施大量存储器单元的擦除验证(例如,对区块或串的其他单位)时,存储器单元之间的完全不同的擦除时间或行为可导致对某些存储器单元施加过度应力及过度擦除。举例而言,在试图充分擦除所述串的末端存储器单元时,NAND 串的内部存储器单元可能会被过度擦除。如先前所述,内部存储器单元将擦除得快于末端存储器单元。如果在 NAND 串电平下实施验证,则 NAND 串将在 p 阱处继续接收擦除电压脉冲直至所述串的每一存储器单元均受到擦除。因此,即使在低于末端存储器单元的擦除电压脉冲数量后仍可充分擦除内部存储器单元,所述内部存储器单元也将接收附加的擦除电压脉冲直至所述串的每一存储器单元被验证为已擦除。

[0091] 内部存储器单元上因过度擦除而被施加大于所需应力的应力。因末端存储器单元的较慢擦除时间而过度擦除内部存储器单元可降低内部存储器单元及整个非易失性存储器系统的寿命跨度。如现有技术中所了解,跨越晶体管的隧道氧化物层施加大的电位会使氧化物材料处于受力状态。跨越隧道氧化物层施加足够高的电位或大量时间施加较低电位可最终导致氧化物层断裂。

[0092] 存储器单元之间的完全不同的擦除行为还可因附加操作而导致增加的擦除操作时间,所述附加操作可经实施以在进行擦除后改变存储器单元的阈电压。当擦除快闪存储器单元时,目标是所有已擦除的单元均具有介于预定负阈电压范围内的负阈电压。然而,如所图解说明,擦除过程可导致某些单元具有低于所述预定范围的负阈电压。具有太低阈电压的存储器单元不可能随后适当编程或可导致其它单元不能适当编程(例如,因编程干扰出现的概率增加)。因此,经过度擦除的装置通常将遭受所谓软件编程。其阈电压明显低于所述预定范围内的值的存储器单元将接受少量的编程,以使阈电压提升至所述预定范围内。软件编程过程需要实施附加操作且因增加的擦除时间而降低存储器效能,这是因为软件编程通常被视为擦除操作的一部分。

[0093] 根据实施例,施加至 NAND 串的选择存储器单元的电压条件是在擦除操作期间将擦除电压施加至 p 阱区域后改变。通过改变选择存储器单元的电压条件,那些所选存储器单元可使其擦除行为经调节大致匹配所述 NAND 串的其他存储器单元的擦除行为。在一个实施例中,将 0 伏施加至 NAND 串的每一字线。然后,将擦除电压脉冲施加至 p 阱区域。在施加脉冲后,可改变内部存储器单元的电压条件以使其擦除得较慢。可改变所述条件以使内部存储器单元的擦除速率大致匹配末端存储器单元的擦除速率。在一个实施例中,针对

存储器单元而改变电压条件可包含使所述存储器单元所连接到的字线浮动以不提供到达其的电连接。

[0094] 图 16A 描绘根据一个实施例用于将选择存储器单元的擦除速率减慢至匹配 NAND 串中其它存储器单元的擦除速率的技术的偏置条件。图 16B 描绘在使用这些偏置条件施加单个擦除电压脉冲期间内部存储器单元的 p 阱电压 440、浮动栅极电压 446 和控制栅极电压 448。同样假定存储器单元的开始浮动栅极电压为 0 伏。所述末端存储器单元的电压将与图 13 中所示的相同。此时, NAND 串经偏置以开始擦除。p 阱电压 440 接着从 0 伏提升至 20 伏, 且随后降回至 0 伏。内部字线处在 0 伏下直到时间  $t_1$  以使控制栅极电压 446 保持在 0 伏直至时间  $t_1$ 。浮动栅极电压 448 从时间  $t_0$  至  $t_1$  提升至 9 伏 (假定 50% 耦合耦合至 p 阱), 进而在那个时间期间攀升至 18 伏。在时间  $t_1$  处, 在擦除脉冲及 p 阱达到其峰值电压之前, 通过使所述内部存储器单元连接至其的字线浮动来浮动内部存储器单元的控制栅极。在字线处于浮动状态的情况下, 控制栅极通过浮动栅极耦合至 p 阱的耦合变强。因而, 浮动栅极变得更多地电容性耦合至 p 阱区域。在字线处于浮动状态的情况下, 单元的控制栅极和浮动栅极将在约 100% 下电容性耦合至 p 阱。在时间  $t_1$  处, 内部存储器单元的每一者的浮动栅极电压将以与 p 阱电压成 1 : 1 比率地开始提升。当 p 阱电压从 18 伏增加另一 2 伏达到其峰值 20 伏时, 浮动栅极电压也将增加 2 伏达到 11 伏的值。一旦字线处于浮动状态, 控制栅极电压 448 将从 0 伏提升至 2 伏。因此, 通过在时间  $t_1$  处使字线浮动, 使内部存储器单元的浮动栅极比在典型操作中假如字线保持在 0 伏的情况下所实现的情况提升额外的 1 伏。

[0095] 如以下图 16 的图表所示, 跨越每一内部存储器单元的隧道电介质区域形成的擦除电位现在将等于末端存储器单元的擦除电位。所述擦除电位 (其等于所施加的 p 阱电压减去浮动栅极电压) 等于所施加的峰值 p 阱电压 20 伏与浮动栅极电压 11 伏之间的差。因此, NAND 串的每一存储器单元将具有跨越其隧道电介质区域所形成的一致电位 9 伏。对于具有不同开始状态的存储器单元, 效应将相同。例如, 具有 -1 伏开始浮动栅极电压的存储器单元将使其浮动栅极电压在时间  $t_1$  处提升至 8 伏, 且随后提升附加的 2 伏直到 p 阱电压达到其峰值的时间为止。这将形成 10 伏的擦除电位 (20 伏 - 10 伏), 这个擦除电位与针对具有 -1 伏开始浮动栅极电压的末端存储器单元所获得的擦除电位相同。

[0096] 于图 16A 和 16B 中, 每一内部字线在时间  $t_2$  处同样被供以 0 伏以减小 p 阱区域与浮动栅极之间的电容性耦合。控制栅极电压 448 将返回至 0 伏。同样地, 浮动栅极电压 446 现在将根据 50% 耦合比率而非 100% 耦合比率来追踪 p 阱电压的降低。在所有实施例中未必都需要在时间  $t_2$  处向内部字线重新施加 0 伏。在某些实施例中, 字线被同样施以 0 伏以使所述装置的列控制器内的任何晶体管处不存在高电压。在某些实施方案中, 未必需要如此。另外, 再次将 0 伏施加至字线的时间可因实施例而改变。关于重新施加 0 伏至内部字线的更多细节将针对图 21-23 来加以阐述。

[0097] 在一个实施例中, 改变内部字线的电压条件包含将正的补偿电压施加至内部字线以减慢内部存储器单元的擦除速率。在我们的实例中, 期望使内部存储器单元的擦除电位降低约 1 伏。这可通过向内部字线施加正电压来实现。在某些实施方案中, 在擦除期间向字线施加电压的约 50% 将耦合所连接单元的浮动栅极。因此, 如果向内部字线时间 2 伏的正补偿电压, 可使擦除电位减小约 1 伏。在另一实施例中, 末端字线可使其电压条件改变以

加快其擦除速率。在这种情况下,可向末端字线施加负的补偿电压。这个负电压的一部分将耦合至末端存储器单元的浮动栅极,因此增加其擦除电位和擦除速率。关于直接施加补偿电压的更多细节,请参见 2004 年 12 月 29 日申请的标题为“WORD LINE COMPENSATION IN NON-VOLATILE MEMORY ERASE OPERATIONS”的第 11/025,620 号美国专利申请案,所述申请案以全文引用的方式并入本文中。

[0098] 图 17 是根据一个实施例用于擦除 NAND 串的流程图中,其中选择存储器单元的电压条件是在操作期间改变以均衡化所述 NAND 串的那些单元与其它存储器单元的擦除行为。虽然将根据单个 NAND 串来阐述图 17,但所属领域的技术人员应了解,例如,可对多个 NAND 串并行实施所述流程图的操作,以擦除存储器单元的较大单位(例如,一个或一个以上区块)。在步骤 460 处,使 NAND 串的位、源极、源极选择栅极和漏极选择栅极浮动。在步骤 462 处,向 NAND 串的每一字线施加 0 伏。在步骤 464 处,向 NAND 串的 p 阱区域施加擦除电压脉冲。在步骤 466 处,改变施加至 NAND 串的内部字线的电压信号。所述信号是在擦除电压脉冲达到其峰值之前改变以降低所得到的擦除电位。步骤 466 可包含使内部存储器单元的字线浮动以使其浮动栅极可电容性耦合至 p 阱区域。使字线浮动会将这些单元的浮动栅极与 p 阱之间所形成的电位限制至当所述线处于浮动状态时其所在的电平。在步骤 468 处,将 0 伏重新施加至内部字线。如先前所述,步骤 468 未必在所用实施例中都需要。在步骤 470 处实施验证以确定 NAND 串是否已成功擦除。可根据实施例使用众多方法来验证擦除操作的结果。举例而言,可读取 NAND 串以确定所述串的每一存储器单元的阈电压低于规定值。在一个实施例中,这可包含将足以导通已擦除存储器单元的电压施加至每一存储器单元的栅极并沿(例如)从源极至位线的方向测试 NAND 串的导电性。关于擦除及擦除验证的更多细节可在标题为“COMPREHENSIVE ERASE VERIFICATION FOR NON-VOLATILE MEMORY”的第 10/857,245 号共同待决美国专利申请案中找到,所述申请案阐述了更综合的擦除验证技术并以全文引用的方式并入本文中。

[0099] 如果在步骤 472 处确定步骤 470 处的验证结果为成功,则在步骤 474 处报告 NAND 串的通过状态。然而,如果在步骤 472 处确定 NAND 串未充分擦除,则在步骤 476 处对照预定值检查验证计数器。如果验证计数器小于预定值(例如 20),则在步骤 478 处将擦除电压脉冲电平( $V_{\text{erase}}$ )递增预定值并使验证计数器增加 1。然后,流程图的操作继续至步骤 460 以向上设定 NAND 串以便施加具有增加的峰值的附加擦除电压脉冲。如果在步骤 476 处验证计数器大于预定数量,则在步骤 477 处报告所述 NAND 串的失败状态。

[0100] 图 18 是描绘当使用诸如图 16 和 17 中所描绘的改变的电压条件时,NAND 串(例如,于图 12 中所描绘的)的存储器单元的平均阈电压的图表。图 18 所描绘的实际值仅是实例性且未必对应于先前所论述的实例。所述图表是根据当内部字线处于浮动状态时的  $V_{\text{erase}}$  值(X 轴)来描绘阈电压(Y 轴)。字线 WL0 和 WL7 在每一种情形下均保持在 0 伏且因此无论内部存储器单元何时处于浮动状态均呈现接近恒定的电压。在施加擦除电压脉冲后,WL0 和 WL7 的存储器单元的平均阈电压约为 -1.5 伏。如果内部字线根本未处于浮动状态(或在  $V_{\text{erase}}$  达到其峰值 20 伏后浮动),则在施加单个擦除电压脉冲后内部存储器单元的平均阈电压约为 -2.6 伏。如果内部字线在  $V_{\text{erase}}$  为 19 伏时处于浮动状态(因此使内部存储器单元的擦除电位降低 0.5 伏),则 WL1-WL6 的存储器单元的平均阈电压在施加擦除电压脉冲后增加至约 -2 伏。WL1-WL6 的存储器单元的平均阈电压是通过使内部字线尽快浮动(亦即,

当  $V_{\text{erase}}$  较小时) 而继续增加。如果内部字线在  $V_{\text{erase}}$  等于 18 伏时处于浮动状态 (因此, 使擦除电位降低 1 伏), 则平均阈电压增加至约 -1.5 伏。这是 NAND 串的末端存储器单元的相同值。因此, 如果内部字线在  $V_{\text{erase}}$  等于 18 伏时处于浮动状态, 则其将在与 NAND 串的末端存储器单元约相同的速率下擦除。如果尽可能快地使内部字线浮动 (当  $V_{\text{erase}}$  甚至更小时), 则内部存储器单元将开始擦除得比末端存储器单元慢。

[0101] 以这种方式, 通过减慢内部存储器单元的擦除速率以符合 NAND 串的末端存储器单元的擦除速率来避免对内部存储器单元的过度擦除。这样做的效应是正规化或使 NAND 串的末端存储器单元与内部存储器单元的阈电压分布大致相等。应用图 16 和 17 中所阐明的浮动技术将有效地使内部存储器单元的经擦除阈电压分布沿正方向移位。例如, 图 14 的分布 430 将向右移位以大致匹配分布 432 的移位。除最小化或消除对选择存储器单元的过度擦除外, 应用这些技术还可最小化或消除对软件编程的需要。由于每一存储器单元的分布将因在擦除电压脉冲的一部分期间使字线浮动而受到正规化, 因此可能不需要软件编程选择存储器单元。这可降低时间以擦除且因此编程存储器系统。

[0102] 除或或者从 NAND 串的选择栅极电容性耦合至末端字线的电压外, 可考虑附加的电容性耦合电压以更精确地补偿从毗邻或相邻晶体管耦合的电压。图 12 通过箭头 536 图解说明 NAND 串中个别存储器单元的浮动栅极之间的附加电容性耦合效应。例如, WL0 和 WL1 上的相邻浮动栅极之间的耦合可为 2-5% 的数量级, 但可取决于存储器单元的尺寸和形状更小或更大。因此, 存在于存储器单元 516 的浮动栅极上的电压将影响存储器单元 514 的浮动栅极的电压且反之亦然。类似耦合效应将出现在连接至 WL2 的存储器单元 514 和 512 的浮动栅极之间, 依此类推。这种耦合存在于两个方向上, 如由箭头 536 上的双头所指示。这些耦合效应将可在各种电平下的 NAND 串的所有存储器单元中间看见, 但耦合影响将小于对末端存储器单元的影响, 这是因为相邻控制栅极和浮动栅极上的偏置电压不同于选择栅极上的偏置条件。在擦除电压脉冲存在期间, 每一浮动栅极的电压明显小于存在于选择栅极处的电压。因此, 每一浮动栅极中因个别存储器单元的浮动栅极之间的耦合而诱发的电压量将小于末端存储器单元的浮动栅极中因毗邻选择栅极的耦合而诱发的电压。然而, 可期望 NAND 串的每一存储器单元具有略不同的存在于其浮动栅极处的净电荷且因这种耦合而具有对应的不同擦除行为。

[0103] 根据一个实施例, NAND 串的内部存储器单元或字线被划分成多个由一个或一个以上存储器单元组成的子组。个别内部存储器单元子组将使施加至其的电压信号在不同时间处改变以进一步正规化这些存储器单元中每一者的擦除行为。存储器单元距选择栅极越远或换个样说, 存储器单元越靠里, 其受到来自相邻浮动栅极的电容性耦合电压的影响将越小。末端存储器单元将具有耦合至其的选择栅极处电压 ( $\sim V_{\text{erase}}$  峰值) 的约 2-5%。毗邻于末端存储器单元的单元将具有耦合至其的这个耦合电压的约 2-5%, 依此类推。当电容性耦合至存储器单元的浮动栅极的电荷量降低时, 所述单元的擦除速度增加。因此, 存储器单元越靠里, 其字线浮动得越快以将其擦除行为减慢至匹配具有最大正电荷耦合的末端存储器单元的擦除行为。

[0104] 图 19A-19I 根据一个实施例描绘用于在不同时间处使 NAND 串的内部字线浮动以将每一内部存储器单元的擦除行为正规化成匹配末端存储器单元擦除行为。图 19A 描绘 p 阱电压根据擦除电压  $V_{\text{erase}}$  从 0 伏提升至 20 伏。图 19B 和 19C 描绘施加至字线 WL0 和 WL7

的电压信号及所得到的连接至这些字线的存储器单元的浮动栅极电压。这些是末端存储器单元且在施加擦除电压脉冲期间其字线根本未被浮动。所施加的字线电压在整个操作期间保持在 0 伏。因此,如图 13 中所示,这些存储器单元中的每一者的浮动栅极电压提升至 11 伏。

[0105] 图 19D 和 19E 描绘施加至字线 WL1 和 WL6 的电压信号及所得到的连接至这些字线的存储器单元的浮动栅极电压。字线 WL1 和 WL6 分别近接毗邻于字线 WL0 和 WL7。在所有内部存储器单元中,WL1 和 WL6 处的存储器单元将在其浮动栅极处具有最大正电荷且因此,需要最小的补偿量以大致匹配末端存储器单元。因此,使 WL1 和 WL6 在擦除电压脉冲达到其峰值之后不久的时间  $t_3$  处浮动。例如,可使这些字线在 p 阱和  $V_{\text{erase}}$  处在 19 伏时浮动。如图 19E 中所示,这导致 WL1 和 WL6 处的存储器单元的浮动栅极电位提升至与 WL0 和 WL7 处的存储器单元相同的电平,亦即 11 伏。

[0106] 图 19F 和 19G 描绘施加至 WL2 和 WL5 的电压信号及所得到的连接至其的存储器单元的浮动栅极电压。由于这些字线在 WL2 和 WL6 的内部且在其存储器单元的浮动栅极处具有较少正电荷,因此需要尽早使其浮动以在较长的时间周期获得附加电容性耦合效应。使字线 WL2 和 WL5 在时间  $t_3$  之前的时间  $t_2$  处浮动。例如,时间  $t_2$  可对应于 p 阱和  $V_{\text{erase}}$  达到 18 伏的时间。如图 19G 中所示,这导致 WL2 和 WL5 处的存储器单元的浮动栅极电压从 0 伏攀升至 11 伏。通过使这些存储器单元的字线在时间  $t_2$  处浮动,可使其擦除行为匹配末端存储器单元的擦除行为。

[0107] 图 19H 和 19I 描绘施加至字线 WL3 和 WL4 的电压信号及所得到的连接至其的存储器单元的浮动栅极电压。WL3 和 WL4 是 NAND 串最靠里的字线。由于其距选择栅极最远,因此耦合至其浮动栅极电荷最少。由于这些存储器单元具有耦合至其浮动栅极的最小正电荷量,因此必须使其字线浮动甚至更长的时间周期以正规化其擦除行为与末端存储器单元的擦除行为。因此,使 WL3 和 WL4 在时间  $t_2$  和  $t_3$  之前的时间  $t_1$  处浮动。例如,时间  $t_1$  可对应于当 p 阱和  $V_{\text{erase}}$  达到 17 伏时的时间。通过使这些字线在时间  $t_1$  处浮动。所得到的 WL3 和 WL4 处的存储器单元的浮动栅极电压将从 0 伏提升至 11 伏以匹配末端存储器单元的浮动栅极电压。

[0108] 所属领域的技术人员将了解,对于任一既定 NAND 串实施方案,可根据所述实施方案的设计来选择时间  $t_1$ 、 $t_2$ 、 $t_3$  等。擦除电压和耦合效应将在不同实施方案中变化。因此,这些时间将因实施例而不同。然而,在每一种情况下,存储器单元越往里,应越快地使其对应字线浮动以正规化存储器单元的擦除行为与末端存储器单元的擦除行为。图 19A 至 19I 也描绘其中同样向每一字线施加 0 伏的时间  $t_4$ 、 $t_5$ 、 $t_6$ 。如先前所述,未必每一实施例中都需要向字线重新施加 0 伏。在当前情况下,在对应于允许其浮动的时间处将每一子组的字线重新连接至 0 伏。然而,在其它实施例中,可在同一时间处将所有内部存储器单元的每一字线重新连接至 0 伏或可在与图 19 中所描绘的不同时间处且以不同次序来重新连接所述字线。将在图 21-23 中阐述更多细节。

[0109] 图 20 是根据一个实施例的流程图,其中内部字线被划分成可使其在不同时间处浮动以更精确地正规化其擦除行为与末端存储器单元的擦除行为的子组。所属领域的技术人员将了解,图 20 中提供的实例仅出于实例性目的且其它实施例将包含具有更多或更少字线的 NAND 串并可对本文中的步骤进行其它配置。图 20 对应于图 17 的步骤 466 和 468。

步骤 480 至 484 对应于其中改变内部字线的电压信号的步骤 466, 步骤 486 至 490 对应于其中将内部字线重新连接至 0 伏的步骤 468。

[0110] 在步骤 480 处, 使最靠里的字线浮动。在这个实例中, 字线 WL3 和 WL4 是在时间  $t_1$  处浮动。在步骤 482 处, 使其次最靠里的字线浮动。在这个实例中, 字线 WL2 和 WL5 是在时间  $t_2$  处浮动。在步骤 484 处, 使接下来最靠里的字线浮动。可根据实施例实施各种替代方案。多于或少于 2 个字线可聚在一起组成为子组以使其字线在特定时间处浮动。例如, 字线 WL3、WL4、WL2 和 WL5 可聚在一起形成一个子组并在同一时间浮动。因此, 步骤 480 将包含使字线 WL2、WL3、WL4 和 WL5 都在时间  $t_1$  处浮动。在这个实例中, 步骤 482 不存在且在下一时间周期处, 使字线 WL1 和 WL6 浮动。类似地, 字线 WL2、WL5、WL1 和 WL6 可聚在一起形成群组。在 NAND 串中包含多于 8 个存储器单元的实施例中, 可将内部字线细分成众多分部。例如, 在具有字线 WL0 至 WL15 的 16 存储器单元 NAND 串中, 可将内部字线 (WL1-WL14) 细分成两个子组。第一子组可包含最靠里的字线 (例如, WL4-WL11), 而第二子组可包含较不靠里的字线 (WL1-WL3 和 WL12-WL14)。在这种情况下, WL4-WL11 将在第一时间处浮动, 而 WL1-WL3 和 WL12-WL14 将在稍后的第二时间处浮动。也可组成不同的子组。例如, 可在个别时间处使 14 个字线的每一者个别地浮动, 或可将字线成对地聚在一起形成群组 (例如, WL1-WL14、WL2-WL13 等) 且每一群组使其字线在特定时间处浮动。

[0111] 在步骤 486 (时间  $t_4$ ) 处, 将 WL1 和 WL6 重新连接至零伏。在步骤 488 (时间  $t_5$ ) 处, 将 WL2 和 WL5 重新连接至 0 伏且在步骤 490 (时间  $t_6$ ) 处, 将 WL3 和 WL4 重新连接至 0 伏。如先前所述, 未必在所有实施例中都需要步骤 486 至 490。此外, 将每一字线重新连接至零伏的时间可因实施例而改变。

[0112] 图 21 至 23 图解说明在允许字线浮动后将其重新连接至 0 伏。未必在所有实施例中都需要这种步骤。然而, 在某些实施方案中, 将字线重新连接至诸如 0 伏的电压可能是必需以避免损坏存储器系统内的晶体管。图 21 描绘行控制器 306 的一个实施例。行控制器 306 包含控制栅极驱动器 608 和三个字线开关栅极 602、604、606。图 21 仅描绘所述行控制器的一部分。可为所述系统的每一字线提供开关栅极。每一开关栅极 602、604 和 606 负责为要做各种操作的字线供应适宜的电压。例如, 通过将 0 伏从控制栅极驱动器供应至控制栅极驱动器线 (例如, 开关栅极 602 的 CGDn-2) 并以电压 VDD 来驱动开关栅极的栅极端 (以导通晶体管), 可将 0 伏施加于连接至所述开关栅极的对应字线上。如已根据实施例所阐述, 为使字线浮动, 控制栅极驱动器 608 可使开关栅极 (例如, CGDn-2) 的控制栅极驱动器线浮动。通过使控制栅极驱动器线浮动, 连接至对应开关栅极的字线也将浮动。

[0113] 如果在 p 阱电压降回至 0 伏时仍维持浮动条件, 则开关栅极晶体管 602、604 或 606 可受到损坏。图 22 描绘字线的字线电压, 所述字线在时间  $t_1$  处浮动且被允许在整个施加擦除电压脉冲期间继续浮动。当字线在时间  $t_1$  处浮动时, 其变成耦合至浮动栅极, 而所述浮动栅极极强烈地耦合至 p 阱区域。字线电压将因从允许字线浮动时 p 阱电压的增加而提升。如果允许字线在时间  $t_1$  处浮动, 则当 p 阱电压为 18 伏且此后 p 阱电压攀升至 20 伏时, 字线电压将提升至 2 伏。于图 22 中, 时间  $t_2$  是 p 阱电压开始从其 20 伏峰值降低的时间。由于字线是通过控制和浮动栅极耦合至 p 阱, 因此其电压将与 p 阱电压降低量成 1 : 1 比率降低。因此, 字线电压将从 2 伏降至 -18 伏。字线上的这种大负电压将可在开关栅极 602 的源极端处可见。如果 WL<sub>n-2</sub> 上存在极大的负电压, 则开关栅极 602 可开始泄漏电流, 从而导致对

开关栅极 602 的损坏。

[0114] 根据一个实施例,将在施加擦除电压脉冲期间浮动的字线重新连接至 0 伏以避免这种条件出现。图 23 图解说明这样一种实例。于图 23 中,字线在时间  $t_1$  处浮动。然而,字线是在时间  $t_3$  处重新连接至 0 伏。时间  $t_3$  可对应于擦除电压脉冲已从其 20 伏峰值降至 18 伏的时间。由于 2 伏的降低,因此字线电压将从 2 伏降至 0 伏。此时,将字线重新连接至 0 伏以使其在此后保持在 0 伏。因此,选择栅极 602 源极处的电压(例如)将保持在 0 伏且不损坏栅极。可将字线重新连接至 0 伏或另一电压。此外,时间未必必须对应于浮动时间,只要可避免高的负电压即可,可进行多种变化。

[0115] 在一个实施例中,字线开关栅极信号在整个施加擦除电压脉冲期间保持在 VDD。为将字线重新连接至 0 伏,控制栅极驱动器 608 将 0 伏供应至控制栅极驱动器线(例如,  $CGD_{n-2}$ )。以这种方式,将 0 伏提供于字线 WLN-2 上且在选择栅极处看不见损坏。在替代实施例中,控制栅极驱动器 608 可在控制栅极驱动器线上提供大于 VDD 的电压,而非允许控制栅极驱动器线浮动。如果控制栅极驱动器线电压大于开关栅极信号提供的电压,则这也将导致字线浮动。在再一实施例中,行控制器 306 可包含用于每一选择栅极的个别字线开关栅极信号。在这样一种实施例中,可通过控制栅极驱动器 608 在控制栅极驱动器线上提供 0 伏来向字线供应 0 伏且字线开关栅极信号提供等于 VDD 的电压。这将导致连接至开关栅极的字线处在 0 伏。在这样一种实施例中,不必使控制栅极驱动器线浮动或向其提供大于 VDD 的电压。通过将 0 伏供应至选择栅极的栅极,迫使字线浮动。此后,为将字线重新连接至 0 伏,可以 VDD 再次驱动开关栅极以导通选择栅极晶体管并将 0 伏提供至字线。

[0116] 上述实例是针对 NAND 型快闪存储器而提供。然而,本发明的原理也适用于使用串联结构的其它类型的非易失性存储器,包括那些当前存在的非易失性存储器及那些设想使用正开发的新技术的非易失性存储器。

[0117] 出于例示及说明目的,上文已提供了对本发明的详细说明。本文不意欲包罗无遗或将本发明限制于所揭示的精确形式。根据上文的教示也可作出许多种修改及改变。所述各实施例的选择旨在最佳地解释本发明的原理及其实际应用,藉以使其他所属领域的技术人员能够以适合于所构想特定应用的各种实施例形式及使用各种修改来最佳地利用本发明。本发明的范畴打算由随附权利要求书来界定。

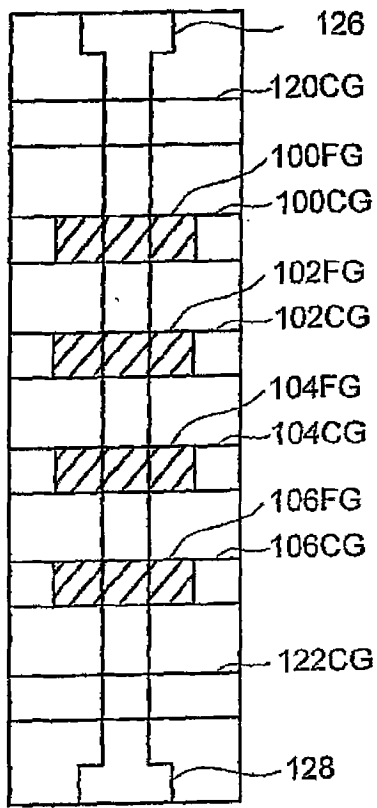


图 1

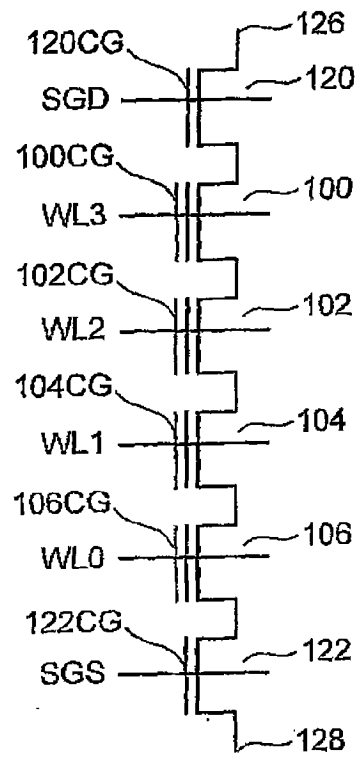


图 2

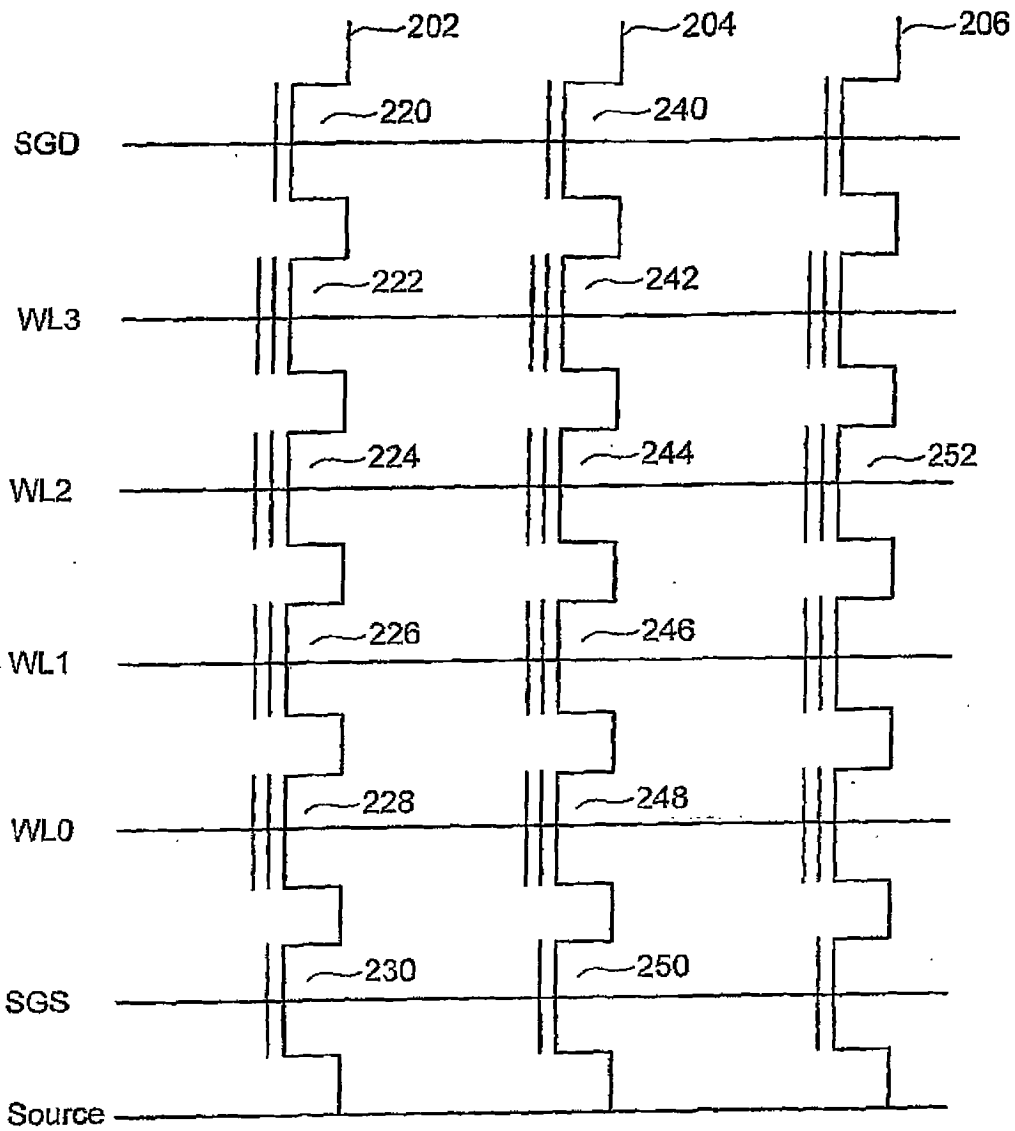


图 3

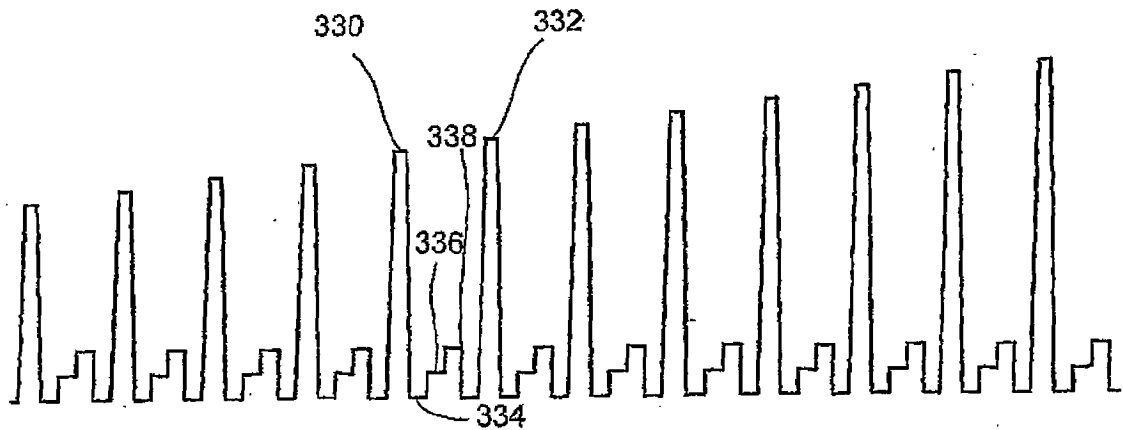


图 6

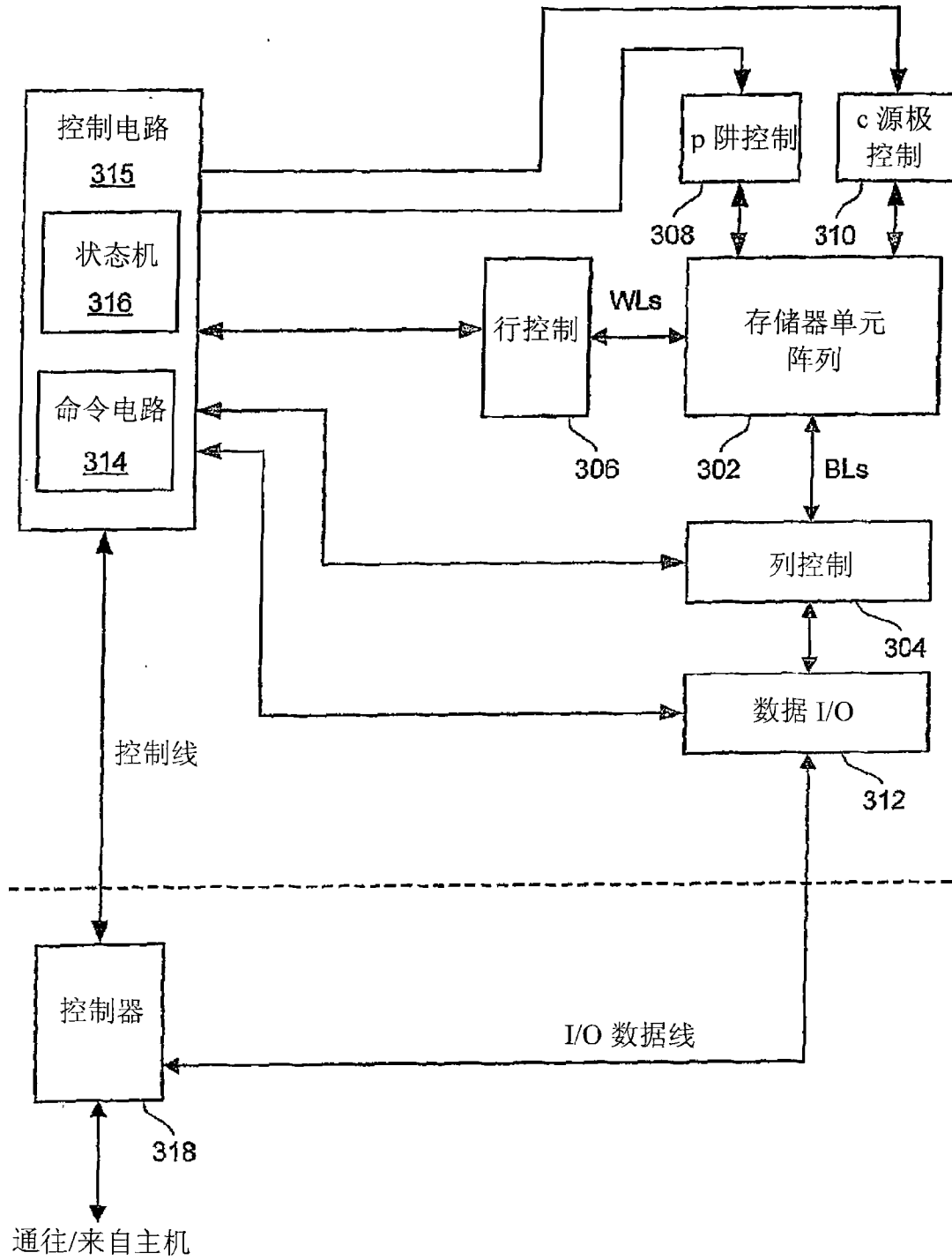


图 4

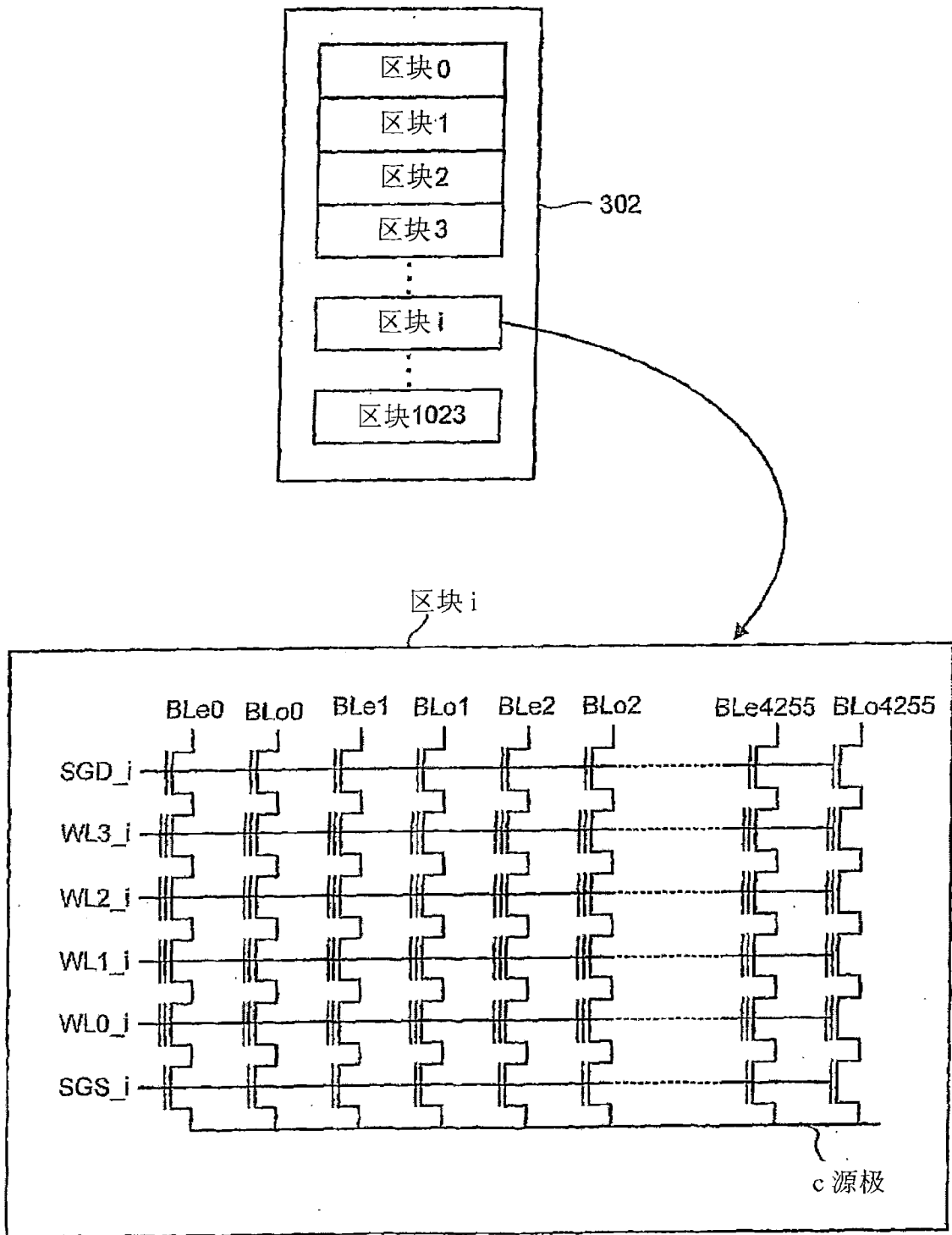


图 5

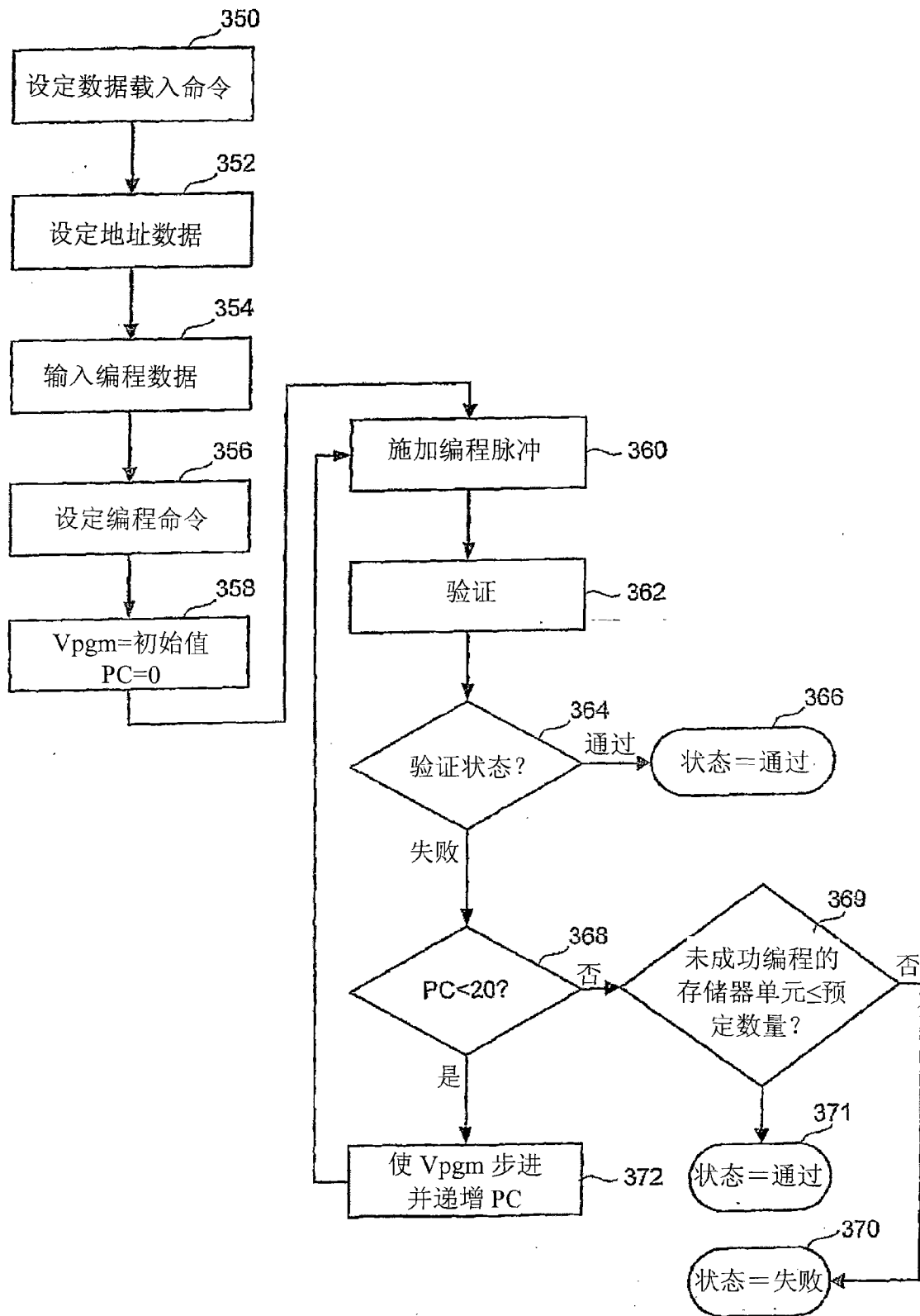


图 7

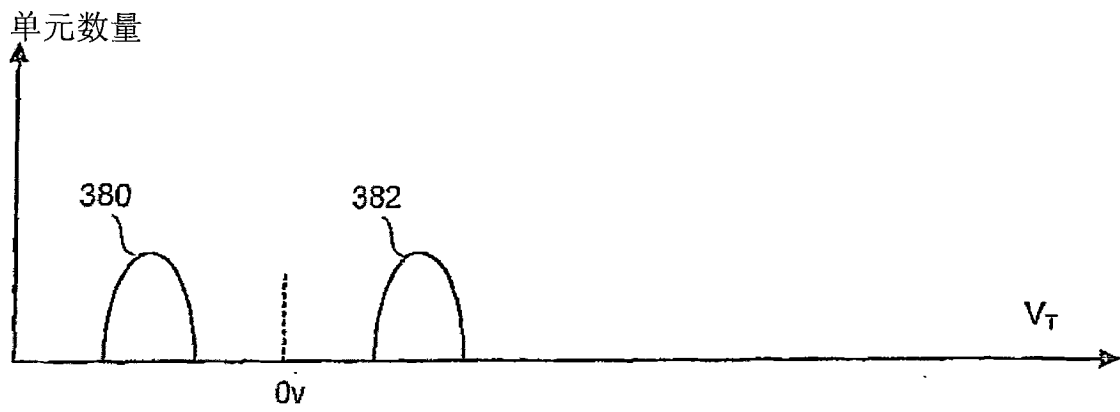


图 8

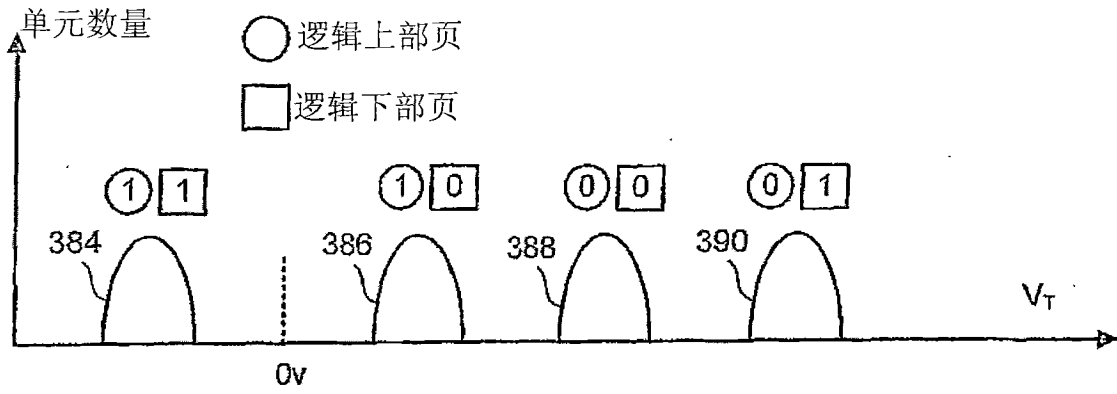


图 9

位线	浮动
SGD	浮动
WLn	0V
WLn-1	0V
.	0V
.	0V
WLi	0V
.	0V
.	0V
WL1	0V
WL0	0V
SGS	浮动
源极线	浮动
P 阱	$V_{erase}$

图 10

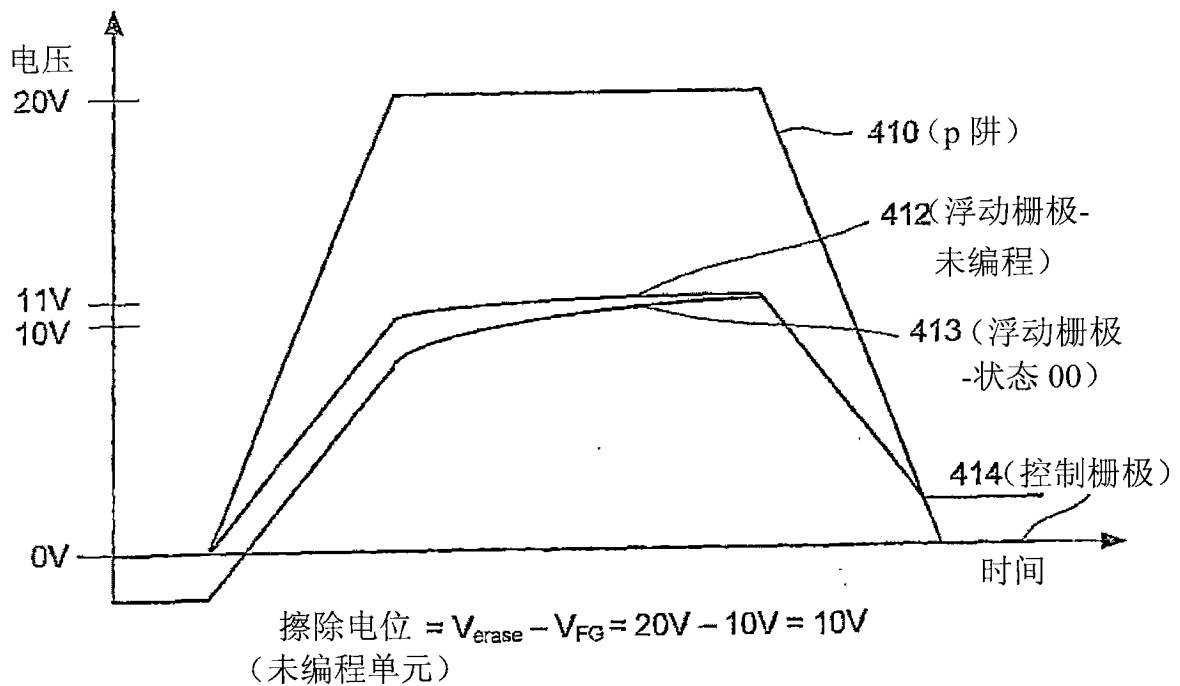
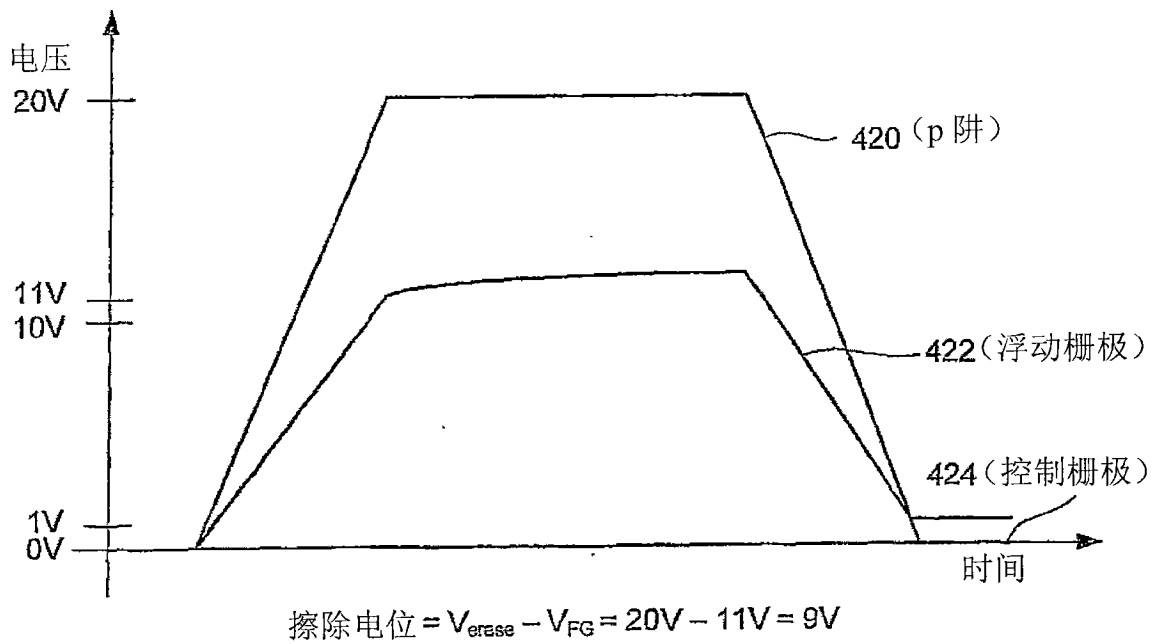
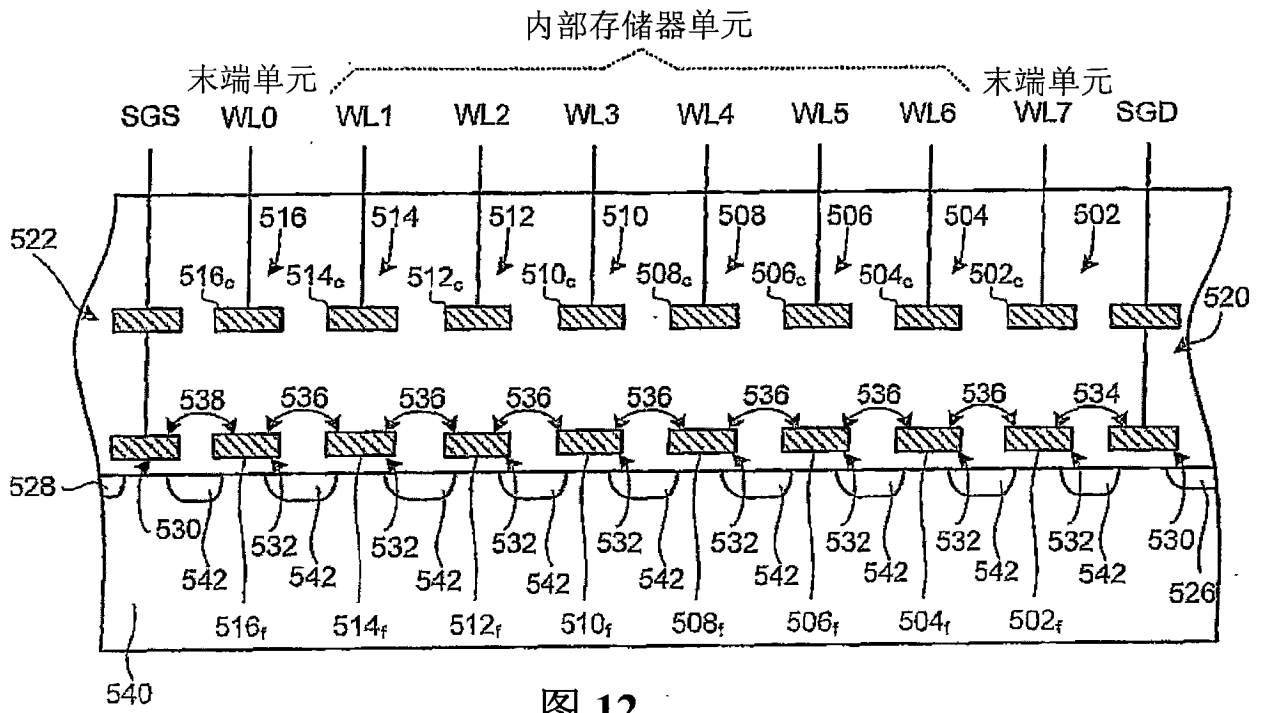


图 11



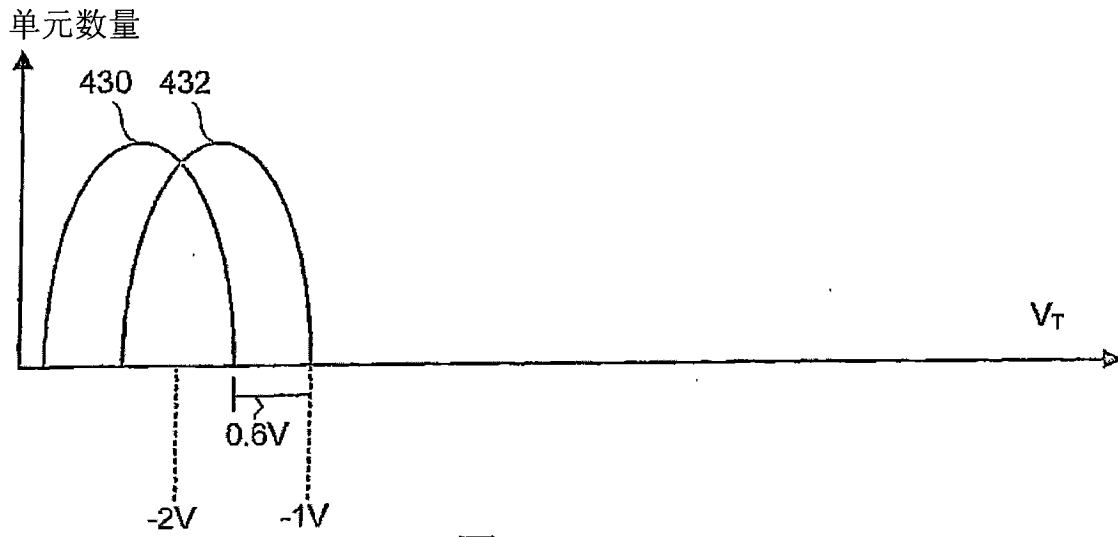


图 14

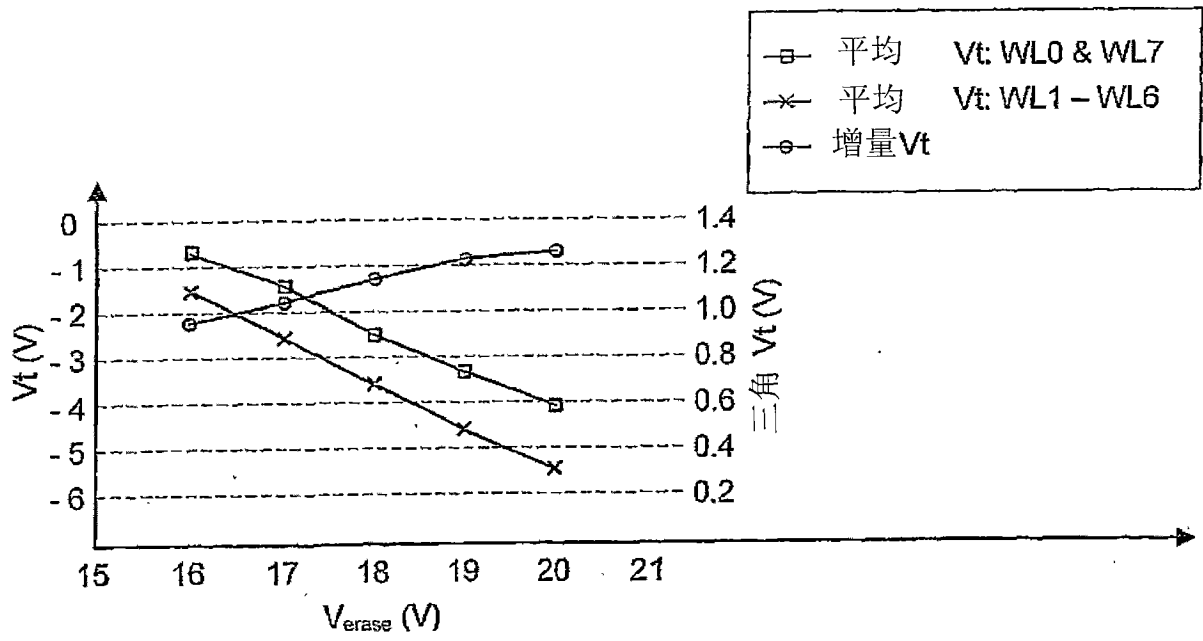
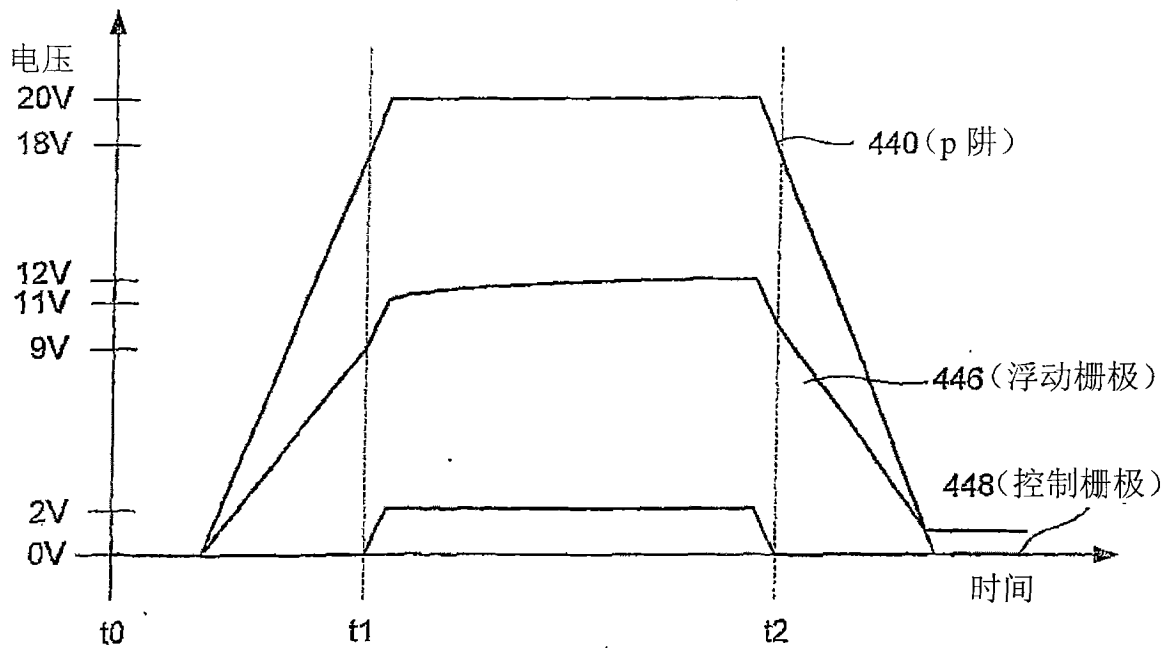


图 15

	t0	t1	t2
位线	浮动	浮动	浮动
SGD	浮动	浮动	浮动
WLn	0V	0V	0V
WLn-1	0V	浮动	0V
.	0V	浮动	0V
.	0V	浮动	0V
WLi	0V	浮动	0V
.	0V	浮动	0V
.	0V	浮动	0V
WL1	0V	浮动	0V
WLO	0V	0V	0V
SGS	浮动	浮动	浮动
源极线	浮动	浮动	浮动
P 阱	$V_{erase}$	$V_{erase}$	$V_{erase}$

图 16A

WL1 - WLn-1



擦除电位 =  $V_{erase} - V_{FG} = 20V - 11V = 9V$

图 16B

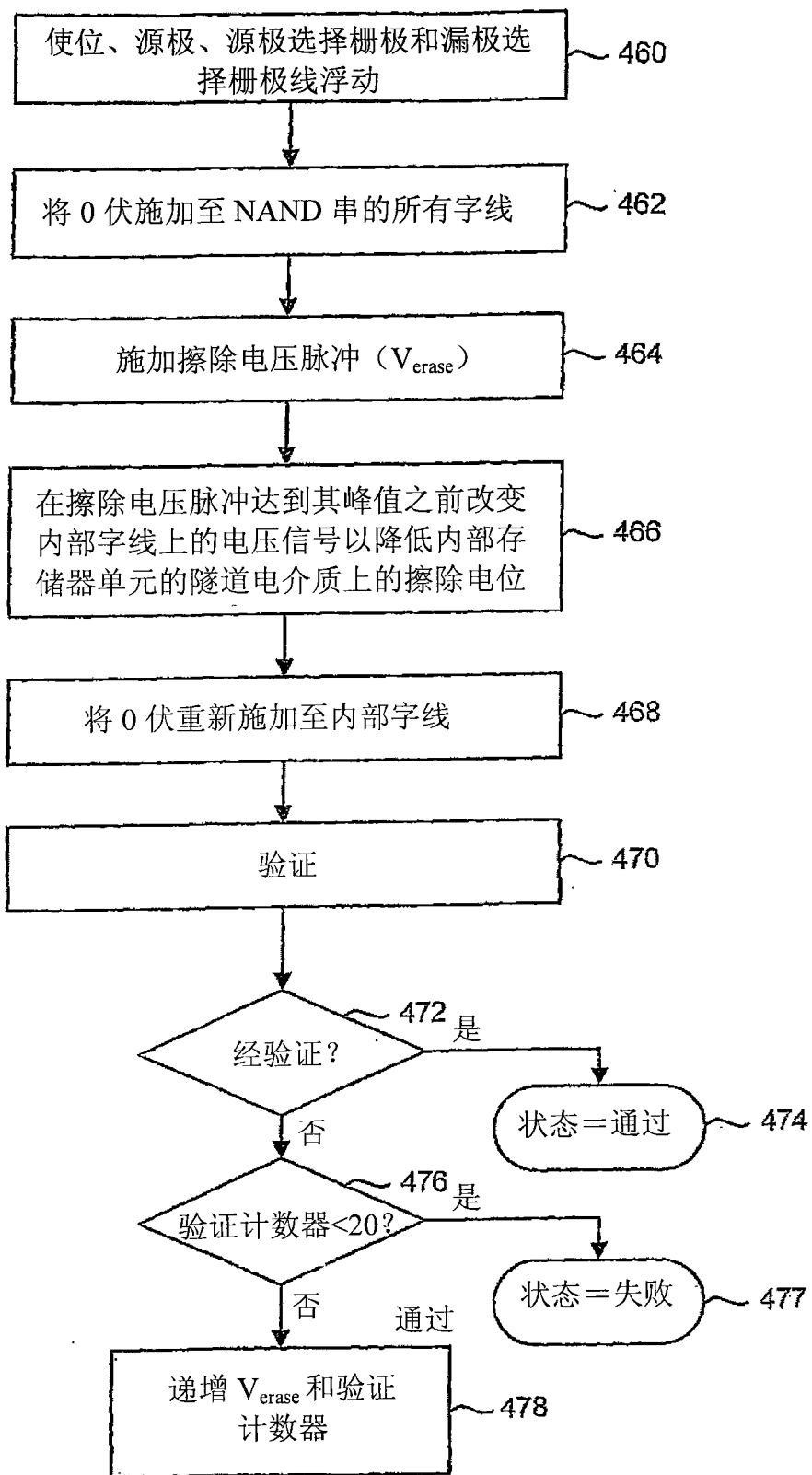


图 17

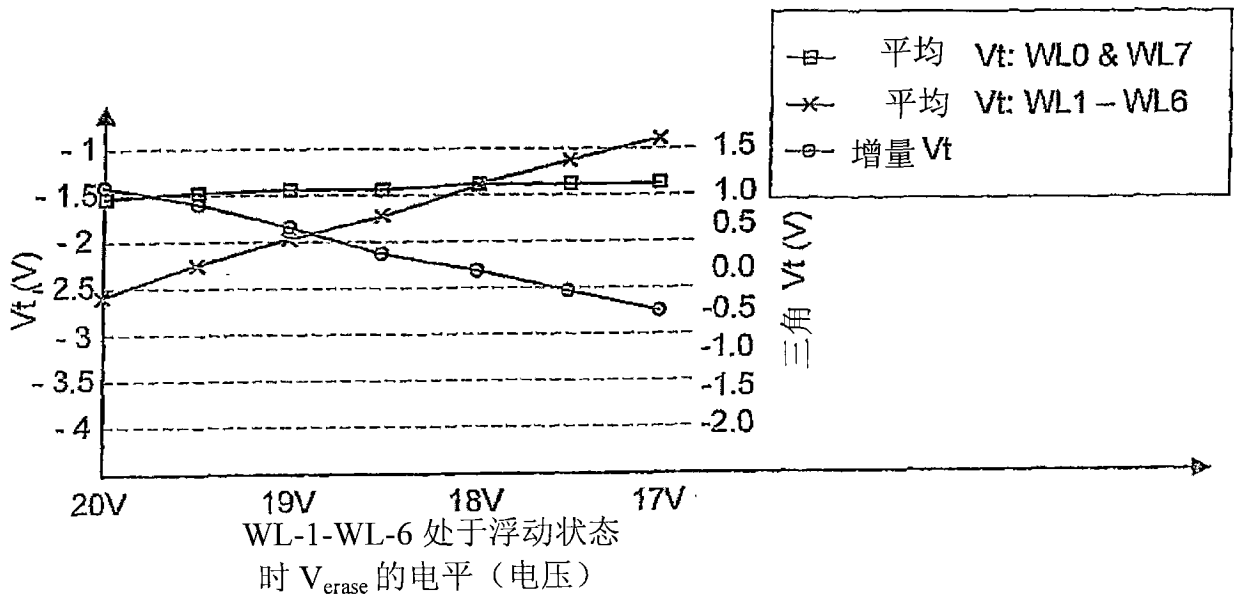


图 18

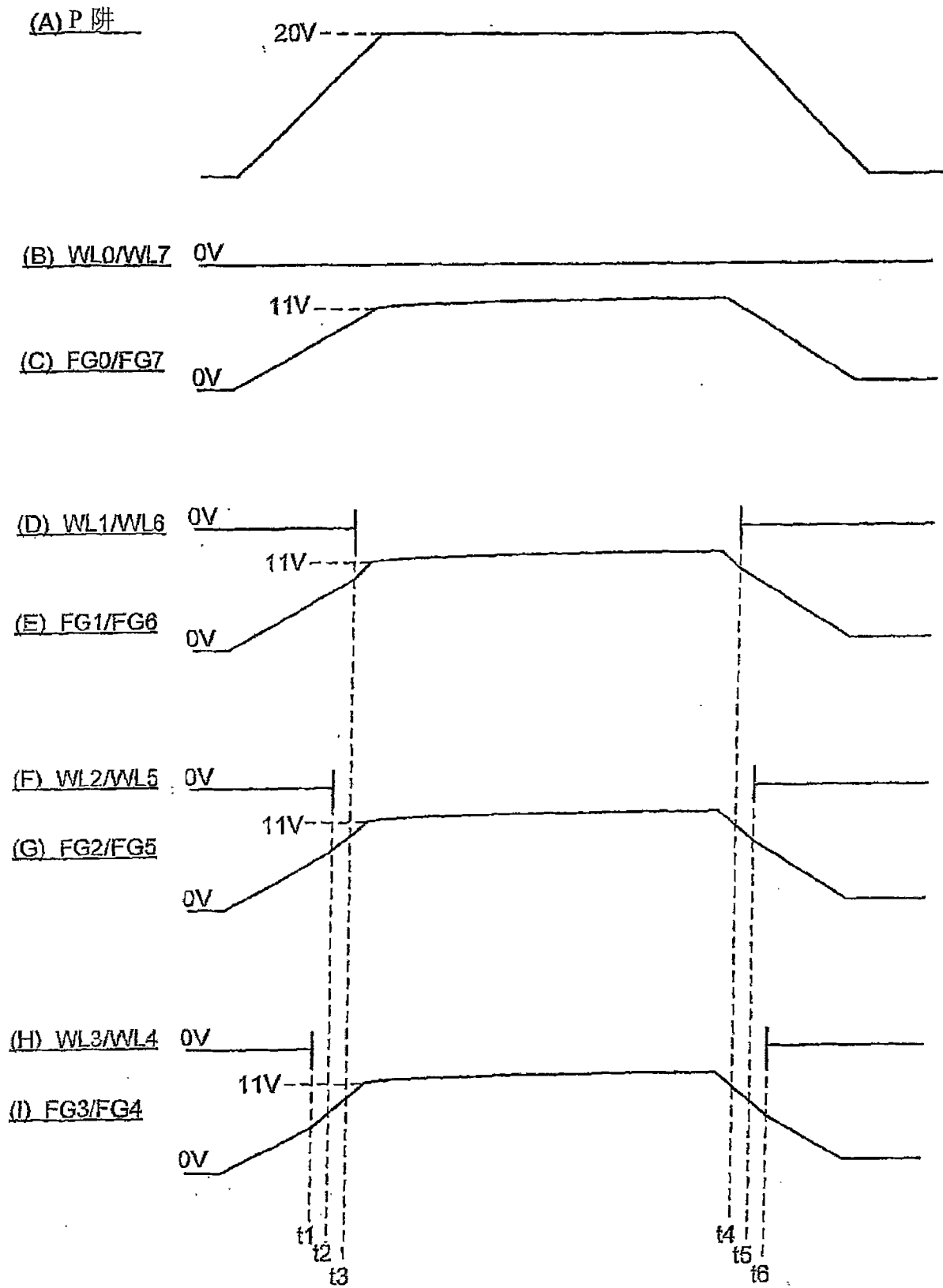


图 19

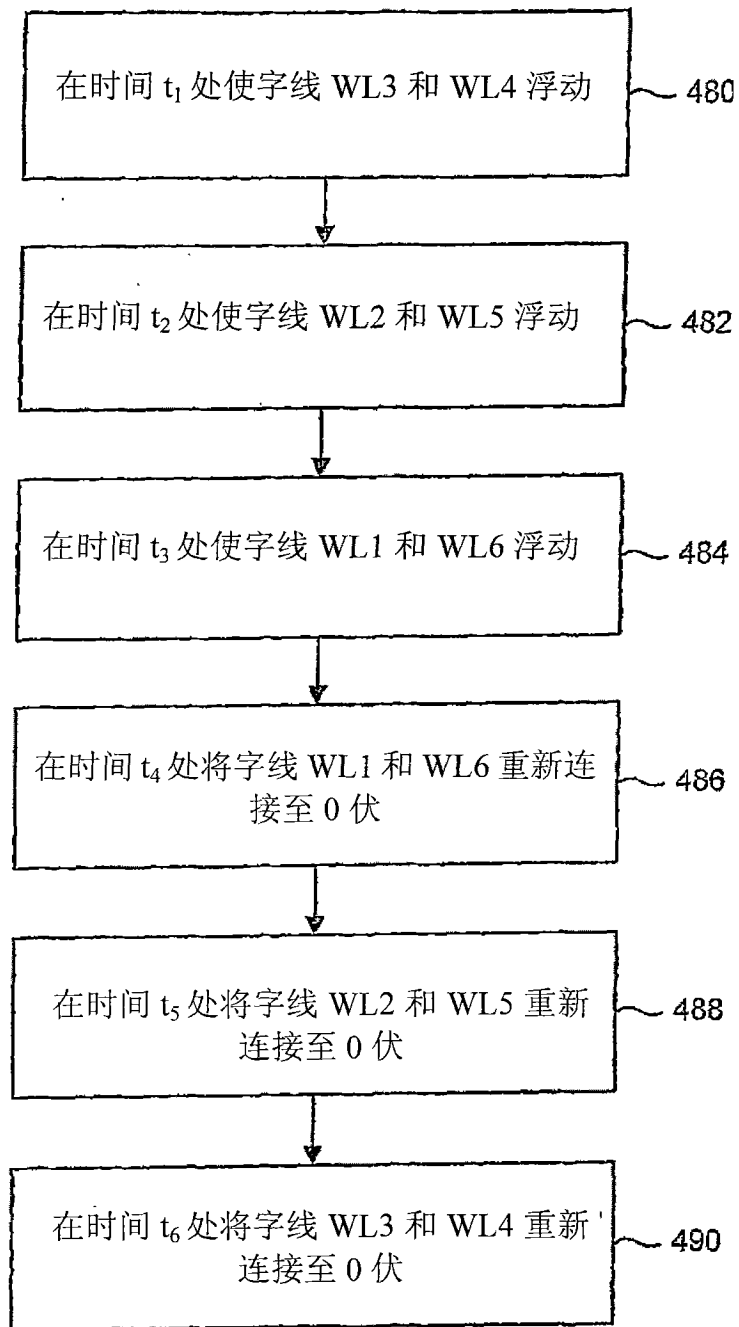


图 20

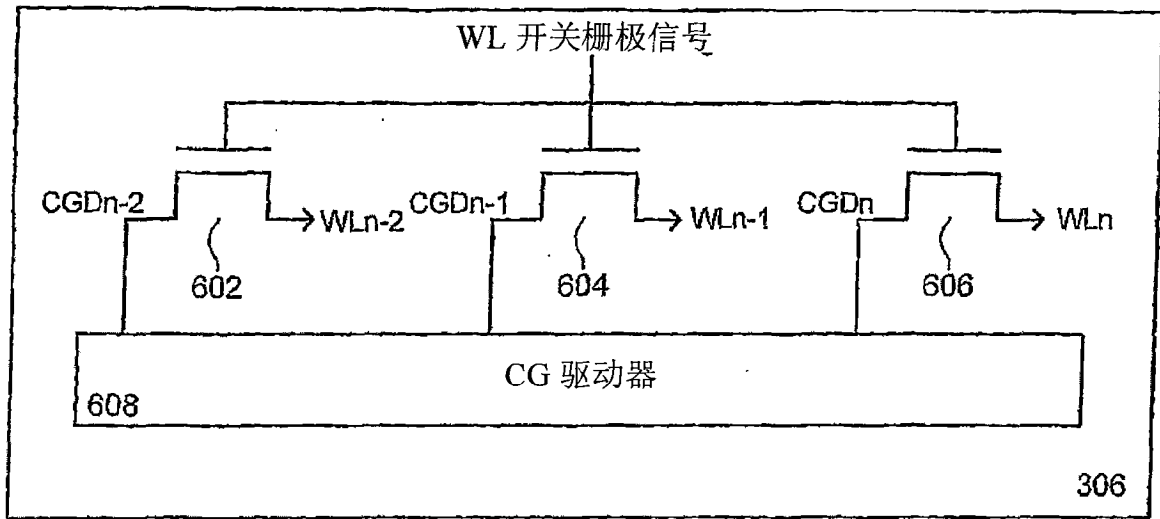


图 21

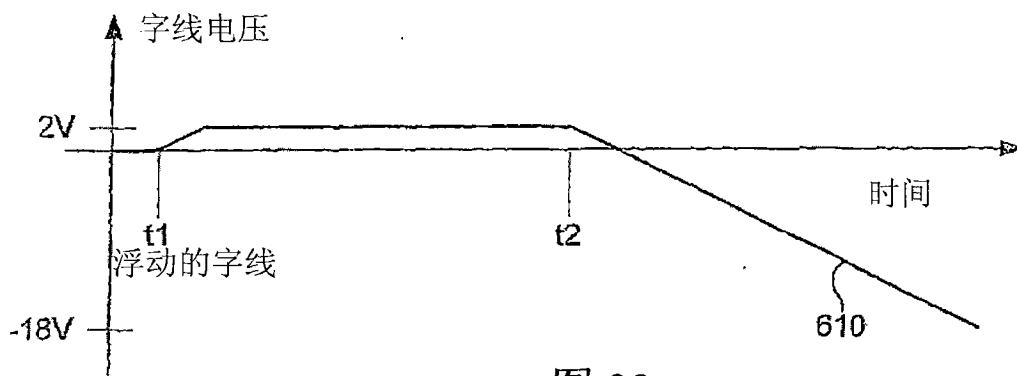


图 22

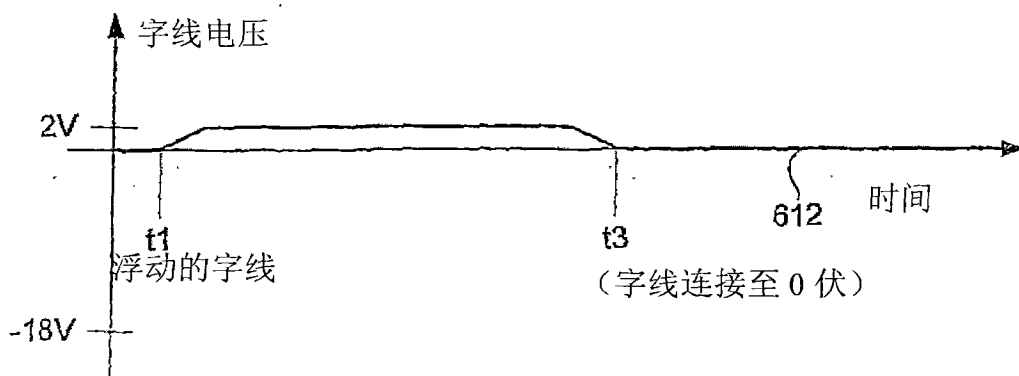


图 23