

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板に設けられた複数の第 1 のメモリセルと、前記半導体基板に設けられかつ前記複数の第 1 のメモリセルの電流経路の一端に直列に接続された複数の第 1 の選択トランジスタとを有する第 1 のブロックと、

前記半導体基板に設けられた複数の第 2 のメモリセルと、前記半導体基板に設けられかつ前記複数の第 2 のメモリセルの電流経路の一端に直列に接続された複数の第 2 の選択トランジスタとを有し、かつ前記第 1 のブロックに対して第 1 の方向に隣接し、前記第 2 の選択トランジスタは前記第 1 の選択トランジスタと向き合うように配置されかつ前記第 1 10
の選択トランジスタと拡散領域を共有する、第 2 のブロックと、

前記第 1 のブロック及び前記第 2 のブロック間かつ前記拡散領域上に設けられ、かつ前記第 1 の方向に直交する第 2 の方向に延在する埋め込み配線層と、

前記埋め込み配線層の上部と接しかつ前記埋め込み配線層外へと延在する第 1 の配線部分と、前記第 2 の方向に延在しかつ前記埋め込み配線層上の外において前記第 1 の配線部分に接続された第 2 の配線部分とを有する上層配線層と、

を具備することを特徴とする半導体記憶装置。

【請求項 2】

素子分離絶縁層によって分離されかつ第 1 の方向に延在する複数の素子領域を有する半導体基板と、 20

前記複数の素子領域にそれぞれ設けられかつ前記第 1 の方向に沿って直列に接続された複数の第 1 のメモリセルをそれぞれが有する複数の第 1 のメモリセル群と、前記複数の素子領域にそれぞれ設けられかつ前記複数の第 1 のメモリセル群の電流経路の一端に直列に接続された複数の第 1 の選択トランジスタとを有する第 1 のブロックと、

前記複数の素子領域にそれぞれ設けられかつ前記第 1 の方向に沿って直列に接続された複数の第 2 のメモリセルをそれぞれが有する複数の第 2 のメモリセル群と、前記複数の素子領域にそれぞれ設けられかつ前記複数の第 2 のメモリセル群の電流経路の一端に直列に接続された複数の第 2 の選択トランジスタとを有し、かつ前記第 1 のブロックに対して前記第 1 の方向に隣接し、前記第 2 の選択トランジスタは前記第 1 の選択トランジスタと向き合うように配置されかつ前記第 1 の選択トランジスタと拡散領域を共有する、第 2 のブ 30
ロックと、

前記第 1 のブロック及び前記第 2 のブロック間かつ前記拡散領域上に設けられ、かつ前記第 1 の方向に直交する第 2 の方向に延在する埋め込み配線層と、

前記埋め込み配線層の上部と接しかつ前記埋め込み配線層外へと延在する第 1 の配線部分と、前記第 2 の方向に延在しかつ前記埋め込み配線層上の外において前記第 1 の配線部分に接続された第 2 の配線部分とを有する上層配線層と、

を具備することを特徴とする半導体記憶装置。

【請求項 3】

前記第 2 の配線部分は、前記素子分離絶縁層の上方に配置されることを特徴とする請求項 2 に記載の半導体記憶装置。 40

【請求項 4】

前記第 2 の配線部分は、一定の間隔を空けて複数個配置されることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体記憶装置。

【請求項 5】

前記第 1 の配線部分は、その両端が前記埋め込み配線層外へと延在し、

前記上層配線層は、前記埋め込み配線層を挟むように前記第 2 の配線部分が配置された側と反対側に設けられ、かつ前記第 2 の方向に延在し、かつ前記埋め込み配線層上の外において前記第 1 の配線部分に接続された第 3 の配線部分を含むことを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】 50

【技術分野】

【0001】

本発明は、半導体記憶装置に係り、例えば半導体記憶装置に使用される埋め込み型の共通配線の構造に関する。

【背景技術】

【0002】

不揮発性半導体メモリとしては、データの書き込み及び消去を電氣的に行うNAND型フラッシュメモリが知られている。NAND型フラッシュメモリは、第1の方向に沿って直列に接続された複数のメモリセルからなるメモリセル群と、このメモリセル群の電流経路の両端にそれぞれ直列に接続されたソース側の選択トランジスタ及びドレイン側の選択トランジスタとを備えており、この単位が前記第1の方向に直交する第2の方向に複数個配置される。そして、複数の選択トランジスタ（ソース側）の拡散領域は、上記第2の方向に延在する共通ソース線に接続される。ソース側の選択トランジスタの拡散領域と共通ソース線とを接続するコンタクトとして、埋め込み配線層を用いたものが特許文献1（特に、図41及び42）に開示されている。また、複数の選択トランジスタ（ドレイン側）はそれぞれ、ビット線コンタクトを介して複数のビット線に接続される。

10

【0003】

ここで、ソース側の選択トランジスタと共通ソース線とを接続する埋め込み配線層は、製造工程省略のために、ビット線コンタクトと同一工程で形成される。すると、埋め込み配線層は上記第2の方向に延びるライン状であるため、層間絶縁層の開口工程において、ビット線コンタクトよりもエッチングガスが入りやすい。このため、埋め込み配線層用の溝は、ビット線コンタクト用の穴よりも深く掘れてしまう。

20

【0004】

さらに、デュアルダマシン法を用いて埋め込み配線層及びビット線コンタクトを形成すると、埋め込み配線層用の溝が開口された状態で、共通ソース配線用の溝を形成するためのエッチングが行なわれる。すると、埋め込み配線層の底が拡散領域よりも深くなってしまい、ジャンクションリークが大きくなってしまう。

【特許文献1】特開2003-188252号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0005】

本発明は、拡散領域内での埋め込み配線層の底の深さをより浅くすることで、埋め込み配線層から半導体基板へのリーク電流を低減することが可能な半導体記憶装置を提供する。

【課題を解決するための手段】

【0006】

本発明の第1の視点に係る半導体記憶装置は、半導体基板と、前記半導体基板に設けられた複数の第1のメモリセルと、前記半導体基板に設けられかつ前記複数の第1のメモリセルの電流経路の一端に直列に接続された複数の第1の選択トランジスタとを有する第1のブロックと、前記半導体基板に設けられた複数の第2のメモリセルと、前記半導体基板に設けられかつ前記複数の第2のメモリセルの電流経路の一端に直列に接続された複数の第2の選択トランジスタとを有し、かつ前記第1のブロックに対して第1の方向に隣接し、前記第2の選択トランジスタは前記第1の選択トランジスタと向き合うように配置されかつ前記第1の選択トランジスタと拡散領域を共有する、第2のブロックと、前記第1のブロック及び前記第2のブロック間かつ前記拡散領域上に設けられ、かつ前記第1の方向に直交する第2の方向に延在する埋め込み配線層と、前記埋め込み配線層の上部と接しかつ前記埋め込み配線層外へと延在する第1の配線部分と、前記第2の方向に延在しかつ前記埋め込み配線層上の外において前記第1の配線部分に接続された第2の配線部分とを有する上層配線層とを具備する。

40

【0007】

50

本発明の第2の視点に係る半導体記憶装置は、素子分離絶縁層によって分離されかつ第1の方向に延在する複数の素子領域を有する半導体基板と、前記複数の素子領域にそれぞれ設けられかつ前記第1の方向に沿って直列に接続された複数の第1のメモリセルをそれぞれが有する複数の第1のメモリセル群と、前記複数の素子領域にそれぞれ設けられかつ前記複数の第1のメモリセル群の電流経路の一端に直列に接続された複数の第1の選択トランジスタとを有する第1のブロックと、前記複数の素子領域にそれぞれ設けられかつ前記第1の方向に沿って直列に接続された複数の第2のメモリセルをそれぞれが有する複数の第2のメモリセル群と、前記複数の素子領域にそれぞれ設けられかつ前記複数の第2のメモリセル群の電流経路の一端に直列に接続された複数の第2の選択トランジスタとを有し、かつ前記第1のブロックに対して前記第1の方向に隣接し、前記第2の選択トランジスタは前記第1の選択トランジスタと向き合うように配置されかつ前記第1の選択トランジスタと拡散領域を共有する、第2のブロックと、前記第1のブロック及び前記第2のブロック間かつ前記拡散領域上に設けられ、かつ前記第1の方向に直交する第2の方向に延在する埋め込み配線層と、前記埋め込み配線層の上部と接しかつ前記埋め込み配線層外へと延在する第1の配線部分と、前記第2の方向に延在しかつ前記埋め込み配線層上の外において前記第1の配線部分に接続された第2の配線部分とを有する上層配線層とを具備する。

【発明の効果】

【0008】

本発明によれば、拡散領域内での埋め込み配線層の底の深さをより浅くすることで、埋め込み配線層から半導体基板へのリーク電流を低減することが可能な半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0009】

以下、本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、同一の機能及び構成を有する要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0010】

(第1の実施形態)

図1は、本発明の第1の実施形態に係るNAND型フラッシュメモリの構成を示す回路図である。本実施形態では、半導体記憶装置として、NAND型フラッシュメモリを一例に挙げて説明する。NAND型フラッシュメモリは、不揮発性半導体メモリの一種であり、かつ電氣的に書き換えが可能なメモリである。NAND型フラッシュメモリは、複数のブロックを備えており、このブロック単位でデータの消去が行われる。

【0011】

各ブロックは、X方向に沿って順に配置された $(m+1)$ 個のNANDストリングを備えている(m は、0以上の自然数)。各NANDストリングは、選択トランジスタST1、ST2、及び $(n+1)$ 個のメモリセルトランジスタMTを備えている(n は、0以上の自然数)。 $(m+1)$ 個のNANDストリングにそれぞれ含まれる選択トランジスタST1は、ドレインがビット線BL0~BL m に接続され、ゲートが選択ゲート線SGDに共通接続されている。また、選択トランジスタST2は、ソースが共通ソース線SLに共通接続され、ゲートが選択ゲート線SGSに共通接続されている。

【0012】

各NANDストリングにおいて、 $(n+1)$ 個のメモリセルトランジスタMTは、選択トランジスタST1のソースと選択トランジスタST2のドレインとの間に、それぞれの電流経路が直列接続されるように配置されている。すなわち、複数のメモリセルトランジスタMTは、隣接するもの同士で拡散領域(ソース領域若しくはドレイン領域)を共有するような形でY方向に直列接続される。

【0013】

そして、最もドレイン側に位置するメモリセルトランジスタMTから順に、制御ゲート

電極がワード線WL0～WLnにそれぞれ接続されている。従って、ワード線WL0に接続されたメモリセルトランジスタMTのドレインは選択トランジスタST1のソースに接続され、ワード線WLnに接続されたメモリセルトランジスタMTのソースは選択トランジスタST2のドレインに接続されている。

【0014】

ワード線WL0～WLnは、ブロック内のNANDストリング間で、メモリセルトランジスタMTの制御ゲート電極を共通に接続している。つまり、ブロック内において同一行にあるメモリセルトランジスタMTの制御ゲート電極は、同一のワード線WLに接続される。この同一のワード線WLに接続される(m+1)個のメモリセルトランジスタMTは1ページとして取り扱われ、このページごとにデータの書き込み及びデータの読み出しが行われる。

10

【0015】

また、ビット線BL0～BLmは、ブロック間で、選択トランジスタST1のドレインを共通に接続している。つまり、複数のブロック内において同一列にあるNANDストリングは、同一のビット線BLに接続される。

【0016】

任意の第1のブロックと、Y方向において第1のブロックの一方に隣接する第2のブロックとは、選択トランジスタST2が向き合うように配置されている。そして、第1のブロック及び第2のブロック間に、X方向に延在する共通ソース線SLが配設される。また、第1のブロックと、Y方向において第1のブロックの他方に隣接する第3のブロックとは、選択トランジスタST1が向き合うように配置されている。

20

【0017】

図2は、メモリセルトランジスタMTの構成を示す断面図である。p型半導体基板11内には、互いに離間して形成された2個のn⁺型拡散領域(ソース/ドレイン領域)12及び13が設けられている。n⁺型拡散領域12及び13は、p型半導体基板11内に高濃度のn⁺型不純物(P(リン)、As(ヒ素)等)を導入して形成される。

【0018】

n⁺型拡散領域12及び13間のp型半導体基板11上には、電荷蓄積層(浮遊ゲート電極)や制御ゲート電極を含む積層ゲート構造が形成されている。具体的には、積層ゲート構造は、p型半導体基板11上に、トンネル絶縁膜14、浮遊ゲート電極15、ゲート間絶縁膜16、制御ゲート電極17が順に積層されて構成されている。メモリセルトランジスタMTは、浮遊ゲート電極15に蓄えられる電子の数に応じて閾値電圧が変化し、この閾値電圧の違いに応じてデータを記憶する。

30

【0019】

図3は、選択トランジスタST1の構成を示す断面図である。選択トランジスタST2の構成も、図3と同じである。選択トランジスタST1は、nチャネルMOSトランジスタから構成される。

【0020】

p型半導体基板11内には、互いに離間して形成された2個のn⁺型拡散領域(ソース領域18及びドレイン領域19)が設けられている。なお、以後、選択トランジスタST1のソース領域及びドレイン領域を18-1及び19-1と表記し、選択トランジスタST2のソース領域及びドレイン領域を18-2及び19-2と表記する。ソース領域18-1及びドレイン領域19-1間のp型半導体基板11上には、ゲート電極21が形成されている。具体的には、このゲート電極21は、浮遊ゲート電極15と同じ材料の第1の電極と、制御ゲート電極17と同じ材料の第2の電極とから構成される。また、これら第1の電極及び第2の電極間にはゲート間絶縁膜16と同じ材料の絶縁膜が形成されており、この絶縁膜の一部が開口されて第1の電極と第2の電極とが電氣的に接続されている。

40

【0021】

なお、ビット線BLに接続される側の選択トランジスタST1のドレイン領域19-1(選択トランジスタST2の場合は、共通ソース線SLに接続される側のソース領域18

50

ー 2) は、不純物濃度の異なる 2 個の拡散領域からなる L D D (lightly doped drain) 構造によって構成されている。

【 0 0 2 2 】

図 4 は、N A N D 型フラッシュメモリの構成を示す平面図である。図 5 は、図 4 に示した V - V 線に沿った N A N D 型フラッシュメモリの断面図である。図 6 は、図 4 に示した V I - V I 線に沿った N A N D 型フラッシュメモリの断面図である。図 7 は、図 5 に示した位置「P」での N A N D 型フラッシュメモリの平面図である。すなわち、図 7 は、共通ソース線 S L 上の層間絶縁層と、この層間絶縁層に形成されたビット線 B L とを除いた状態での N A N D 型フラッシュメモリの平面図である。平面図には、簡略化のために、3 本のビット線 B L とこれらに対応する素子領域（活性領域）を示している。なお、ビット線 B L は図中 Y 方向に一定の間隔をおいて繰り返し配置されている。また、平面図は、図 1 の回路図と対応させるために、縦方向を X 方向、横方向を Y 方向として示している。以下の平面図についても同様である。

【 0 0 2 3 】

p 型半導体基板 1 1 内には、Y 方向に延在する複数の素子分離絶縁層 3 1 が設けられている。従って、p 型半導体基板 1 1 の表面領域には、互いが素子分離絶縁層 3 1 によって電氣的に分離され、かつ Y 方向に延在する複数の素子領域（活性領域）3 0 が形成される。素子分離絶縁層 3 1 は、例えば、p 型半導体基板 1 1 に溝を形成し、この溝に酸化シリコン等の絶縁体を埋め込むことで形成される S T I (Shallow Trench Isolation) によって構成される。

【 0 0 2 4 】

メモリセルトランジスタ M T の制御ゲート電極に対応するワード線 W L は、X 方向に延在している。選択トランジスタ S T 1 のゲート電極に対応する選択ゲート線 S G D、及び選択トランジスタ S T 2 のゲート電極に対応する選択ゲート線 S G S はそれぞれ、X 方向に延在している。

【 0 0 2 5 】

素子領域 3 0 には、メモリセルトランジスタ M T、選択トランジスタ S T 1 及び S T 2 が設けられている。なお、図 5 の断面図では、選択トランジスタ S T 1 及び S T 2 のゲート電極内に形成される絶縁層についての図示を省略している。ワード線 W L と素子領域 3 0 との交差領域にメモリセルトランジスタ M T が形成され、選択ゲート線 S G D と素子領域 3 0 との交差領域に選択トランジスタ S T 1 が形成され、選択ゲート線 S G S と素子領域 3 0 との交差領域に選択トランジスタ S T 2 が形成されている。そして、選択トランジスタ S T 1、複数のメモリセルトランジスタ M T、及び選択トランジスタ S T 2 が直列に接続されて、1 個の N A N D ストリングが形成されている。また、素子分離絶縁層 3 1 に分離されるようにして、複数の N A N D ストリングが X 方向に沿って配置されている。

【 0 0 2 6 】

前述したように、Y 方向に隣接する第 1 のブロック及び第 2 のブロックは、選択トランジスタ S T 2 が向き合うように配置されている。すなわち、第 1 のブロック及び第 2 のブロックに含まれる 2 本の選択ゲート線 S G S は、向き合うように配置されている。また、Y 方向に隣接する第 1 のブロック及び第 3 のブロックは、選択トランジスタ S T 1 が向き合うように配置されている。すなわち、第 1 のブロック及び第 3 のブロックに含まれる 2 本の選択ゲート線 S G D は、向き合うように配置されている。また、第 1 のブロック及び第 2 のブロックに含まれる選択トランジスタ S T 2 は、ソース領域 1 8 - 2 を共有している。同様に、第 1 のブロック及び第 3 のブロックに含まれる選択トランジスタ S T 1 は、ドレイン領域 1 9 - 1 を共有している。

【 0 0 2 7 】

選択トランジスタ S T 2 が向き合う 2 個のブロック間（選択ゲート線 S G S 間）には、埋め込み配線層 3 2 が設けられている。埋め込み配線層 3 2 は、X 方向に並んで配置された複数の選択トランジスタ S T 2 のソース領域 1 8 - 2 上かつ層間絶縁層 3 5 内に設けられ、X 方向に延在している。すなわち、埋め込み配線層 3 2 は、X 方向に並んで配置され

10

20

30

40

50

た複数の選択トランジスタ S T 2 のソース領域 1 8 - 2 を共通接続している。また、埋め込み配線層 3 2 は、ソース領域 1 8 - 2 から層間絶縁層 3 5 の上面まで引き出されている。埋め込み配線層 3 2 は、その平面形状が矩形である。

【0028】

選択トランジスタ S T 2 の上方には、埋め込み配線層 3 2 に電氣的に接続された共通ソース線（上層配線層）S L が設けられている。共通ソース線 S L は、3 個の配線部分（配線部分 3 4 A ~ 3 4 C）によって構成されている。

【0029】

配線部分 3 4 C は、第 1 金属配線層 M 0 と同じ層に含まれており、埋め込み配線層 3 2 と電氣的に接続されている。配線部分 3 4 C は、Y 方向において埋め込み配線層 3 2 外へと延在しており、例えば、素子領域 3 0 の上方に設けられている。配線部分 3 4 C の幅は、低抵抗化のため埋め込み配線層 3 2 の幅以上に設定されることが好ましい。

【0030】

配線部分 3 4 A 及び 3 4 B は、p 型半導体基板 1 1 の上方に形成された第 1 金属配線層 M 0 と同じ層に含まれており、埋め込み配線層 3 2 の両側にそれぞれ設けられ、X 方向に延在している。また、配線部分 3 4 A 及び 3 4 B は、埋め込み配線層 3 2 上の外において配線部分 3 4 C と接続されている。この配線部分 3 4 A 及び 3 4 B の長さは、配線部分 3 4 C よりも長い。すなわち、配線部分 3 4 C は埋め込み配線層 3 2 から、埋め込み配線層 3 2 上の外に配置された配線部分 3 4 A 及び 3 4 B へと接続する役割を果たしている。また、配線部分 3 4 A 及び 3 4 B の幅はそれぞれ、低抵抗化のため埋め込み配線層 3 2 及び配線部分 3 4 C の幅以上に設定されることが好ましい。埋め込み配線層 3 2、及び共通ソース線 S L（配線部分 3 4 A ~ 3 4 C）としては、例えばタングステン（W）が用いられる。

【0031】

共通ソース線 S L 上には、層間絶縁層 3 6 が設けられている。層間絶縁層 3 6 には、Y 方向に延在するビット線 B L が設けられている。すなわち、ビット線 B L は、第 1 金属配線層 M 0 上に形成された第 2 金属配線層 M 1 と同じ層に含まれる。

【0032】

X 方向に並んで配置された複数の選択トランジスタ S T 1 のドレイン領域 1 9 - 1 と、複数のビット線 B L とは、複数のコンタクト 3 3 によって電氣的に接続されている。複数のコンタクト 3 3 は、2 本の選択ゲート線 S G D 間に配置されており、千鳥状（ジグザグ状）に配置されている。複数のコンタクト 3 3 を千鳥状に配置することで、複数のコンタクト 3 3 が X 方向において接触するのを防ぎつつ、X 方向における素子領域（活性領域）3 0 の間隔を小さくすることが可能となる。

【0033】

次に、N A N D 型フラッシュメモリの製造方法の一例について図面を参照しながら説明する。まず、図 8 及び図 9 に示すように、p 型半導体基板 1 1 に、Y 方向に延在する複数の素子分離絶縁層 3 1 を形成する。これにより、p 型半導体基板 1 1 の表面領域に、互いが素子分離絶縁層 3 1 によって電氣的に分離され、かつ Y 方向に延在する複数の素子領域（活性領域）3 0 が形成される。続いて、各素子領域 3 0 に、選択トランジスタ S T 1、複数のメモリセルトランジスタ M T、及び選択トランジスタ S T 2 を形成する。選択トランジスタ S T 1 及び S T 2 のゲート電極 2 1、メモリセルトランジスタ M T の積層ゲート構造はそれぞれ、その側面が絶縁体からなる側壁で覆われる。

【0034】

続いて、図 1 0 に示すように、p 型半導体基板 1 1 全面に、例えば C V D（Chemical Vapor Deposition）法を用いて層間絶縁層 3 5 を堆積する。続いて、図 1 1 及び図 1 2 に示すように、リソグラフィ法、及び例えば R I E（Reactive Ion Etching）法を用いて、2 本の選択ゲート線 S G S 間の層間絶縁層 3 5 内に、X 方向に延在し、ソース領域 1 8 - 2 に到達する溝 4 0 を形成する。また、溝 4 0 の形成工程と同時に、2 本の選択ゲート線 S G D 間の層間絶縁層 3 5 内に、複数のドレイン領域 1 9 - 1 に到達する複数の開口部

４１を形成する。また、これら開口部４１は、千鳥状に配置される。この開口工程において、溝４０はライン状でありかつ開口部４１より面積が大きいいため、溝４０によって露出されるソース領域１８－２は、開口部４１によって露出されるドレイン領域１９－１に比べて、多くエッチングされるが、溝４０がソース領域１８－２より深くなることはない。

【００３５】

続いて、図１３及び図１４に示すように、リソグラフィー法、及び例えばＲＩＥ法を用いて、溝４０の両側の層間絶縁層３５内にＸ方向に延在する溝４２Ａ及び４２Ｂを形成し、さらに、溝４２Ａ及び４２Ｂ間にＹ方向に延在する溝４２Ｃを形成する。この工程において、露出されているソース領域１８－２が更にエッチングされることになる。しかし、溝４０と溝４２Ｃの交点以外はレジストマスク等で覆われることになる。すなわち、露出されるソース領域１８－２は溝ではなく開口となりエッチングガスが入りにくい。その結果、ソース領域１８－２が削られる量を少なくすることができる。

10

【００３６】

続いて、図１５及び図１６に示すように、例えばスパッタリング法を用いて、溝４０、４２Ａ～４２Ｃ内にタングステン（Ｗ）等の金属を埋め込む。このようにして、層間絶縁層３５内に、複数のソース領域１８－２に電氣的に接続された埋め込み配線層３２と、この埋め込み配線層３２に電氣的に接続されかつ配線部分３４Ａ～３４Ｃからなる共通ソース線ＳＬを形成する。また、共通ソース線ＳＬ形成工程と同時に、複数の開口部４１内にタングステン（Ｗ）等の金属を埋め込んで、複数のドレイン領域１９－１に電氣的に接続された複数のコンタクト３３を形成する。その後、層間絶縁層３５の上面をＣＭＰ（Chemical Mechanical Polishing）法を用いて平坦化する。

20

【００３７】

続いて、図１７に示すように、層間絶縁層３５上に、例えばＣＶＤ法を用いて層間絶縁層３６を堆積する。続いて、図１８及び図１９に示すように、リソグラフィー法、及び例えばＲＩＥ法を用いて、層間絶縁層３６内に、複数のコンタクト３３に到達する複数の開口部を形成する。続いて、これらの開口部内にタングステン（Ｗ）等の金属を埋め込んで、複数のコンタクト３３を層間絶縁層３６の上面まで引き出す。

【００３８】

続いて、図２０及び図２１に示すように、リソグラフィー法、及び例えばＲＩＥ法を用いて、層間絶縁層３６内かつ複数のコンタクト３３上に、Ｙ方向に延在する複数の溝４３を形成する。

30

【００３９】

続いて、図４乃至図６に示すように、例えば金属メッキ法を用いて、複数の溝４３内に銅（Ｃｕ）等の金属を埋め込む。このようにして、層間絶縁層３６内に、複数のドレイン領域１９－１に電氣的に接続された複数のビット線ＢＬを形成する。

【００４０】

以上詳述したように本実施形態では、選択ゲート線ＳＧＳ間に、共通ソース線ＳＬと複数のソース領域１８－２とを電氣的に接続する埋め込み配線層３２を備えている。また、埋め込み配線層３２の上部に接続される上層配線層としての共通ソース線は、埋め込み配線層３２を挟んで両側に配置された配線部分３４Ａ及び３４Ｂと、埋め込み配線層３２、配線部分３４Ａ及び３４Ｂを電氣的に接続する配線部分３４Ｃとによって構成している。これにより、共通ソース線ＳＬの抵抗を小さくすることができる。

40

【００４１】

また、本実施形態では、埋め込み配線層３２上に形成される配線層は、配線部分３４Ｃのみである。すなわち、埋め込み配線層上に直接、従来のようなＸ方向に延在する共通ソース線を形成していない。これにより、共通ソース線ＳＬを形成する際の層間絶縁層３５のエッチング工程において、ソース領域１８－２が掘られる量を小さくすることができる。すなわち、埋め込み配線層３２がソース領域１８－２を突き抜けてｐ型半導体基板１１まで直接到達してしまうのを防ぐことができる。この結果、共通ソース線ＳＬからｐ型半導体基板１１へのリーク電流（ジャンクションリーク）を低減することが可能となる。

50

【0042】

(第2の実施形態)

第2の実施形態は、共通ソース線SLを構成する、埋め込み配線層32と配線部分34A及び34Bとを電氣的に接続する配線部分34Cを、素子分離絶縁層31の上方に配置するようにしている。

【0043】

図22は、本発明の第2の実施形態に係るNAND型フラッシュメモリの構成を示す平面図である。なお図22は、図5に示した位置「P」でのNAND型フラッシュメモリの平面図である。第2の実施形態に係るNAND型フラッシュメモリの断面図は、図5及び図6と同じである。

10

【0044】

選択トランジスタST2の上方には、埋め込み配線層32に電氣的に接続された共通ソース線(上層配線層)SLが設けられている。共通ソース線SLは、3個の配線部分(配線部分34A～34C)によって構成されている。

【0045】

配線部分34Cは、第1金属配線層M0と同じ層に含まれており、埋め込み配線層32と電氣的に接続されている。配線部分34Cは、Y方向において埋め込み配線層32外へと延在しており、例えば、素子領域30の上方に設けられている。配線部分34Cの幅は、低抵抗化のため埋め込み配線層32の幅以上に設定されることが好ましい。

【0046】

20

配線部分34A及び34Bは、p型半導体基板11の上方に形成された第1金属配線層M0と同じ層に含まれており、埋め込み配線層32の両側にそれぞれ設けられ、X方向に延在している。また、配線部分34A及び34Bは、埋め込み配線層32上の外において配線部分34Cと接続されている。この配線部分34A及び34Bの長さは、配線部分34Cよりも長い。すなわち、配線部分34Cは埋め込み配線層32から、埋め込み配線層32上の外に配置された配線部分34A及び34Bへと接続する役割を果たしている。また、配線部分34A及び34Bの幅はそれぞれ、低抵抗化のため埋め込み配線層32及び配線部分34Cの幅以上に設定されることが好ましい。埋め込み配線層32、及び共通ソース線SL(配線部分34A～34C)としては、例えばタングステン(W)が用いられる。

30

【0047】

ここで、配線部分34Cは、素子分離絶縁層31の上方に配置されている。すなわち、埋め込み配線層32と配線部分34Cとの交差領域は、素子分離絶縁層31の上方に配置されている。すなわち、図13、図14の工程において、ソース領域18-2の露出部分を更に少なくすることができる。

【0048】

このように構成されたNAND型フラッシュメモリでは、共通ソース線SLを形成する際の層間絶縁層35のエッチング工程において、ソース領域18-2が掘られる量を、第1の実施形態に比べてさらに小さくすることができる。これにより、効果的にジャンクションリークを減らすことができる。

40

【0049】

第2の実施形態に係るNAND型フラッシュメモリの製造方法は、配線部分34Cの形成位置が素子分離絶縁層31の上方にずれる以外は、第1の実施形態と同じである。

【0050】

(第3の実施形態)

第3の実施形態は、共通ソース線SLを構成する、埋め込み配線層32と配線部分34A及び34Bとを電氣的に接続する配線部分34Cを、一定の間隔を空けて複数個配置するようにしている。

【0051】

図23は、本発明の第3の実施形態に係るNAND型フラッシュメモリの構成を示す平

50

面図である。なお図 2 3 は、図 5 に示した位置「P」での N A N D 型フラッシュメモリの平面図である。第 3 の実施形態に係る N A N D 型フラッシュメモリの断面図は、図 5 及び図 6 と同じである。

【0052】

選択トランジスタ S T 2 の上方には、埋め込み配線層 3 2 に電氣的に接続された共通ソース線（上層配線層）S L が設けられている。共通ソース線 S L は、配線部分 3 4 A、配線部分 3 4 B、及び複数の配線部分 3 4 C によって構成されている。すなわち、共通ソース線 S L は、その平面形状が梯子状になっている。

【0053】

配線部分 3 4 A 及び 3 4 B は、p 型半導体基板 1 1 の上方に形成された第 1 金属配線層 M 0 と同じ層に含まれており、埋め込み配線層 3 2 の両側にそれぞれ設けられ、X 方向に延在している。また、配線部分 3 4 A 及び 3 4 B は、埋め込み配線層 3 2 上の外において配線部分 3 4 C と接続されている。この配線部分 3 4 A 及び 3 4 B の長さは、配線部分 3 4 C よりも長い。すなわち、配線部分 3 4 C は埋め込み配線層 3 2 から、埋め込み配線層 3 2 上の外に配置された配線部分 3 4 A 及び 3 4 B へと接続する役割を果たしている。また、配線部分 3 4 A 及び 3 4 B の幅はそれぞれ、低抵抗化のため埋め込み配線層 3 2 及び配線部分 3 4 C の幅以上に設定されることが好ましい。埋め込み配線層 3 2、及び共通ソース線 S L（配線部分 3 4 A～3 4 C）としては、例えばタングステン（W）が用いられる。

【0054】

複数の配線部分 3 4 C は、第 1 金属配線層 M 0 と同じ層に含まれており、埋め込み配線層 3 2、配線部分 3 4 A 及び 3 4 B を電氣的に接続する。複数の配線部分 3 4 C は、Y 方向に延在しており、素子分離絶縁層 3 1 の上方に配置されている。すなわち、埋め込み配線層 3 2 と配線部分 3 4 C との交差領域は、素子分離絶縁層 3 1 の上方に配置されている。

【0055】

このように構成された N A N D 型フラッシュメモリでは、ジャンクションリークを減らすとともに、共通ソース線 S L の抵抗を小さくすることができる。

【0056】

第 3 の実施形態に係る N A N D 型フラッシュメモリの製造方法は、配線部分 3 4 C の数が増える以外は、第 1 の実施形態と同じである。

【0057】

なお、配線部分 3 4 C は X 方向に延在する例を示したが、図 2 4 に示すような、斜め方向に延在していても第 1 乃至第 3 の実施形態と同様の効果が得られるのは無論である。

【0058】

また、上記各実施形態において、メモリの種類としては N A N D 型フラッシュメモリを一例として説明している。しかし、N A N D 型フラッシュメモリに限定されるものではなく、層間絶縁層内に埋め込まれかつ任意の方向に延在する埋め込み配線層を有する他の種類のメモリにも適用可能であることは勿論である。

【0059】

本発明は、上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲内で、構成要素を変形して具体化できる。また、実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成することができる。例えば、実施形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施形態の構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0060】

【図 1】本発明の第 1 の実施形態に係る N A N D 型フラッシュメモリの構成を示す回路図。

【図 2】メモリセルトランジスタ M T の構成を示す断面図。

【図 3】選択トランジスタ S T 1 の構成を示す断面図。

【図 4】N A N D 型フラッシュメモリの構成を示す平面図。

【図 5】図 4 に示した V - V 線に沿った N A N D 型フラッシュメモリの断面図。

【図 6】図 4 に示した V I - V I 線に沿った N A N D 型フラッシュメモリの断面図。

【図 7】図 5 に示した位置「P」での N A N D 型フラッシュメモリの平面図。

【図 8】第 1 の実施形態に係る N A N D 型フラッシュメモリの製造工程を示す平面図。

【図 9】図 8 に示した V - V 線に沿った N A N D 型フラッシュメモリの製造工程を示す断面図。

【図 1 0】図 9 に続く N A N D 型フラッシュメモリの製造工程を示す断面図。

【図 1 1】図 1 0 に続く N A N D 型フラッシュメモリの製造工程を示す平面図。

10

【図 1 2】図 1 1 に示した V - V 線に沿った N A N D 型フラッシュメモリの製造工程を示す断面図。

【図 1 3】図 1 1 に続く N A N D 型フラッシュメモリの製造工程を示す平面図。

【図 1 4】図 1 3 に示した V - V 線に沿った N A N D 型フラッシュメモリの製造工程を示す断面図。

【図 1 5】図 1 3 に続く N A N D 型フラッシュメモリの製造工程を示す平面図。

【図 1 6】図 1 5 に示した V - V 線に沿った N A N D 型フラッシュメモリの製造工程を示す断面図。

【図 1 7】図 1 6 に続く N A N D 型フラッシュメモリの製造工程を示す断面図。

【図 1 8】図 1 7 に続く N A N D 型フラッシュメモリの製造工程を示す平面図。

20

【図 1 9】図 1 8 に示した V - V 線に沿った N A N D 型フラッシュメモリの製造工程を示す断面図。

【図 2 0】図 1 8 に続く N A N D 型フラッシュメモリの製造工程を示す平面図。

【図 2 1】図 2 0 に示した V - V 線に沿った N A N D 型フラッシュメモリの製造工程を示す断面図。

【図 2 2】本発明の第 2 の実施形態に係る N A N D 型フラッシュメモリの構成を示す平面図。

【図 2 3】本発明の第 3 の実施形態に係る N A N D 型フラッシュメモリの構成を示す平面図。

【図 2 4】共通ソース線 S L に含まれる配線部分 3 4 C の他の構成例を示す平面図。

30

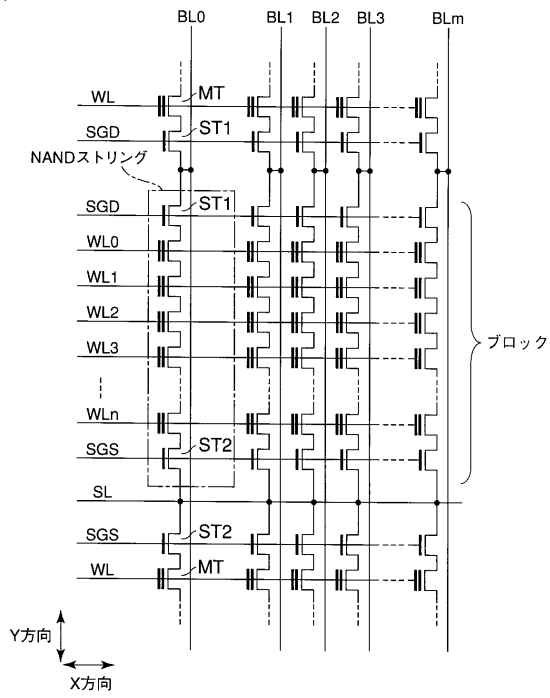
【符号の説明】

【0 0 6 1】

M T …メモリセルトランジスタ、S T 1 , S T 2 …選択トランジスタ、S G D , S G S …選択ゲート線、S L …共通ソース線、W L …ワード線、B L …ビット線、1 1 …p 型半導体基板、1 2 , 1 3 …ソース／ドレイン領域、1 4 …トンネル絶縁膜、1 5 …浮遊ゲート電極、1 6 …ゲート間絶縁膜、1 7 …制御ゲート電極、1 8 , 1 9 …ソース領域／ドレイン領域、2 1 …ゲート電極、3 0 …素子領域、3 1 …素子分離絶縁層、3 2 …埋め込み配線層、3 3 …コンタクト、3 4 A ~ 3 4 C …配線部分、3 5 , 3 6 …層間絶縁層、4 0 , 4 2 , 4 3 …溝、4 1 …開口部。

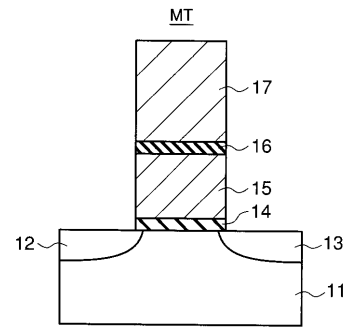
【図 1】

図 1



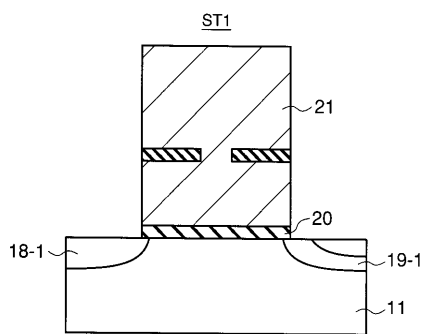
【図 2】

図 2



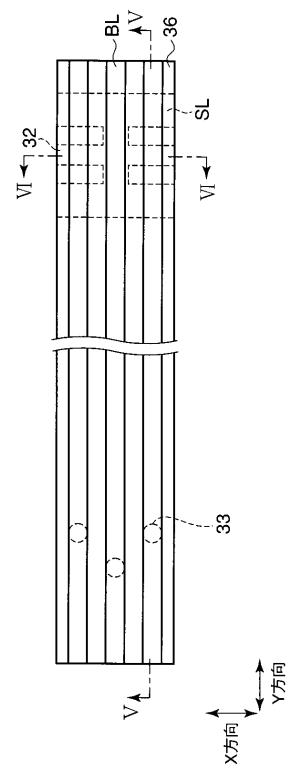
【図 3】

図 3



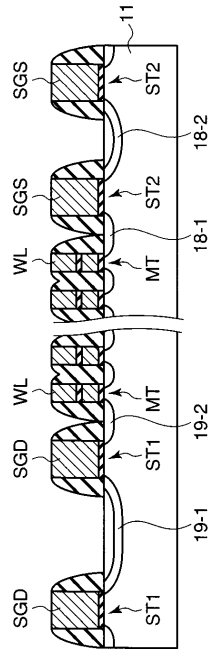
【図 4】

図 4



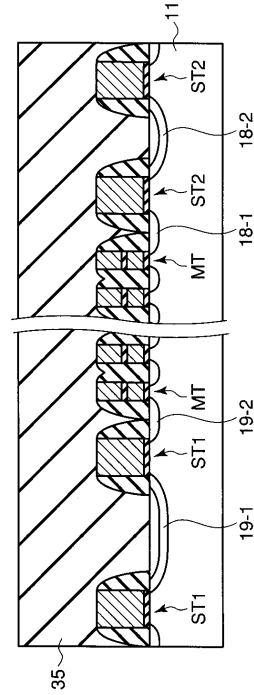
【図 9】

図 9



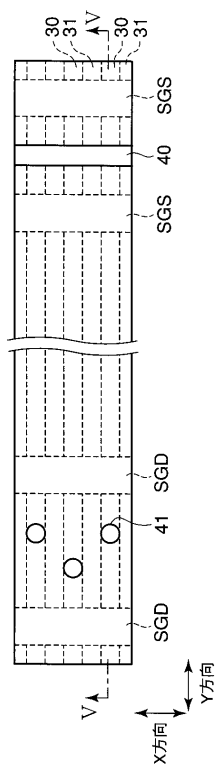
【図 10】

図 10



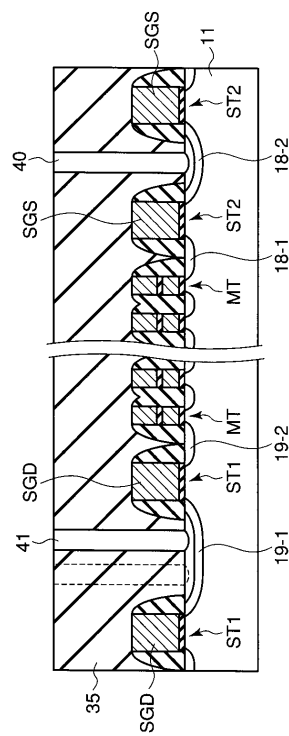
【図 11】

図 11



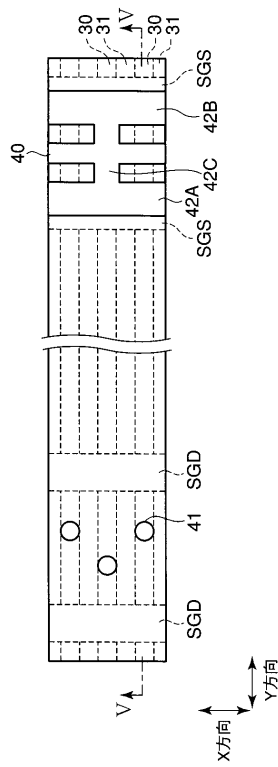
【図 12】

図 12



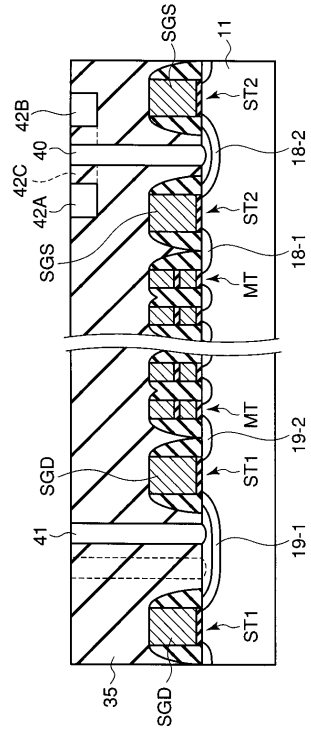
【図 13】

図 13



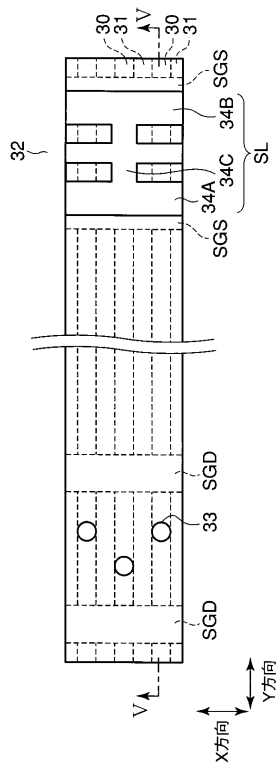
【図 14】

図 14



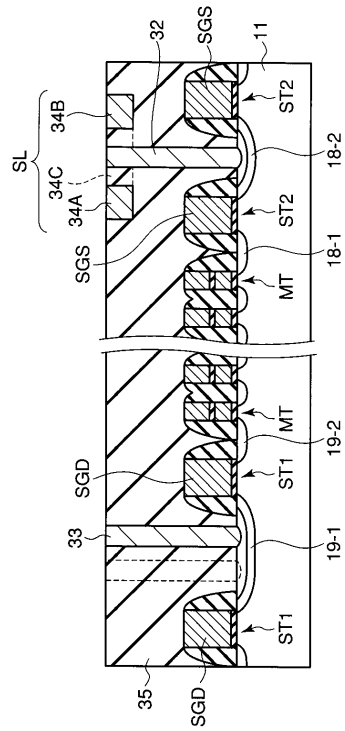
【図 15】

図 15



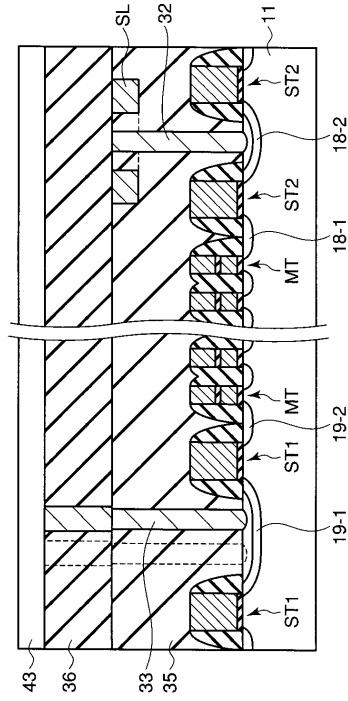
【図 16】

図 16



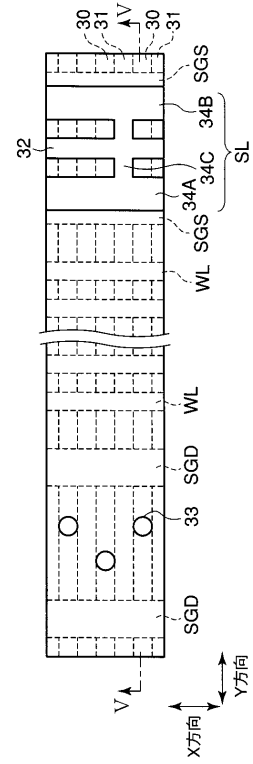
【図 2 1】

図 21



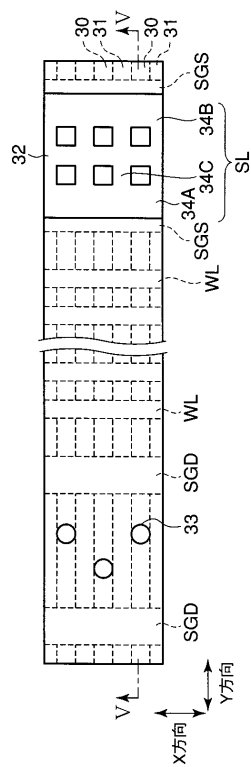
【図 2 2】

図 22



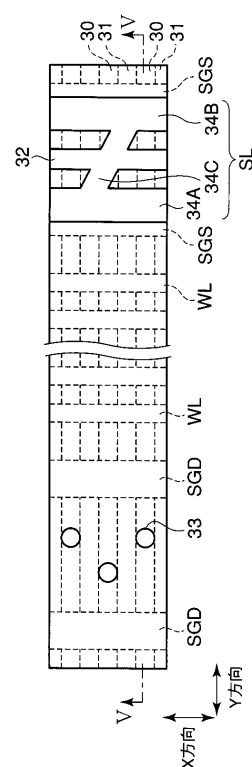
【図 2 3】

図 23



【図 2 4】

図 24



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 佐藤 敦祥
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 荒井 史隆
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 新田 博行
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 EP02 EP23 EP33 EP34 EP76 ER23 GA02 GA06 GA09 JA37
JA39 KA13 LA20 LA21 MA06 MA19 MA20 NA01 PR40
5F101 BA01 BB05 BD10 BD22 BD34 BD35 BE07 BF09 BH08