

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-226632

(P2007-226632A)

(43) 公開日 平成19年9月6日(2007.9.6)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G06F 15/78 (2006.01)</b>	G06F 15/78 510P	5B011
<b>G06F 1/32 (2006.01)</b>	G06F 15/78 510G	5B062
	G06F 1/00 332Z	

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願2006-48468 (P2006-48468)  
 (22) 出願日 平成18年2月24日 (2006.2.24)

(71) 出願人 000004260  
 株式会社デンソー  
 愛知県刈谷市昭和町1丁目1番地  
 (74) 代理人 100071135  
 弁理士 佐藤 強  
 (74) 代理人 100119769  
 弁理士 小川 清  
 (72) 発明者 山田 健二  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内  
 (72) 発明者 小林 千佳良  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内  
 Fターム(参考) 5B011 EA08 JA04 LL12  
 5B062 AA05 HH04 HH07

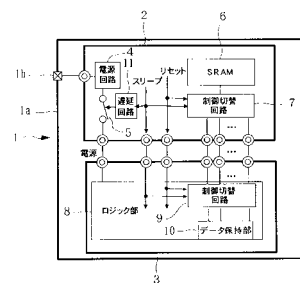
(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【課題】 アナログ回路を極力再設計することなく、低消費電力モードが設定されている期間における消費電力の低減を図ることができるマイクロコンピュータを提供する。

【解決手段】 マイコン1を、スリープモードが設定されている期間に電源が供給されて動作するチップ2と、電源が遮断されて動作を停止するチップ3とを、夫々異なる製造プロセスによりチップ化してマルチチップ構成とし、チップ2は、チップ3よりもリーク電流量を低減可能な製造プロセスで作成する。そして、チップ3は、スリープ信号がアクティブになると、電源が遮断されるまでの間にデータ保持部10のデータをチップ2側に転送し、チップ2は転送されたデータをSRAM6に記憶させて保持する。

【選択図】 図1



1: マイクロコンピュータ  
 2: 第1ブロック  
 3: 第2ブロック  
 6: メモリ

**【特許請求の範囲】****【請求項 1】**

低消費電力モードが設定されている期間に、電源が供給されて動作する第 1 ブロックと、電源が遮断されて動作を停止する第 2 ブロックとを備えて構成されるマイクロコンピュータにおいて、

前記第 1 , 第 2 ブロックを、夫々異なる製造プロセスによりチップ化することでマルチチップ構成にすると共に、前記第 1 ブロックは、前記第 2 ブロックよりもリーク電流量を低減可能な製造プロセスで作成し、

前記第 2 ブロックは、前記低消費電力モードを設定するための信号がアクティブになると、電源が遮断されるまでの間に保持が必要なデータを前記第 1 ブロック側に転送し、

前記第 1 ブロックは、前記第 2 ブロックより転送されたデータをメモリに記憶させて保持することを特徴とするマイクロコンピュータ。

10

**【請求項 2】**

前記低消費電力モードが解除されると、

前記第 1 ブロックは、前記メモリに記憶保持させたデータを読み出して前記第 2 ブロック側に転送し、

前記第 2 ブロックは、前記第 1 ブロックより転送されたデータを、前記低消費電力モードに移行する以前に保持していた状態に復帰させることを特徴とする請求項 1 記載のマイクロコンピュータ。

**【請求項 3】**

前記第 1 ブロックに、自身及び前記第 2 ブロックに対して供給する電源を生成する電源回路を備えることを特徴とする請求項 1 又は 2 記載のマイクロコンピュータ。

20

**【請求項 4】**

前記第 1 , 第 2 ブロック間で前記データ転送を行なうためのバスが接続されている端子は、通常動作モードにおいて使用される汎用端子と共通に構成されていることを特徴とする請求項 1 乃至 3 の何れかに記載のマイクロコンピュータ。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、低消費電力モードが設定されている期間に、電源が供給されて動作する第 1 ブロックと、電源が遮断されて動作を停止する第 2 ブロックとを備えるマイクロコンピュータに関する。

30

**【背景技術】****【0002】**

例えばマイクロコンピュータのような IC については、消費電力を低減する要求から、クロック信号の供給を停止することで殆どのロジック回路の動作を停止させるスリープモード（低消費電力モード）を設定する機能を備えているものがある。一方、IC については、製造プロセスの微細化技術も進んでいることから、動作電源電圧が低下すると共にトランジスタのしきい値も低下する傾向にある。その結果、回路の動作時、非動作時にかかわらずリーク電流が発生するようになり、スリープモードにおける消費電力が増加する要因となっている。

40

**【0003】**

斯様な問題に対処するため、特許文献 1 では、スリープモード時にはロジック回路に対する電源供給を遮断し、データを保持するための S R A M については基板バイアスを制御することでリーク電流を低減しようとした技術が開示されている。

**【特許文献 1】**特開 2003 - 132683 号公報（図 1 , 図 2 , 段落（0008）～（0011）参照）

**【発明の開示】****【発明が解決しようとする課題】****【0004】**

50

特許文献 1 において、基板バイアスを制御するための回路は、チャージポンプなどのアナログ回路によって構成されている。しかしながら、アナログ回路のレイアウト技術はツールの自動化が進んでいないため、製造プロセスを変更する際にはレイアウト設計を手動で行なう必要があるという問題がある。

【0005】

本発明は上記事情に鑑みてなされたものであり、その目的は、アナログ回路を極力再設計することなく、低消費電力モードが設定されている期間における消費電力の低減を図ることができるマイクロコンピュータを提供することにある。

【課題を解決するための手段】

【0006】

請求項 1 記載のマイクロコンピュータによれば、低消費電力モードが設定されている期間に電源が供給されて動作する第 1 ブロックと、電源が遮断されて動作を停止する第 2 ブロックとを、夫々異なる製造プロセスでチップ化してマルチチップ構成にする。その際、第 1 ブロックは、第 2 ブロックよりもリーク電流量を低減可能な製造プロセスで作成する。そして、第 2 ブロックは、低消費電力モードを設定するための信号がアクティブになると、電源が遮断されるまでの間に保持が必要なデータを第 1 ブロック側に転送し、第 1 ブロックは、転送されたデータをメモリに記憶させて保持する。

【0007】

従って、低消費電力モードが設定されている間、第 2 ブロック側が保持する必要があるデータは、リーク電流量がより少ない第 1 ブロック側のメモリに記憶保持されるので、データをバックアップするための電力消費を低減することができる。そして、上記作用をなすための回路はデジタルロジック回路により構成することができるので、例えば設計仕様の変更が生じた場合でも自動レイアウトツールによる対応ができる。

【0008】

請求項 2 記載のマイクロコンピュータによれば、低消費電力モードが解除されると、第 1 ブロックはメモリに記憶保持させたデータを読み出して第 2 ブロック側に転送し、第 2 ブロックは、転送されたデータを低消費電力モードへの移行以前に保持していた状態に復帰させる。従って、低消費電力モードから通常の動作状態に戻る場合には、第 1、第 2 ブロックの連携動作により、第 1 ブロックに待避・保持させていたデータを第 2 ブロック側に戻すことができる。

【0009】

請求項 3 記載のマイクロコンピュータによれば、第 1 ブロック側に、自身と第 2 ブロックに対して供給する電源を生成する電源回路を備える。即ち、一般に、リーク電流量がより少ない製造プロセスはトランジスタのサイズが大きいプロセスとなるので、第 1 ブロック側のチップは集積度が相対的に低くなる。そして、電源回路もサイズが大きいトランジスタで構成することが好ましいため、第 1 ブロック側に配置した電源回路により第 2 ブロックに供給する電源を生成すれば、第 2 ブロック側の集積度を更に向上させることができる。

【0010】

請求項 4 記載のマイクロコンピュータによれば、第 1、第 2 ブロック間でデータ転送を行なうためのバスが接続されている端子を、通常動作モードで使用される汎用端子と共通に構成する。即ち、通常動作モードと低消費電力モードとの間の移行期間にだけ上記データ転送に使用される端子を、通常動作モード時には、第 1、第 2 ブロック間でその他のデータや信号を送信、又は受信するための端子と共用すれば、各ブロックに配置する端子数を削減してチップサイズを小型化することができ、マイクロコンピュータ全体も小型化することができる。

【発明を実施するための最良の形態】

【0011】

以下、本発明の一実施例について図面を参照して説明する。図 1 は、マイクロコンピュータ（マイコン）1 全体の構成を、本発明の要旨にかかる部分のみ概略的に示す機能プロ

10

20

30

40

50

ック図である。マイコン1は、1つのパッケージ1a内に、異なる製造プロセスで形成された2つのチップ2, 3を搭載したマルチチップ構成となっている。

尚、チップ2(第1ブロック)は、例えば0.35 $\mu$ mプロセスで形成され、動作電源電圧は3.3Vとなっており、チップ3(第2ブロック)は、例えば0.15 $\mu$ mプロセスで形成され、動作電源電圧は1.5Vとなっている。即ち、チップ2, 3が夫々MOSFETを含む場合には、前者に形成されるFETのしきい値電圧が後者に形成されるFETのよりも高くなる。

#### 【0012】

ここで、図6には、横軸に半導体チップの製造プロセス(nm)を、縦軸に製造プロセスが500nmの場合を基準とする相対電力密度をとり、各製造プロセスで形成された半導体についてリーク電流が存在する場合、存在しない場合の電力密度の変化を示したものである。この図において、製造プロセスが350nmの場合、その電力密度はリーク電流の存否にかかわらず略同一であり、実質的にリーク電流が殆ど発生していないことを示している。一方、製造プロセスが130nmの場合、電力密度はリーク電流が存在する場合に上昇しており、リーク電流がある程度発生していることを示している。そして、製造プロセスが150nm(0.15 $\mu$ m)の場合も略同様にリーク電流が発生している。

10

#### 【0013】

再び図1を参照する。チップ2側に配置される電源回路4は、パッケージ1aに設けられた電源端子1bを介して外部より電源(例えば1.2~1.4V)が供給され、チップ2側の電源電圧は3.3V並びにチップ3側の電源電圧1.5Vを生成出力する。そして、チップ3に対しては、スイッチ5を介して電源を供給するようになっている。

20

また、チップ2は、SRAM(メモリ)6, 制御切替回路7を備えている。制御切替回路7は、チップ3側のロジック部8を構成する制御切替回路9と連携して動作するロジック回路であり、SRAM6とチップ3側のデータ保持部10との間で行うデータ転送を制御する。そして、少なくともチップ2には図示しないCPUが搭載されており、そのCPUは、マイコン1の処理状況などに応じて、マイコン1をスリープモード(低消費電力モード)にするためのスリープ信号を出力する。そのスリープ信号は、制御切替回路7及び9などに与えられると共に、チップ2側の遅延回路11を介して、スイッチ5の開閉制御を行う信号として出力される。また、チップ2側で発生出力されるリセット信号も、制御切替回路7及び9に出力されている。

30

#### 【0014】

そして、マイコン1がスリープモードになる場合、チップ2は動作し続けるが、チップ3は電源供給が断たれて動作を停止するようになっている。その際に、詳細は後述するが、チップ3のデータ保持部10が保持しているデータは、制御切替回路9及び7を介してSRAM6側に転送される。

#### 【0015】

図2は、チップ2のより詳細な構成を示すものである。制御切替回路7は、ステートマシン12, デコーダ13, マルチプレクサ14及び15, ANDゲート16などで構成されている。SRAM6に対しては、マイコン1がノーマルモード(通常動作モード)で動作している場合に、上記のCPUにより内部バスを介してデータの書込みや読み出しが行われる。この時、制御切替回路7はダイナミックに動作することはない。

40

一方、スリープ信号がアクティブとなることでスリープモードに移行しようとする場合には制御切替回路7が動作することで、上記のようにチップ3との間でデータ転送処理を行なう。そのため、SRAM6に対しては、入力データ, アドレス, リード/ライト用の制御フラグ(書込み, 読み出し用の制御信号)を、何れもマルチプレクサ17a, 17b, 17cを介することで、制御切替回路7側からも選択的に出力可能となっている。

#### 【0016】

即ち、マルチプレクサ17aの他方の入力端子には、チップ3側より転送されたデータが双方向端子18を経由して与えられており、マルチプレクサ17b, 17cの他方の入力端子には、デコーダ13によって出力されるアドレス, 制御フラグが与えられている。

50

そして、マルチプレクサ17a~17cの切替え制御もデコーダ13によって行われる。また、双方向端子18を介して入力されたデータは、スリープモードにおいてはバスを0値に固定するように、ANDゲート16を介してデコーダ13による出力制御が行われる。そのため、ANDゲート16の負論理入力端子にはデコーダ13からの制御信号が与えられている。

**【0017】**

そして、SRAM6より読み出された出力データも、制御切替回路7及び双方向端子18を介してチップ3側に転送するためのバスが形成されている。即ち、制御切替回路7内部のマルチプレクサ14には、SRAM6より読み出された出力データと、ノーマルモード時に内部バスを介してCPUなどより出力されるデータとが与えられており、マルチプレクサ14の出力端子は、双方向端子18の出力バッファ18aの入力端子に接続されている。

10

**【0018】**

出力バッファ18aのイネーブル制御についても、ノーマルモード時はCPUにより制御し、スリープモードへの移行時、ノーマルモードへの復帰時にはデコーダ13により制御するため、マルチプレクサ15を介して選択するようになっている。マルチプレクサ14及び15の切替え制御は、ANDゲート16の出力制御と共通の信号によって行なわれる。

尚、図中に実線で示しているのはノーマルモード時のバスであり、破線で示しているのはスリープモードへの移行時、ノーマルモードへの復帰時に使用されるバスである。また、デコーダ13が出力する制御信号を破線で示しているのは、上記移行時、復帰時に制御信号の出力状態を変化させることを意味している。

20

**【0019】**

図3は、チップ3のより詳細な構成を示すものである。制御切替回路9は、制御切替回路7と同様に、ステートマシン21、デコーダ22、マルチプレクサ23~25、ANDゲート26などで構成されている。また、データ保持部10は、例えば2個のフリップフロップ(F/F)27a、27bと、RAM(SRAM)28とを備えている。そして、データ保持部10に対しては、ノーマルモードにおいてはチップ3側のCPUにより内部バスを介してデータの書込みや読み出しが行われる。

**【0020】**

一方、スリープ信号がアクティブとなることでスリープモードに移行しようとする場合には制御切替回路9が動作して、データ保持部10に保持されているデータをチップ2側に転送する。そのため、フリップフロップ27a、27bの出力データとRAM28の出力データとは、3入力のマルチプレクサ23の入力端子に夫々与えられている。マルチプレクサ23の出力端子は、マルチプレクサ24を介して双方向端子29を構成する出力バッファ29aの入力端子に接続されている。マルチプレクサ24の他方の入力端子には、チップ3のCPUなどがデータを出力するための内部バスが接続されている。そして、マルチプレクサ23、24の切替え制御は、デコーダ22によって行われる。

30

**【0021】**

また、双方向端子29を介して入力されたデータは、スリープモードにおいてはバスを0値に固定するように、ANDゲート25を介してデコーダ22による出力制御が行われる。そのため、ANDゲート25の負論理入力端子にはデコーダ22からの制御信号が与えられている。

40

出力バッファ29aのイネーブル制御についても、ノーマルモード時はCPUにより制御し、スリープモードへの移行時、ノーマルモードへの復帰時にはデコーダ22により制御するため、マルチプレクサ26を介して選択するようになっている。マルチプレクサ24及び26の切替え制御は、ANDゲート25の出力制御と共通の信号によって行なわれる。

**【0022】**

また、デコーダ22は、スリープモードからノーマルモードへの復帰時には、チップ2

50

側より転送されたデータをデータ保持部10に書き込むようになっている。そのため、フリップフロップ27a, 27bとRAM28に入力されるデータは、マルチプレクサ30a及び30b, 31a~31cを介して入力される。そして、マルチプレクサ30a及び30b, 31aの入力端子の一方には双方向端子29を介して入力されるデータが与えられており、マルチプレクサ31b, 31cの入力端子の一方にはデコーダ22によって出力されるアドレス、制御フラグが与えられている。これらのマルチプレクサ30及び31の切替え制御は何れもデコーダ22によって行われるが、マルチプレクサ30a, 30bは夫々独立に制御され、マルチプレクサ31a~31cについては共通に制御される。

#### 【0023】

尚、チップ2, 3の電源電圧は異なっているため、それに応じて両者のデータレベルも異なっている。従って、チップ2, 3間でデータ転送を行う場合には、双方向端子18, 29間でレベル変換を行なうようになっている。

10

#### 【0024】

次に、本実施例の作用について図4及び図5も参照して説明する。図4は、マイコン1がスリープモードに移行する場合の処理手順を示すフローチャートである。初期状態のノーマルモードから、チップ2側でスリープ信号がアクティブになると(ステップA1)チップ2, 3のステートマシン12, 21が動作を開始し、チップ2, 3間でデータ転送を行うためのステートを遷移させる。そして、以降は夫々のデコーダ13, 22が各ステートに応じた制御を行うようになる。

#### 【0025】

最初に、チップ2側では、出力バッファ18aをディスエーブルにして双方向端子18を入力方向に制御し、チップ3側では、出力バッファ29aをイネーブルにして双方向端子29を出力方向に制御する(ステップA2)。次に、チップ3側は、デコーダ22がマルチプレクサ23, 24を制御してフリップフロップ27a, 27bが保持しているデータをチップ2側に出力する(即ち、デコーダ22は、チップ2側のデコーダ13と協働してDMAコントローラと同様の機能をなすように構成されている)。更に、デコーダ22は、RAM28に保持されているデータを読み出してチップ2側に出力する。一方、チップ2側では、チップ3側より転送されたデータを、デコーダ13がSRAM6内の所定の記憶領域に順次書き込んで記憶させる(ステップA3)。

20

#### 【0026】

チップ2の遅延回路11は、スリープ信号がアクティブになった時点から、ステップA3におけるデータ転送処理が全て完了するまでに十分な遅延時間を付与するようになっている(ステップA4)。そして、上記遅延時間が経過すると、スイッチ5が開くことでチップ3側への電源供給が遮断される(ステップA5)。すると、データ保持部10のフリップフロップ27並びにRAM28により保持されていたデータは消失する。

30

#### 【0027】

また、デコーダ13は、ステップA5において出力バッファ18aをイネーブルにすることで双方向端子18を出力方向に制御する。以上により、チップ3側のデータ保持部10が保持しているデータがチップ2側のSRAM6に転送されると、スリープモードに移行する(ステップA6)。そして、スリープモードの間は、チップ2には電源回路4により電源が供給され続けるので、SRAM6に書き込まれたデータはバックアップされる。尚、スリープモード期間におけるチップ2の機能が専らSRAM6のデータをバックアップすることである場合には、CPUに対する動作クロックの供給を停止させても良い。

40

#### 【0028】

図5は、マイコン1がスリープモードからノーマルモードに復帰する場合の処理手順を示すフローチャートである。チップ2側でスリープ信号がインアクティブになると(ステップB1)、遅延回路11を介してスイッチ5が再び閉路し、チップ3に対する電源供給が再開される(ステップB2)。またこの場合、チップ2側で生成されるリセット信号によりチップ3のリセットが解除される(ステップB3)。

#### 【0029】

50

続いて、チップ2側では、出力バッファ18aをイネーブルにして双方向端子18を出力方向に制御する(ステップB4)。また、チップ3側では、リセット信号により双方向端子29は入力方向に制御されている(ステップB5)。そして、リセット信号の解除からチップ3側の起動に要する時間待ちを行なうと(ステップB6)、チップ2のデコーダ13は、ステップA3でSRAM6に記憶させたデータを読み出し、チップ3側に転送する。一方、チップ3側では、チップ2側より転送されたデータをデコーダ22がフリップフロップ27a, 27bやRAM28に順次書き込む(ステップB7)。

#### 【0030】

ステップB7におけるデータ書き込みが終了し、データ保持部10におけるデータがスリープモードに移行する前と同様の状態に復帰すると、チップ2, 3のデコーダ13, 22は、夫々の双方向端子18, 29に関連するデータパスを、マルチプレクサによりノーマルモードに対応するように制御する(ステップB8)。以上により、マイコン1はノーマルモードに復帰する(ステップB9)。

10

#### 【0031】

以上のように本実施例によれば、マイコン1を、スリープモードが設定されている期間に電源が供給されて動作するチップ2と、電源が遮断されて動作を停止するチップ3とを、夫々異なる製造プロセスによりチップ化してマルチチップ構成にする。その際、チップ2は、チップ3よりもリーク電流量を低減可能な製造プロセスで作成する。そして、チップ3は、スリープ信号がアクティブになると、電源が遮断されるまでの間にデータ保持部10のデータをチップ2側に転送し、チップ2は転送されたデータをSRAM6に記憶させて保持するようにした。

20

#### 【0032】

具体的には、チップ2側にステートマシン12及びデコーダ13を備える制御切替回路7を配置し、チップ3側にステートマシン21及びデコーダ22を備える制御切替回路7を配置して、両者のステートマシン12, 21をスリープ信号がアクティブになった場合に動作させ、双方の制御ステートを同期させて上記の処理を行なうように構成した。

従って、スリープモードが設定されている間、チップ3側が保持する必要があるデータは、リーク電流量がより少ないチップ2側のSRAM6に記憶保持されるので、データをバックアップするための電力消費を低減することができる。そして、上記作用をなすための制御切替回路7, 9はデジタルロジック回路で容易に構成できるので、例えば設計仕様の変更が生じた場合でも自動レイアウトツールによる対応ができる。

30

#### 【0033】

また、スリープモードが解除されると、チップ2は制御切替回路7によりSRAM6に記憶保持させたデータを読み出してチップ3側に転送し、チップ3は、制御切替回路9により転送されたデータをデータ保持部10にセットして、スリープモードへの移行以前に保持していた状態に復帰させるので、チップ2, 3の連携動作により、チップ2に待避・保持させていたデータをチップ3側に戻すことができる。

また、集積度が相対的に低くなるチップ2側に、自身とチップ3に対して供給する電源を生成する電源回路4を備えたので、チップ3側の集積度を更に向上させることができる。そして、チップ2, 3間でデータ転送を行なうための双方向端子18, 29を、通常動作モードで使用される汎用端子と共通に構成したので、各チップ2, 3に配置する端子数を削減してチップサイズを、並びにマイコン1全体を小型化することができる。

40

#### 【0034】

尚、一般にアナログ回路は、チップ3側のように微細化された製造プロセスで作成してもサイズ減少の効果を得にくく、電源回路4等と共にA/Dコンバータなどもチップ2側に配置するようにしてレイアウト変更は極力チップ3側のみで行うようにすれば、レイアウトの再設計に要する工程をより削減することができる。

#### 【0035】

本発明は上記し又は図面に記載した実施例にのみ限定されるものではなく、以下のような変形が可能である。

50

チップ 2, 3 夫々の製造プロセスは 0.35 μm, 0.15 μm に限ることなく、前者が後者よりもリーク電流が少なくなる関係を有していれば、具体的な数値設定は任意である。

チップ 3 のデータ保持部 10 で保持するデータは、フリップフロップ 27, RAM 28 の何れか一方だけでも良い。

チップ 2 側に遅延回路 11 を設ける替わりに、制御切替回路 7 がスイッチ 5 の開閉制御を行っても良い。

チップ 3 側に、例えばチップ 2 を経由して供給される電源に基づいて自身の動作電源を生成する電源回路を配置しても良い。

【図面の簡単な説明】

【0036】

【図1】本発明の一実施例であり、マイクロコンピュータ全体の構成を、本発明の要旨にかかる部分のみ概略的に示す機能ブロック図

【図2】第1ブロックに相当するチップのより詳細な構成を示す機能ブロック図

【図3】第2ブロックに相当するチップの図2相当図

【図4】スリープモードに移行する場合の処理手順を示すフローチャート

【図5】スリープモードからノーマルモードに復帰する場合の図4相当図

【図6】横軸に半導体の製造プロセスを、縦軸に相対電力密度をとり、各製造プロセスで形成された半導体についてリーク電流の有無に応じた電力密度の変化を示す図

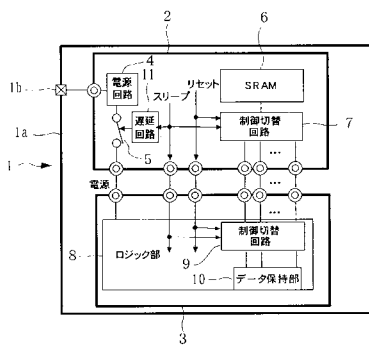
【符号の説明】

【0037】

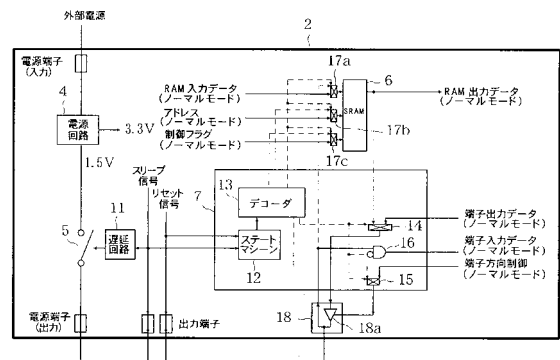
図面中、1はマイクロコンピュータ、2はチップ(第1ブロック)、3はチップ(第2ブロック)、4は電源回路、6はSRAM(メモリ)、7, 9は制御切替回路、10はデータ保持部、12はステートマシン、13はデコーダ、18は双方向端子、21はステートマシン、22はデコーダ、29は双方向端子を示す。

【図1】

【図2】



1: マイクロコンピュータ  
 2: 第1ブロック  
 3: 第2ブロック  
 6: メモリ

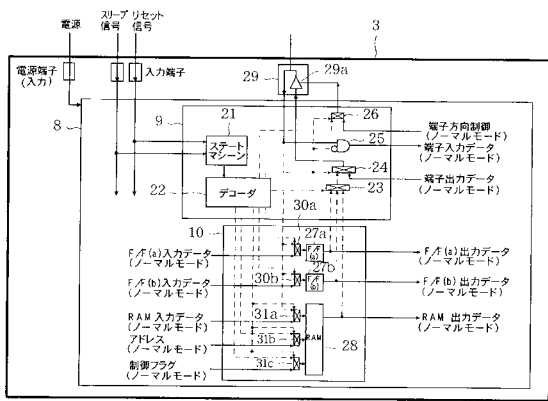


10

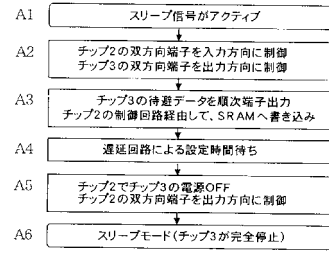
20



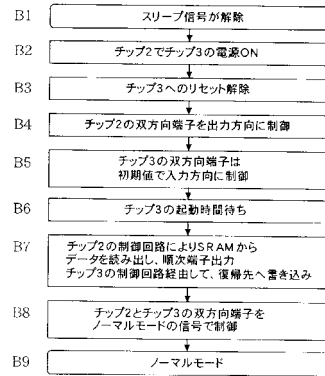
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

